

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月16日(16.08.2018)



(10) 国際公開番号

WO 2018/147102 A1

(51) 国際特許分類:
H03K 17/00 (2006.01) *H03K 17/687* (2006.01)

(21) 国際出願番号: PCT/JP2018/002606

(22) 国際出願日: 2018年1月29日(29.01.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-023387 2017年2月10日(10.02.2017) JP

(71) 出願人: 株式会社オートネットワーク技術研究所(AUTONETWORKS TECHNOLOGIES, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電装株式会社(SUMITOMO WIRING SYSTEMS, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電気工業株

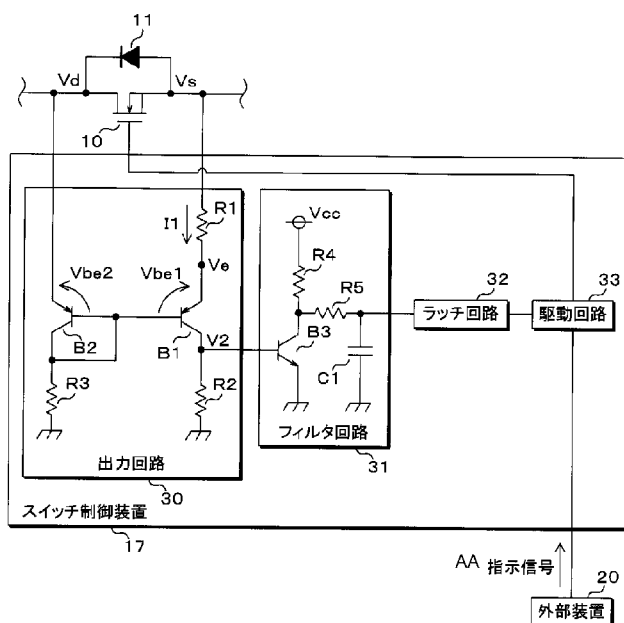
式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).

(72) 発明者: 若園 佳佑(WAKAZONO, Keisuke); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP). 杉沢 佑樹(SUGISAWA, Yuuki); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP). 塚本 克馬(TSUKAMOTO, Katsuma); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP).

(74) 代理人: 河野 英仁, 外(KOHN, Hideto et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目4番3号 河野特許事務所 Osaka (JP).

(54) Title: SWITCH CONTROL DEVICE

(54) 発明の名称: スイッチ制御装置



17 Switch control device
20 External device
30 Output circuit
31 Filter circuit
32 Latch circuit
33 Drive circuit
AA Instruction signal

(57) Abstract: A FET (10) that functions as a switch has therein a positive electrode of a first accumulator connected to a source and a positive electrode of a second accumulator connected to a drain. An anode and cathode of a diode (11) are connected, respectively, to the source and drain in the FET (10). A latch circuit (32) instructs a drive circuit (33) to switch the FET (10) to on, when current has flowed to the diode (11).

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: スイッチとして機能する FET (10) において、ソースに第1蓄電器の正極が接続され、ドレインに第2蓄電器の正極が接続されている。FET (10) のソース及びドレイン夫々に、ダイオード (11) のアノード及びカソードが接続されている。ラッチ回路 (32) は、ダイオード (11) に電流が流れた場合、駆動回路 (33) に FET (10) のオンへの切替えを指示する。

明 細 書

発明の名称：スイッチ制御装置

技術分野

[0001] 本発明はスイッチ制御装置に関する。

本出願は、2017年2月10日出願の日本出願第2017-23387号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

[0002] 特許文献1には、蓄電器、例えばバッテリーから負荷への給電経路に、スイッチとして、FET(Field Effect Transistor)が配置された電源システムが開示されている。この電源システムでは、FETのドレインに蓄電器の正極が接続され、FETのソースに負荷の一端が接続されている。蓄電器の負極と、負荷の他端とは接地されている。

[0003] 特許文献1に記載の電源システムでは、スイッチ制御装置は、FETのゲートの電圧を調整することによって、FETをオン又はオフに切替える。スイッチ制御装置がFETをオフからオンに切替えた場合、蓄電器から負荷に給電される。スイッチ制御装置がFETをオンからオフに切替えた場合、蓄電器から負荷への給電が停止する。

先行技術文献

特許文献

[0004] 特許文献1：特開2007-134780号公報

発明の概要

[0005] 本発明の一態様に係るスイッチ制御装置は、第1蓄電器と、ダイオードのアノードとが一端に接続され、第2蓄電器と、該ダイオードのカソードとが他端に接続されているスイッチをオン又はオフに切替える切替え部を備えるスイッチ制御装置であって、前記ダイオードに電流が流れた場合に、前記スイッチのオンへの切替えを前記切替え部に指示する指示部を備える。

図面の簡単な説明

[0006] [図1]実施形態1における電源システムの要部構成を示すブロック図である。

[図2]スイッチ制御装置の回路図である。

[図3]スイッチ制御装置の動作の説明図である。

[図4]実施形態2におけるスイッチ制御装置の回路図である。

[図5]実施形態3におけるスイッチ制御装置の回路図である。

[図6]実施形態4におけるスイッチ制御装置の回路図である。

[図7]報知処理の手順を示すフローチャートである。

[図8]スイッチ制御装置の動作の説明図である。

発明を実施するための形態

[0007] [本開示が解決しようとする課題]

車両に搭載される電源システムとして、FETのソースに、第1蓄電器の正極と、スタータの一端とが接続され、FETのドレインに、第2蓄電器の正極と、負荷の一端とが接続される電源システムが考えられる。スタータは、エンジンを始動させるためのモータである。以上のように第1蓄電器及び第2蓄電器を備える電源システムでは、スイッチ制御装置がFETをオンに切替えた場合、例えば、第1蓄電器は、第2蓄電器を充電すると共に、負荷に電力を供給する。

[0008] スイッチ制御装置は、スタータが作動する直前にFETをオフに切替え、スタータが動作を停止した後にFETをオンに切替える。スタータが作動している間、第1蓄電器からスタータに給電される。スタータが作動している間、第1蓄電器からスタータに大きい電流が供給される。

[0009] 第1蓄電器内では、内部抵抗を介して電流が出力される。内部抵抗に流れる電流が大きい程、内部抵抗で生じる電圧降下の幅は大きい。従って、スタータが作動している間、大きい電流が内部抵抗を流れるため、第1蓄電器の端子電圧は低い。スタータが作動している間、FETはオフであるため、第2蓄電器が負荷に電力を供給する。従って、スタータが作動した場合であっても、負荷に印加される電圧が大きく低下することはない。負荷の性能、例

えば、ランプの照度が、負荷に印加されている電圧の高さに依存すると仮定する。この場合、スタータが作動したときであっても、負荷に印加される電圧が大きく低下しないため、負荷の性能が大きく低下することもない。

[0010] FETを製造した場合、FETのドレイン及びソース間にダイオードが形成される。このダイオードは、所謂寄生ダイオードである。FETの型がNチャネル型である場合、ダイオードのアノードはFETのソースに接続され、ダイオードのカソードはFETのドレインに接続されている。FETがオンである場合、FETのドレイン及びソース間の電圧は略ゼロVであるため、ダイオードに電流が流れることはない。FETがオフである期間の大部分においては、スタータが作動しているため、第1蓄電器の端子電圧は第2蓄電器の端子電圧よりも低い。このため、ダイオードに電流が長期間流れることはない。

[0011] しかしながら、スタータが作動しないにもかかわらず、スイッチ制御装置が誤ってFETをオフに切替えた場合、ダイオードに電流が長期間流れる。FETの寄生ダイオードであるダイオードに電流が流れた場合、FETから発生する熱量は大きい。このため、ダイオードに電流が長期間流れた場合、FETの温度が上昇し、FETが故障する可能性がある。

[0012] そこで、スイッチの両端間に接続されるダイオードに電流が長期間流れることを防止するスイッチ制御装置を提供することを目的とする。

[0013] [本開示の効果]

本開示によれば、スイッチの両端間に接続されるダイオードに電流が長期間流れることが防止される。

[0014] [本発明の実施形態の説明]

最初に本発明の実施態様を列挙して説明する。以下に記載する実施形態の少なくとも一部を任意に組み合わせてもよい。

[0015] (1) 本発明の一態様に係るスイッチ制御装置は、第1蓄電器と、ダイオードのアノードとが一端に接続され、第2蓄電器と、該ダイオードのカソードとが他端に接続されているスイッチをオン又はオフに切替える切替え部を備

えるスイッチ制御装置であって、前記ダイオードに電流が流れた場合に、前記スイッチのオンへの切替えを前記切替え部に指示する指示部を備える。

[0016] 上記の一態様にあつては、第1蓄電器及び第2蓄電器間にスイッチが接続され、スイッチの一端にダイオードのアノードが接続され、スイッチの他端にダイオードのカソードが接続されている。スイッチがオフである場合において、ダイオードに電流が流れたとき、スイッチのオンへの切替えが指示され、スイッチがオンに切替わる。このため、スイッチの両端間に接続されているダイオードに電流が長期間流れることが防止される。

[0017] (2) 本発明の一態様に係るスイッチ制御装置は、前記スイッチの両端間の電圧が高い程、高い電圧を出力する出力回路を備え、前記指示部は、該出力回路が出力した電圧が所定電圧以上である場合に前記スイッチのオンへの切替えを指示し、前記所定電圧は、前記ダイオードに電流が流れている場合に前記出力回路が出力する電圧よりも低い。

[0018] 上記の一態様にあつては、ダイオードに電流が流れた場合、出力回路から、所定電圧以上である電圧が出力され、スイッチのオンへの切替えが指示される。このため、適切なタイミングでスイッチがオンに切替わる。

[0019] (3) 本発明の一態様に係るスイッチ制御装置では、前記出力回路は、前記スイッチの一端に一端が接続される第1抵抗と、該第1抵抗の他端にエミッタが接続されるPNP型の第1バイポーラトランジスタと、該第1バイポーラトランジスタのコレクタに一端が接続される第2抵抗と、前記スイッチの他端にエミッタが接続され、前記第1バイポーラトランジスタのベースに、ベース及びコレクタが接続されるPNP型の第2バイポーラトランジスタと、該第2バイポーラトランジスタのコレクタに一端が接続される第3抵抗とを有し、前記出力回路は、前記第2抵抗の一端から電圧を出力する。

[0020] 上記の一態様にあつては、第1バイポーラトランジスタのベースは、第2バイポーラトランジスタのベースに接続されているため、固定された電位、例えば、接地電位を基準とした第1バイポーラトランジスタ及び第2バイポーラトランジスタのベースの電圧は略一致している。従って、第1バイポー

ラトランジスタのベース及びエミッタ間の電圧が、第2バイポーラトランジスタのベース及びエミッタ間の電圧と略一致している場合、接地電位を基準としたスイッチの他端の電圧は、接地電位を基準とした第1バイポーラトランジスタのエミッタの電圧と略一致する。

[0021] 接地電位を基準としたスイッチの他端の電圧が、接地電位を基準とした第1バイポーラトランジスタのエミッタの電圧と略一致している場合、第1抵抗を流れる電流は、スイッチの両端間の電圧が高い程、大きい。第1抵抗を流れた電流の略全てが第2抵抗を流れる。このため、出力回路が第2抵抗の一端から出力する電圧は、スイッチの両端間の電圧が高い程、高い。

以上のように、出力回路は、第1バイポーラトランジスタ、第2バイポーラトランジスタ、第1抵抗、第2抵抗及び第3抵抗を用いて安価に構成される。

[0022] (4) 本発明の一態様に係るスイッチ制御装置は、前記出力回路が、前記所定電圧以上である電圧を出力している出力期間に応じた電圧を出力する第2の出力回路を備え、前記指示部は、該第2の出力回路が出力した電圧に基づいて前記スイッチのオンへの切替えを指示する。

[0023] 上記の一態様にあつては、第2の出力回路は、所定電圧以上である電圧の出力期間に応じた電圧を出力する。第2の出力回路が出力した電圧、即ち、所定電圧以上である電圧の出力期間に基づいて、スイッチのオンへの切替えを指示する。このため、より適切なタイミングでスイッチがオンに切替わる。

[0024] (5) 本発明の一態様に係るスイッチ制御装置では、前記第2の出力回路は、前記出力期間が長い程、低い電圧を出力し、前記指示部は、前記第2の出力回路が出力した電圧が閾値電圧以下となった場合に前記スイッチのオンへの切替えを指示する。

[0025] 上記の一態様にあつては、第2の出力回路は、所定電圧以上である電圧の出力期間が長い程、低い電圧を出力する。第2の出力回路が出力した電圧が閾値電圧以下となった場合、ダイオードに電流が一定期間以上流れたとして

、スイッチのオンへの切替えを指示し、スイッチがオンに切替わる。

[0026] (6) 本発明の一態様に係るスイッチ制御装置は、前記指示部が前記スイッチのオンへの切替えを指示したにも関わらず、前記スイッチがオンに切替わらなかった場合に、報知を指示する報知信号を出力する信号出力部を備える。

[0027] 上記の一態様にあっては、スイッチのオンへの切替えが指示されたにも関わらず、スイッチがオンに切替わらなかった場合、報知信号を出力する。これにより、スイッチがオフに固定されている旨を使用者に報知することが可能である。

[0028] (7) 本発明の一態様に係るスイッチ制御装置は、前記スイッチのオン又はオフを指示する指示信号が入力される入力部を備え、前記切替え部は、該入力部に入力された指示信号の指示に従って、前記スイッチをオン又はオフに切替え、前記切替え部は、前記指示部が前記スイッチのオンへの切替えを指示した場合、前記入力部に入力された指示信号の指示に無関係に前記スイッチをオンに切替え、該スイッチのオンを維持する。

[0029] 上記の一態様にあっては、ダイオードに電流が流れたことが原因でスイッチのオンへの切替えが指示された場合、入力部に入力された指示信号の指示に無関係にスイッチをオンに切替える。その後、入力部に入力された指示信号がスイッチのオフを指示する場合であっても、スイッチのオンを維持する。

[0030] [本発明の実施形態の詳細]

本発明の実施形態に係るスイッチ制御装置の具体例を、以下に図面を参照しつつ説明する。なお、本発明はこれらの例示に限定されるものではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

[0031] (実施形態1)

図1は、実施形態1における電源システム1の要部構成を示すブロック図である。電源システム1は、好適に車両に搭載され、Nチャンネル型のFET

１０、ダイオード１１、第１蓄電器１２、第２蓄電器１３、発電機１４、スタータ１５、負荷１６及びスイッチ制御装置１７を備える。ダイオード１１は、ＦＥＴ１０の寄生ダイオードである。ダイオード１１のアノードはＦＥＴ１０のソースに接続されており、ダイオード１１のカソードはＦＥＴ１０のドレインに接続されている。第１蓄電器１２及び第２蓄電器１３夫々は例えばバッテリーである。

[0032] ＦＥＴ１０のソースには、更に、第１蓄電器１２の正極と、発電機１４及びスタータ１５夫々の一端とが接続されている。ＦＥＴ１０のドレインには、更に、第２蓄電器１３の正極と、負荷１６の一端とが接続されている。第１蓄電器１２及び第２蓄電器１３夫々の負極と、発電機１４、スタータ１５及び負荷１６夫々の他端とは接地されている。ＦＥＴ１０のソース、ドレイン及びゲートはスイッチ制御装置１７に各別に接続されている。スイッチ制御装置１７には、外部装置２０が更に接続されている。

[0033] 発電機１４は、車両のエンジンに連動して交流電力を発生させる。更に、発電機１４は、車両が減速する場合に車両の運動エネルギーを回生電力に変換することによって、交流電力を発生させる。発電機１４は、発生させた交流電力を直流電力に整流し、整流した直流電力に係る電圧を出力する。

[0034] スタータ１５は、車両のエンジンを始動させるためのモータである。スタータ１５は、車両のエンジンが停止しており、かつ、車両が停止している状態で作動する。このため、スタータ１５が作動する時点では、発電機１４は電力の発生を停止している。

[0035] ＦＥＴ１０はスイッチとして機能する。ＦＥＴ１０において、ソースの電位を基準としたゲートの電圧が一定電圧以上である場合、ソース及びドレイン間に電流が流れることが可能であり、ＦＥＴ１０はオンである。ＦＥＴ１０において、ソースの電位を基準としたゲートの電圧が一定電圧未満である場合、ソース及びドレイン間に電流が流れることはなく、ＦＥＴ１０はオフである。

[0036] スイッチ制御装置１７は、接地電位を基準としたＦＥＴ１０のゲートの電

圧を上昇させることによって、F E T 1 0において、ソースの電位を基準としたゲートの電圧を上昇させ、F E T 1 0をオンに切替える。また、スイッチ制御装置17は、接地電位を基準としたF E T 1 0のゲートの電圧を低下させることによって、F E T 1 0において、ソースの電位を基準としたゲートの電圧を低下させ、F E T 1 0をオフに切替える。

[0037] 外部装置20はスイッチ制御装置17にF E T 1 0のオン又はオフを指示する指示信号を出力している。外部装置20は、スタータ15が作動する直前に、指示信号の指示をF E T 1 0のオンからF E T 1 0のオフに切替える。外部装置20は、スタータ15の動作が停止した後に、指示信号の指示をF E T 1 0のオフからF E T 1 0のオンに切替える。

[0038] スwitch制御装置17は、電流が連続してダイオード11に流れている期間が一定期間未満である場合、外部装置20から入力されている指示信号の指示に従って、F E T 1 0をオン又はオフに切替える。スイッチ制御装置17は、ダイオード11に電流が一定期間以上連続して流れた場合、外部装置20から入力されている指示信号の指示に関係なくF E T 1 0をオンに切替え、F E T 1 0のオンを維持する。

[0039] 以下では、電流が連続してダイオード11に流れている期間が一定期間未満である場合における電源システム1の動作を説明する。

前述したように、指示信号の指示は、スタータ15が作動する直前にF E T 1 0のオンからF E T 1 0のオフに切替わり、スタータ15の動作が停止した後にF E T 1 0のオフからF E T 1 0のオンに切替わる。従って、スイッチ制御装置17は、スタータ15が作動する直前にF E T 1 0をオフに切替え、スタータ15が動作を停止した後にF E T 1 0をオンに切替える。

[0040] 前述したように、スタータ15が作動する時点では、発電機14が電力を発生させることはない。また、F E T 1 0がオンである場合、エンジンは作動しているので、スタータ15は動作を停止している。

[0041] F E T 1 0がオンである場合において、発電機14が電力を発生させているとき、発電機14は、第1蓄電器12及び第2蓄電器13を充電すると共

に、負荷 1 6 に電力を供給する。

同様の場合において、発電機 1 4 が電力を発生させていないとき、第 1 蓄電器 1 2 は、第 2 蓄電器 1 3 を充電すると共に負荷 1 6 に電力を供給する。

F E T 1 0 がオンである場合、F E T 1 0 のソース及びドレイン間の電圧は略ゼロ V であるため、ダイオード 1 1 に電流が流れることはない。

[0042] F E T 1 0 がオフである場合、第 1 蓄電器 1 2 はスタータ 1 5 に電力を供給する。スタータ 1 5 が作動している間に第 1 蓄電器 1 2 からスタータ 1 5 に供給される電流は大きい。第 1 蓄電器 1 2 内では、図示しない内部抵抗を介して電圧が出力される。第 1 蓄電器 1 2 からスタータ 1 5 に供給される電流が大きい程、内部抵抗で生じる電圧降下の幅が大きい。このため、スタータ 1 5 が作動した場合、第 1 蓄電器 1 2 の端子電圧は、第 2 蓄電器 1 3 の端子電圧よりも低い電圧に低下する。また、スタータ 1 5 が作動している間、第 1 蓄電器 1 2 の端子電圧は、第 2 蓄電器 1 3 の端子電圧よりも低い。

[0043] F E T 1 0 がオフである場合において、スタータ 1 5 が動作を停止しているとき、第 1 蓄電器 1 2 は、ダイオード 1 1 を介して、第 2 蓄電器 1 3 及び負荷 1 6 に電力を供給する。これにより、第 2 蓄電器 1 3 は充電される。

F E T 1 0 がオフである場合において、スタータ 1 5 が作動しているとき、第 1 蓄電器 1 2 の端子電圧は、第 2 蓄電器 1 3 の端子電圧よりも低いので、第 2 蓄電器 1 3 が負荷 1 6 に電力を供給する。

[0044] F E T 1 0 がオフに切替わってからスタータ 1 5 が作動するまでの期間は、一定期間よりも短い。スタータ 1 5 が動作を終了してから F E T 1 0 がオンに切替わるまでの期間も、一定期間よりも短い。このため、スイッチ制御装置 1 7 が F E T 1 0 を適正にオン又はオフに切替えている限り、電流が連続してダイオード 1 1 に流れている期間は一定期間未満である。

[0045] 負荷 1 6 は、車両に搭載された電気機器であり、第 1 蓄電器 1 2、第 2 蓄電器 1 3 又は発電機 1 4 から供給された電力によって作動する。負荷 1 6 の性能は、負荷 1 6 に印加されている電圧の高さに応じて変動する。例えば、負荷 1 6 がランプである場合、負荷 1 6 に印加されている電圧が高い程、ラ

ンプの照度が大きい。例えば、負荷 16 がワイパーモータである場合、負荷 16 に印加されている電圧が高い程、ワイパーのスイング速度が速い。

[0046] 前述したように、F E T 10 がオフである場合において、スタータ 15 が作動して第 1 蓄電器 12 が出力している電圧が低下したとき、第 2 蓄電器 13 が負荷 16 に電力を供給する。このため、負荷 16 に印加される電圧が大きく低下することはない。従って、スイッチ制御装置 17 が F E T 10 を適正にオン又はオフに切替えている限り、スタータ 15 の作動によって、負荷 16 の性能が低下することはない。

[0047] スタータ 15 が作動しないにも関わらず、外部装置 20 が誤って、F E T 10 のオフを指示する指示信号をスイッチ制御装置 17 に出力した場合、スイッチ制御装置 17 は誤って F E T 10 をオフに切替える。この場合、ダイオード 11 に電流が一定期間以上連続して流れる。

[0048] 以下に、ダイオード 11 に電流が一定期間以上連続して流れた後における電源システム 1 の動作を説明する。

ダイオード 11 に電流が一定期間以上連続して流れた場合、スイッチ制御装置 17 は、前述したように、外部装置 20 から入力される指示信号の指示に無関係に F E T 10 をオンに切替え、F E T 10 のオンを維持する。その後、スイッチ制御装置 17 は F E T 10 をオフに切替えることはない。

[0049] F E T 10 のオンが維持されている場合において、発電機 14 が電力を発生させているとき、発電機 14 は、第 1 蓄電器 12 及び第 2 蓄電器 13 を充電すると共に、負荷 16 に電力を供給する。

F E T 10 のオンが維持されている場合において、発電機 14 が電力を発生させていないとき、第 1 蓄電器 12 及び第 2 蓄電器 13 がスタータ 15 及び負荷 16 に電力を供給する。

[0050] スタータ 15 が作動した場合、第 1 蓄電器 12 及び第 2 蓄電器 13 夫々からスタータ 15 に大きい電流が流れる。これにより、第 1 蓄電器 12 の端子電圧が大きく低下する。また、第 2 蓄電器 13 内でも、図示しない内部抵抗を介して電圧が出力される。従って、第 2 蓄電器 13 からスタータ 15 に大

きい電流が流れた場合、第2蓄電器13の端子電圧も大きく低下する。このため、スタータ15が作動している間、負荷16に印加されている電圧は低い。従って、スタータ15が作動している間、負荷16の性能が低下している可能性はある。しかし、負荷16が動作を停止することはないので、車両の運転に支障が生じることはない。

[0051] FET10の寄生ダイオードであるダイオード11に電流が流れた場合にFET10から発生する熱量は大きい。従って、ダイオード11に電流が長期間流れ続けた場合、FET10の温度が上昇し、FET10が故障する虞がある。例えば、FET10のオン又はオフへの切替えが不可能になる虞がある。スイッチ制御装置17は、ダイオード11に電流が一定期間以上連続して流れた場合、FET10をオンに切替える。これにより、ダイオード11に電流が長期間流れ続けることが防止される。

[0052] スwitch制御装置17内では、FET10のドレインの電位を基準としたソースの電圧（以下、両端電圧という）に基づいて、ダイオード11への通電が検出される。以下では、接地電位を基準としたドレインの電圧をドレイン電圧 V_d と記載し、接地電位を基準としたソースの電圧をソース電圧 V_s と記載する。両端電圧は $(V_s - V_d)$ で表される。接地電位は、固定された電位である。

[0053] 図2はスイッチ制御装置17の回路図である。スイッチ制御装置17は、出力回路30、フィルタ回路31、ラッチ回路32及び駆動回路33を有する。出力回路30は、FET10のソース及びドレインに各別に接続されている。出力回路30は、更に、フィルタ回路31に接続されている。フィルタ回路31は、更に、ラッチ回路32に接続されている。ラッチ回路32は、更に、駆動回路33に接続されている。駆動回路33は、更に、FET10のゲートと、外部装置20とに接続されている。

[0054] 出力回路30は、FET10の両端電圧が高い程、高い電圧を出力する。フィルタ回路31は、出力回路30が、基準電圧 V_r 以上である電圧を出力している出力期間に応じた電圧を出力する。具体的には、フィルタ回路31

は、出力期間が長い程、低い電圧を出力する。基準電圧 V_r は一定である。

[0055] ラッチ回路 32 は、駆動回路 33 にローレベル電圧又はハイレベル電圧を駆動回路 33 に出力している。ラッチ回路 32 は、フィルタ回路 31 が出力している電圧が閾値電圧 V_{th} を超えている間、ローレベル電圧を駆動回路 33 に出力している。ラッチ回路 32 は、フィルタ回路 31 が出力している電圧が閾値電圧 V_{th} 以下となった場合、駆動回路 33 に出力している電圧をハイレベル電圧に切替える。その後、フィルタ回路 31 が出力している電圧が閾値電圧 V_{th} を超えた場合であっても、ラッチ回路 32 は、駆動回路 33 に出力している電圧をローレベル電圧に切替えることはない。閾値電圧 V_{th} は一定である。

[0056] 駆動回路 33 には、外部装置 20 から指示信号が入力される。駆動回路 33 は、ラッチ回路 32 から入力されている電圧がローレベル電圧である場合、外部装置 20 から入力されている指示信号の指示に従って、FET10 をオン又はオフに切替える。駆動回路 33 は、ラッチ回路 32 が駆動回路 33 に出力している電圧をローレベル電圧からハイレベル電圧に切替えた場合、外部装置 20 から入力されている指示信号の指示に関係なく FET10 をオンに切替える。駆動回路 33 は、ラッチ回路 32 がハイレベル電圧を出力している限り、FET10 のオンを維持する。駆動回路 33 は切替え部及び入力部として機能する。

ラッチ回路 32 が、駆動回路 33 に出力している電圧をローレベル電圧からハイレベル電圧に切替えることは、ラッチ回路 32 が駆動回路 33 に FET10 のオンへの切替えを指示することに相当する。

[0057] 出力回路 30 は、PNP 型のバイポーラトランジスタ B1、B2 及び抵抗 R1、R2、R3 を有する。FET10 のソースに抵抗 R1 の一端が接続されている。抵抗 R1 の他端に、バイポーラトランジスタ B1 のエミッタが接続されている。バイポーラトランジスタ B1 のコレクタに抵抗 R2 の一端が接続されている。

[0058] FET10 のドレインにバイポーラトランジスタ B2 のエミッタが接続さ

れている。バイポーラトランジスタ B 1 のベースに、バイポーラトランジスタ B 2 のベース及びコレクタが接続されている。バイポーラトランジスタ B 2 のコレクタには、更に、抵抗 R 3 の一端が接続されている。抵抗 R 2, R 3 夫々の他端は接地されている。抵抗 R 2 の一端は、更に、フィルタ回路 3 1 に接続されている。

バイポーラトランジスタ B 1, B 2 夫々は、第 1 バイポーラトランジスタ及び第 2 バイポーラトランジスタとして機能する。抵抗 R 1, R 2, R 3 は、第 1 抵抗、第 2 抵抗及び第 3 抵抗として機能する。

[0059] バイポーラトランジスタ B 1, B 2 夫々について、エミッタの電位を基準としたベースの電圧が低い程、エミッタ及びコレクタ間の抵抗値が小さい。また、バイポーラトランジスタ B 1, B 2 夫々について、エミッタの電位を基準としたベースの電圧が正の電圧である場合、エミッタ及びコレクタ間に電流が流れることはない。

[0060] バイポーラトランジスタ B 1 において、ベースの電位を基準としたエミッタの電圧を端子間電圧 V_{be1} と記載する。バイポーラトランジスタ B 2 において、ベースの電位を基準としたエミッタの電圧を端子間電圧 V_{be2} と記載する。接地電位を基準としたバイポーラトランジスタ B 1 のエミッタの電圧であるエミッタ電圧 V_e は、下記の (1) 式で表される。

$$V_e = V_d - V_{be2} + V_{be1} \dots (1)$$

[0061] 抵抗 R 1 の抵抗値を r_1 と記載する。抵抗 R 1 を流れる電流である抵抗電流 I_1 は、オームの法則により、下記の (2) 式で表される。

$$I_1 = (V_s - V_e) / r_1 \dots (2)$$

[0062] (1) 式及び (2) 式からエミッタ電圧 V_e を消去した場合、抵抗電流 I_1 は下記の (3) 式で表される。

$$I_1 = (V_s - V_d + (V_{be2} - V_{be1})) / r_1 \dots (3)$$

[0063] 抵抗 R 1 を流れる電流の略全てが抵抗 R 2 を流れる。出力回路 3 0 は、抵抗 R 2 の一端から、抵抗 R 2 の両端間の電圧を出力電圧としてフィルタ回路 3 1 に出力する。抵抗 R 2 の抵抗値を r_2 と記載する。フィルタ回路 3 1 に

出力される出力電圧 V_2 は、オームの法則により、下記の（４）式で表される。

$$V_2 = r_2 \cdot I_1 \\ = (V_s - V_d + (V_{be2} - V_{be1})) \cdot r_2 / r_1 \cdots (4)$$

ここで、「 $\cdot$ 」は積を表す。

[0064] バイポーラトランジスタ B_1 、 B_2 の特性が略一致している。このため、バイポーラトランジスタ B_1 、 B_2 夫々において、エミッタ及びコレクタ間に流れる電流の電流値に無関係に端子間電圧 V_{be1} 、 V_{be2} が略一致している。更に、バイポーラトランジスタ B_1 、 B_2 の周囲温度に無関係に端子間電圧 V_{be1} 、 V_{be2} が略一致している。

[0065] 以上のことから、出力電圧 V_2 は、下記の（５）式で表される。

$$V_2 = (V_s - V_d) \cdot r_2 / r_1 \cdots (5)$$

抵抗値 r_1 、 r_2 夫々は一定である。更に、FET10の両端電圧は、前述したように、 $(V_s - V_d)$ によって表される。従って、出力回路30がフィルタ回路31に出力する出力電圧 V_2 は、FET10の両端電圧が高い程、高い。

[0066] なお、両端電圧、即ち、 $(V_s - V_d)$ が負の電圧である場合、バイポーラトランジスタ B_1 のエミッタ及びコレクタ間に電流が流れることはない。従って、両端電圧が負の電圧である場合、出力電圧 V_2 はゼロVである。

[0067] フィルタ回路31は、NPN型のバイポーラトランジスタ B_3 、キャパシタ C_1 及び抵抗 R_4 、 R_5 を有する。抵抗 R_4 の一端には、定電圧 V_{cc} が印加されている。定電圧 V_{cc} は、例えば、第1蓄電器12又は第2蓄電器13の端子電圧を降圧することによって生成される。端子電圧の降圧は、レギュレータ又はDCDCコンバータ等によって行われる。

[0068] 抵抗 R_4 の他端は、バイポーラトランジスタ B_3 のコレクタと、抵抗 R_5 の一端とに接続されている。バイポーラトランジスタ B_3 のベースは、抵抗 R_2 の一端に接続されている。バイポーラトランジスタ B_3 のエミッタは接

地されている。抵抗 R_5 の他端は、キャパシタ C_1 の一端と、ラッチ回路とに接続されている。キャパシタ C_1 の他端は接地されている。

[0069] バイポーラトランジスタ B_3 は、スイッチとして機能する。バイポーラトランジスタ B_3 において、エミッタの電位を基準としたベースの電圧、即ち、出力電圧 V_2 が基準電圧 V_r 以上である場合、コレクタ及びエミッタ間に電流が流れることが可能である。このとき、バイポーラトランジスタ B_3 はオンである。バイポーラトランジスタ B_3 において、出力電圧 V_2 が基準電圧 V_r 未満である場合、コレクタ及びエミッタ間に電流が流れることはない。このとき、バイポーラトランジスタ B_3 はオフである。

[0070] 基準電圧 V_r は、ゼロ V よりも高く、 FET_{10} がオフである状態で電流がダイオード 11 を流れている場合における出力電圧 V_2 よりも低い。バイポーラトランジスタ B_3 がシリコンによって構成されている場合、基準電圧 V_r は、約 $0.6V$ に固定されている。基準電圧 V_r が固定されている場合においては、 FET_{10} がオフである状態で電流がダイオード 11 に流れているときに、出力電圧 V_2 が基準電圧 V_r 、例えば、約 $0.6V$ を超えるように、抵抗値 r_1 、 r_2 を設定する。

[0071] 前述したように、 FET_{10} がオンである場合、 FET_{10} の両端電圧は略ゼロ V であるので、出力電圧 V_2 も略ゼロ V である。また、前述したように、 FET_{10} の両端電圧が負の電圧である場合、出力電圧 V_2 はゼロ V である。従って、ダイオード 11 に電流が流れていない場合、出力電圧 V_2 は基準電圧 V_r 未満であり、ダイオード 11 に電流が流れている場合、出力電圧 V_2 は基準電圧 V_r 以上である。

[0072] 出力電圧 V_2 が基準電圧 V_r 未満である場合、即ち、ダイオード 11 に電流が流れていない場合、バイポーラトランジスタ B_3 はオフであり、電流が、抵抗 R_4 の一端から抵抗 R_4 、 R_5 及びキャパシタ C_1 の順に流れ、キャパシタ C_1 が充電される。キャパシタ C_1 は、キャパシタ C_1 の両端間の電圧が定電圧 V_{cc} と略一致するまで充電される。キャパシタ C_1 の両端間の電圧が定電圧 V_{cc} に略一致した後においては、バイポーラトランジスタ B

3がオンとなるまで、キャパシタC1の両端間の電圧は、定電圧 V_{cc} と略一致した状態に維持される。

[0073] 出力電圧 V_2 が基準電圧 V_r 以上である場合、即ち、ダイオード11に電流が流れている場合、バイポーラトランジスタB3はオンである。このとき、電流が抵抗 R_4 及びバイポーラトランジスタB3の順に流れると共に、キャパシタC1は放電する。キャパシタC1が放電した場合、電流が、キャパシタC1の一端から抵抗 R_5 及びバイポーラトランジスタB3の順に流れ、キャパシタC1の他端に戻る。これにより、キャパシタC1の両端間の電圧は低下する。電圧が低下する速度は、キャパシタC1の静電容量と、抵抗 R_5 の抵抗値との積によって表される時定数によって決まる。キャパシタC1の両端間の電圧は、出力電圧 V_2 が基準電圧 V_r 以上である期間が長い程、低い。

[0074] 以上ように、キャパシタC1の両端間の電圧は、出力回路30が、抵抗 R_2 の一端から、基準電圧 V_r 以上である電圧を出力している出力期間が長い程、低い。フィルタ回路31は、キャパシタC1の一端から、キャパシタC1の両端間の電圧をラッチ回路32に出力する。フィルタ回路31は第2の出力回路として機能する。

[0075] ラッチ回路32は、フィルタ回路31が出力した電圧、即ち、キャパシタC1の両端間の電圧が閾値電圧 V_{th} を超えている場合、ローレベル電圧を駆動回路33に出力する。フィルタ回路31が出力した電圧が閾値電圧 V_{th} 以下となった場合、ラッチ回路32は駆動回路33に出力している電圧をローレベル電圧からハイレベル電圧に切替え、駆動回路33は、指示信号の指示に無関係にFET10をオンに切替える。

[0076] 前述したように、電圧が低下する速度は、キャパシタC1の静電容量と抵抗 R_5 の抵抗値との積によって表される時定数によって決まり、キャパシタC1の静電容量と、抵抗 R_5 の抵抗値とは一定である。このため、バイポーラトランジスタB3がオンである状態で、キャパシタC1の両端間の電圧が、定電圧 V_{cc} と略一致している電圧から、閾値電圧 V_{th} 以下となるまで

の期間は略一定である。

なお、前述した一定期間は、定電圧 V_{cc} と略一致している電圧から、閾値電圧 V_{th} 以下となるまでの期間である。

[0077] 図3はスイッチ制御装置17の動作の説明図である。FET10のオン及びオフの推移と、指示信号の指示の推移と、ラッチ回路32、出力回路30及びフィルタ回路31夫々が出力している電圧の推移とが示されている。各推移の横軸には、時間が示されている。ラッチ回路32、出力回路30及びフィルタ回路31夫々が出力している電圧の推移の縦軸には、電圧が示されている。図3において、「H」はハイレベル電圧を示し、「L」はローレベル電圧を示す。

前述したように、出力回路30が出力している電圧は出力電圧 V_2 であり、フィルタ回路31が出力している電圧はキャパシタC1の両端間の電圧である。

[0078] ダイオード11に電流が流れていない場合、出力回路30が出力している電圧は基準電圧 V_r 未満であり、フィルタ回路31が出力している電圧は閾値電圧 V_{th} を超えており、ラッチ回路32はローレベル電圧を駆動回路33に出力している。このため、ダイオード11に電流が流れていない場合、指示信号の指示に従って、駆動回路33はFET10をオン又はオフに切替える。

[0079] 従って、ダイオード11に電流が流れていない場合において、指示信号がFET10のオンを示すとき、FET10はオンである。外部装置20は、スタータ15が作動する直前に指示信号の指示をFET10のオンからFET10のオフに切替える。これにより、駆動回路33は、FET10をオンからオフに切替える。FET10がオフに切替わってからスタータ15が作動するまでの間、第1蓄電器12からダイオード11に電流が流れる。このとき、出力回路30が出力している電圧は基準電圧 V_r 以上であるため、バイポーラトランジスタB3はオンである。バイポーラトランジスタB3がオンである間、前述したように、フィルタ回路31のキャパシタC1は放電し

、フィルタ回路 31 が出力している電圧が低下する。

[0080] スタータ 15 が作動した場合、第 1 蓄電器 12 の端子電圧が第 2 蓄電器 13 の端子電圧未満となるため、ダイオード 11 への通電は停止し、出力回路 30 が出力している電圧は基準電圧 V_r 未満となる。これにより、フィルタ回路 31 のバイポーラトランジスタ B3 がオフに切替わり、フィルタ回路 31 のキャパシタ C1 の充電が開始される。前述したように、キャパシタ C1 の両端間の電圧が定電圧 V_{cc} と略一致するまで、キャパシタ C1 への充電は継続される。

[0081] スタータ 15 が動作を停止した場合、第 1 蓄電器 12 内で内部抵抗を介して出力される電流が低下し、第 1 蓄電器 12 の端子電圧が上昇する。このため、スタータ 15 が動作を停止してから、FET 10 がオンに切替わるまでの間、第 1 蓄電器 12 からダイオード 11 に電流が流れる。このとき、出力回路 30 が出力している電圧は基準電圧 V_r 以上であるため、フィルタ回路 31 のキャパシタ C1 は放電し、フィルタ回路 31 が出力している電圧が低下する。

[0082] 指示信号の指示が FET 10 のオフから FET 10 のオンに切替わり、駆動回路 33 が FET 10 をオフからオンに切替えた場合、FET 10 の両端電圧は略ゼロ V となるため、ダイオード 11 への通電が停止し、出力回路 30 が出力している電圧は基準電圧 V_r 未満となる。これにより、フィルタ回路 31 のバイポーラトランジスタ B3 がオフに切替わり、フィルタ回路 31 のキャパシタ C1 の充電が開始される。前述したように、キャパシタ C1 の両端間の電圧が定電圧 V_{cc} と略一致するまで、キャパシタ C1 への充電は継続される。

[0083] 次に、外部装置 20 の故障が原因で指示信号の指示が誤って FET 10 のオフに切替わった場合、駆動回路 33 は、指示信号の指示に従って FET 10 をオフに切替える。これにより、第 1 蓄電器 12 からダイオード 11 に電流が流れ、出力回路 30 が出力している電圧が基準電圧 V_r 以上となり、バイポーラトランジスタ B3 はオンに切替わる。これにより、フィルタ回路 3

１のキャパシタＣ１の放電が開始される。

[0084] その後、スタータ１５は作動しないため、指示信号の指示がＦＥＴ１０のオンに切替わらない限り、出力回路３０が出力されている電圧は基準電圧 V_r 以上に維持され、フィルタ回路３１が出力している電圧は時間の経過と共に低下する。フィルタ回路３１が出力している電圧が低下する速度は、前述したように、キャパシタＣ１の静電容量と、抵抗Ｒ５の抵抗値との積によって表される時定数によって決まる。

[0085] ダイオード１１に電流が連続して流れている期間が一定期間以上となった場合、即ち、出力回路３０が、基準電圧 V_r 以上である電圧を一定期間以上連続して出力した場合、フィルタ回路３１が出力している電圧が閾値電圧 V_{th} 以下となる。ラッチ回路３２は、フィルタ回路３１が出力している電圧が閾値電圧 V_{th} 以下となった場合、駆動回路３３に出力している電圧をローレベル電圧からハイレベル電圧に切替え、駆動回路３３にＦＥＴ１０のオンへの切替えを指示する。ラッチ回路３２がＦＥＴ１０のオンへの切替えを指示した場合、駆動回路３３は、指示信号の指示に無関係にＦＥＴ１０をオンに切替える。ラッチ回路３２は、駆動回路３３に出力している電圧をハイレベル電圧に切替えた後、フィルタ回路３１が出力している電圧が閾値電圧 V_{th} を超えた場合であっても、駆動回路３３に出力している電圧をローレベル電圧に切替えることはない。このため、駆動回路３３は、駆動回路３３に入力された指示信号の指示に無関係にＦＥＴ１０をオンに切替えた後、ＦＥＴ１０のオンを維持する。ラッチ回路３２は指示部として機能する。

[0086] 駆動回路３３がＦＥＴ１０をオンに切替えた場合、ダイオード１１への通電が停止するので、出力回路３０が出力している電圧は基準電圧 V_r 未満となり、フィルタ回路３１のキャパシタＣ１への充電が開始される。その後、キャパシタＣ１への充電が継続されるので、フィルタ回路３１が出力している電圧は、定電圧 V_{cc} に略一致するまで上昇する。

[0087] 前述したように、ＦＥＴ１０がオフに切替わってからスタータ１５が作動するまでの期間は一定期間よりも短く、スタータ１５が動作を停止してから

F E T 1 0 がオンに切替わるまでの期間も一定期間よりも短い。このため、外部装置 2 0 が適正な指示信号を駆動回路 3 3 に出力しているにも関わらず、誤ってラッチ回路 3 2 がハイレベル電圧を出力し、指示信号の指示に無関係に F E T 1 0 がオンに維持されることはない。

[0088] 電源システム 1 では、前述したように、F E T 1 0 がオフである場合において、ダイオード 1 1 に電流が連続して一定期間以上流れたとき、ラッチ回路 3 2 が駆動回路 3 3 に F E T 1 0 のオンへの切替えを指示し、駆動回路 3 3 は F E T 1 0 をオフからオンに切替える。このため、ダイオード 1 1 に電流が長期間流れ続けることが防止される。

前述したように、ダイオード 1 1 に電流が流れた場合、出力回路 3 0 から、基準電圧 V_r 以上である電圧がフィルタ回路 3 1 に出力され、フィルタ回路 3 1 は、基準電圧 V_r 以上である電圧の出力期間に応じた電圧をラッチ回路 3 2 に出力する。このため、ラッチ回路 3 2 は、フィルタ回路 3 1 が出力した電圧、即ち、基準電圧 V_r 以上である電圧の出力期間に基づいて、F E T 1 0 のオンへの切替えを駆動回路 3 3 に指示するので、適切なタイミングで F E T 1 0 がオンに切替わる。また、出力回路 3 0 は、バイポーラトランジスタ B 1, B 2 及び抵抗 R 1, R 2, R 3 を用いて安価に構成される。

[0089] (実施形態 2)

図 4 は、実施形態 2 におけるスイッチ制御装置 1 7 の回路図である。

以下では、実施形態 2 について、実施形態 1 と異なる点を説明する。後述する構成を除く他の構成については、実施形態 1 と共通しているため、実施形態 1 と共通する構成部には実施形態 1 と同一の参照符号を付してその説明を省略する。

[0090] 実施形態 2 を実施形態 1 と比較した場合、スイッチ制御装置 1 7 が有する出力回路 3 0 の構成が異なる。実施形態 2 における出力回路 3 0 は、実施形態 1 と同様に、バイポーラトランジスタ B 1 及び抵抗 R 1, R 2, R 3 を有する。実施形態 2 における出力回路 3 0 は、バイポーラトランジスタ B 2 の代わりに、差動増幅器 4 0 を有する。差動増幅器 4 0 は、プラス端子、マイ

ナス端子及び出力端子を有する。

[0091] バイポーラトランジスタ B 1 及び抵抗 R 1 , R 2 は実施形態 1 と同様に接続されている。F E T 1 0 のドレインは、差動増幅器 4 0 のプラス端子と、抵抗 R 3 の一端とに接続されている。差動増幅器 4 0 のマイナス端子はバイポーラトランジスタ B 1 のエミッタに接続されている。差動増幅器 4 0 の出力端子はバイポーラトランジスタ B 1 のベースに接続されている。抵抗 R 2 , R 3 の他端は接地されている。

[0092] 前述したように、バイポーラトランジスタ B 1 では、エミッタの電位を基準としたベースの電圧が低い程、エミッタ及びコレクタ間の抵抗値は低い。差動増幅器 4 0 は、エミッタ電圧 V_e と、ドレイン電圧 V_d とに応じて、接地電位を基準としたバイポーラトランジスタ B 1 のベースの電圧であるベース電圧 V_b を調整する。

前述したように、エミッタ電圧 V_e は、接地電位を基準としたバイポーラトランジスタ B 1 のエミッタの電圧であり、ドレイン電圧 V_d は、接地電位を基準とした F E T 1 0 のドレインの電圧である。

[0093] 実施形態 1 と同様に、抵抗 R 1 を流れる抵抗電流 I_1 の略全ては、バイポーラトランジスタ B 1 のベース及びコレクタを介して抵抗 R 2 を流れ、抵抗電流 I_1 は、ソース電圧 V_s を、抵抗 R 1 , R 2 の抵抗値 r_1 , r_2 と、バイポーラトランジスタ B 1 のエミッタ及びコレクタ間の抵抗値との和で除算することによって算出される。従って、バイポーラトランジスタ B 1 のエミッタ及びコレクタ間の抵抗値が小さい程、抵抗電流 I_1 は大きい。

ソース電圧は、前述したように、接地電位を基準とした F E T 1 0 のソースの電圧である。

[0094] 差動増幅器 4 0 は、エミッタ電圧 V_e がドレイン電圧 V_d と一致するように、バイポーラトランジスタ B 1 のエミッタ及びコレクタ間の抵抗値を調整する。エミッタ電圧 V_e がドレイン電圧 V_d よりも高くなった場合、ベース電圧 V_b を低下させる。これにより、バイポーラトランジスタ B 1 において、エミッタの電位を基準としたベースの電圧が低下し、バイポーラトランジ

スタ B 1 のエミッタ及びコレクタ間の抵抗値が低下する。これにより、抵抗電流 I_1 が上昇し、抵抗 R_1 で生じる電圧降下の幅が上昇する。結果、エミッタ電圧 V_e は低下し、エミッタ電圧 V_e 及びドレイン電圧 V_d は一致する。

[0095] 差動増幅器 40 は、エミッタ電圧 V_e がドレイン電圧 V_d よりも低くなった場合、ベース電圧 V_b を上昇させる。これにより、バイポーラトランジスタ B 1 において、エミッタの電位を基準としたベースの電圧が上昇し、バイポーラトランジスタ B 1 のエミッタ及びコレクタ間の抵抗値が上昇する。これにより、抵抗電流 I_1 が低下し、抵抗 R_1 で生じる電圧降下の幅が低下する。結果、エミッタ電圧 V_e は上昇し、エミッタ電圧 V_e 及びドレイン電圧 V_d は一致する。

[0096] 実施形態 1 と同様に、エミッタ電圧 V_e はドレイン電圧 V_d と一致し、抵抗電流 I_1 の略全てが抵抗 R_2 を流れるので、出力電圧は、前述した (5) 式で表される。従って、出力回路 30 がフィルタ回路 31 に出力する出力電圧 V_2 は、FET 10 の両端電圧が高い程、高い。また、ドレイン電圧 V_d がソース電圧 V_s よりも高い場合、即ち、 $(V_s - V_d)$ が負の電圧である場合、バイポーラトランジスタ B 1 のエミッタ及びコレクタ間に電流が流れず、出力電圧 V_2 はゼロ V である。

以上のことから、実施形態 2 における出力回路 30 は、実施形態 1 における出力回路 30 と同様に作用する。

[0097] 実施形態 2 における電源システム 1 は、実施形態 1 における電源システム 1 が奏する効果の中で、出力回路 30 がバイポーラトランジスタ B 1, B 2 及び抵抗 R_1 , R_2 , R_3 によって構成されることによって得られる効果を除く他の効果を同様に奏する。

[0098] なお、実施形態 2 では、バイポーラトランジスタ B 1 の代わりに、P チャネル型の FET を用いてもよい。この場合、バイポーラトランジスタ B 1 のエミッタ、コレクタ及びベース夫々は、FET のソース、ドレイン及びコレクタに対応する。N チャネル型の FET では、ソースの電位を基準としたゲ

ートの電圧が低い程、ドレイン及びソース間の抵抗値が低い。また、抵抗電流 I_1 の略全てが FET のドレイン及びソースを介して抵抗 R_2 を流れる。

[0099] (実施形態 3)

図 5 は、実施形態 3 におけるスイッチ制御装置 17 の回路図である。

以下では、実施形態 3 について、実施形態 1 と異なる点を説明する。後述する構成を除く他の構成については、実施形態 1 と共通しているため、実施形態 1 と共通する構成部には実施形態 1 と同一の参照符号を付してその説明を省略する。

[0100] 実施形態 3 を実施形態 1 と比較した場合、スイッチ制御装置 17 が有する出力回路 30 の構成が異なる。実施形態 3 における出力回路 30 は差動増幅器 41 を有する。差動増幅器 41 は、FET 10 の両端電圧、即ち、 $(V_s - V_d)$ に応じた電圧を出力する。差動増幅器 41 が出力する電圧は、フィルタ回路 31 に出力される出力電圧 V_2 である。出力電圧 V_2 は、所定数 C_f と、 $(V_s - V_d)$ との積によって表される。

[0101] 基準電圧 V_r は、ゼロ V よりも高く、FET 10 がオフである状態で電流がダイオード 11 を流れている場合における出力電圧 V_2 よりも低い。実施形態 1 と同様に、出力電圧 V_2 が基準電圧 V_r 以上である場合、バイポーラトランジスタ B3 はオンであり、出力電圧 V_2 が基準電圧 V_r 未満である場合、バイポーラトランジスタ B3 はオフである。

実施形態 1 と同様に、基準電圧 V_r が固定されている場合においては、FET 10 がオフである状態で電流がダイオード 11 に流れているときに、出力電圧 V_2 が基準電圧 V_r 、例えば、約 $0.6 V$ を超えるように、所定数 C_f を設定する。

[0102] 実施形態 3 における電源システム 1 は、実施形態 1 における電源システム 1 が奏する効果の中で、出力回路 30 がバイポーラトランジスタ B1, B2 及び抵抗 R_1 , R_2 , R_3 によって構成されることによって得られる効果を除く他の効果を同様に奏する。

[0103] (実施形態 4)

図6は実施形態4におけるスイッチ制御装置17の回路図である。

以下では、実施形態4について、実施形態1と異なる点を説明する。後述する構成を除く他の構成については、実施形態1と共通しているため、実施形態1と共通する構成部には実施形態1と同一の参照符号を付してその説明を省略する。

[0104] 実施形態4におけるスイッチ制御装置17は、実施形態1におけるスイッチ制御装置17が有する構成部に加えて、マイクロコンピュータ（以下、マイコンという）50と、PNP型のバイポーラトランジスタB4と、抵抗R6, R7, R8, R9とを更に有する。実施形態4における出力回路30は、実施形態1における出力回路30が有する構成部に加えて、NPN型のバイポーラトランジスタB5を有する。

[0105] バイポーラトランジスタB4のエミッタと、抵抗R6の一端とは、定電圧 V_{cc} が印加されている。バイポーラトランジスタB1のベースと、抵抗R6の他端とは、抵抗R7の一端に接続されている。抵抗R7の他端はFET10のゲートに接続されている。バイポーラトランジスタB4のコレクタには、抵抗R8の一端が接続されている。抵抗R8の他端は抵抗R9の一端に接続されている。抵抗R9の他端は接地されている。

実施形態4における出力回路30では、抵抗R3の他端にバイポーラトランジスタB5のコレクタが接続されている。バイポーラトランジスタB5において、ベースは、抵抗R8, R9間の接続ノードに接続され、エミッタは接地されている。

[0106] 出力回路30のバイポーラトランジスタB5は、バイポーラトランジスタB3と同様にスイッチとして機能する。バイポーラトランジスタB5において、エミッタの電位を基準としたベースの電圧、即ち、抵抗R9の両端間の電圧が一定電圧以上である場合、コレクタ及びエミッタ間に電流が流れることが可能である。このとき、バイポーラトランジスタB5はオンである。バイポーラトランジスタB5において、抵抗R9の両端間の電圧が一定電圧未満である場合、コレクタ及びエミッタ間に電流が流れることはない。このと

き、バイポーラトランジスタ B 5 はオフである。ここで、一定電圧は、正の電圧であり、ゼロ V を超えている。

[0107] バイポーラトランジスタ B 5 がオンである場合、抵抗 R 3 の他端が接地されるので、実施形態 4 における出力回路 3 0 は、実施形態 1 における出力回路 3 0 と同様に機能する。このとき、実施形態 4 における出力回路 3 0 が出力する出力電圧 V 2 は、(5) 式で表さ、F E T 1 0 の両端電圧に比例する。

[0108] バイポーラトランジスタ B 5 がオフである場合、抵抗 R 3 の他端は開放されているため、バイポーラトランジスタ B 1, B 2 夫々において、エミッタからベースに電流が流れることはない。このとき、バイポーラトランジスタ B 1, B 2 夫々において、エミッタ及びコレクタ間の抵抗値は非常に大きく、抵抗 R 2 に電流が流れることはない。抵抗 R 2 に電流が流れない場合、出力電圧 V 2 はゼロ V であり、フィルタ回路 3 1 のバイポーラトランジスタ B 3 はオフである。バイポーラトランジスタ B 3 がオフである場合、実施形態 1 で述べたように、キャパシタ C 1 の両端間の電圧が定電圧 V c c に略一致するまで、キャパシタ C 1 が充電される。

[0109] バイポーラトランジスタ B 5 がオフである場合、F E T 1 0 の両端電圧に無関係に出力電圧 V 2 はゼロ V であるため、ダイオード 1 1 への通電を検出することはできず、出力回路 3 0 は機能を停止している。バイポーラトランジスタ B 5 がオンである場合、出力回路 3 0 は、F E T 1 0 の両端電圧に比例する出力電圧 V 2 を出力するので、ダイオード 1 1 への通電を検出することができる。

バイポーラトランジスタ B 5 がオフである場合、バイポーラトランジスタ B 1, B 2, B 5 及び抵抗 R 1, R 2, R 3 を電流が流れることはなく、出力回路 3 0 で消費される電力は略ゼロ W である。

[0110] バイポーラトランジスタ B 4 も、バイポーラトランジスタ B 3, B 5 と同様にスイッチとして機能する。バイポーラトランジスタ B 3 において、エミッタの電位を基準としたベースの電圧が一定電圧未満である場合、コレクタ

及びエミッタ間に電流が流れることが可能である。このとき、バイポーラトランジスタ B 4 はオンである。バイポーラトランジスタ B 4 において、エミッタの電位を基準としたベースの電圧が一定電圧以上である場合、コレクタ及びエミッタ間に電流は流れることはない。このとき、バイポーラトランジスタ B 4 はオフである。ここで、一定電圧は負の電圧である。従って、バイポーラトランジスタ B 4 において、エミッタ電位を基準としたベースの電圧がゼロ V 以上である場合、バイポーラトランジスタ B 4 はオフである。

[0111] 駆動回路 3 3 は、実施形態 1 で述べたように、接地電位を基準とした F E T 1 0 のゲートの電圧を上昇させることによって、F E T 1 0 をオンに切替える。駆動回路 3 3 が F E T 1 0 をオンにしている場合、接地電位を基準とした F E T 1 0 のゲートの電圧は定電圧 V_{cc} 以上である。接地電位を基準とした F E T 1 0 のゲートの電圧が定電圧 V_{cc} である場合、抵抗 R 6, R 7 に電流が流れず、接地電位を基準とした F E T 1 0 のゲートの電圧が定電圧 V_{cc} 以上である場合、電流は抵抗 R 7, R 6 の順に流れる。従って、接地電位を基準とした F E T 1 0 のゲートの電圧が定電圧 V_{cc} 以上である場合、バイポーラトランジスタ B 4 において、エミッタの電位を基準としたベースの電圧はゼロ V 以上であるため、バイポーラトランジスタ B 4 はオフである。

[0112] バイポーラトランジスタ B 4 がオフである場合、抵抗 R 8, R 9 に電流が流れることはない。このため、抵抗 R 9 の両端間の電圧は、ゼロ V であり、バイポーラトランジスタ B 5 のオン及びオフへの切替えに係る一定電圧未満である。前述したように、抵抗 R 9 の両端間の電圧が一定電圧未満である場合、バイポーラトランジスタ B 5 はオフであり、出力回路 3 0 は機能を停止している。

[0113] 駆動回路 3 3 は、実施形態 1 で述べたように、接地電位を基準とした F E T 1 0 のゲートの電圧を低下させることによって、F E T 1 0 をオフに切替える。駆動回路 3 3 が F E T 1 0 をオフに維持している場合、接地電位を基準とした F E T 1 0 のゲートの電圧は定電圧 V_{cc} よりも低い。このとき、

電流は抵抗 R 6, R 7 の順に流れ、バイポーラトランジスタ B 4 において、エミッタの電位を基準としたベースの電圧は、バイポーラトランジスタ B 4 のオン及びオフへの切替えに係る一定電圧未満である。このため、バイポーラトランジスタ B 4 はオンである。

[0114] バイポーラトランジスタ B 4 がオンである場合、バイポーラトランジスタ B 4 のエミッタから、電流がバイポーラトランジスタ B 4 及び抵抗 R 8, R 9 の順に流れる。このとき、抵抗 R 9 の両端間の電圧は、バイポーラトランジスタ B 5 のオン及びオフへの切替えに係る一定電圧以上であるため、バイポーラトランジスタ B 5 はオンである。前述したように、バイポーラトランジスタ B 5 がオンである場合、出力回路 30 は、F E T 10 の両端電圧に比例する出力電圧 V 2 を出力するので、ダイオード 11 の通電を検出することができる。

[0115] 実施形態 1 で述べたように、F E T 10 がオンである場合、ダイオード 11 に電流が流れることはないので、出力回路 30 は機能を停止していてもよい。F E T 10 がオフである場合、ダイオード 11 に電流が流れる可能性がある。実施形態 4 におけるスイッチ制御装置 17 では、F E T 10 がオンである場合、バイポーラトランジスタ B 4, B 5 がオフであるため、出力回路 30 は機能を停止し、出力回路 30 で電力が消費されることはない。F E T 10 がオフである場合、バイポーラトランジスタ B 4, B 5 がオンであるため、出力回路 30 は、F E T 10 の両端電圧に比例する出力電圧 V 2 を出力し、ダイオード 11 の通電を検出することが可能である。

実施形態 4 におけるスイッチ制御装置 17 では、F E T 10 がオンである間、出力回路 30 は電力を消費しないので、消費電力が低い。

[0116] マイコン 50 には、フィルタ回路 31 が出力している電圧、即ち、フィルタ回路 31 におけるキャパシタ C 1 の両端間の電圧が入力される。マイコン 50 は、図示しない C P U (Central Processing Unit) 及び記憶部を有し、記憶部にはコンピュータプログラムが記憶されている。マイコン 50 の C P U は、コンピュータプログラムを実行することによって報知処理を実行する。

- [0117] 図7は報知処理の手順を示すフローチャートである。マイコン50は、フィルタ回路31が出力している電圧が閾値電圧 V_{th} 未満となった場合、即ち、ラッチ回路32が駆動回路33にFET10のオンへの切替えを指示した場合に報知処理を実行する。まず、マイコン50は、FET10がオンに切替わったか否かを判定する（ステップS1）。
- [0118] ステップS1では、マイコン50は、フィルタ回路31が出力している電圧が閾値電圧 V_{th} 未満である状態が基準時間以上続いた場合、FET10がオンに切替わらなかったと判定する。マイコン50は、フィルタ回路31が出力している電圧が閾値電圧未満となってから基準時間が経過するまでに、フィルタ回路31が出力している電圧が閾値電圧以上となった場合、FET10がオンに切替わったと判定する。
- [0119] マイコン50は、FET10がオンに切替わったと判定した場合（S1：YES）、指示信号の指示に無関係に駆動回路33がFET10をオンに維持している旨の報知を指示する第1報知信号を外部装置20に出力する（ステップS2）。マイコン50は、FET10がオンに切替わらなかったと判定した場合（S1：NO）、FET10がオフに固定されている旨の報知を指示する第2報知信号を外部装置20に出力する（ステップS3）。マイコン50は、ステップS2、S3の一方を実行した後、報知処理を終了する。
- [0120] 外部装置20は、第1報知信号が入力された場合、ランプの点灯、又は、メッセージの表示等を行うことによって、指示信号の指示に無関係に駆動回路33がFET10をオンに維持している旨を報知する。また、外部装置20は、第2報知信号が入力された場合、ランプの点灯、又は、メッセージの表示等を行うことによって、FET10がオフに固定されている旨を報知する。
- [0121] 図8はスイッチ制御装置17の動作の説明図である。図8では、図3と同様に、FET10のオン及びオフの推移と、指示信号の指示の推移と、ラッチ回路32、出力回路30及びフィルタ回路31夫々が出力している電圧の推移とが示されている。各推移の横軸には、時間が示されている。ラッチ回

路 3 2、出力回路 3 0 及びフィルタ回路 3 1 夫々が出力している電圧の推移の縦軸には、電圧が示されている。図 8 においても、「H」はハイレベル電圧を示し、「L」はローレベル電圧を示す。

[0122] 実施形態 4 におけるスイッチ制御装置 1 7 において、駆動回路 3 3 の故障が原因で、指示信号の指示がオンであるにも関わらず、駆動回路 3 3 が誤ってオフに切替えた場合、第 1 蓄電器 1 2 からダイオード 1 1 に電流が流れる。このとき、出力回路 3 0 が出力している電圧が基準電圧 V_r 以上となり、バイポーラトランジスタ B 3 はオンに切替わる。これにより、フィルタ回路 3 1 のキャパシタ C 1 の放電が開始される。

[0123] その後、スタータ 1 5 は作動しないため、指示信号の指示が F E T 1 0 のオンに切替わらない限り、出力回路 3 0 が出力されている電圧は基準電圧 V_r 以上に維持され、フィルタ回路 3 1 が出力している電圧は時間の経過と共に低下する。フィルタ回路 3 1 が出力している電圧が低下する速度は、前述したように、キャパシタ C 1 の静電容量と、抵抗 R 5 の抵抗値との積によって表される時定数によって決まる。

[0124] ダイオード 1 1 に電流が連続して流れている期間が一定期間以上となった場合、即ち、出力回路 3 0 が、基準電圧 V_r 以上である電圧を一定期間以上連続して出力した場合、フィルタ回路 3 1 が出力している電圧が閾値電圧 V_{th} 以下となる。ラッチ回路 3 2 は、フィルタ回路 3 1 が出力している電圧が閾値電圧 V_{th} 以下となった場合、駆動回路 3 3 に出力している電圧をローレベル電圧からハイレベル電圧に切替え、駆動回路 3 3 に F E T 1 0 のオンへの切替えを指示する。

[0125] ここで、駆動回路 3 3 は故障しているため、駆動回路 3 3 は F E T 1 0 をオフに維持する。フィルタ回路 3 1 が出力している電圧が閾値電圧 V_{th} 未満である状態が基準時間以上続いた場合、マイコン 5 0 は、第 2 報知信号を外部装置 2 0 に出力し、使用者に、F E T 1 0 がオフに固定されている旨を報知する。

以上のように、フィルタ回路 3 1 が出力している電圧が閾値電圧 V_{th} 未

満となって、ラッチ回路 32 が駆動回路 33 に FET 10 のオンへの切替えを指示したにも関わらず、FET 10 がオンに切替わらなかった場合、マイコン 50 は第 2 報知信号を外部装置 20 に出力する。これにより、FET 10 がオフに固定されている旨が外部装置 20 によって使用者に報知される。マイコン 50 は信号出力部として機能する。

[0126] また、外部装置 20 の故障が原因で指示信号の指示が誤って FET 10 のオフに切替わった場合において、フィルタ回路 31 が出力している電圧が閾値電圧 V_{th} 未満となったときに駆動回路 33 は FET 10 をオンに切替える。この場合、フィルタ回路 31 が出力している電圧が閾値電圧未満となつてから基準時間が経過するまでに、フィルタ回路 31 が出力している電圧が閾値電圧以上となるので、マイコン 50 は、第 1 報知信号を外部装置 20 に出力する。これにより、指示信号の指示に無関係に FET 10 がオンに維持されている旨が外部装置 20 によって使用者に報知される。

なお、図 8 において、FET 10 が駆動回路 33 によって誤ってオフにする以前の動作は、図 3 を用いて説明された実施形態 1 の動作と同様である。

[0127] 実施形態 4 におけるスイッチ制御装置 17 は、実施形態 1 におけるスイッチ制御装置 17 が有する構成部を有し、これらは実施形態 1 と同様に作用するため、実施形態 1 におけるスイッチ制御装置 17 が奏する効果を同様に奏する。

実施形態 4 におけるスイッチ制御装置 17 では、ダイオード 11 に電流が一定時間以上流れてスイッチがオンに切替わった場合にマイコン 50 は第 1 報知信号を外部装置 20 に出力するので、指示信号の指示に無関係に FET 10 がオンに維持されている旨が外部装置 20 によって使用者に報知される。

[0128] なお、実施形態 2, 3 において、スイッチ制御装置 17 が、実施形態 4 と同様に作用するマイコン 50 を有し、外部装置 20 が実施形態 4 と同様に作用してもよい。この場合、実施形態 4 と同様に使用者に報知が行われる。

また、実施形態 2, 3 において、実施形態 4 と同様に、駆動回路 33 が F

ＥＴ１０をオンにしている間、出力回路３０の機能を停止させてもよい。例えば、実施形態２では、駆動回路３３がＦＥＴ１０をオンにしている間、図示しない電源から差動増幅器４０への給電経路に設けられている図示しないスイッチをオフにすることによって、差動増幅器４０への給電を停止してもよい。この場合、バイポーラトランジスタＢ１及び抵抗Ｒ１，Ｒ２に電流が流れず、出力回路３０の機能が停止する。また、例えば、実施形態３では、駆動回路３３がＦＥＴ１０をオンにしている間、図示しない電源から差動増幅器４１への給電経路に設けられている図示しないスイッチをオフにすることによって、差動増幅器４１への給電を停止する。これにより、出力回路３０の機能が停止する。

[0129] また、実施形態１－４において、フィルタ回路３１のバイポーラトランジスタＢ３は、スイッチとして機能すればよい。このため、バイポーラトランジスタＢ３の代わりに、Ｎチャネル型のＦＥＴを用いてもよい。この場合、ＦＥＴのゲート、ドレイン及びソース夫々は、バイポーラトランジスタＢ３のベース、コレクタ及びエミッタに対応する。

[0130] フィルタ回路３１の構成は、出力回路３０が、基準電圧 V_r 以上である電圧を出力している出力期間が長い程、低い電圧を出力する構成に限定されず、出力期間が長い程、高い電圧を出力する構成であってもよい。この場合においては、ラッチ回路３２は、フィルタ回路３１が出力した電圧が閾値電圧 V_{th} 未満である場合、ローレベル電圧を駆動回路３３に出力する。フィルタ回路３１が出力した電圧が閾値電圧 V_{th} 以上となった場合、ラッチ回路３２は駆動回路３３に出力している電圧をローレベル電圧からハイレベル電圧に切替え、駆動回路３３に出力している電圧をハイレベル電圧に維持する。

[0131] また、外部装置２０は、スタータ１５が作動したと同時に、又は、スタータ１５が作動した後に指示信号の指示がＦＥＴ１０のオンからＦＥＴ１０のオフに切替わり、スタータ１５が動作を停止したと同時に、又は、スタータ１５が動作を停止する前に指示信号の指示がＦＥＴ１０のオフからＦＥＴ１０の

オンに切替わるように構成されてもよい。この場合、外部装置 20 が適正に指示信号の指示を切替えている限り、ダイオード 11 に電流が流れることはない。

[0132] この場合、スイッチ制御装置 17 はフィルタ回路 31 を有する必要はない。フィルタ回路 31 を有していないスイッチ制御装置 17 では、出力電圧 V_2 が基準電圧 V_r 未満である場合、ラッチ回路 32 はローレベル電圧を駆動回路 33 に出力する。出力電圧 V_2 が基準電圧 V_r 以上となった場合、ラッチ回路 32 は、駆動回路 33 に出力している電圧をハイレベル電圧に切替え、駆動回路 33 に出力している電圧をハイレベル電圧に維持する。

[0133] スイッチ制御装置 17 がフィルタ回路 31 を有しない場合、出力回路 30 は、FET 10 の両端電圧、即ち、 $(V_s - V_d)$ が高い程、低い電圧を出力するように構成されてもよい。この場合、基準電圧 V_r は、ソース電圧 V_s がドレイン電圧 V_d と一致する場合における出力電圧 V_2 よりも低く、ダイオード 11 に電流が流れた場合における出力電圧 V_2 よりも高い。ラッチ回路 32 は、出力電圧 V_2 が基準電圧 V_r 以上である場合、ラッチ回路 32 はローレベル電圧を駆動回路 33 に出力する。出力電圧 V_2 が基準電圧 V_r 未満となった場合、ラッチ回路 32 は、駆動回路 33 に出力している電圧をハイレベル電圧に切替え、駆動回路 33 に出力している電圧をハイレベル電圧に維持する。

[0134] また、FET 10 の型は、Nチャネル型に限定されず、Pチャネル型であってもよい。この場合、前述したNチャネル型のFET 10のドレイン及びソースが、Pチャネル型のFET 10のソース及びドレインに対応する。Pチャネル型のFET 10では、ドレインにダイオード 11 のアノードが接続され、ソースにダイオード 11 のカソードが接続される。FET 10 の型がPチャネル型である場合、駆動回路 33 は、接地電位を基準としたFET 10のゲートの電圧を低下させることによって、FET 10をオンに切替え、接地電位を基準としたFET 10のゲートの電圧を上昇させることによって、FET 10をオフに切替える。

[0135] 開示された実施形態 1 - 4 はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上述した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

符号の説明

- [0136] 1 電源システム
- 1 0 F E T
 - 1 1 ダイオード
 - 1 2 第 1 蓄電器
 - 1 3 第 2 蓄電器
 - 1 4 発電機
 - 1 5 スタータ
 - 1 6 負荷
 - 1 7 スイッチ制御装置
 - 2 0 外部装置
 - 3 0 出力回路
 - 3 1 フィルタ回路（第 2 の出力回路）
 - 3 2 ラッチ回路（指示部）
 - 3 3 駆動回路
 - 4 0, 4 1 差動増幅器
 - 5 0 マイコン（信号出力部）
 - B 1 バイポーラトランジスタ（第 1 バイポーラトランジスタ）
 - B 2 バイポーラトランジスタ（第 2 バイポーラトランジスタ）
 - B 3, B 4, B 5 バイポーラトランジスタ
 - C 1 キャパシタ
 - R 1 抵抗（第 1 抵抗）
 - R 2 抵抗（第 2 抵抗）
 - R 3 抵抗（第 3 抵抗）

R 4, R 5, . . . , R 9 抵抗

請求の範囲

- [請求項1] 第1蓄電器と、ダイオードのアノードとが一端に接続され、第2蓄電器と、該ダイオードのカソードとが他端に接続されているスイッチをオン又はオフに切替える切替え部を備えるスイッチ制御装置であって、
- 前記ダイオードに電流が流れた場合に、前記スイッチのオンへの切替えを前記切替え部に指示する指示部を備える
- スイッチ制御装置。
- [請求項2] 前記スイッチの両端間の電圧が高い程、高い電圧を出力する出力回路を備え、
- 前記指示部は、該出力回路が出力した電圧が所定電圧以上である場合に前記スイッチのオンへの切替えを指示し、
- 前記所定電圧は、前記ダイオードに電流が流れている場合に前記出力回路が出力する電圧よりも低い
- 請求項1に記載のスイッチ制御装置。
- [請求項3] 前記出力回路は、
- 前記スイッチの一端に一端が接続される第1抵抗と、
- 該第1抵抗の他端にエミッタが接続されるPNP型の第1バイポーラトランジスタと、
- 該第1バイポーラトランジスタのコレクタに一端が接続される第2抵抗と、
- 前記スイッチの他端にエミッタが接続され、前記第1バイポーラトランジスタのベースに、ベース及びコレクタが接続されるPNP型の第2バイポーラトランジスタと、
- 該第2バイポーラトランジスタのコレクタに一端が接続される第3抵抗と
- を有し、
- 前記出力回路は、前記第2抵抗の一端から電圧を出力する

請求項 2 に記載のスイッチ制御装置。

[請求項4] 前記出力回路が、前記所定電圧以上である電圧を出力している出力期間に応じた電圧を出力する第 2 の出力回路を備え、

前記指示部は、該第 2 の出力回路が出力した電圧に基づいて前記スイッチのオンへの切替えを指示する

請求項 2 又は請求項 3 に記載のスイッチ制御装置。

[請求項5] 前記第 2 の出力回路は、前記出力期間が長い程、低い電圧を出力し、

前記指示部は、前記第 2 の出力回路が出力した電圧が閾値電圧以下となった場合に前記スイッチのオンへの切替えを指示する

請求項 4 に記載のスイッチ制御装置。

[請求項6] 前記指示部が前記スイッチのオンへの切替えを指示したにも関わらず、前記スイッチがオンに切替わらなかった場合に、報知を指示する報知信号を出力する信号出力部を備える

請求項 1 から請求項 5 のいずれか 1 つに記載のスイッチ制御装置。

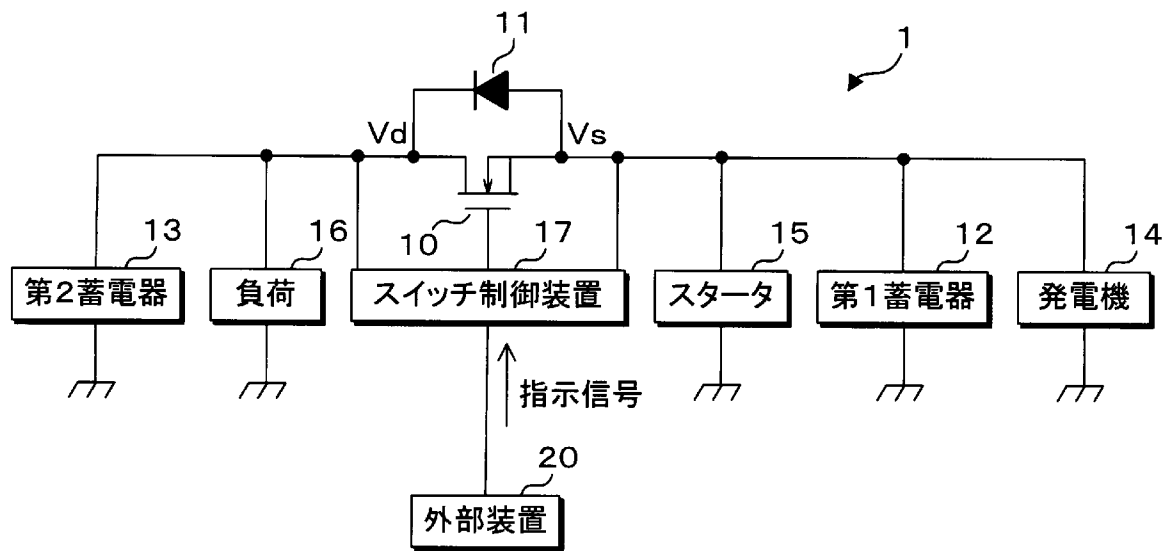
[請求項7] 前記スイッチのオン又はオフを指示する指示信号が入力される入力部を備え、

前記切替え部は、該入力部に入力された指示信号の指示に従って、前記スイッチをオン又はオフに切替え、

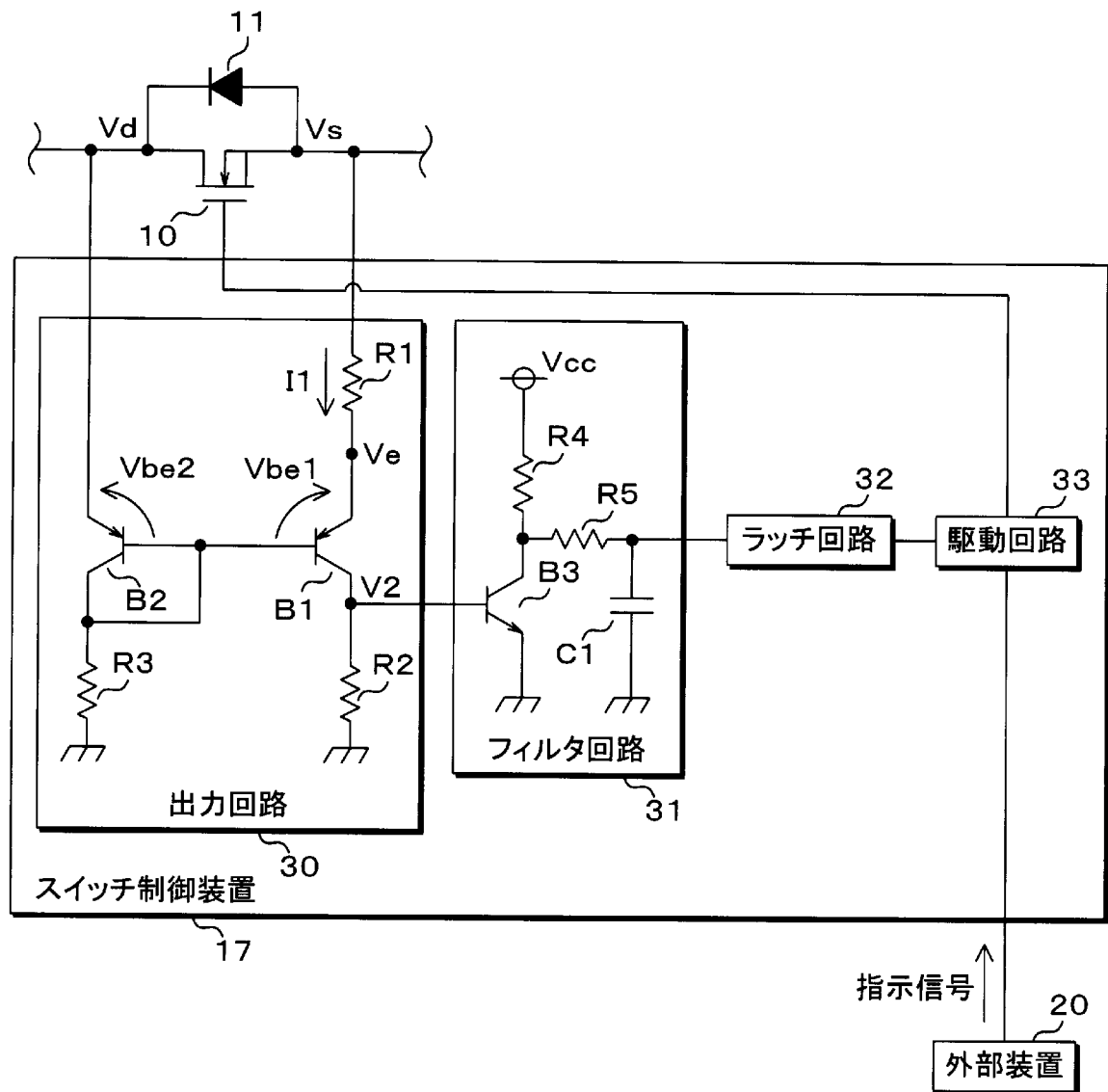
前記切替え部は、前記指示部が前記スイッチのオンへの切替えを指示した場合、前記入力部に入力された指示信号の指示に無関係に前記スイッチをオンに切替え、該スイッチのオンを維持する

請求項 1 から請求項 5 のいずれか 1 つに記載のスイッチ制御装置。

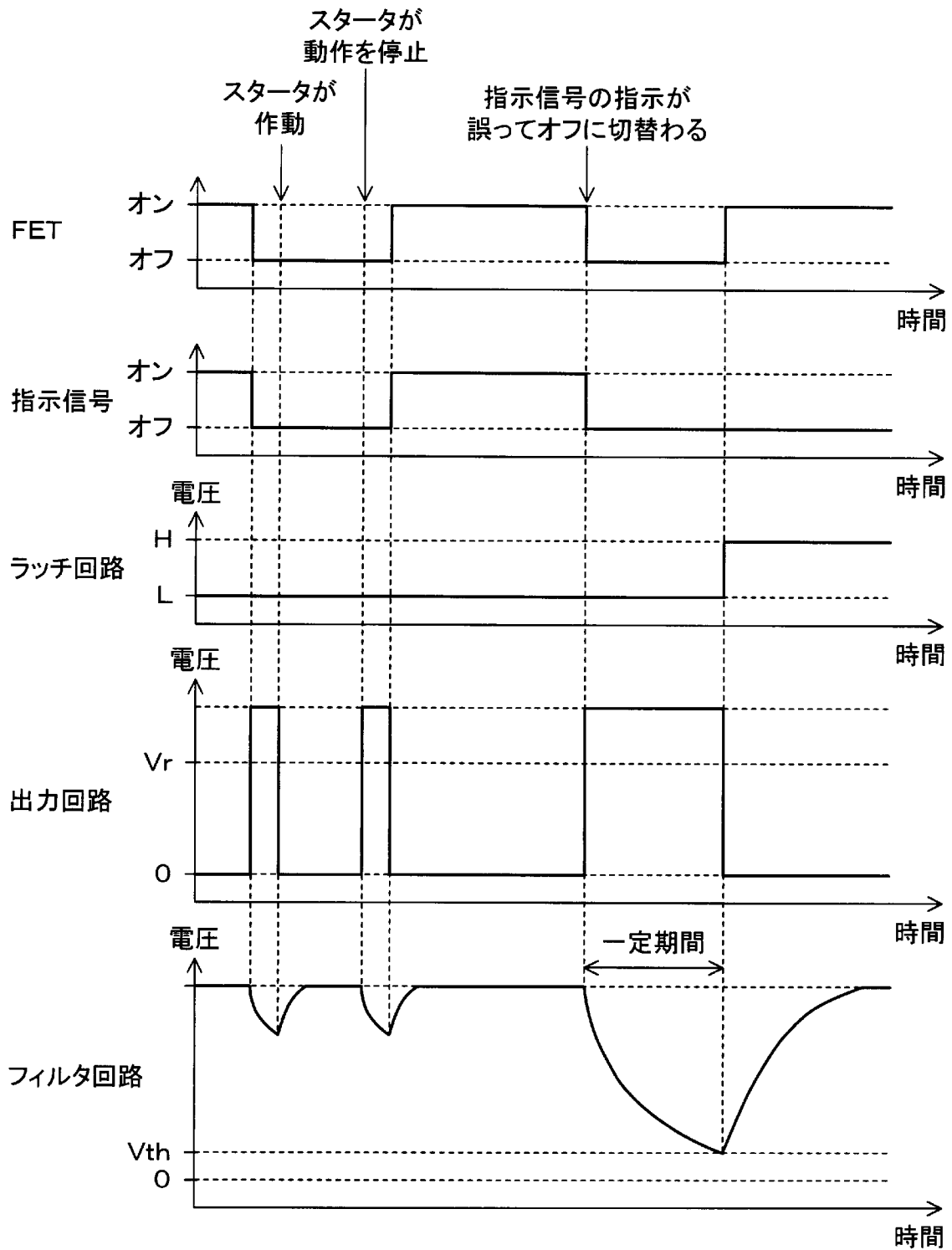
[図1]



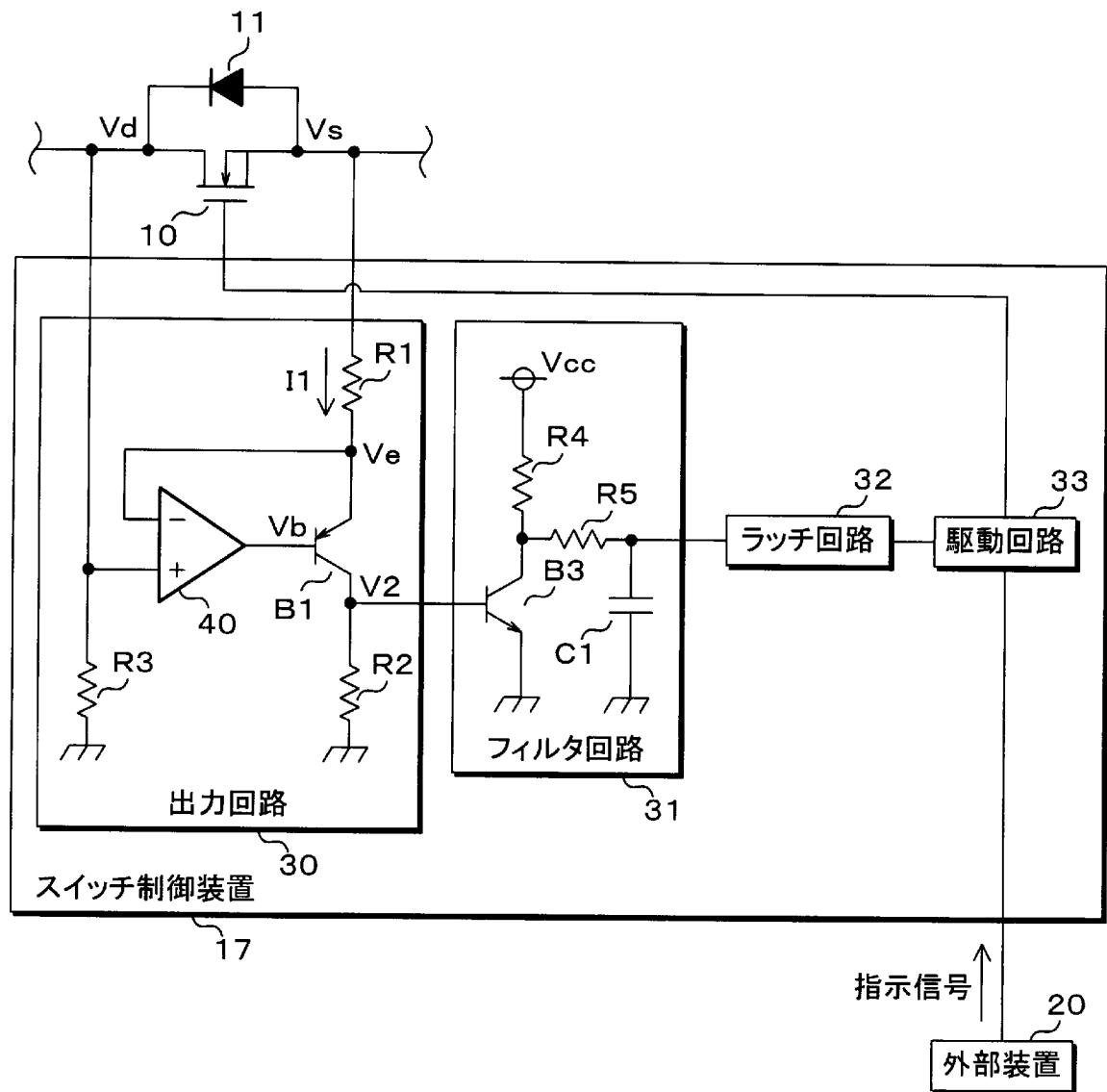
[図2]



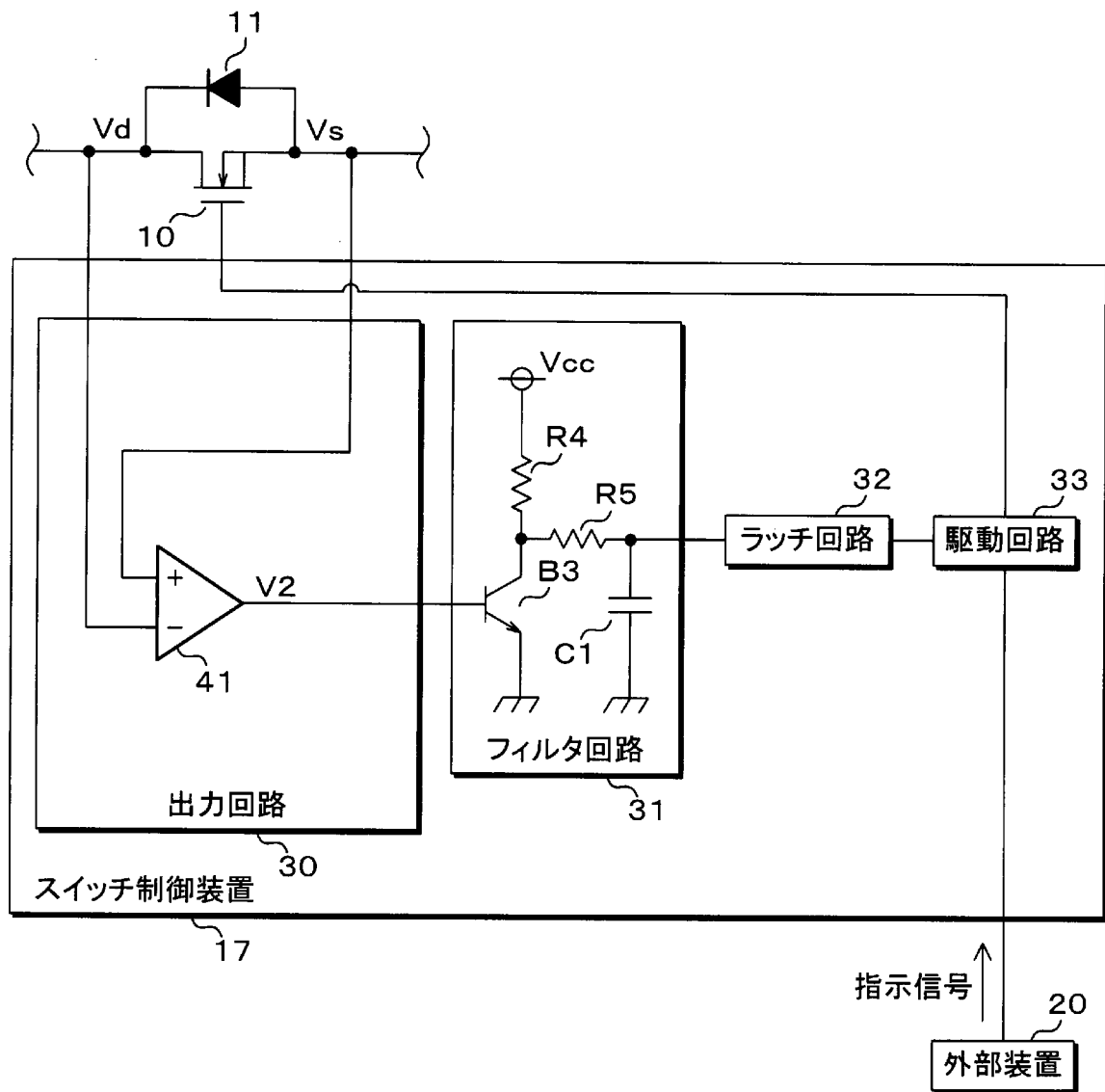
[図3]



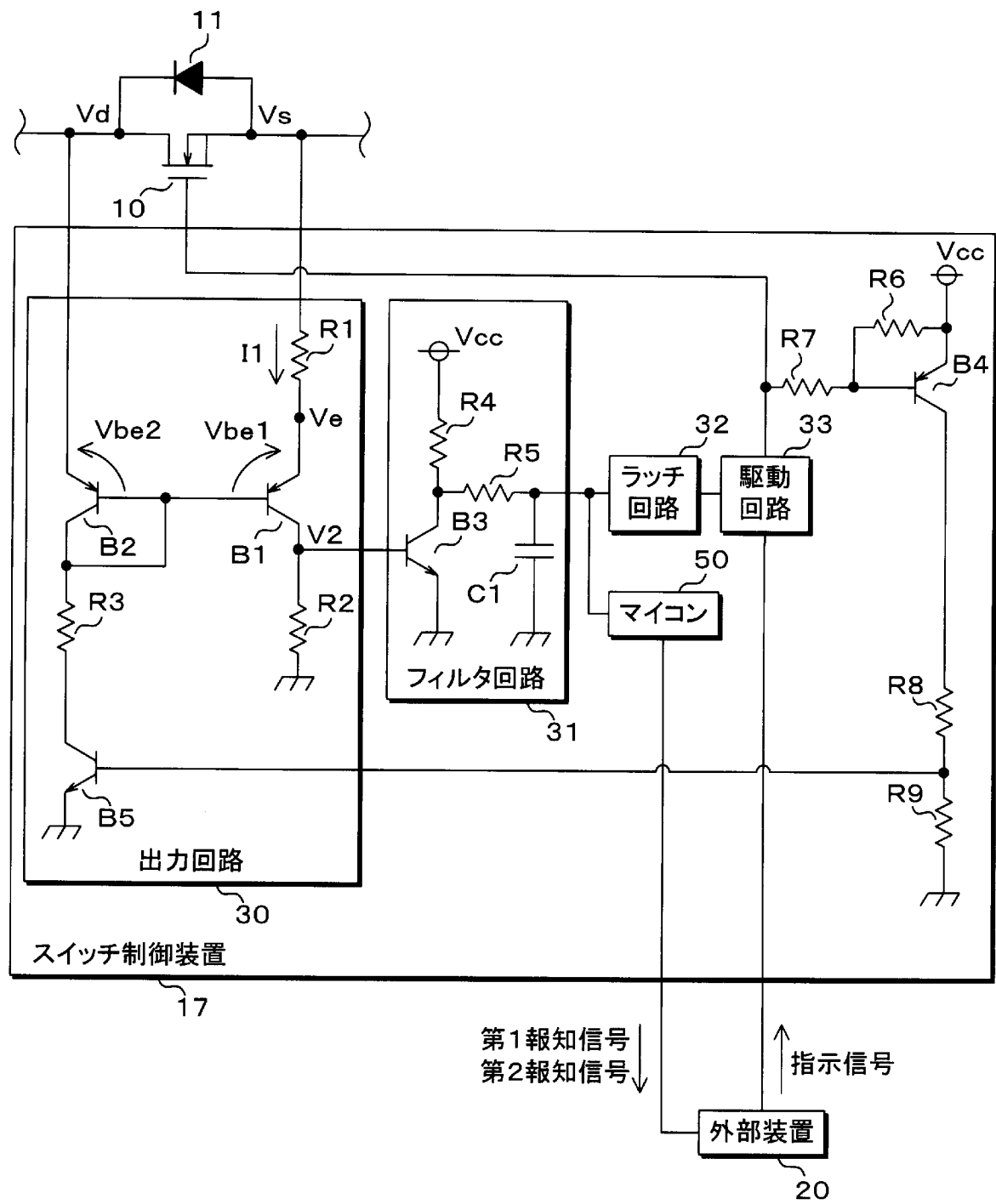
[図4]



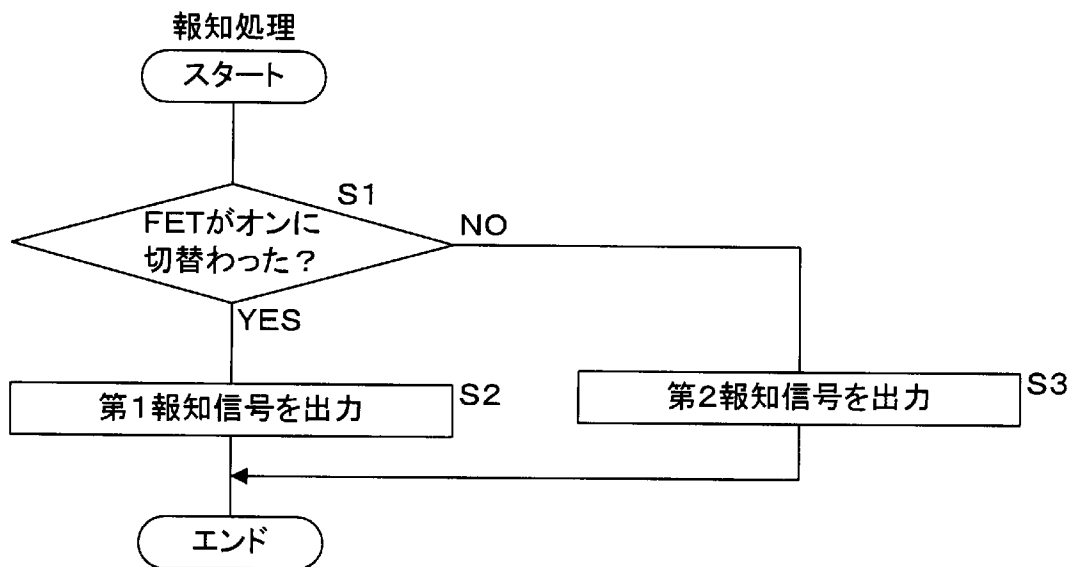
[図5]



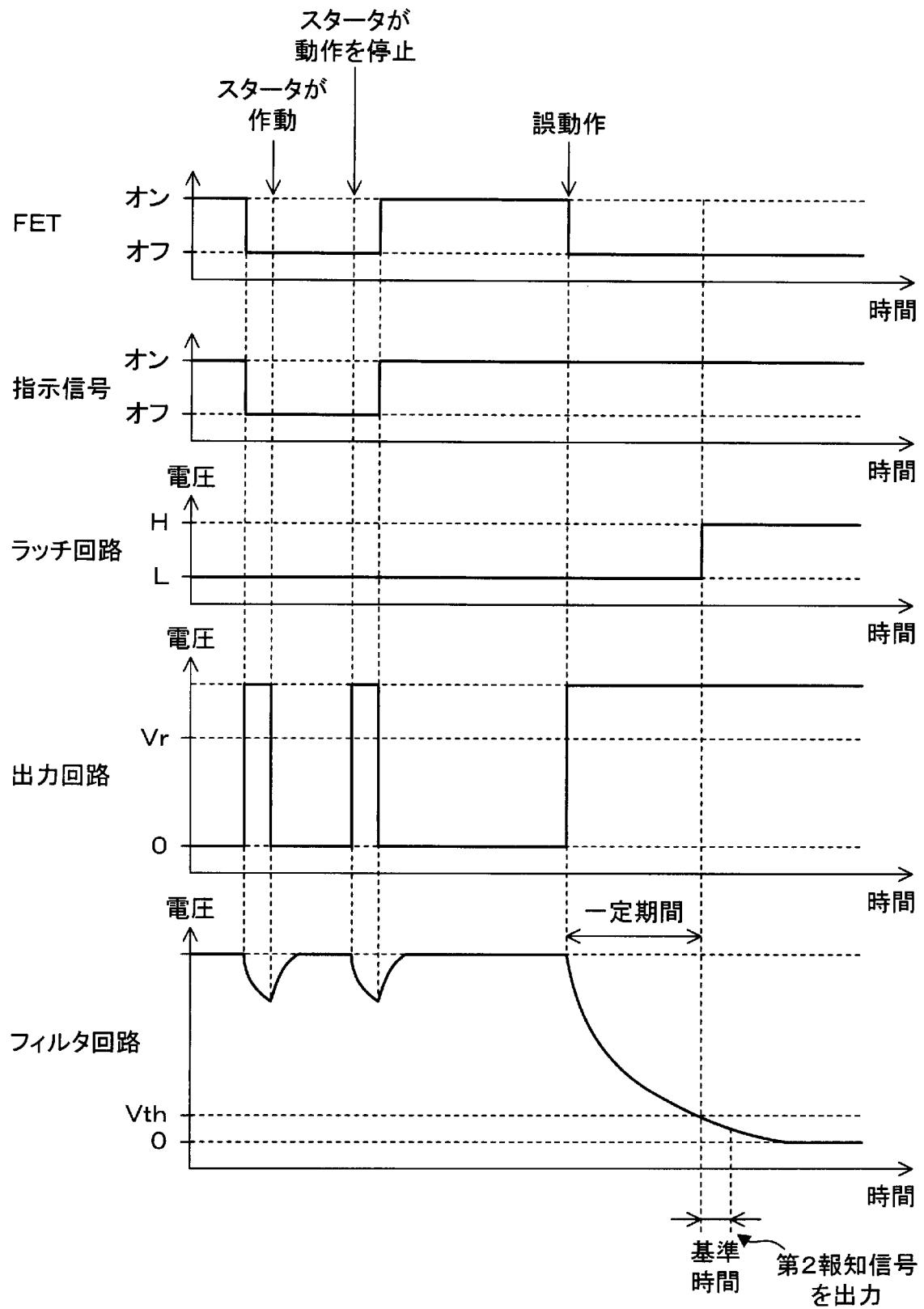
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/002606

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H03K17/00 (2006.01) i, H03K17/687 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03K17/00, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-230618 A (DENSO CORP.) 17 November 2011, paragraphs [0001]-[0009], [0026]-[0028],	1
Y	[0031]-[0049], [0102]-[0115], fig. 1, 6, 7, (Family: none)	2-7
Y	JP 2012-171612 A (ICHIKOH INDUSTRIES LTD.) 10 September 2012, paragraphs [0017]-[0026], fig. 1, (Family: none)	2-7
Y	JP 2010-187470 A (TOSHIBA CORP.) 26 August 2010, paragraphs [0010]-[0017], fig. 1, (Family: none)	4-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
10.04.2018

Date of mailing of the international search report
24.04.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/002606

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-182872 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 07 August 2008, paragraphs [0030]-[0054], fig. 1 & US 2008/0150483 A1, paragraphs [0067]-[0086], fig. 1	6-7
A	JP 2001-57740 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 27 February 2001, entire text, all drawings & US 6222346 B1, entire text, all drawings	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K17/00(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K17/00, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2011-230618 A (株式会社デンソー) 2011.11.17, 段落 [0001] - [0009], [0026] - [0028], [0031] - [0049], [0102] - [0115], 図 1, 6-7 (ファミリーなし)	1 2-7
Y	JP 2012-171612 A (市光工業株式会社) 2012.09.10, 段落 [0017] - [0026], 図 1 (ファミリーなし)	2-7
Y	JP 2010-187470 A (株式会社東芝) 2010.08.26, 段落 [0010] - [0017], 図 1 (ファミリーなし)	4-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

10.04.2018

国際調査報告の発送日

24.04.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

及川 尚人

5W

5888

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-182872 A (松下電器産業株式会社) 2008. 08. 07, 段落 [0030] - [0054] , 図 1 & US 2008/0150483 A1, 段落 [0067] - [0086] , 図 1	6-7
A	JP 2001-57740 A (松下電器産業株式会社) 2001. 02. 27, 全文, 全図 & US 6222346 B1, 全文, 全図	1-7