

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5997260号
(P5997260)

(45) 発行日 平成28年9月28日 (2016. 9. 28)

(24) 登録日 平成28年9月2日 (2016. 9. 2)

(51) Int. Cl. F I
H05K 3/46 (2006.01)
 H05K 3/46 Q
 H05K 3/46 B

請求項の数 12 (全 15 頁)

(21) 出願番号	特願2014-509243 (P2014-509243)	(73) 特許権者	513276101
(86) (22) 出願日	平成24年5月2日 (2012. 5. 2)		エルジー イノテック カンパニー リミテッド
(65) 公表番号	特表2014-513438 (P2014-513438A)		大韓民国 100-714, ソウル, ジュネーグ, ハンガンテロー, 416, ソウル スクエア
(43) 公表日	平成26年5月29日 (2014. 5. 29)		
(86) 国際出願番号	PCT/KR2012/003444	(74) 代理人	100099759
(87) 国際公開番号	W02012/150817		弁理士 青木 篤
(87) 国際公開日	平成24年11月8日 (2012. 11. 8)	(74) 代理人	100092624
審査請求日	平成25年11月1日 (2013. 11. 1)		弁理士 鶴田 準一
審査番号	不服2015-17470 (P2015-17470/J1)	(74) 代理人	100114018
審査請求日	平成27年9月25日 (2015. 9. 25)		弁理士 南山 知広
(31) 優先権主張番号	10-2011-0042156	(74) 代理人	100165191
(32) 優先日	平成23年5月3日 (2011. 5. 3)		弁理士 河合 章
(33) 優先権主張国	韓国 (KR)		
(31) 優先権主張番号	10-2011-0076290		
(32) 優先日	平成23年7月29日 (2011. 7. 29)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 印刷回路基板及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

支持基板の上に接着剤を塗布するステップと、
 前記接着剤の上に電子素子を付着するステップと、
 前記電子素子を埋め込む絶縁層を形成するステップと、
 前記支持基板から前記絶縁層を分離するステップと、
 前記絶縁層の下部に下部絶縁層を形成するステップと、
 前記電子素子の端子と連結されるビアを前記絶縁層または前記下部絶縁層に形成するステップと、

前記ビアを形成した後に、前記絶縁層または前記下部絶縁層の上に前記ビアと連結される外部回路パターンを形成するステップと、

前記外部回路パターンが形成されると、前記外部回路パターンの表面の一部を露出する開口部を有するカバーレイを形成するステップと、

前記外部回路パターンの上に、前記カバーレイの開口部を埋めると共に、前記カバーレイの表面上の突出するバンプを形成するステップと、を含み、

前記接着剤は、

前記支持基板の上面のうち、一部領域にのみ塗布され、

前記支持基板の上面は、前記接着剤が塗布される第1領域と前記接着剤が塗布されなくて外部に露出する第2領域とを含み、

前記バンプは、上面と下面が同一幅を有し、前記上面と下面のそれぞれの幅は、前記外

10

20

部回路パターンの上面の幅より狭い幅を有し、前記カバーレイの開口部を埋める第1部分と、前記カバーレイの表面上に突出する第2部分とを含み、

前記接着剤を塗布するステップは、支持基板の上に離型フィルムを形成するステップと、前記離型フィルムの上に前記接着剤を塗布するステップとを含み、

前記支持基板から前記絶縁層を分離するステップは、前記離型フィルムを剥離して前記支持基板を除去するステップと、前記電子素子の下部に残っている前記接着剤を除去するステップとを含むことを特徴とする印刷回路基板の製造方法。

【請求項2】

前記接着剤は、前記支持基板の上面のうち、前記電子素子が付着される領域に塗布される接着ペーストを含むことを特徴とする請求項1に記載の印刷回路基板の製造方法。

10

【請求項3】

前記接着ペーストは、前記電子素子に備えられる複数の端子の間の領域に付着され、前記接着ペーストは、前記電子素子が付着されることにより、前記電子素子の複数の端子とは接触しないことを特徴とする請求項2に記載の印刷回路基板の製造方法。

【請求項4】

前記絶縁層を形成するステップは、前記電子素子を開放する開口部を含む第1絶縁層を前記離型フィルムの上に形成するステップと、

前記電子素子を覆う第2絶縁層を形成するステップと、前記第1及び第2絶縁層を硬化するステップと、を含むことを特徴とする請求項2又は3に記載の印刷回路基板の製造方法。

20

【請求項5】

前記外部回路パターンを形成するステップは、前記絶縁層の上に第1金属層を形成するステップと、前記ビアを形成しながら過剰メッキして前記第1金属層の上にメッキ層を形成するステップと、前記第1金属層及び前記第1金属層の上のメッキ層を同時エッチングして前記外部回路パターンを形成するステップと、を含むことを特徴とする請求項4に記載の印刷回路基板の製造方法。

30

【請求項6】

前記外部回路パターンは前記ビアと連結されるパッドをさらに含むことを特徴とする請求項5に記載の印刷回路基板の製造方法。

【請求項7】

前記電子素子は受動素子または能動素子であることを特徴とする請求項1乃至請求項6のいずれか一項に記載の印刷回路基板の製造方法。

【請求項8】

前記絶縁層は、内部回路パターンをさらに含むことを特徴とする請求項1乃至請求項7のいずれか一項に記載の印刷回路基板の製造方法。

【請求項9】

電子素子が埋め込まれている中央絶縁層と、前記中央絶縁層の上部または下部に配置され、前記電子素子の端子を露出する第1開口部を有する外部絶縁層と、

40

前記外部絶縁層の前記第1開口部内に配置され、前記第1開口部を埋め込みながら形成されたパッドビアと、

前記外部絶縁層の上に形成された外部回路パターンと、前記外部絶縁層の上に形成され、前記外部回路パターンの上面を露出する第2開口部を有するカバーレイと、

前記外部回路パターンの上面の上に形成され、一部は前記第2開口部を埋め、残りの一部は前記カバーレイの表面の上に突出する銅パンプと、を含み、

前記パッドビアは、前記開口部を埋め込むビア領域及び前記ビア領域から前記外部絶縁

50

層の上に拡張されるパッド領域を含み、

前記パッド領域は2層に形成され、

前記銅バンプは、上面と下面が同一幅を有し、前記上面と下面のそれぞれの幅は、前記外部回路パターンの上面の幅より狭い幅を有することを特徴とする印刷回路基板。

【請求項10】

前記銅バンプは、断面が四角形状を有することを特徴とする請求項9に記載の印刷回路基板。

【請求項11】

前記銅バンプの上に形成される溶剤をさらに含み、

前記溶剤は、上面と下面が同一幅を有し、前記上面と下面のそれぞれの幅は、前記銅バンプの上面または下面の幅と同一であり、

前記電子素子は、能動素子または受動素子であることを特徴とする請求項10に記載の印刷回路基板。

【請求項12】

前記第1開口部は、前記中央絶縁層の上部及び下部に全て形成されていることを特徴とする請求項9乃至請求項11のいずれか一項に記載の印刷回路基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、印刷回路基板及びその製造方法に関するものである。

【背景技術】

【0002】

印刷回路基板（PCB：Printed Circuit Board）は電気絶縁性基板に銅のような伝導性材料で回路ラインパターンを印刷して形成したものであって、電子部品を搭載する直前の基板（Board）をいう。即ち、種々の電子素子を平板の上に密集搭載するために、各部品の装着位置を確定し、部品を連結する回路パターンを平板表面に印刷して固定した回路基板を意味する。

【0003】

最近では各部品を印刷回路基板の内に埋め込んで実装するエンベデッド（embedded）印刷回路基板が提供されている。

【0004】

図1は、一般的なエンベデッド印刷回路基板を図示したものである。

【0005】

図1を参考すると、一般的なエンベデッド印刷回路基板10は複数の絶縁層1の間に電子素子5が埋め込まれており、複数の絶縁層1の間を導通する埋込回路パターン2及び互いに異なる層の回路を連結するビアホールなどが形成されている。

【0006】

前記埋め込まれている電子素子5は、電子素子5の下に溶剤またはバッファ6が形成され、前記溶剤またはバッファ6の下に外部回路パターン9と連結するためのパッド7を含み、前記パッド7と外部回路パターン9とを連結するビア8が形成されている。

【0007】

このように電子素子5を内部に実装する場合、電子素子5の実装のためにボンディングシートと絶縁層1を付着した後、電子素子5を実装し、またボンディングシートを除去する工程を遂行する。

【0008】

この際、前記電子素子5の一面にボンディングシートの接着成分が残留することによって、素子の特性に影響を及ぼし、回路パターン9が共に脱落する現象により信頼性が低下する。

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 9 】

本発明の目的は、電子素子を信頼性あるように実装することができるエンベデッド印刷回路基板の製造方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

本発明に従う印刷回路基板の製造方法は、支持基板の上に接着剤を塗布するステップ、前記接着剤の上に電子素子を付着するステップ、前記電子素子を埋め込む絶縁層を形成するステップ、前記支持基板から前記絶縁層を分離するステップ、前記絶縁層の下部に下部絶縁層を形成するステップ、そして前記電子素子の端子と連結されるビアを前記絶縁層または前記下部絶縁層に形成するステップを含む。

10

【発明の効果】

【 0 0 1 1 】

本発明によれば、前記電子素子を埋め込むエンベデッド印刷回路基板における電子素子の実装時、電子素子を支持する離型フィルムの上に接着ペーストを塗布して固定した後、離型フィルムを除去することによって、従来の接着フィルムの接着物質が内部回路パターンの中に残留せず、接着フィルムの接着力により内部回路パターンの剥離が進行できないので素子信頼性が確保される。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】従来技術に従う印刷回路基板の断面図である。

20

【図 2】本発明の一実施形態に従う印刷回路基板の断面図である。

【図 3】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 4】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 5】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 6】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 7】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 8】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 9】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 10】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 11】図 2 の印刷回路基板を製造するための方法を示す断面図である。

30

【図 12】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 13】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 14】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 15】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 16】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 17】図 2 の印刷回路基板を製造するための方法を示す断面図である。

【図 18】本発明の他の実施形態に従う印刷回路基板の断面図である。

【図 19】図 18 の印刷回路基板を製造するための方法を示す断面図である。

【図 20】図 18 の印刷回路基板を製造するための方法を示す断面図である。

【図 21】図 18 の印刷回路基板を製造するための方法を示す断面図である。

40

【図 22】図 18 の印刷回路基板を製造するための方法を示す断面図である。

【図 23】図 18 の印刷回路基板を製造するための方法を示す断面図である。

【図 24】図 18 の印刷回路基板を製造するための方法を示す断面図である。

【図 25】図 18 の印刷回路基板を製造するための方法を示す断面図である。

【図 26】図 18 の印刷回路基板を製造するための方法を示す断面図である。

【図 27】図 18 の印刷回路基板を製造するための方法を示す断面図である。

【図 28】図 18 の印刷回路基板を製造するための方法を示す断面図である。

【図 29】図 18 の印刷回路基板を製造するための方法を示す断面図である。

【発明を実施するための形態】

【 0 0 1 3 】

50

以下、添付した図面を参考にして本発明の実施形態に対して本発明が属する技術分野で通常の知識を有する者が容易に実施できるように詳細に説明する。しかしながら、本発明は多様な相異なる形態に具現されることができ、ここで説明する実施形態に限定されるものではない。

【0014】

明細書の全体で、どの部分がどの構成要素を「含む」とする時、これは特別に反対になる記載がない限り、他の構成要素を除外するものでなく、他の構成要素をさらに含むことができることを意味する。

【0015】

そして、図面において、本発明を明確に説明するために説明と関係ない部分は省略し、幾つの層及び領域を明確に表現するために厚さを拡大して表しており、また、明細書の全体を通じて類似の部分に対しては類似の図面符号を付けた。

【0016】

層、膜、領域、板などの部分が他の部分の「上に」とする時、これは他の部分の「真上に」とある場合だけでなく、その中間に更に他の部分がある場合も含む。反対に、どの部分が他の部分の「真上に」とする時には中間に他の部分がないことを意味する。

【0017】

本発明は、電子素子200を埋込実装するエンベデッド印刷回路基板において、電子素子200の実装を支持する基板を適用後、除去する時、信頼性を確保することができる印刷回路基板を提示する。

【0018】

以下、図2乃至図17を参考しつつ本発明の実施形態に従う印刷回路基板を説明する。

【0019】

図2は、本発明の実施形態に従う印刷回路基板の断面図である。

【0020】

図2を参考すると、本発明に従う印刷回路基板100は、第1絶縁層110、前記第1絶縁層110の上/下に形成される内部回路パターン121、前記第1絶縁層110の上下部に形成されている第2及び第3絶縁層160、165、第2及び第3絶縁層160、165の上に形成されている外部回路パターン175、及びカバーレイ180を含み、印刷回路基板100の内に埋め込まれている複数の電子素子200を含む。

【0021】

前記第1乃至第3絶縁層110、160、165は絶縁プレートを形成し、熱硬化性または熱可塑性高分子基板、セラミック基板、有-無機複合素材基板、またはガラス繊維含浸基板であることがあり、高分子樹脂を含む場合、エポキシ系絶縁樹脂を含むことができ、これとは異なり、ポリイミド系樹脂を含むこともできる。

【0022】

前記第1乃至第3絶縁層110、160、165は互いに異なる物質で形成されることができ、一例として、第1絶縁層110はガラス繊維を含む含浸基板であり、第2及び第3絶縁層160、165は樹脂だけで形成されている絶縁シートでありうる。

【0023】

前記第1絶縁層110は中心絶縁層であって、第2及び第3絶縁層160、165より厚いことがあり、前記第1絶縁層110の厚さは電子素子200の厚さより大きい。

【0024】

前記第1絶縁層110は電子素子200を実装するための開口部を含み、第1絶縁層110の上下部には内部回路パターン121及び前記上下部の内部回路パターン121を連結する伝導性ビアが形成できる。

【0025】

前記第1絶縁層110の上下部に形成されている第2及び第3絶縁層160、165の上部には外部回路パターン175が形成されており、前記外部回路パターン175のうちの一部は前記電子素子200の端子と連結されているパッド173でありうる。

10

20

30

40

50

【 0 0 2 6 】

前記パッド 1 7 3 と前記電子素子 2 0 0 との間に第 2 及び第 3 絶縁層 1 6 0、1 6 5 を貫通するビア 1 7 6 が形成されている。

【 0 0 2 7 】

前記ビア 1 7 6 は電子素子 2 0 0 の一面のみに形成することができ、上下部に全て形成することもできる。

【 0 0 2 8 】

前記第 1 乃至第 3 絶縁層 1 1 0、1 6 0、1 6 5 により埋め込まれている電子素子 2 0 0 は受動素子でありえ、例えば抵抗 (Resistor)、インダクタ (Inductor) またはキャパシタ (Capacitor) でありえる。前記電子素子 2 0 0 の両端には外部から電流または電圧の供給を受ける端子が形成されている。

10

【 0 0 2 9 】

伝導性ビア 1 7 6 と連結されるパッド 1 7 3 は、第 2 及び第 3 絶縁層 1 6 0、1 6 5 の上面に拡張されていることがある。

【 0 0 3 0 】

前記内部回路パターン 1 2 1 及び外部回路パターン 1 7 5 は銅を含む合金で形成されることができ、外部回路パターン 1 7 5 は少なくとも 2 つの層に形成できる。

【 0 0 3 1 】

外部回路パターン 1 7 5 は、カバーレイ 1 8 0 により外部から保護される。

【 0 0 3 2 】

前記カバーレイ 1 8 0 は、ドライフィルムや一般的なソルダーレジストで形成することができる。

20

【 0 0 3 3 】

以上、回路パターン 1 2 1、1 7 5 が 2 つの層に形成されることと説明したが、これとは異なり、複数の層に形成されることもできる。

【 0 0 3 4 】

以下、図 3 乃至図 1 5 を参考しつつ図 2 の印刷回路基板 1 0 0 の製造方法を説明する。

【 0 0 3 5 】

図 3 乃至図 1 7 は、本発明の一実施形態に従う印刷回路基板を製造するための方法を示す断面図である。

30

【 0 0 3 6 】

まず、キャリアボード 1 0 1 に離型フィルム (release film) 1 2 5 を形成する。

【 0 0 3 7 】

前記離型フィルム 1 2 5 は、硬化後、ピールストレス (peel stress) が 0 に近いフィルムを意味する。

【 0 0 3 8 】

前記キャリアボード 1 0 1 は一般的な支持基板であって、CCL (Copper clad laminate) を用いることもできる。

【 0 0 3 9 】

次に、図 4 のように、前記離型フィルム 1 2 5 の電子素子 2 0 0 が実装される領域に接着ペースト 1 3 0 を塗布する。

40

【 0 0 4 0 】

前記接着ペースト 1 3 0 は、前記電子素子 2 0 0 が実装される領域のうち、両端子の間の中央領域に塗布し、前記接着ペースト 1 3 0 の上に図 5 の電子素子 2 0 0 を実装する。前記電子素子 2 0 0 は受動素子でありえ、例えば、抵抗、インダクタ、またはキャパシターでありうる。

【 0 0 4 1 】

次に、図 6 のように、前記電子素子 2 0 0 が挿入されるように開口部を有する第 1 絶縁層 1 1 0 を形成する。

【 0 0 4 2 】

50

前記第1絶縁層110の内には前記電子素子200と整列しないようにビアが形成されており、前記ビアと連結され、前記第1絶縁層110の上下部に形成されている内部回路パターン121が形成できる。

【0043】

前記内部回路パターン121及び前記第1絶縁層110は、CCLの両面をパターンニングして形成することができる。

【0044】

この際、前記第1絶縁層110の開口部は、前記電子素子200の幅と同一な幅を有するように形成することもできるが、整列誤差を考慮して前記電子素子200より大きな幅を有するように形成することもできる。

【0045】

前記第1絶縁層110は、熱硬化性または熱可塑性高分子基板、セラミック基板、有-無機複合素材基板、またはガラス繊維含浸基板でありえ、高分子樹脂を含む場合、エポキシ系絶縁樹脂を含むことができ、これとは異なり、ポリイミド系樹脂を含むこともできる。

【0046】

この際、前記第1絶縁層110の上に第2絶縁層160及び第1金属層161の積層構造を積層した後、図7のように熱及び圧力を加える。

【0047】

次に、図8のように、離型フィルム125を除去して、これに付着されているキャリアボード101を除去する。

【0048】

この際、前記接着ペースト130が離型フィルム125との接着力より電子素子200との接着力がより強いので、電子素子200の下部に残留することができるが、前記離型フィルム125が硬化後にピールストレスが0に近い値を有するので、前記離型フィルム125を除去しても内部回路パターン121が剥離できない。

【0049】

次に、図9のように、前記接着ペースト130を除去する。

【0050】

前記接着ペースト130は、非伝導性高分子を含むので、化学処理することによって除去できる。

【0051】

次に、第1絶縁層110の下部に第3絶縁層165及び第2金属層166の積層構造を積層した後、図10のように熱及び圧力を加えて第1乃至第3絶縁層110、160、165が硬化することによって、1つの絶縁プレートを形成し、前記絶縁プレートの内には電子素子200が埋め込まれた状態を維持する。

【0052】

次に、図11のように、前記第1及び第2金属層161、166及び前記第2及び第3絶縁層160、165にビアホール163を形成する。

【0053】

前記ビアホール163を形成する工程は物理的なドリル工程により遂行することができ、これとは異なり、レーザーを使用して形成することができる。レーザーを使用してビアホール163を形成する場合、YAGレーザーまたはCO2レーザーを使用して第1及び第2金属層161、166、及び第2及び第3絶縁層160、165を各々開放することができる。

【0054】

この際、形成するビアホール163は前記電子素子200の端子の上部及び下部を開放するビアホール163を含み、図示してはいないが、外部及び内部回路パターン121、175を電氣的に連結するためのビアホールを共に形成することができる。

【0055】

10

20

30

40

50

次に、図 1 2 のようにメッキして前記ビアホール 1 6 3 を埋め込むビア 1 7 6 を形成し、前記第 2 及び第 3 絶縁層 1 6 0、1 6 5 の上を覆いながらメッキ層 1 7 0 が形成される。

【 0 0 5 6 】

前記メッキは、前記第 2 及び第 3 絶縁層 1 6 0、1 6 5 の上に無電解メッキを遂行した後、前記無電解メッキをシードにして電解メッキを遂行して形成することができる。

【 0 0 5 7 】

前記無電解メッキを円滑に遂行するように、前記メッキの前に前記第 2 及び第 3 絶縁層 1 6 0、1 6 5 のスミアを除去するためのデスミア工程を遂行することができる。

【 0 0 5 8 】

次に、前記メッキ層 1 7 0 をエッチングして第 2 及び第 3 絶縁層 1 6 0、1 6 5 の上部に外部回路パターン 1 7 5 を形成する。

【 0 0 5 9 】

この際、前記外部回路パターン 1 7 5 はビアホール 1 6 3 を埋め込んだビア 1 7 6 の上面に形成されるパッド 1 7 3 を含み、前記パッド 1 7 3 は第 2 及び第 3 絶縁層 1 6 0、1 6 5 の上に拡張された領域を含むことができる。

【 0 0 6 0 】

最後に、前記回路パターン 1 7 5 を埋め込むカバーレイ 1 8 0 を付着した後、図 1 5 のようにカバーレイ 1 8 0 の一部をエッチングしてパッド 1 7 3 を露出し、露出したパッド 1 7 3 の上にソルダーボール 1 8 2 を形成することによって、エンベデッド印刷回路基板 1 0 0 を完成する。

【 0 0 6 1 】

一方、他の実施形態に、図 1 6 に示すように、前記回路パターン 1 7 5 を埋め込むカバーレイ 1 8 0 を付着した後、前記カバーレイ 1 8 0 の一部をエッチングしてパッド 1 7 3 を露出し、前記露出したパッド 1 7 3 の上に銅バンプ 1 8 4 を形成することによって、エンベデッド印刷回路基板 1 0 0 を完成することもできる。

【 0 0 6 2 】

また、他の実施形態に、図 1 7 に示すように、前記回路パターン 1 7 5 を埋め込むカバーレイ 1 8 0 を付着した後、前記カバーレイ 1 8 0 の一部をエッチングしてパッド 1 7 3 を露出し、前記露出したパッド 1 7 3 の上に銅バンプ 1 8 6 a 及びソルダー 1 8 6 b を含むバンプ 1 8 6 を形成することによって、エンベデッド印刷回路基板 1 0 0 を完成することもできる。

【 0 0 6 3 】

即ち、前記パッド 1 7 3 の上にはソルダーボール 1 8 2 が形成されることができ、これとは異なり、銅バンプ 1 8 4 が形成されることができ、前記銅バンプの上にソルダーがさらに形成されることもできる。

【 0 0 6 4 】

このように、前記電子素子 2 0 0 を埋め込むエンベデッド印刷回路基板 1 0 0 で電子素子 2 0 0 を実装時、電子素子 2 0 0 を支持する離型フィルム 1 2 5 の上に接着ペースト 1 3 0 を塗布して固定した後、離型フィルム 1 2 5 を除去することによって、従来の接着フィルムの接着物質が内部回路パターン 1 2 1 の間に残留せず、接着フィルムの接着力により内部回路パターン 1 2 1 の剥離が進行できないので、素子信頼性が確保される。

【 0 0 6 5 】

以下、図 1 8 乃至図 2 9 を参考しつつ本発明の他の実施形態を説明する。

【 0 0 6 6 】

図 1 8 は、本発明の他の実施形態に従う印刷回路基板の断面図である。

【 0 0 6 7 】

図 1 8 を参考すると、本発明に従う印刷回路基板 3 0 0 は、第 1 絶縁層 1 1 0、前記第 1 絶縁層 1 1 0 の上/下に形成される内部回路パターン 1 2 1、前記第 1 絶縁層 1 1 0 の上下部に形成されている第 2 及び第 3 絶縁層 1 6 0、1 6 5、第 2 及び第 3 絶縁層 1 6 0

10

20

30

40

50

、165の上に形成されている外部回路パターン175、及びカバーレイ180を含み、印刷回路基板300の内に埋め込まれている複数の電子素子400を含む。

【0068】

前記第1乃至第3絶縁層110、160、165は絶縁プレートを形成し、熱硬化性または熱可塑性高分子基板、セラミック基板、有-無機複合素材基板、またはガラス繊維含浸基板であることがあり、高分子樹脂を含む場合、エポキシ系絶縁樹脂を含むことができ、これとは異なり、ポリイミド系樹脂を含むこともできる。

【0069】

前記第1乃至第3絶縁層110、160、165は互いに異なる物質で形成されることができ、一例として、第1絶縁層110はガラス繊維を含む含浸基板であり、第2及び第3絶縁層160、165は樹脂だけで形成されている絶縁シートでありうる。

10

【0070】

前記第1絶縁層110は中心絶縁層であって、第2及び第3絶縁層160、165より厚いことがあり、前記第1絶縁層110の厚さは電子素子400の厚さより大きい。

【0071】

前記第1絶縁層110は電子素子400を実装するための開口部を含み、第1絶縁層110の上下部には内部回路パターン121及び前記上下部の内部回路パターン121を連結する伝導性ビアが形成できる。

【0072】

前記第1絶縁層110の上下部に形成されている第2及び第3絶縁層160、165の上部には外部回路パターン175が形成されており、前記外部回路パターン175のうちの一部は前記電子素子400の端子と連結されているパッド173でありうる。

20

【0073】

前記パッド173と前記電子素子400との間に第2及び第3絶縁層160、165を貫通するビア176が形成されている。

【0074】

前記ビア176は電子素子400の一面のみに形成することができ、上下部に全て形成することもできる。

【0075】

前記第1乃至第3絶縁層110、160、165により埋め込まれている電子素子400は能動素子でありえ、例えばトランジスタ、増幅器、ダイオード、または半導体チップなどでありうる。

30

【0076】

前記電子素子400の上面上には素子パッド410が露出しており、前記素子パッド410が伝導性ビア176と連結されている。

【0077】

前記素子パッド410の数は能動素子の種類によって決定される。

【0078】

伝導性ビア176と連結されるパッド173は、第2及び第3絶縁層160、165の上面上に拡張されうる。

40

【0079】

前記内部回路パターン121及び外部回路パターン175は銅を含む合金で形成されることができ、外部回路パターン175は少なくとも2つの層に形成できる。

【0080】

外部回路パターン175は、カバーレイ180により外部から保護される。

【0081】

前記カバーレイ180は、ドライフィルムや一般的なソルダーレジストで形成することができ。

【0082】

以上、回路パターン175が2つの層に形成されることと説明したが、これとは異なり

50

、複数の層に形成されることもできる。

【0083】

以下、図19乃至図29を参考にしつつ図18の印刷回路基板300の製造方法を説明する。

【0084】

まず、図19のように、キャリアボード101に離型フィルム(release film)125を形成する。

【0085】

前記離型フィルム125は、硬化後、ピールストレス(peel stress)が0に近いフィルムを意味する。

10

【0086】

前記キャリアボード101は一般的な支持基板であって、CCL(Copper clad laminate)を用いることもできる。

【0087】

次に、図20のように、前記離型フィルム125の電子素子400が実装される領域に接着ペースト130を塗布する。

【0088】

前記接着ペースト130は前記電子素子400が実装される領域に塗布し、その以外に印刷回路基板が揺れないように所定領域にさらに形成することができる。

20

【0089】

前記接着ペースト130の上に図21の電子素子400を実装する。前記電子素子400は能動素子でありえ、例えば、トランジスタ、増幅器、ダイオード、または半導体チップなどでありえる。

【0090】

次に、図22のように、前記電子素子400が挿入されるように開口部を有する第1絶縁層110を形成する。

【0091】

前記第1絶縁層110の内には前記電子素子400と整列しないようにビアが形成されており、前記ビアと連結され、前記第1絶縁層110の上下部に形成されている内部回路パターン121が形成できる。

30

【0092】

前記内部回路パターン121及び前記第1絶縁層110は、CCLの両面をパターンニングして形成することができる。

【0093】

この際、前記第1絶縁層110の開口部は前記電子素子400の幅と同一な幅を有するように形成されることもできるが、整列誤差を考慮して前記電子素子400より大幅を有するように形成されることもできる。

【0094】

前記第1絶縁層110は、熱硬化性または熱可塑性高分子基板、セラミック基板、有-無機複合素材基板、またはガラス繊維含浸基板でありえ、高分子樹脂を含む場合、エポキシ系絶縁樹脂を含むことができ、これとは異なり、ポリイミド系樹脂を含むこともできる。

40

【0095】

この際、前記第1絶縁層110の上に第2絶縁層160及び第1金属層161の積層構造を積層した後、図23のように熱及び圧力を加える。

【0096】

次に、図24のように、離型フィルム125を除去して、これに付着されているキャリアボード101を除去する。

【0097】

この際、前記接着ペースト130が離型フィルム125との接着力より電子素子400

50

との接着力がより強いので、電子素子400の下部に残留することがあるが、前記離型フィルム125が硬化後にピールストレスが0に近い値を有するので、前記離型フィルム125を除去しても内部回路パターン121が剥離されない。

【0098】

次に、図25のように前記接着ペースト130を除去する。

【0099】

前記接着ペースト130は非伝導性高分子を含むので、化学処理することによって除去できる。

【0100】

次に、第1絶縁層110の下部に第3絶縁層165及び第2金属層166の積層構造を積層した後、図26のように熱及び圧力を加えて第1乃至第3絶縁層110、160、165が硬化することによって、1つの絶縁プレートを形成し、前記絶縁プレートの内には電子素子400が埋め込まれた状態を維持する。

【0101】

次に、図27のように、前記第1及び第2金属層161、166、及び前記第2及び第3絶縁層160、165にビアホール163を形成する。

【0102】

前記ビアホール163を形成する工程は物理的なドリル工程により遂行することができ、これとは異なり、レーザーを使用して形成することができる。レーザーを使用してビアホール163を形成する場合、YAGレーザーまたはCO2レーザーを使用して第1及び第2金属層161、166、及び第2及び第3絶縁層160、165を各々開放することができる。

【0103】

この際、形成するビアホール163は前記電子素子400の素子パッド410を開放するビアホール163を含み、図示してはいないが、外部及び内部回路パターン121、175を電氣的に連結するためのビアホールを共に形成することができる。

【0104】

次に、図28のようにメッキして前記ビアホール163を埋め込むビア176を形成し、前記第2及び第3絶縁層160、165の上を覆いながらメッキ層170が形成される。

【0105】

前記メッキは、前記第2及び第3絶縁層160、165の上に無電解メッキを遂行した後、前記無電解メッキをシードにして電解メッキを遂行して形成することができる。

【0106】

前記無電解メッキを円滑に遂行できるように、前記メッキの前に前記第2及び第3絶縁層160、165のスミアを除去するためのデスミア工程を遂行することができる。

【0107】

次に、前記メッキ層170をエッチングして第2及び第3絶縁層160、165の上部に図29の外部回路パターン175を形成する。

【0108】

この際、前記外部回路パターン175はビアホール163を埋め込んだビア176の上面に形成されるパッド173を含み、前記パッド173は第2及び第3絶縁層160、165の上に拡張された領域を含むことができる。

【0109】

最後に、前記回路パターン175を埋め込むカバーレイを付着した後、カバーレイの一部をエッチングしてパッド173を露出し、露出したパッド173の上にソルダーボールを形成することによって、エンベデッド印刷回路基板300を完成することができる。

【0110】

このように、前記電子素子400を埋め込むエンベデッド印刷回路基板300で電子素子400を実装時、電子素子400を支持する離型フィルム125の上に接着ペースト1

10

20

30

40

50

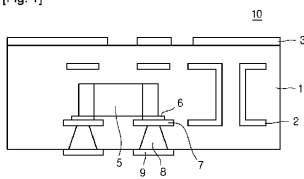
30を塗布して固定した後、離型フィルム125を除去することによって、従来の接着フィルムの接着物質が内部回路パターン121の間に残留せず、接着フィルムの接着力により内部回路パターン121の剥離が進行できないので、素子信頼性が確保される。

【0111】

以上、本発明を好ましい実施形態をもとに説明したが、これは単なる例示であり、本発明を限定するものでなく、本発明が属する分野の通常の知識を有する者であれば、本発明の本質的な特性を逸脱しない範囲内で、以上に例示されていない多様な変形及び応用が可能であることが分かる。例えば、実施形態に具体的に表れた各構成要素は変形して実施することができる。そして、このような変形及び応用にかかわる差異点は添付した特許請求範囲で規定する本発明の範囲に含まれるものと解釈されるべきである。

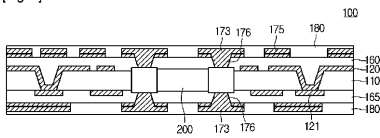
【図1】

[Fig. 1]



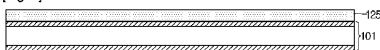
【図2】

[Fig. 2]



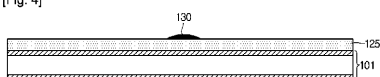
【図3】

[Fig. 3]



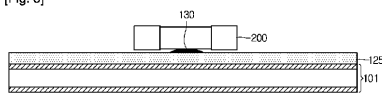
【図4】

[Fig. 4]



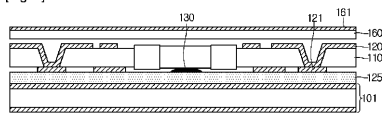
【図5】

[Fig. 5]



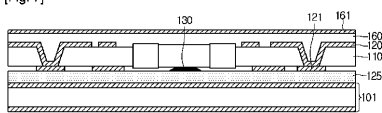
【図6】

[Fig. 6]



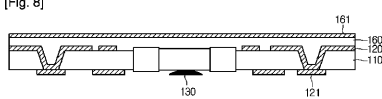
【図7】

[Fig. 7]



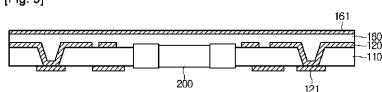
【図8】

[Fig. 8]



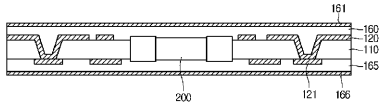
【図9】

[Fig. 9]



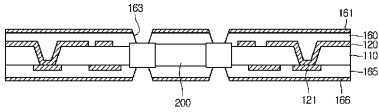
【 10 】

[Fig. 10]



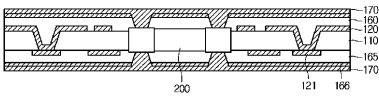
【 11 】

[Fig. 11]



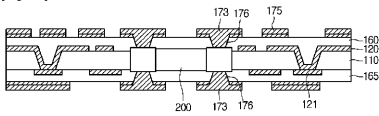
【 12 】

[Fig. 12]



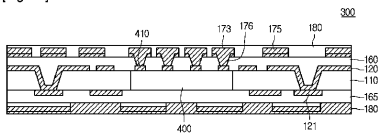
【 13 】

[Fig. 13]



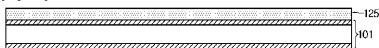
【 18 】

[Fig. 18]



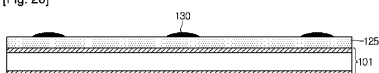
【 19 】

[Fig. 19]



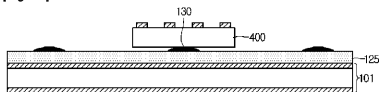
【 20 】

[Fig. 20]



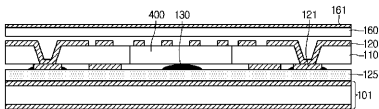
【 21 】

[Fig. 21]



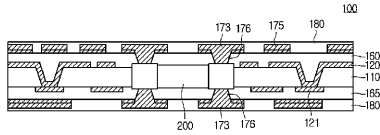
【 22 】

[Fig. 22]



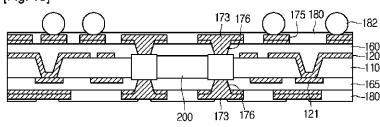
【 14 】

[Fig. 14]



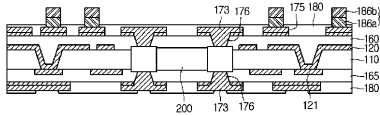
【 15 】

[Fig. 15]



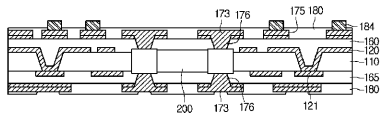
【 16 】

[Fig. 16]



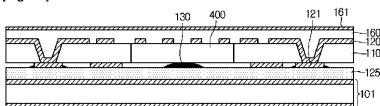
【 17 】

[Fig. 17]



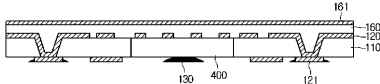
【 23 】

[Fig. 23]



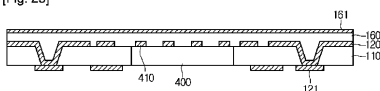
【 24 】

[Fig. 24]



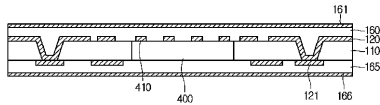
【 25 】

[Fig. 25]



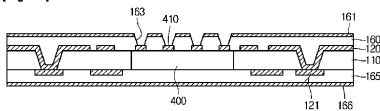
【 26 】

[Fig. 26]



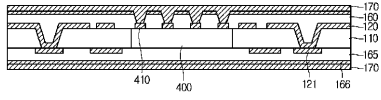
【 27 】

[Fig. 27]



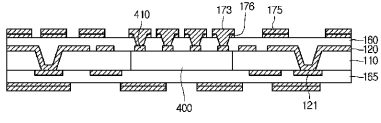
【 28 】

[Fig. 28]



【 29 】

[Fig. 29]



フロントページの続き

- (74)代理人 100151459
弁理士 中村 健一
- (72)発明者 キム ジ ス
大韓民国, 100-714 ソウル, ジュン-グ, ナムデムンノ 5-ガ, 541, ソウル スク
エア
- (72)発明者 キム ナム ヘ
大韓民国, 100-714 ソウル, ジュン-グ, ナムデムンノ 5-ガ, 541, ソウル スク
エア
- (72)発明者 ヨン ヘ スン
大韓民国, 100-714 ソウル, ジュン-グ, ナムデムンノ 5-ガ, 541, ソウル スク
エア
- (72)発明者 メン イル サン
大韓民国, 100-714 ソウル, ジュン-グ, ナムデムンノ 5-ガ, 541, ソウル スク
エア
- (72)発明者 ハ サン ソン
大韓民国, 100-714 ソウル, ジュン-グ, ナムデムンノ 5-ガ, 541, ソウル スク
エア

合議体

審判長 森川 元嗣
審判官 小柳 健悟
審判官 内田 博之

- (56)参考文献 特開2010-157709(JP,A)
特開2011-29585(JP,A)
特開2001-284780(JP,A)
特開2004-127970(JP,A)
特開2010-157718(JP,A)
特開2010-153863(JP,A)
特開2002-223065(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 3/46
H05K 3/00
H05K 3/32
H05K 1/18
H01L23/12