

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年2月22日(2007.2.22)

【公表番号】特表2006-501672(P2006-501672A)

【公表日】平成18年1月12日(2006.1.12)

【年通号数】公開・登録公報2006-002

【出願番号】特願2004-541537(P2004-541537)

【国際特許分類】

H 01 L	29/786	(2006.01)
H 01 L	21/02	(2006.01)
H 01 L	27/12	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	21/762	(2006.01)
H 01 L	21/76	(2006.01)

【F I】

H 01 L	29/78	6 1 8 C
H 01 L	27/12	B
H 01 L	27/12	E
H 01 L	29/78	6 1 8 B
H 01 L	29/78	6 1 8 E
H 01 L	29/78	6 1 7 K
H 01 L	29/78	6 1 3 A
H 01 L	29/78	6 2 7 D
H 01 L	21/76	D
H 01 L	21/76	R

【手続補正書】

【提出日】平成18年12月25日(2006.12.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

誘電層を含む基板を有し、

前記誘電層上に形成されたシリコンゲルマニウムフィンFET体を有し、前記フィンFET体は、ソース領域、ドレイン領域、及びこれらソース領域とドレイン領域との間に延びるチャネル領域を有し、

前記フィンFET体の少なくとも前記チャネル領域の表面部に形成された歪みシリコン層を有し、前記表面部は、前記チャネル領域のサイドウォールと上部とを含み、

前記チャネル領域の表面部に形成された前記歪みシリコンを覆うために少なくとも前記チャネル領域上に形成されたゲート絶縁層を有し、かつ、

前記チャネル領域のサイドウォールと表面上部を囲み、前記ゲート絶縁層と前記歪みシリコン層によって前記チャネル領域から分離される導電ゲートを含む、

シリコンオンインシュレータ(SOI)MOSFETデバイス。

【請求項2】

前記フィンFET体は、第1フィンFET体を含み、

前記デバイスは、更に、

前記誘電層に形成された第2シリコンゲルマニウムフィンFET体を含み、第2フィンFET体は、第2ソース領域、第2ドレイン領域、及びこれら第2ソース領域と第2ドレイン領域との間に延びる第2チャネル領域を有し、

前記第2チャネル領域の表面に形成された歪みシリコン層を含み、前記表面部は、前記チャネル領域のサイドウォールと表面上部を有し、

前記第2チャネル領域の表面部に形成された前記歪みシリコンを覆うために少なくとも前記第2チャネル領域上に形成されたゲート絶縁膜を有し、かつ、

前記第2チャネル領域のサイドウォールと表面上部を囲み、前記ゲート絶縁膜と前記歪みシリコン層によって前記第2チャネル領域から分離され、前記第1フィンFET体の前記チャネル領域を囲む前記導電ゲートに電気的に接続される第2導電ゲートを有し、

前記第1フィンFET体の前記ソースとドレインとは第1ドーパントでドープされており、前記第2フィンFET体の前記ソースとドレインは前記第1ドーパントに相補的に第2ドーパントでドープされている、

請求項1記載のデバイス。

【請求項3】

更に、前記導電ゲートのサイドウォールに形成されたスペーサを含む、

請求項1記載のデバイス。

【請求項4】

SOI MOSFETデバイスを形成するための方法であって、

誘電層を覆うシリコンゲルマニウム半導体層を含むSOI基板を用意し、

ソース領域、ドレイン領域、及びこれらソース領域とドレイン領域との間に延びるチャネル領域を含むシリコンゲルマニウムフィンFET体を形成するために前記半導体層をパターニングし、

少なくとも前記チャネル領域の表面上に歪みシリコン層を形成し、前記表面部は、前記チャネル領域のサイドウォールと上部を含み、

前記チャネル領域上に成長した前記歪みシリコンを覆うために前記チャネル領域に成長した少なくとも前記歪みシリコン上にゲート絶縁層を形成し、

前記チャネル領域の前記サイドウォールと上部を囲み、前記ゲート絶縁層と前記歪みシリコンによって前記チャネル領域から分離される導電ゲートを形成することを含む、方法。

【請求項5】

前記フィンFET体は、第1フィンFET体を含み、

前記方法は、更に、

第2ソース領域、ドレイン領域、及びこれら第2ソース領域とドレイン領域との間に延びる第2チャネル領域を有する第2シリコンゲルマニウムフィンFET体を形成するために前記半導体層をパターニングし、同時に前記第1フィンFET体をパターニングし、

第2フィンFET体の少なくとも前記第2チャネル領域の表面上に歪みシリコンを形成し、同時に前記第1フィンFET体に歪み層を成長させ、前記表面部は、前記チャネル領域のサイドウォールと表面上部を含み、

前記第2チャネル領域に成長した前記歪みシリコンを覆うために前記第2フィンFET体の前記第2チャネル領域に成長した少なくとも前記歪みシリコン上にゲート絶縁層を形成し、同時に前記第1フィンFET体上にゲート絶縁層を形成し、且つ、

前記第2チャネル領域のサイドウォールと表面上部を囲み、前記ゲート絶縁膜と前記歪みシリコンによって前記第2チャネル領域から分離される第2導電ゲートを形成し、同時に前記第1フィンFET体上に前記導電ゲートを形成し、

前記第1フィンFET体の前記導電ゲートと前記第2第1フィンFET体の前記導電ゲートは、電気的に接続される、

請求項4記載の方法。

【請求項6】

前記フィンFET体は、前記ソース領域とドレイン領域との間に延びる少なくとも第1

及び第2チャネル領域を有する、

請求項4記載の方法。

【請求項7】

誘電層を覆う半導体層を含むSOI基板の用意では、

シリコンゲルマニウム層を含む基板を用意し、

前記シリコンゲルマニウム層へ酸素を注入し、

前記シリコンゲルマニウム層に埋め込みシリコンゲルマニウム酸化膜を形成するために前記基板をアニーリングすることを含む、

請求項4記載の方法。

【請求項8】

誘電層を覆う半導体を含むSOI基板の用意では、

シリコンゲルマニウム層を含む第1基板を用意し、

前記シリコンゲルマニウム層における高濃度水素領域を形成するために前記シリコンゲルマニウム層に水素を注入し、

第2半導体基板の酸化膜に前記第1基板を接着し、

前記高濃度水素領域における前記第1基板に割れを生じさせるために前記接着された第1及び第2基板をアニーリングし、

前記酸化膜に接着されたシリコンゲルマニウム層を有する前記第2基板を生成するために前記第1基板を除去する、

請求項4記載の方法。

【請求項9】

誘電層を含む基板を有し、

前記誘電層上に形成されたフィンFET体を有し、前記フィンFET体は、ソース領域、ドレイン領域、及びこれらソース領域とドレイン領域との間に延びるチャネル領域を有し、

前記フィンFET体の少なくとも前記チャネル領域の表面部に形成された歪みシリコン層を有し、

前記チャネル領域の表面部に形成された前記歪みシリコンを覆うために少なくとも前記チャネル領域上に形成されたゲート絶縁層を有し、

前記チャネル領域のサイドウォールと表面上部を囲み、前記ゲート絶縁層と前記歪みシリコン層によって前記チャネル領域から分離される導電ゲートを有し、

前記フィンFET体は、前記ソース領域と前記ドレイン領域との間に延びる第1チャネル領域と第2チャネル領域とを少なくとも含む、

シリコンオンインシュレータ(SOI)MOSFETデバイス。

【請求項10】

誘電層を含む基板を有し、

前記誘電層上に形成されたフィンFET体を有し、前記フィンFET体は、ソース領域、ドレイン領域、及びこれらソース領域とドレイン領域との間に延びるチャネル領域を有し、

前記フィンFET体の少なくとも前記チャネル領域の表面部に形成された歪みシリコン層を有し、

前記チャネル領域の表面部に形成された前記歪みシリコンを覆うために少なくとも前記チャネル領域上に形成されたゲート絶縁層を有し、

前記チャネル領域のサイドウォールと表面上部を囲み、前記ゲート絶縁層と前記歪みシリコン層によって前記チャネル領域から分離される導電ゲートを有し、

前記導電ゲートの側壁に形成されたスペーサを有する、

シリコンオンインシュレータ(SOI)MOSFETデバイス。

【請求項11】

誘電層を含む基板を有し、

前記誘電層上に形成されたフィンFET体を有し、前記フィンFET体は、ソース領域

、ドレイン領域、及びこれらソース領域とドレイン領域との間に延びるチャネル領域を有し、

前記フィンFET体の少なくとも前記チャネル領域の表面部に形成された歪みシリコン層を有し、

前記チャネル領域の表面部に形成された前記歪みシリコンを覆うために少なくとも前記チャネル領域上に形成されたゲート絶縁層を有し、

前記チャネル領域のサイドウォールと表面上部を囲み、前記ゲート絶縁層と前記歪みシリコン層によって前記チャネル領域から分離される導電ゲートを有し、

前記誘電層は、シリコンゲルマニウム酸化物を含む、

シリコンオンインシュレータ(SOI)MOSFETデバイス。

【請求項12】

前記フィンFET体は、少なくとも前記チャネル領域の表面にシリコンゲルマニウムを含む、請求項9又は10又は11記載のデバイス。

【請求項13】

前記シリコンゲルマニウムフィンFET体は、 $Si_{1-x}Ge_x$ (ただし x は0.1~0.3以下の範囲の値)の組成を有する、請求項12記載のデバイス。

【請求項14】

前記 x の値は略0.2である、請求項13記載のデバイス。

【請求項15】

前記フィンFET体は、シリコンゲルマニウムである、請求項9又は10又は11に記載のデバイス。

【請求項16】

前記フィンFET体は、第1フィンFET体を含み、

前記デバイスは、更に、

前記誘電層に形成された第2シリコンゲルマニウムフィンFET体を含み、第2フィンFET体は、第2ソース領域、第2ドレイン領域、及びこれら第2ソース領域と第2ドレイン領域との間に延びる第2チャネル領域を有し、

前記第2チャネル領域の表面に形成された歪みシリコン層を含み、

前記第2チャネル領域の表面部に形成された前記歪みシリコンを覆うために少なくとも前記第2チャネル領域上に形成されたゲート絶縁膜を有し、かつ、

前記第2チャネル領域のサイドウォールと表面上部を囲み、前記ゲート絶縁膜と前記歪みシリコン層によって前記第2チャネル領域から分離され、前記第1フィンFET体の前記チャネル領域を囲む前記導電ゲートに電気的に接続される第2導電ゲートを有し、

前記第1フィンFET体の前記ソースとドレインとは第1ドーパントでドープされており、前記第2フィンFET体の前記ソースとドレインは前記第1ドーパントに相補的に第2ドーパントでドープされている、

請求項9又は10又は11記載のデバイス。

【請求項17】

前記ゲート絶縁層は、前記歪みシリコン層から成長した酸化シリコンを含む、請求項9又は10又は11記載のデバイス。

【請求項18】

前記歪みシリコン層は、前記フィンFET体の前記ソース領域と前記ドレイン領域とを覆う、請求項9又は10又は11記載のデバイス。

【請求項19】

更に、前記導電ゲートのサイドウォールに形成されたスペーサを含む、

請求項9又は11記載のデバイス。

【請求項20】

前記誘電層は、シリコンゲルマニウム酸化物を含む、請求項9又は10記載のデバイス。

【請求項21】

前記フィン F E T 体は、前記ソース領域と前記ドレイン領域との間に延びる第 1 チャネル領域と第 2 チャネル領域とを少なくとも含む、請求項 10 又は 11 記載のデバイス。