

公告本

(90年10月)日

修正

補正

申請日期	89.12.28
案 號	89128142
類 別	H01L 5/00

A4
C4

477061

中文說明書修正本(90年10月)

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體積體電路裝置之製造方法及半導體積體電路裝置
	日 文	半導体集積回路装置の製造方法および半導体集積回路装置
二、發明 人	姓 名	1.佐藤 英紀 3.高松 朗 5.才川 健志 7.壹添 宏之 2.鈴木 範夫 4.丸山 裕之 6.堀田 勝彦
	國 籍	均日本
三、申請人	住、居所	1.~6.均日本國東京都千代田區丸之內一丁目5番1號新丸大樓日立製作所股份有限公司知的所有權本部內 7.日本國東京都小平市上水本町五丁目22番1號日立超愛爾・愛斯・愛系統股份有限公司內
	姓 名 (名稱)	1.日商日立製作所股份有限公司 HITACHI, LTD. 2.日商日立超愛爾・愛斯・愛系統股份有限公司 HITACHI ULSI SYSTEMS CO., LTD.
三、申請人	國 籍	均日本
	住、居所 (事務所)	1.日本國東京都千代田區神田駿河台四丁目6番地 2.日本國東京都小平市上水本町五丁目22番1號
三、申請人	代 表 人 姓 名	1.庄山 悦彦 ETSUHIKO SHOYAMA 2.鈴木 仁一郎 JINICHIRO SUZUKI

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2000年1月20日 特願2000-012026 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

[發明所屬之技術領域]

本發明係關於一種半導體積體電路裝置之製造方法及半導體積體電路裝置技術，特別是關於一種適用於具有開溝埋入型分離部(溝渠隔離)之半導體積體電路裝置之製造方法及半導體積體電路裝置有效的技術。

[習知技術]

隨著元件大電容化，採用開溝埋入型元件分離技術取代LOCOS(矽局部氧化)法的元件分離技術。此技術係在半導體基板利用蝕刻形成分離溝後，在半導體基板主面上利用CVD法沉積絕緣膜，埋入分離溝，藉此形成元件分離部。就埋入分離溝的絕緣膜(以下也稱為分離膜)而言，例如有使用TEOS(四乙氧基矽烷)和臭氧(O_3)的混合氣體者或使甲矽烷和氧利用高密度電漿分解反應而形成者等。

關於這種技術，例如在特開平5-235157號公報有記載，揭示了在寬度不同的場區域埋入絕緣膜的技術。

[發明欲解決之課題]

然而，在前述分離溝的埋入技術，本發明者發現了有以下課題。

即，隨著分離溝的細微化，前述分離膜不能完全埋入分離溝，不能完全埋入的部分作為孔留在分離溝中。若孔留在分離溝中，則分離溝埋入製程後的平坦化時，孔會露出分離溝表面，但起因於其後電極形成時電極材料留在其孔中而發生電極配線間短路等不良的結果，產生半導體積體電路裝置可靠性及良率降低的課題。

五、發明說明 (2)

本發明之目的在於提供一種不使埋入到分離溝內的絕緣膜上部形成孔等而可利用其絕緣膜良好埋入分離溝的技術。

此外，本發明之其他目的在於提供一種不使埋入到形成於鄰接圖案間的溝內的絕緣膜上部形成孔等而可利用其絕緣膜良好埋入其溝的技術。

本發明之前述及其他目的和新穎特徵由本說明書記述及附圖當可明白。

茲簡單說明在本案所揭示的發明中具代表性者的概要如下。

即，本發明具有下述製程：將形成於半導體基板的分離溝用以塗佈法形成的絕緣膜埋入到其中途深度後，在其上堆疊絕緣膜埋入。

此外，本發明具有下述製程：將形成於半導體基板的分離溝用以塗佈法形成的絕緣膜埋入到其中途深度後，在其上堆疊以化學氣相沉積法形成的絕緣膜埋入。

此外，本發明具有下述製程：將形成於半導體基板上所形成的鄰接圖案間的溝以塗佈法形成的絕緣膜埋入到其中途深度後，在其上依次堆疊以化學氣相沉積法形成的絕緣膜埋入。

此外，本發明具有以下製程：相對地平面積不同的分離區域存在於半導體基板，在相對地平面積寬的分離區域形成代真圖案；及，將形成於半導體基板的相對地平面積不同的分離區域各個的分離溝用以塗佈法形成的絕緣膜埋入到其中途深度後，在其上依次堆疊以化學氣相沉積法形成的

五、發明說明 (3)

絕緣膜埋入。

此外，本發明具有以下製程：

在半導體基板上形成互相鄰接的多數圖案；

利用以塗佈法沉積的第一絕緣膜埋入到形成於前述互相鄰接的多數圖案間的溝的深度方向中途位置；及，

利用第二絕緣膜埋入已埋入前述第一絕緣膜的前述溝的剩餘深度部分。

此外，在前述製造方法，前述多數圖案包含MISFET的閘極和代真閘極或元件分離溝和代真圖案。

[圖式之簡單說明]

圖1為本發明一實施形態的半導體積體電路裝置製程中的要部平面圖。

圖2為圖1的半導體積體電路裝置製程中的圖1的A-A線截面圖。

圖3為圖1的半導體積體電路裝置製程中的圖1的B-B線截面圖。

圖4為接著圖2及圖3的半導體積體電路裝置製程中的圖1的A-A線截面圖。

圖5為接著圖2及圖3的半導體積體電路裝置製程中的圖1的B-B線截面圖。

圖6為接著圖4及圖5的半導體積體電路裝置製程中的圖1的A-A線截面圖。

圖7為接著圖4及圖5的半導體積體電路裝置製程中的圖1的B-B線截面圖。

五、發明說明(4)

圖8為接著圖6及圖7的半導體積體電路裝置製程中的圖1的A-A線截面圖。

圖9為接著圖6及圖7的半導體積體電路裝置製程中的圖1的B-B線截面圖。

圖10為接著圖8及圖9的半導體積體電路裝置製程中的圖1的A-A線截面圖。

圖11為接著圖8及圖9的半導體積體電路裝置製程中的圖1的B-B線截面圖。

圖12為接著圖10及圖11的半導體積體電路裝置製程中的圖1的A-A線截面圖。

圖13為接著圖10及圖11的半導體積體電路裝置製程中的圖1的B-B線截面圖。

圖14為接著圖12及圖13的半導體積體電路裝置製程中的圖1的A-A線截面圖。

圖15為接著圖12及圖13的半導體積體電路裝置製程中的圖1的B-B線截面圖。

圖16為接著圖14及圖15的半導體積體電路裝置製程中的圖1的A-A線截面圖。

圖17為接著圖14及圖15的半導體積體電路裝置製程中的圖1的B-B線截面圖。

圖18為接著圖16及圖17的半導體積體電路裝置製程中的圖1的A-A線截面圖。

圖19為接著圖16及圖17的半導體積體電路裝置製程中的圖1的B-B線截面圖。

五、發明說明 (5)

圖20為接著圖18及圖19的半導體積體電路裝置製程中的要部平面圖。

圖21為接著圖18及圖19的半導體積體電路裝置製程中的圖20的A-A線截面圖。

圖22為接著圖21的半導體積體電路裝置製程中的圖20的A-A線截面圖。

圖23為接著圖22的半導體積體電路裝置製程中的圖20的A-A線截面圖。

圖24為接著圖23的半導體積體電路裝置製程中的圖20的A-A線截面圖。

圖25為接著圖24的半導體積體電路裝置製程中的圖20的A-A線截面圖。

圖26為接著圖25的半導體積體電路裝置製程中的圖20的A-A線截面圖。

圖27為接著圖26的半導體積體電路裝置製程中的要部平面圖。

圖28為圖27的A-A線截面圖。

圖29為本發明其他實施形態的半導體積體電路裝置製程中的要部平面圖。

圖30為圖29的A-A線截面圖。

圖31為接著圖30的半導體積體電路裝置製程中的圖29的A-A線截面圖。

圖32為接著圖31的半導體積體電路裝置製程中的圖29的A-A線截面圖。

五、發明說明 (6)

圖33為接著圖32的半導體積體電路裝置製程中的圖29的A-A線截面圖。

圖34為接著圖33的半導體積體電路裝置製程中的圖29的A-A線截面圖。

圖35為說明本發明者為作本發明而檢討的技術的半導體積體電路裝置製程中的截面圖。

圖36為本發明其他實施形態的半導體積體電路裝置製程中的要部截面圖。

[發明之實施形態]

以下，根據圖面詳細說明本發明之實施形態。又，在為了說明實施形態的全圖具有同一功能者附上同一符號，其反覆說明省略。此外，在本實施形態，將p通道型MISFET(金屬絕緣體半導體場效應電晶體)簡稱為pMIS，將n通道型MISFET簡稱為nMIS。

(實施形態1)

在本實施形態1，說明將本發明適用於例如1G(十億)位元DRAM(動態隨機存取記憶體)的製造方法的情況。但是，本發明並不限於適用於1G位元DRAM，可各種適用於例如256M位元DRAM、具有DRAM的邏輯電路或具有CMOS(互補金屬氧化物半導體記憶體)電路的ASIC(專用積體電路)等之類的其他半導體積體電路裝置。

首先，使用圖1~圖19說明其DRAM的分離部形成方法。又，圖1顯示DRAM製程中的記憶胞陣列的要部平面圖，圖2、圖4、圖6、圖8、圖10、圖12、圖14、圖16及圖18顯

五、發明說明 (7)

示圖1的A-A線截面圖，圖3、圖5、圖7、圖9、圖11、圖13、圖15、圖17及圖19顯示圖1的B-B線截面圖。

如圖1~圖3所示，在由例如p型且電阻率 $10\ \Omega\text{cm}$ 程度的單晶矽構成的半導體基板(在此階段由例如平面略圓形的薄板構成的半導體晶圓)1表面利用熱氧化法等形成由例如氧化矽膜(SiO_2 等)構成的絕緣膜2。此絕緣膜2具有緩和熱處理時的應力的功能。接著，在其絕緣膜2上利用CVD(化學氣相沉積)法等形成由例如氮化矽膜(Si_3N_4 等)構成的絕緣膜3後，在其上利用微影技術形成開溝埋入構造的分離部形成區域露出且覆蓋活性區域之類的光阻膜4A。其後，以此光阻膜4A為蝕刻罩幕，利用乾式蝕刻法等蝕刻除去從其光阻膜4A露出的絕緣膜2、3後，除去光阻膜4A。藉此，如圖4及5所示，形成分離部形成區域露出且覆蓋活性區域之類的溝開口部5。

其次，以留在半導體基板1上的絕緣膜3為蝕刻罩幕，藉由利用乾式蝕刻法等蝕刻除去從溝開口部5露出的半導體基板1，如圖6及圖7所示，在半導體基板1形成分離溝6a。分離溝6a深度為例如350 nm程度。接著，藉由對於半導體基板1施以熱氧化處理等，如圖8及9所示，在分離溝6a內的半導體基板1表面形成由例如氧化矽膜(SiO_2 等)構成的絕緣膜6b。其後，如圖10及圖11所示，在半導體基板1的主面上如覆蓋絕緣膜3般地，藉由利用旋轉塗佈法等沉積例如聚矽氮烷(polysilazane)系的無機SOG(旋塗玻璃)膜等之類的塗佈膜(第一絕緣膜)6c，埋入分離溝6a。此塗佈膜6c係由氧

五、發明說明 (8)

化矽等構成，具有埋入按照底層形狀形成的凹部的高平坦性，具有例如在溫度 25°C 程度的黏性係數 $100\text{ mPa}\cdot\text{s}$ 以下的流動性。因此，塗佈膜6c回流性高，細微間隔的填隙性佳，所以即使埋入到細微化到微影分辨極限程度的分離溝6a也不會產生空洞。此外，在此階段，在半導體基板1的主面上全面，塗佈膜6c上面成為大致平坦。

其次，如圖12及圖13所示，以絕緣膜3為蝕刻罩幕，將塗佈膜6c如到分離溝6a的深度方向中途位置留下般地蝕刻除去。藉此，使分離溝6a變淺。此處，例如分離溝5a的深寬比成為3以下般地在分離溝6a中留下塗佈膜6c。接著，在例如氮氣氣氛中，對於半導體基板1施以例如 800°C 、1分鐘程度的熱處理。藉此，可使塗佈膜6c的膜質提高，可使濕式蝕刻速率減低。其後，如圖14及圖15所示，藉由利用CVD法等，該CVD法使用例如四乙氧基矽烷(TEOS)和臭氧(O_3)的混合氣體或甲矽烷和氧的混合氣體，在半導體基板1主面上沉積由例如氧化矽膜等構成的絕緣膜(第二絕緣膜)6d，埋入分離溝6a剩餘的深度部分。此時，由於分離溝5a(剩餘的深度部分)的深寬比成為3以下，所以可實現在分離溝5a內的絕緣膜6d不形成孔、空洞或裂痕等的分離溝5a的埋入。此外，若分離溝5a深，則半導體基板1主面的凹凸變大，所以在埋入其的絕緣膜6d，為了防止在絕緣膜6d上面出現凹凸，必須某種程度加厚沉積膜厚，但在本實施形態1，藉由使分離溝5a深度預先利用塗佈膜6c變淺，可縮小半導體基板1主面上的凹凸，所以可使絕緣膜6d的沉積膜厚變

五、發明說明(9)

薄。又，絕緣膜6d比塗佈膜6c細緻性高，所以具有在形成後述接觸孔時，即使由其接觸孔一部分所曝光也難以被蝕刻除去之性質。

其次，如圖16及圖17所示，以絕緣膜3為蝕刻擋膜，利用化學機械研磨(CMP：Chemical Mechanical Polish)法研磨絕緣膜6d。此時，在本實施形態1，由於如前述可使絕緣膜6d的沉積膜厚變薄，所以可減低CMP的絕緣膜6d研磨量，可減低CMP的研磨偏差。接著，藉由對於半導體基板1施以蝕刻處理，蝕刻除去絕緣膜2、3，如圖18及圖19所示，形成開溝埋入構造的分離部6。藉由形成此分離部6，在形成記憶胞的區域(記憶胞陣列)同時形成具有以分離部6包圍的細長島狀圖案的活性區域L。此外，在形成周邊電路的區域也同時形成以分離部6包圍的未圖示的活性區域。分離部6上面，即絕緣膜6d上面被平坦化成和活性區域L上面大致相同高度，在其絕緣膜6d上面部分未形成孔、空洞及裂痕等。

其次，使用圖20~圖26說明前述DRAM的閘極及覆蓋其的層間絕緣膜的形成方法。又，圖20顯示DRAM製程中的和前述圖1相同平面位置的記憶胞陣列的要部平面圖，圖21~圖26顯示圖20的A-A線截面圖。

首先，如圖20及圖21所示，在記憶胞陣列的半導體基板1離子注入例如P(磷)而形成n型半導體區域7後，在記憶胞陣列和周邊電路一部分(形成nMIS的區域)離子注入例如B(硼)而形成p型井8P，在周邊電路其他一部份(形成pMIS的區域)

五、發明說明 (10)

離子注入例如P(磷)而形成n型井。接著，將為了調整MISFET臨界電壓的雜質，例如BF₂(氟化硼)離子注入到p型井8P及前述n型井，其次用HF(氫氟酸)系的洗滌液洗滌p型井8P及前述n型井表面後，將半導體基板1濕式氧化而在p型井8P及前述n型井表面形成由例如氧化矽構成的清潔閘絕緣膜9。其後，在閘絕緣膜9上部形成閘極10A(字元線WL)。閘極10A(字元線WL)係在半導體基板1上以CVD法沉積摻入例如P(磷)等雜質的多晶矽膜後，在其上從下層依次以濺鍍法沉積氮化鎢(WN)膜和鎢(W)膜，再在其上以CVD法沉積由例如氮化矽(Si₃N₄等)構成的絕緣膜11，其次以光阻膜為罩幕將這些膜形成圖案，藉此形成。構成閘極10A的氮化鎢膜起作用作為阻障層，該阻障層係防止在高溫熱處理時鎢膜和多晶矽膜反應而在兩者的界面形成高電阻的金屬矽化物層。除了氮化鎢膜之外，也可以將高熔點氮化金屬膜，例如TiN(氮化鈦)膜使用於此阻障層。以這種高熔點金屬膜和多晶矽膜為主體所構成的多金屬構造的閘極10A(字元線WL)比以多晶矽膜或多晶矽化金屬膜(高熔點金屬矽化物膜和多晶矽膜的層疊膜)所構成的閘極電阻低，所以可減低字元線WL的信號延遲。在本實施形態1，在分離部6上面不形成孔或空洞等，所以當字元線WL形成圖案時，可防止起因於在分離部6上面的孔或空洞等中殘留字元線WL材料的鄰接字元線WL間的短路不良。

其次，在p型井8P離子注入例子P(磷)而在閘極10A兩側的p型井8P形成源極、汲極用的一對n-型半導體區域12。

五、發明說明 (11)

藉由到此的製程，記憶胞選擇用 MISFETQs 大略完成。接著，在半導體基板 1 主面上以 CVD 法等沉積由例如氮化矽 (Si_3N_4 等) 構成的絕緣膜 13 後，用光阻膜(未圖示)覆蓋記憶胞陣列的絕緣膜 13，非等向性蝕刻周邊電路區域的絕緣膜 13。藉此，在記憶胞陣列形成如覆蓋閘極 10A 表面及半導體基板 1 表面的絕緣膜 13。此外，在周邊電路區域，在構成周邊電路的 MISFET 的閘極側壁形成側壁間隙壁。此蝕刻為了以埋入到分離部 6 的絕緣膜 6d 等的切削量為最少，使用以高選擇比蝕刻由氮化矽等構成的絕緣膜 13 的氣體進行。

且說字元線 WL(即閘極)如前述，成為多金屬構造，所以比只以多晶矽膜所構成的字元線構造，高度方向的尺寸長。並且，為了謀求記憶體的電容增大，鄰接字元線間的尺寸變小。因此，形成於鄰接字元線間的溝的深寬比變大。例如在本實施形態 1，形成於字元線 WL(閘極 10A) 鄰接間的溝寬度為例如 70 nm 程度，深度為例如 300 nm 程度，其溝的深寬比成為例如 4 以上。

於是，在本實施形態 1 成為如下：

首先，如圖 22 所示，在半導體基板 1 主面上藉由利用旋轉塗佈法等沉積例如氧化矽系的無機 SOG 膜等之類的塗佈膜(第一絕緣膜) 14a，埋入形成於字元線 WL(即閘極 10A) 鄰接間的溝。此塗佈膜 14a 和前述塗佈膜 6c 相同，其上面大致平坦。此塗佈膜 14a 比 BPSG 膜等玻璃流膜回流性高，細緻間隔的填隙性佳，所以即使埋入到細微化到微影分辨極限程度的閘極 10A(字元線 WL) 鄰接間也不會產生空洞。此

五、發明說明 (12)

外，塗佈膜14a即使不進行在BPSG膜等所需的高溫、長時間的熱處理亦可得到高回流性，所以可抑制注入到記憶胞選擇用MISFETQs的源極、汲極或周邊電路的MISFET(nMIS、pMIS)的源極、汲極的雜質熱擴散而謀求淺接合化。此外，在熱處理時可抑制構成閘極10A(字元線WL)的金屬(鎢膜)氧化，所以可實現記憶胞選擇用MISFETQs及周邊電路的MISFET的高性能化。

接著，如圖23所示，以絕緣膜13為蝕刻罩幕，將塗佈膜14a如到鄰接字元線WL間的溝的深度方向中途位置留下般地蝕刻除去。藉此，使鄰接字元線WL間的溝變淺。此處也是例如其溝的深寬比成為3以下般地在溝中留下塗佈膜14a。其後，在例如氮氣氣氛中，對於半導體基板1施以例如800℃、1分鐘程度的熱處理，使塗佈膜14a細緻化，藉此可使塗佈膜14a的膜質提高，可使濕式蝕刻速率減低。其後，如圖24所示，藉由利用CVD法等，該CVD法使用例如四乙氧基矽烷(TEOS)和臭氧(O₃)的混合氣體或甲矽烷和氧的混合氣體，在半導體基板1主面上沉積由例如氧化矽膜等構成的絕緣膜(第二絕緣膜)14b，埋入鄰接字元線WL間的溝剩餘的深度部分。此時，由於鄰接字元線WL間的溝(剩餘的深度部分)的深寬比成為3以下，所以可如在其溝內的絕緣膜14b不形成孔、空洞或裂痕等般地埋入其溝。此外，若其溝深，則半導體基板1主面的凹凸變大，所以在埋入其的絕緣膜14b，為了防止在絕緣膜14b上面出現凹凸，必須某種程度加厚沉積膜厚，但在本實施形態1，藉由使鄰接字

五、發明說明 (13)

元線WL間的溝深度預先利用塗佈膜14a變淺，可縮小半導體基板1主面上的凹凸，所以可使絕緣膜14b的沉積膜厚變薄。又，絕緣膜14b和前述絕緣膜6d及同塗佈膜14a相比，具有細緻性高的性質。

其次，如圖25所示，利用CMP法等研磨絕緣膜14b上部，使其上面平坦化後，如圖26所示，在絕緣膜14b上利用CVD法等沉積由例如氧化矽(SiO_2 等)構成的絕緣膜15。上層絕緣膜15係為了修補以CMP法研磨時產生的下層絕緣膜14b表面細微的傷而沉積。接著，用以光阻膜為罩幕的乾式蝕刻依次除去記憶胞選擇用MISFETQs的n-型半導體區域(源極、汲極)12上方的絕緣膜15、14b及塗佈膜14a。此蝕刻係為了防止除去塗佈膜14a下層的氮化矽膜13，提高氧化矽和氮化矽的蝕刻選擇比，在氧化矽比氮化矽容易被蝕刻的條件下蝕刻。其後，用以前述光阻膜為罩幕的乾式蝕刻除去n-型半導體區域(源極、汲極)12上部的氮化矽膜13，接著藉由除去其下層的薄閘絕緣膜9，在n-型半導體區域(源極、汲極)12一方上部形成接觸孔16a，在他方上部形成接觸孔16b。接觸孔16a(為兩個記憶胞選擇用MISFETQs所共有的n型半導體區域12上的接觸孔)成為如字元線WL延伸方向的平面尺寸成為字元線WL交叉方向(寬度方向)的尺寸兩倍程度般的細長圖案。即，接觸孔16a成為字元線WL延伸方向的平面尺寸比字元線WL寬度方向的平面尺寸大的平面略長方形的圖案，其一部分從活性區域L離開而延伸於分離部6上。由此氮化矽等構成的絕緣膜13的蝕刻係為了以半

五、發明說明 (14)

導體基板1或分離部6的切削量為最小，加大氧化矽和氮化矽的蝕刻選擇比，在氮化矽比氧化矽容易被蝕刻除去的條件下蝕刻。再者，此蝕刻係在非等向性蝕刻由氮化矽等構成的絕緣膜13之類的條件下進行，要在閘極10A(字元線WL)側壁留下由氮化矽等構成的絕緣膜13。藉此，可對於閘極10A(字元線WL)以自行對準形成字元線WL寬度方向的直徑微影分辨極限以下的細微接觸孔16a、16b。又，形成前述接觸孔16a、16b後，透過此接觸孔16a、16b在p型井8P離子注入例如磷，藉此在比記憶胞選擇用MISFETQs的源極、汲極深的區域的p型井8P形成n型半導體區域12A亦可。此n型半導體區域12A有緩和集中於源極、汲極端部的電場的效果，所以可減低源極、汲極端部的漏電流而使記憶胞的再新特性提高。

其次，在接觸孔16a、16b內部形成插塞17。插塞17係將摻入例如As(砷)的多晶矽膜利用CVD法等沉積於半導體基板1上後，以CMP法研磨此多晶矽膜而留在接觸孔16a、16b內部，藉此形成。此後，按照通常的DRAM製造方法製造半導體積體電路裝置。將其DRAM的記憶胞陣列要部平面圖及其A-A線截面圖一例分別顯示於圖27及圖28。

在絕緣膜15上形成由例如氧化矽等構成的絕緣膜18。在平面位於離開活性區域L的分離部6上的接觸孔16a部分上方的絕緣膜18形成通孔19，在其內部埋入插塞20，該插塞20係由從下層依次層疊Ti(鈦)膜、TiN(氮化鈦)膜及W膜的導電膜構成。此外，在此插塞20和埋入到通孔19下部的接

五、發明說明 (15)

觸孔16a的插塞17的界面形成鈦金屬矽化物(TiSi_2 等)層，該鈦金屬矽化物層係由構成插塞20一部分的鈦膜和構成插塞17的多晶矽膜的反應所產生。在前述絕緣膜18上形成位元線BL。位元線BL平面配置於分離部6上方(為活性區域I所夾的區域)，以同一寬度、同一空間沿著字元線WL寬度方向直線延伸。位元線BL由例如鎢等之類的高熔點金屬構成，透過形成於絕緣膜18的通孔19及形成於其下部絕緣膜(絕緣膜15、14b、塗佈膜14a及閘絕緣膜9)的接觸孔16a和記憶胞選擇用MISFETQs的源極、汲極一方(為兩個記憶胞選擇用MISFETQs所共有的n-型半導體區域12、n型半導體區域12A)電氣連接。藉由以金屬(鎢等)構成位元線BL，可減低其電阻，所以可以高速進行資訊的讀出、寫入。此外，可在同一製程同時形成位元線BL和後述周邊電路的第一層配線，所以可簡化DRAM的製程。此外，藉由以耐熱性及耐電遷移(electromigration)性高的金屬(鎢等)構成位元線BL，即使使位元線BL寬度細微化的情況亦可確實防止斷線。

在前述位元線BL及第一層配線上形成由例如氧化矽(SiO_2 等)構成的絕緣膜21、22。上層絕緣膜22使其上面平坦化。在記憶胞陣列的絕緣膜22上形成由例如氮化矽(Si_3N_4 等)構成的絕緣膜23，在其上形成例如筒(crown)型資訊儲存用電容元件C。此資訊儲存用電容元件C具有下部電極(儲存電極)24a、上部電極(板極)24b及設於這些電極間的由氧化鈮(Ta_2O_5)等構成的電容絕緣膜(介電膜)24c。下部電極

五、發明說明 (16)

24a由摻入例如P(磷)的低電阻多晶矽膜構成，上部電極24b由例如氮化鈦膜構成。資訊儲存用電容元件C的下部電極24a以沿著圖27的字元線WL寬度方向筆直延伸的細長平面圖案構成。下部電極24a透過埋入到貫通絕緣膜23、22、21、18的通孔25內的插塞26和接觸孔16b內的插塞17電氣連接，再透過此插塞17和記憶胞選擇用MISFETQs的源極、汲極他方(n-型半導體區域12、n型半導體區域12A)電氣連接。在形成於下部電極24a和接觸孔16b間的通孔25內部埋入插塞26，該插塞26係由摻入例如P(磷)的低電阻多晶矽膜、鎢或氮化鈦等構成。在資訊儲存用電容元件C上部形成由例如氧化矽(SiO_2 等)構成的兩層絕緣膜27、28，再在其上部形成第二層配線ML2。第二層配線ML2用以例如鋁(Al)合金為主體的導電膜構成。在第二層配線ML2上形成由例如氧化矽(SiO_2 等)構成的絕緣膜29。此絕緣膜29係利用第二層配線ML2的填隙性佳的高密度電漿(High Density Plasma)CVD法所形成。

(實施形態2)

在本實施形態2說明之前，利用圖35說明本發明者發現的課題。圖35顯示半導體基板50的部分截面圖。此處顯示面積相對地寬的第一分離部形成區域S1和面積相對地小的第二分離部形成區域S2存在的情況。在第一、第二分離部形成區域S1、S2的半導體基板1分別已形成分離溝51a、51b。在此狀態，如在前述實施形態1說明，將分離用絕緣膜分成兩步驟沉積。即，沉積塗佈膜52後，從下層依次沉

五、發明說明 (17)

積利用CVD法等的絕緣膜53。如此一來，若要以塗佈膜某種程度埋入平面積寬的第一分離部形成區域S1的分離溝51a，則平面積小的第二分離部形成區域S2的分離溝51b被完全埋入。如果這樣的話，在第二分離部形成區域S2就形成只以塗佈膜52形成的分離部。相反地，若要不完全埋入第二分離部形成區域S2的分離溝51b，則埋入到第一分離部形成區域S1的分離溝51a的塗佈膜52膜厚變薄，必須加厚必須沉積於其上的絕緣膜53膜厚。絕緣膜53膜厚變厚，則以CMP削除絕緣膜53時，其CMP研磨量增大的結果，有在CMP研磨產生偏差的課題。

於是，在本實施形態2例如如下做。首先，圖29顯示本實施形態2的半導體積體電路裝置製程中的要部平面圖，圖30顯示圖29的A-A線截面圖。平面積相對地寬的第一分離部形成區域S1和平面積相對地小的第二分離部形成區域S2存在於半導體基板1。活性區域L形成於為其第一、第二分離部形成區域S1、S2等所包圍的區域。活性區域L(活性區域LA、LB、LC配置於代真禁止區域DA。代真禁止區域DA配置元件等，若配置後述代真圖案就不行，所以是設計上所設置。又，在活性區域LA、LB例如形成n井，配置pMIS。另一方面，在活性區域LC例如形成p井，配置nMIS。以虛線所示的閘極31a、31b為構成這些MISFET的圖案。閘極31a如將活性區域LA在其長度方向交叉般地跨越配置。閘極31b如將活性區域LB、LC在其長度方向交叉般地跨越配置。

五、發明說明 (18)

且說在本實施形態2，在平面積相對地寬的第一分離部形成區域S1設置代真圖案30。即，平面積相對地寬的第一分離部形成區域S1成為在代真圖案30鄰接間形成分離溝6a的構成。藉此，可抑制或防止後述埋入分離溝6a的絕緣膜的膜厚偏差。代真圖案30係形成分離溝6a時，留下代真圖案30所形成。即，代真圖案30以半導體基板1一部分構成。代真圖案30的平面形狀形成例如正方形。即，在第一分離部形成區域S1，分離溝6a平面地形成格子狀。若全體地看半導體基板1主面，而且在本實施形態2，在例如平面積相對地寬的第一分離部形成區域S1，形成於代真圖案30鄰接間的分離溝6a寬度和平面積相對地小的第二分離部形成區域S2的分離溝6a(此處是例如平面積最小的分離溝6a)寬度大致相等。全體成為相同平面圖案的分離溝6a形成於半導體基板1主面上之類的構造。此外，分離溝6a深度在第一、第二分離部形成區域S1、S2相等。這些是為了使埋入前述分離溝6a的絕緣膜厚度的均勻性提高。這種分離溝6a寬度為例如70 um程度，深度為例如500 nm程度，其深寬比成為例如7以上。又，第一、第二分離部形成區域的分離溝6a係在同製程時以和在前述實施形態1說明的相同的方法所形成。是因為藉由同製程時形成，容易形成代真圖案。此外，在包含代真圖案30的半導體基板1表面分別以和在前述實施形態1說明的相同的方法形成前述絕緣膜2、6b。此外，在絕緣膜2上以和在前述實施形態1說明的相同的方法形成絕緣膜3。

五、發明說明 (19)

在本實施形態2，在這種半導體基板1主面上如圖31所示，藉由和前述實施形態1同樣沉積塗佈膜6c，埋入分離溝6a。接著，如圖32所示，以絕緣膜3為蝕刻罩幕，將塗佈膜6c如到分離溝6a的深度方向中途位置留下般地蝕刻除去。藉此，使分離溝6a變淺。此處，例如分離溝5a深度成為例如210 nm程度以下，即深寬比成為3以下般地在分離溝6a中留下塗佈膜6c。在本實施形態2，藉由在面積相對地寬的第一分離部形成區域S1設置代真圖案30，可使留在面積相對地寬的第一分離部形成區域S1的分離溝6a內的絕緣膜6c和留在面積相對地小的第二分離部形成區域S2的分離溝6a內的絕緣膜6c的厚度(即高度)大致相等。即，在此階段可使半導體基板1主面上的絕緣膜6c的膜厚大致均勻。

其後，在例如氮氣氣氛中，對於半導體基板1施以例如800℃、1分鐘程度的熱處理，藉此使塗佈膜6c的膜質提高，使濕式蝕刻速率減低後，如圖33所示，藉由和前述實施形態1同樣在半導體基板1主面上沉積絕緣膜6d，埋入分離溝6a剩餘的深度部分。此時，由於分離溝5a(剩餘的深度部分)的深寬比成為3以下，所以可實現在分離溝5a內的絕緣膜6d不形成孔、空洞或裂痕等的分離溝5a的埋入。

此外，若分離溝5a深，則半導體基板1主面的凹凸變大。此外，平面積相對地不同的分離區域存在於半導體基板時也因絕緣膜6c的厚度偏差而在半導體基板1主面出現凹凸。如果這樣的話，為了防止在絕緣膜6d上面出現凹凸，必須某種程度加厚絕緣膜6d的沉積膜厚。然而，在本實施形態

五、發明說明 (20)

2，藉由使分離溝5a深度預先利用塗佈膜6c變淺，可縮小半導體基板1主面上的凹凸，所以可使絕緣膜6d的沉積膜厚變薄。此外，藉由在平面積相對地寬的第一分離部形成區域S1預先設置代真圖案30，可使埋入到分離溝6a的絕緣膜6c厚度與分離部形成區域(第一、第二分離部形成區域S1、S2等)的平面面積不同無關地均勻，所以絕緣膜6d的厚度也可比較薄。

其次，如圖34所示，以絕緣膜3為蝕刻擋膜，利用CMP法研磨絕緣膜6d。此時，在本實施形態2也如前述，可使絕緣膜6d的沉積膜厚變薄，所以可減低CMP的絕緣膜6d研磨量，可減低CMP的研磨偏差。接著，藉由對於半導體基板1施以蝕刻處理，蝕刻除去絕緣膜2、3，形成開溝埋入構造的分離部6。藉由形成此分離部6，可同時形成具有以分離部6包圍的細長島狀圖案的活性區域L。分離部6上面，即絕緣膜6d上面和前述實施形態1同樣，被平坦化成和活性區域L上面大致相同的高度，在其絕緣膜6d上面部分未形成孔、空洞及裂痕等。

(實施形態3)

本實施形態3如圖36所示，係在前述實施形態1、2設置和閘極10A(G)同層的代真閘極10B(DG)，使半導體基板1主面上的塗佈膜14a膜厚大致均勻。藉此，可減低絕緣膜14b的沉積膜厚，減低CMP法的研磨量，又代真閘極10B(DG)可按和前述實施形態2的代真圖案30同樣的想法配置。又，代真閘極10B(DG)可在實施形態1、2，藉由改變形成閘極

五、發明說明 (21)

10A時的光阻膜的罩幕圖案，以和閘極10A相同的構造形成。

如此，本實施形態3的半導體積體電路裝置之製造方法係(1)具有以下製程：

(a)在半導體基板上形成包含MISFETQs的閘極10A和代真閘極10B且互相鄰接的多數圖案；

(b)利用以塗佈法沉積的第一絕緣膜14a埋入到形成於前述互相鄰接的多數圖案間的溝的深度方向中途位置；及

(c)利用第二絕緣膜14b埋入已埋入前述第一絕緣膜14a的前述溝剩餘的深度部分。

(2)在前述半導體積體電路裝置之製造方法，前述第二絕緣膜係由化學氣相沉積法所沉積。

以上，根據實施形態具體說明了由本發明者所完成的發明，但本發明並不限於前述實施形態1、2、3，當然可在不脫離其要旨的範圍種種變更。

例如在前述實施形態1、2、3，雖然就以半導體基板為單晶矽的單體構造的情況加以說明，但並不限於此，可種種變更，例如包含在絕緣層上設置元件形成用於半導體層的SOI(絕緣層上有矽)基板或在半導體基板表面形成磊晶層的磊晶晶圓。

此外，在前述實施形態1、2、3，雖然回蝕塗佈膜而留在分離溝內，但並不限於此，例如也可以在塗佈塗佈膜時，只在分離溝底部埋入到其中途深度般地塗佈。這種情況，可將回蝕製程去掉一製程，所以可簡化製程。此外，可去

五、發明說明 (22)

掉回蝕處理的偏差，所以可減低半導體積體電路裝置的製造總偏差。因此，可使半導體積體電路裝置的良率或可靠性提高。

在以上說明主要是就將由本發明者所完成的發明適用於成為其背景的利用領域的DRAM的情況加以說明，但並不限於此，例如也可以適用於具有SRAM(靜態隨機存取記憶體)或快閃記憶體(EEPROM；電可擦除可程式規劃唯讀記憶體)等之類的記憶體電路的半導體裝置、具有微處理器等之類的邏輯電路的半導體裝置或將前述記憶體電路和邏輯電路設於同一半導體基板的混裝型半導體裝置。此外，也可以適用於製作於TFT(薄膜電晶體)及STN(超扭曲向列)液晶等之類的玻璃等其他絕緣基板上的半導體積體電路裝置的製造技術。

茲簡單說明由本案所揭示的發明中由具代表性者所得到的效果如下：

(1)根據本發明，可不使埋入到分離溝內的絕緣膜上部形成孔等而利用其絕緣膜良好埋入分離溝。

(2)根據本發明，可不使埋入到形成於鄰接圖案間的溝內的絕緣膜上部形成孔等而利用其絕緣膜良好埋入其溝。

(3)根據前述(1)或(2)，可防止電極配線間的短路不良。

(4)根據本發明，可使埋入到分離溝的絕緣膜變薄，所以可減低其絕緣膜的研磨量。因此，可減低其絕緣膜的研磨偏差。

(5)根據本發明，藉由在平面積相對地寬的分離部形成區

五、發明說明 (23)

域設置代真圖案，可使以塗佈法形成於絕緣膜及以化學氣相沉積法形成的絕緣膜的膜厚均勻且變薄，所以可減低以其化學氣相沉積法形成的絕緣膜的研磨量。因此，可減低其絕緣膜的研磨偏差。

(6)根據前述(3)、(4)、(5)，可使半導體積體電路裝置的可靠性提高。

(7)根據前述(3)、(4)、(5)，可使半導體積體電路裝置的良率提高。

茲匯總本發明之特徵如下：

1. 一種半導體積體電路裝置之製造方法，其特徵在於：
具有以下製程：
 - (a)在半導體基板的分離區域形成分離溝；
 - (b)利用以塗佈法沉積的第一絕緣膜埋入到前述分離溝的深度方向中途位置；及，
 - (c)利用第二絕緣膜埋入已埋入前述第一絕緣膜的前述分離溝剩餘的深度部分者。
2. 一種半導體積體電路裝置之製造方法，其特徵在於：
具有以下製程：
 - (a)在半導體基板上，在平面尺寸相對地不同的分離區域形成分離溝；
 - (b)利用以塗佈法沉積的第一絕緣膜埋入到前述分離溝的深度方向中途位置；及，
 - (c)利用第二絕緣膜埋入已埋入前述第一絕緣膜的前述分離溝剩餘的深度部分，

五、發明說明 (24)

在前述第一絕緣膜沉積製程前具有下列製程：在前述平面尺寸相對地不同的分離區域中相對地大的分離區域形成代真圖案者。

3. 一種半導體積體電路裝置之製造方法，其特徵在於：
具有以下製程：

(a)在半導體基板，在平面尺寸相對地不同的分離區域形成分離溝；

(b)利用以塗佈法沉積的第一絕緣膜埋入到前述分離溝的深度方向中途位置；及，

(c)利用第二絕緣膜埋入已埋入前述第一絕緣膜的前述分離溝剩餘的深度部分，

在形成前述分離溝之際，具有下述製程：在前述平面尺寸相對地不同的分離區域中相對地大的分離區域形成代真圖案者。

4. 一種半導體積體電路裝置之製造方法，其特徵在於：
具有以下製程：

(a)在半導體基板，在平面尺寸相對地不同的分離區域形成分離溝；

(b)利用以塗佈法沉積的第一絕緣膜埋入到前述分離溝的深度方向中途位置；及，

(c)利用第二絕緣膜埋入已埋入前述第一絕緣膜的前述分離溝剩餘的深度部分，

在形成前述分離溝之際，具有下述製程：如前述平面尺寸相對地不同的分離區域的各個分離溝的平面尺寸

五、發明說明 (25)

差及深度尺寸差變小般地在前述平面尺寸相對地不同的分離區域中相對地大的分離區域的分離溝形成代真圖案者。

5. 一種半導體積體電路裝置之製造方法，其特徵在於：
具有以下製程：

(a)在半導體基板，在平面尺寸相對地不同的分離區域形成分離溝；

(b)利用以塗佈法沉積的第一絕緣膜埋入到前述分離溝的深度方向中途位置；及，

(c)利用第二絕緣膜埋入已埋入前述第一絕緣膜的前述分離溝剩餘的深度部分，

在形成前述分離溝之際，具有下述製程：如前述平面尺寸相對地不同的分離區域的各個分離溝的平面尺寸及深度尺寸設計上相等般地在前述平面尺寸相對地不同的分離區域中相對地大的分離區域的分離溝間形成代真圖案者。

6. 在2~5項中任一項所載之半導體積體電路裝置之製造方法，其特徵在於：在前述(b)製程，在將前述第一絕緣膜埋入到前述分離溝之際，在形成於前述平面尺寸相對地不同的分離區域各個的分離溝內使前述第一絕緣膜的厚度相等者。

7. 在1~6項中任一項所載之半導體積體電路裝置之製造方法，其特徵在於：前述(b)製程具有下述製程：將前述第一絕緣膜利用塗佈法沉積於半導體基板主面上

五、發明說明 (26)

後，回蝕其第一絕緣膜者。

8. 在1~7項中任一項所載之半導體積體電路裝置之製造方法，其特徵在於：在前述分離溝內埋入前述第一絕緣膜後，對於前述第一絕緣膜施以熱處理者。
9. 在1~8項中任一項所載之半導體積體電路裝置之製造方法，其特徵在於：具有以下製程：
 - (d) 前述製程(c)後，在前述半導體基板上形成多數圖案；
 - (e) 利用以塗佈法沉積的第三絕緣膜埋入到形成於前述多數圖案間的溝的深度方向中途位置；及，
 - (f) 利用第四絕緣膜埋入已埋入前述第三絕緣膜的前述溝的剩餘部分者。
10. 一種半導體積體電路裝置之製造方法，其特徵在於：具有以下製程：
 - (a) 在半導體基板上形成互相鄰接的多數圖案；
 - (b) 利用以塗佈法沉積的第一絕緣膜埋入到形成於前述互相鄰接的多數圖案間的溝的深度方向中途位置；及，
 - (c) 利用第二絕緣膜埋入已埋入前述第一絕緣膜的前述溝剩餘的深度部分者。
11. 在9或10項所載之半導體積體電路裝置之製造方法，其特徵在於：前述多數圖案包含MISFET的閘極和代真閘極者。
12. 在1~11項中任一項所載之半導體積體電路裝置之製

五、發明說明 (27)

造方法，其特徵在於：前述第二絕緣膜係由化學氣相沉積法所沉積者。

13. 一種半導體積體電路裝置之製造方法，其特徵在於：具有以下製程：

(a) 在半導體基板如互相鄰接般地形成構成記憶胞選擇用場效應電晶體的閘極的多數字元線；

(b) 在前述半導體基板上如覆蓋前述多數字元線表面般地沉積絕緣膜；

(c) 利用以塗佈法沉積的第一絕緣膜埋入到形成於前述多數字元線間的溝的深度方向中途位置；

(d) 利用由化學氣相沉積法所沉積的第二絕緣膜埋入已埋入前述第一絕緣膜的前述溝剩餘的深度部分；

(e) 在前述多數字元線鄰接間的前述絕緣膜及第一、第二絕緣膜如達到前述記憶胞選擇用場效應電晶體的一對半導體區域般地穿孔；

(f) 在前述記憶胞選擇用場效應電晶體的一對半導體區域中的一方半導體區域形成透過前述孔電氣連接的位元線；及，

(g) 在前述記憶胞選擇用場效應電晶體的一對半導體區域中的他方半導體區域形成透過前述孔電氣連接的資訊儲存用電容元件，

在前述絕緣膜及第一、第二絕緣膜穿孔的製程具有下述製程：

相對大地取前述絕緣膜和第一、第二絕緣膜的蝕刻選

五、發明說明 (28)

擇比，在前述第一、第二絕緣膜比前述絕緣膜容易被蝕刻除去的條件下蝕刻處理後，在前述絕緣膜比前述第一、第二絕緣膜容易被蝕刻除去的條件下蝕刻處理者。

14. 在10或13項所載之半導體積體電路裝置之製造方法，其特徵在於：埋入前述第一絕緣膜的製程具有下述製程：將前述第一絕緣膜利用塗佈法沉積於半導體基板主面上後，將其第一絕緣膜如留在前述溝內般地回蝕者。
15. 在10、13或14項所載之半導體積體電路裝置之製造方法，其特徵在於：在前述溝內埋入前述第一絕緣膜後，對於前述第一絕緣膜施以熱處理這。
16. 在1~15項中任一項所載之半導體積體電路裝置之製造方法，其特徵在於：前述第一絕緣膜具有在溫度25℃的黏性係數100 mPa·s以下的流動性者。
17. 在1~16項中任一項所載之半導體積體電路裝置之製造方法，其特徵在於：前述第二絕緣膜利用使用四乙氧基矽烷和臭氧的混合氣體的化學氣相沉積法或使甲矽烷和氧的混合氣體利用高密度電漿分解的化學氣相沉積法形成者。
18. 一種半導體積體電路裝置，其特徵在於：形成於半導體基板分離區域的分離部具有分離溝：在前述半導體基板厚度方向所開挖；第一絕緣膜：如埋入到前述分離溝的深度方向中途位置般地由塗佈法所形成；及，

五、發明說明 (29)

第二絕緣膜：如埋入已埋入前述第一絕緣膜的分離溝剩餘的深度部分般地由化學氣相沉積法所形成者。

19. 一種半導體積體電路裝置，其特徵在於：具有分離區域：配置於半導體基板主面的平面尺寸相對地不同；分離溝：在前述平面尺寸相對地不同的分離區域各個在前述半導體基板厚度方向所開挖；第一絕緣膜：如埋入到前述分離溝的深度方向中途位置般地由塗佈法所形成；及，第二絕緣膜：如埋入已埋入前述第一絕緣膜的分離溝剩餘的深度部分般地由化學氣相沉積法所形成，

在形成於前述平面尺寸相對地不同的分離區域中的平面尺寸相對地大的分離區域的前述分離溝間設置代真圖案者。

20. 在18或19項所載之半導體積體電路裝置，其特徵在於：埋入到形成於前述平面尺寸相對地不同的分離區域各個的分離溝內的前述第一絕緣膜厚度相等者。
21. 一種半導體積體電路裝置，其特徵在於：具有多數圖案：形成於半導體基板上，互相鄰接；第一絕緣膜：如埋入到形成於前述互相鄰接的多數圖案間的溝的深度方向中途位置般地以塗佈法沉積；及，第二絕緣膜：如埋入已埋入前述第一絕緣膜的前述溝剩餘的深度部分般地由化學氣相沉積法所沉積者。
22. 一種半導體積體電路裝置，其特徵在於：具有多數記憶胞選擇用場效應電晶體：形成於半導體基

五、發明說明 (30)

板；

多數字元線：係構成前述記憶胞選擇用場效應電晶體的閘極的配線，如互相鄰接般地形成於前述半導體基板主面上；

絕緣膜：如覆蓋前述多數字元線表面般地形成於前述半導體基板上；

第一絕緣膜：如埋入到形成於前述多數字元線間的溝的深度方向中途位置般地以塗佈法沉積；

第二絕緣膜：如埋入已埋入前述第一絕緣膜的溝剩餘的深度部分般地由化學氣相沉積法所沉積；

孔：平面配置於前述多數字元線的鄰接間，如露出前述記憶胞選擇用場效應電晶體的一對半導體區域般地形成於前述絕緣膜及第一、第二絕緣膜；

位元線：透過前述孔電氣連接於前述記憶胞選擇用場效應電晶體的一對半導體區域中的一方半導體區域；及，

資訊儲存用電容元件：透過前述孔電氣連接於前述記憶胞選擇用場效應電晶體的一對半導體區域中的他方半導體區域者。

四、中文發明摘要（發明之名稱： 半導體積體電路裝置之製造方法及半導體積體電路裝置）

埋入形成於半導體基板之分離溝時，最初利用塗佈膜埋入到分離溝中途深度位置後，在其上沉積以CVD法形成的絕緣膜，再將其絕緣膜以CMP法等研磨削除，以塗佈膜和絕緣膜的重疊膜埋入分離溝內。

此外，在半導體基板上形成電極圖案和代真圖案，利用塗佈膜埋入到形成於這些圖案間之溝的深度方向中途位置，其後用以CVD法形成的絕緣膜埋入前述溝剩餘之深度部分。

日文發明摘要（發明之名稱： 半導体集積回路装置の製造方法および半導体集積回路装置）

半導体基板に形成された分離溝を埋め込む際に、最初に塗布膜によって分離溝の途中の深さ位置までを埋め込んだ後、その上に、CVD法で形成された絶縁膜を堆積し、さらに、その絶縁膜をCMP法等で研磨することで削ることで、分離溝内を塗布膜と絶縁膜との重ね膜で埋め込む。

また、半導体基板上に電極パターンとダミーパターンとを形成し、これらのパターンの間に形成される溝の深さ方向の途中の位置までを塗布膜によって埋め込み、その後前記溝の残りの深さ、部分をCVD法で形成された絶縁膜で埋め込む。

經濟部智慧財產局員工消費合作社印製

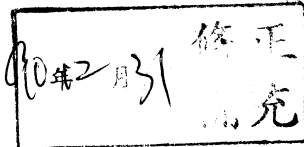
（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

錄

六、申請專利範圍



1. 一種半導體積體電路裝置之製造方法，其特徵在於：具有以下製程：
 - (a) 在半導體基板的分離區域形成分離溝；
 - (b) 將以塗佈法沉積的第一絕緣膜埋入到前述分離溝的深度方向中途位置；及，
 - (c) 將第二絕緣膜埋入已埋入前述第一絕緣膜的前述分離溝剩餘的深度部分者。
2. 一種半導體積體電路裝置之製造方法，其特徵在於：具有以下製程：
 - (a) 在半導體基板上，在平面尺寸相對地不同的分離區域形成分離溝；
 - (b) 將以塗佈法沉積的第一絕緣膜埋入到前述分離溝的深度方向中途位置；及，
 - (c) 將第二絕緣膜埋入已埋入前述第一絕緣膜的前述分離溝剩餘的深度部分，
在前述第一絕緣膜沉積製程前具有下述製程：在前述平面尺寸相對地不同的分離區域中相對地大的分離區域形成代真圖案者。
3. 一種半導體積體電路裝置之製造方法，其特徵在於：具有以下製程：
 - (a) 在半導體基板，在平面尺寸相對地不同的分離區域形成分離溝；
 - (b) 將以塗佈法沉積的第一絕緣膜埋入到前述分離溝的深度方向中途位置；及，

六、申請專利範圍

(c)將第二絕緣膜埋入已埋入前述第一絕緣膜的前述分離溝剩餘的深度部分，

在形成前述分離溝之際，具有下述製程：在前述平面尺寸相對地不同的分離區域中相對地大的分離區域形成代真圖案者。

4. 一種半導體積體電路裝置之製造方法，其特徵在於：具有以下製程：

(a)在半導體基板，在平面尺寸相對地不同的分離區域形成分離溝；

(b)將以塗佈法沉積的第一絕緣膜埋入到前述分離溝的深度方向中途位置；及，

(c)將第二絕緣膜埋入已埋入前述第一絕緣膜的前述分離溝剩餘的深度部分，

在形成前述分離溝之際，具有下述製程：如前述平面尺寸相對地不同的分離區域的各個分離溝的平面尺寸差及深度尺寸差變小般地在前述平面尺寸相對地不同的分離區域中相對地大的分離區域的分離溝間形成代真圖案者。

5. 一種半導體積體電路裝置之製造方法，其特徵在於：具有以下製程：

(a)在半導體基板，在平面尺寸相對地不同的分離區域形成分離溝；

(b)將以塗佈法沉積的第一絕緣膜埋入到前述分離溝的深度方向中途位置；及，

六、申請專利範圍

(c)將第二絕緣膜埋入已埋入前述第一絕緣膜的前述分離溝剩餘的深度部分，

在形成前述分離溝之際，具有下述製程：如前述平面尺寸相對地不同的分離區域的各個分離溝的平面尺寸及深度尺寸設計上相等般地在前述平面尺寸相對地不同的分離區域中相對地大的分離區域的分離溝間形成代真圖案者。

6. 如申請專利範圍第2至5項中任一項之半導體積體電路裝置之製造方法，其中在前述(b)製程，在將前述第一絕緣膜埋入到前述分離溝之際，在形成於前述平面尺寸相對地不同的分離區域各個的分離溝內使前述第一絕緣膜的厚度相等。
7. 如申請專利範圍第1至5項中任一項之半導體積體電路裝置之製造方法，其中前述(b)製程具有下述製程：將前述第一絕緣膜利用塗佈法沉積於半導體基板主面上後，回蝕其第一絕緣膜。
8. 如申請專利範圍第1至5項中任一項之半導體積體電路裝置之製造方法，其中在前述分離溝內埋入前述第一絕緣膜後，對於前述第一絕緣膜施以熱處理。
9. 如申請專利範圍第1至5項中任一項之半導體積體電路裝置之製造方法，其中具有以下製程：

(d)前述製程(c)後，在前述半導體基板上形成多數圖案；

(e)將以塗佈法沉積的第三絕緣膜埋入到形成於前述多

六、申請專利範圍

數圖案間的溝的深度方向中途位置；及，

(f)將第四絕緣膜埋入已埋入前述第三絕緣膜的前述溝的剩餘部分者。

10. 一種半導體積體電路裝置之製造方法，其特徵在於：具有以下製程：

(a)在半導體基板上形成互相鄰接的多數圖案；

(b)將以塗佈法沉積的第一絕緣膜埋入到形成於前述互相鄰接的多數圖案間的溝的深度方向中途位置；及，

(c)將第二絕緣膜埋入已埋入前述第一絕緣膜的前述溝剩餘的深度部分者。

11. 如申請專利範圍第10項之半導體積體電路裝置之製造方法，其中前述多數圖案包含MISFET的閘極和代真電極。

12. 如申請專利範圍第1～5、10、11項中任一項之半導體積體電路裝置之製造方法，其中前述第二絕緣膜係由化學氣相沉積法所沉積。

13. 一種半導體積體電路裝置之製造方法，其特徵在於：具有以下製程：

(a)在半導體基板上如互相鄰接般地形成構成記憶體選擇用場效應電晶體的閘極的多數字元線；

(b)在前述半導體基板上如覆蓋前述多數字元線表面般地沉積絕緣膜；

(c)將以塗佈法沉積的第一絕緣膜埋入到形成於前述多數字元線間的溝的深度方向中途位置；

(d)將由化學氣相沉積法所沉積的第二絕緣膜埋入已埋

六、申請專利範圍

入前述第一絕緣膜的前述溝剩餘的深度部分；

(e)在前述多數字元線鄰接間的前述絕緣膜及第一、第二絕緣膜如達到前述記憶胞選擇用場效應電晶體的一對半導體區域般地穿孔；

(f)在前述記憶胞選擇用場效應電晶體的一對半導體區域中的一方半導體區域形成透過前述孔電氣連接的位元線；及，

(g)在前述記憶胞選擇用場效應電晶體的一對半導體區域中的他方半導體區域形成透過前述孔電氣連接的資訊儲存用電容元件，

在前述絕緣膜及第一、第二絕緣膜穿孔的製程具有下述製程：

相對大地取前述絕緣膜和第一、第二絕緣膜的蝕刻選擇比，在前述第一、第二絕緣膜比前述絕緣膜容易被蝕刻除去的條件下蝕刻處理後，在前述絕緣膜比前述第一、第二絕緣膜容易被蝕刻除去的條件下蝕刻處理者。

14. 如申請專利範圍第10、11及13項中任一項之半導體積體電路裝置之製造方法，其中埋入前述第一絕緣膜的製程具有下述製程：將前述第一絕緣膜利用塗佈法沉積於半導體基板主面上後，將其第一絕緣膜如留在前述溝內般地回蝕。

15. 如申請專利範圍第10、11及13項中任一項之半導體積體電路裝置之製造方法，其中在前述溝內埋入前述第一絕緣膜後，對於前述第一絕緣膜施以熱處理。

六、申請專利範圍

16. 如申請專利範圍第1~5、10、11及13項中任一項之半導體積體電路裝置之製造方法，其中前述第一絕緣膜具有在溫度25℃的黏性係數100 mPa·s以下的流動性。
17. 如申請專利範圍第1~5、10及11項中任一項之半導體積體電路裝置之製造方法，其中前述第二絕緣膜利用使用四乙氧基矽烷和臭氧的混合氣體的化學氣相沉積法或使甲矽烷和氧的混合氣體利用高密度電漿分解的化學氣相沉積法形成。
18. 一種半導體積體電路裝置，其特徵在於：形成於半導體基板分離區域的分離部具有分離溝：在前述半導體基板厚度方向所開挖；第一絕緣膜：如埋入到前述分離溝的深度方向中途位置般地由塗佈法所形成；及，第二絕緣膜：如埋入已埋入前述第一絕緣膜的分離溝剩餘的深度部分般地由化學氣相沉積法所形成者。
19. 一種半導體積體電路裝置，其特徵在於：具有分離區域：配置於半導體基板主面的平面尺寸相對地不同；分離溝：在前述平面尺寸相對地不同的分離區域各個在前述半導體基板厚度方向所開挖；第一絕緣膜：如埋入到前述分離溝的深度方向中途位置般地由塗佈法所形成；及，第二絕緣膜：如埋入已埋入前述第一絕緣膜的分離溝剩餘的深度部分般地由化學氣相沉積法所形成，

在形成於前述平面尺寸相對地不同的分離區域中的平面尺寸相對地大的分離區域的前述分離溝間設置代真圖案者。

六、申請專利範圍

20. 如申請專利範圍第18或19項之半導體積體電路裝置，其中埋入到形成於前述平面尺寸相對地不同的分離區域各個的分離溝內的前述第一絕緣膜厚度相等。
21. 一種半導體積體電路裝置，其特徵在於：具有多數圖案：形成於半導體基板上，互相鄰接；第一絕緣膜：如埋入到形成於前述互相鄰接的多數圖案間的溝的深度方向中途位置般以塗佈法沉積；及，第二絕緣膜：如埋入已埋入前述第一絕緣膜的前述溝剩餘的深度部分般由化學氣相沉積法所沉積者。
22. 一種半導體積體電路裝置，其特徵在於：具有
- 多數記憶胞選擇用場效應電晶體：形成於半導體基板；
- 多數字元線：係構成前述記憶胞選擇用場效應電晶體的閘極的配線，如互相鄰接般形成於前述半導體基板主面上；
- 絕緣膜：如覆蓋前述多數字元線表面般形成於前述半導體基板上；
- 第一絕緣膜：如埋入到形成於前述多數字元線間的溝的深度方向中途位置般以塗佈法沉積；
- 第二絕緣膜：如埋入已埋入前述第一絕緣膜的溝剩餘的深度部分般由化學氣相沉積法所沉積；
- 孔：平面配置於前述多數字元線的鄰接間，如露出前述記憶胞選擇用場效應電晶體的一對半導體區域般形成於前述絕緣膜及第一、第二絕緣膜；

六、申請專利範圍

位元線：透過前述孔電氣連接於前述記憶胞選擇用場效應電晶體的一對半導體區域中的一方半導體區域；及，

資訊儲存用電容元件：透過前述孔電氣連接於前述記憶胞選擇用場效應電晶體的一對半導體區域中的他方半導體區域者。

23. 如申請專利範圍第9項之半導體積體電路裝置之製造方法，其中前述多數圖案包含MISFET的閘極和代真電極。
24. 如申請專利範圍第23項之半導體積體電路裝置之製造方法，其中前述第二絕緣膜係由化學氣相沉積法所沉積。
25. 如申請專利範圍第21項之半導體積體電路裝置，其中前述多數圖案包含MISFET的閘極和代真閘極。
26. 如申請專利範圍第25項之半導體積體電路裝置，其中前述第二絕緣膜係由化學氣相沉積法所沉積。
27. 如申請專利範圍第10項之半導體積體電路裝置之製造方法，其中前述多數圖案為設於分離區域的分離溝的代真圖案。
28. 如申請專利範圍第21項之半導體積體電路裝置，其中前述多數圖案為設於分離區域的分離溝的代真圖案。
29. 如申請專利範圍第1～5、10、11及13項中任一項之半導體積體電路裝置之製造方法，其中藉由埋入前述第一絕緣膜而使前述溝之深寬比為3以下。
30. 如申請專利範圍第6項之半導體積體電路裝置之製造方法，其中該由塗佈法所形成之前述第一絕緣膜之上面係

六、申請專利範圍

大致成平坦；藉由將該上面平坦之第一絕緣膜回蝕，而將前述第一絕緣膜埋入前述分離溝。

31. 如申請專利範圍第14項之半導體積體電路裝置之製造方法，其中該由塗佈法所形成之前述第一絕緣膜的上面係大致成平坦；藉由將該上面平坦之第一絕緣膜回蝕，而將前述第一絕緣膜埋入前述溝。

32. 如申請專利範圍第1～5、10、11及13項中任一項之半導體積體電路裝置之製造方法，其中該第二絕緣膜係由研磨法埋入。

33. 一種半導體積體電路裝置之製造方法，其特徵在於：具有以下製程：

(a) 在半導體基板上，形成彼此鄰接之複數個圖案；

(b) 在前述彼此鄰接之複數個圖案間形成的溝內，埋入以塗佈法沈積之第一絕緣膜；及

(c) 研磨在前述第一絕緣膜上形成之第二絕緣膜，將前述第二絕緣膜之表面平坦化；

又，前述複數個圖案，具有MISEFT之閘極及與前述閘極同層之代真圖案。

34. 如申請專利範圍第33項之半導體積體電路裝置之製造方法，其中藉由將前述第一絕緣膜埋入，使得前述溝之深寬比成為3以下。

35. 如申請專利範圍第33或34項之半導體積體電路裝置之製造方法，其中該由塗佈法所形成之前述第一絕緣膜的上面係大致成平坦；藉由將該上面平坦之第一絕緣膜回

六、申請專利範圍

蝕，而將前述第一絕緣膜埋入前述溝。

裝

訂

線

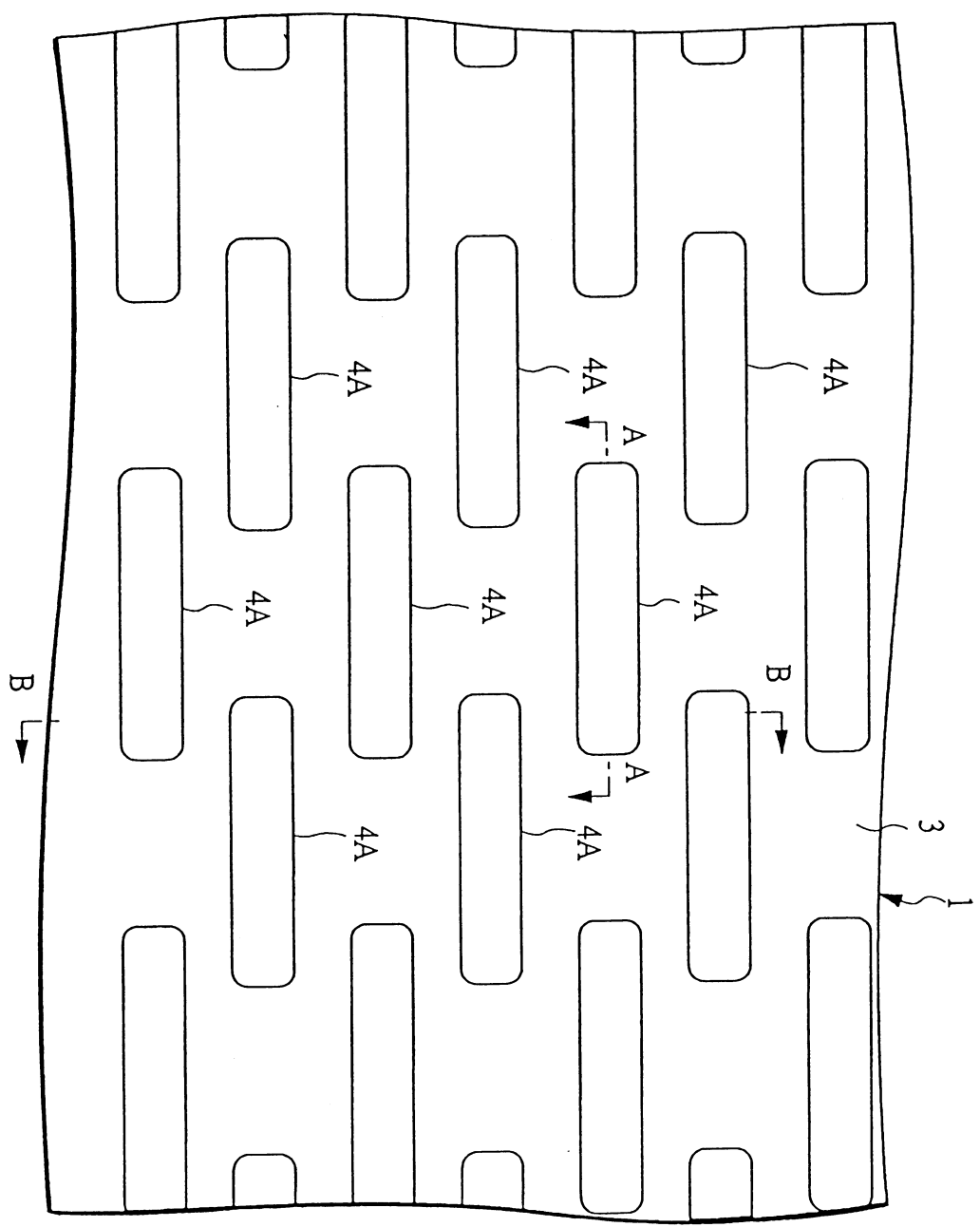


圖 1

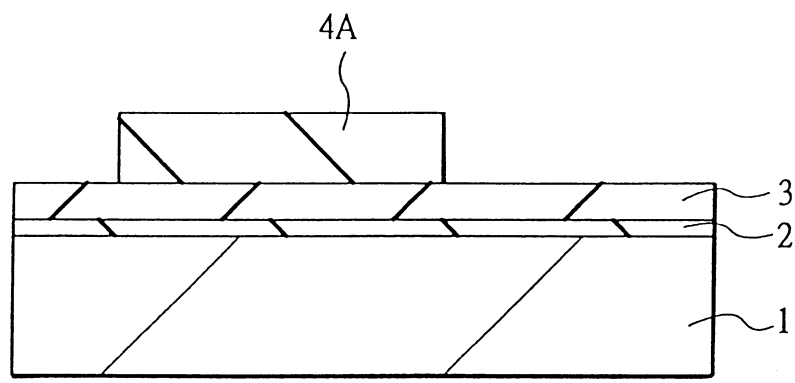


圖2

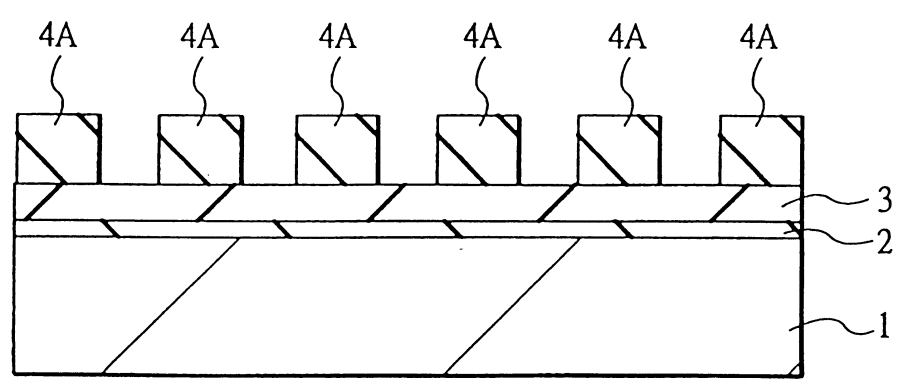


圖3

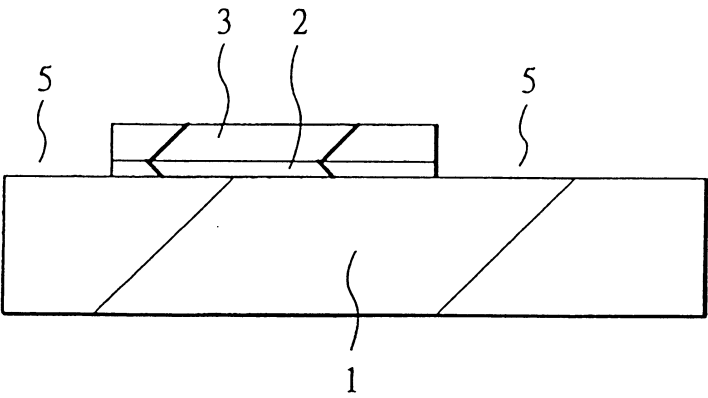


圖4

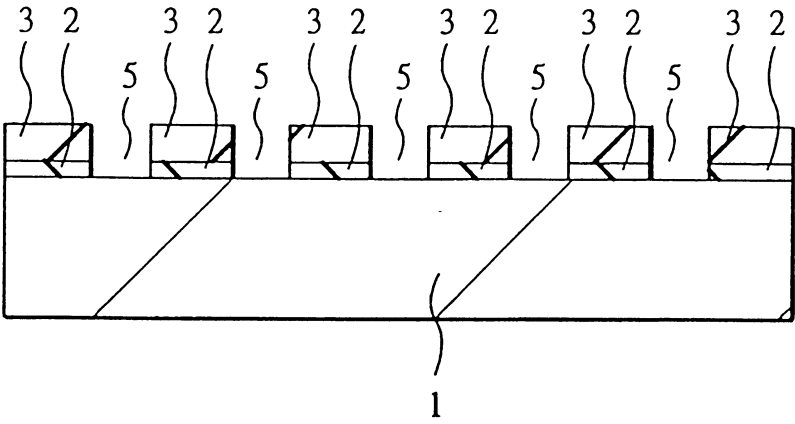


圖5

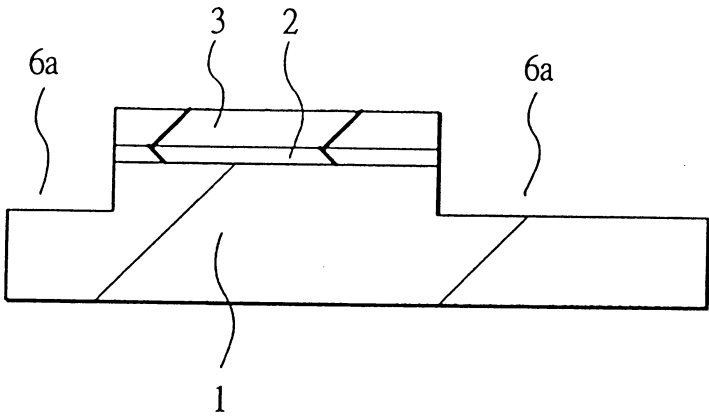


圖6

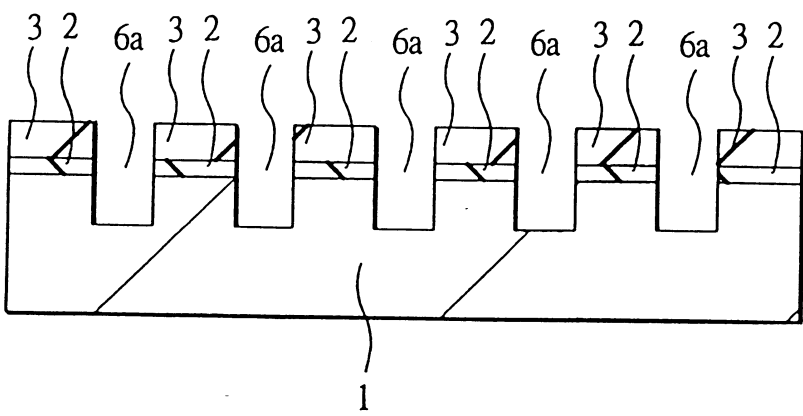


圖7

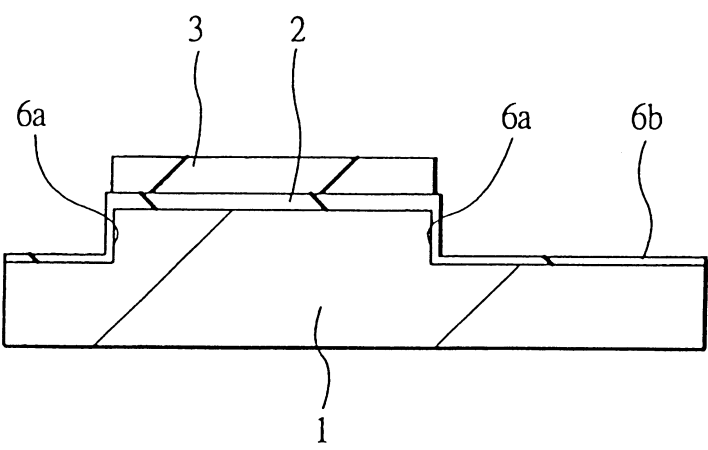


圖8

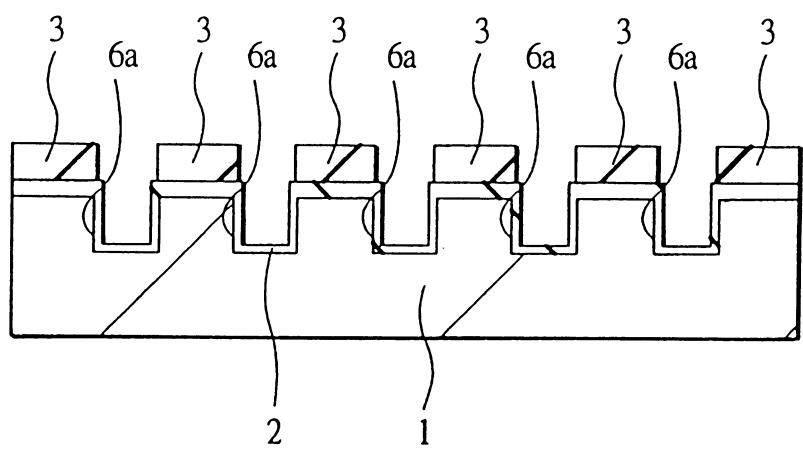


圖9

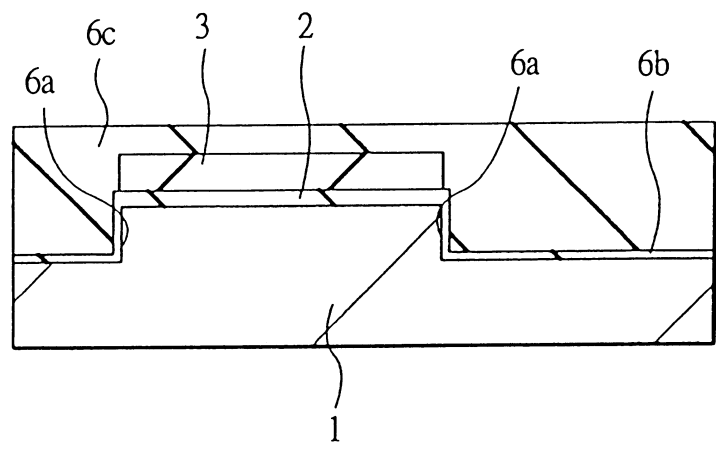


圖10

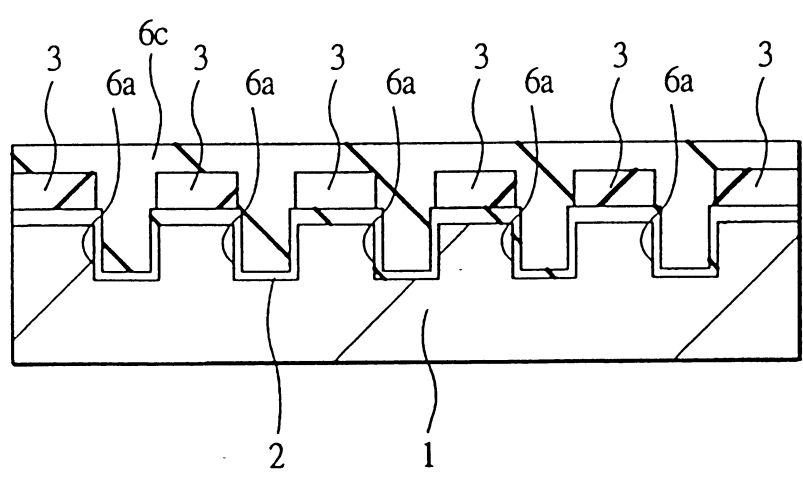


圖11

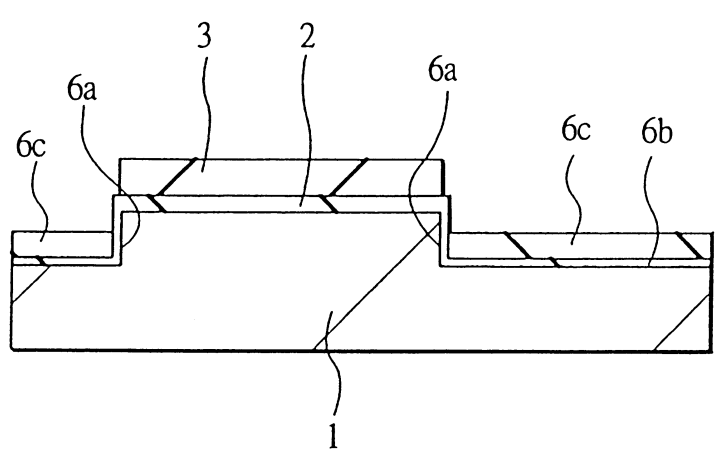


圖12

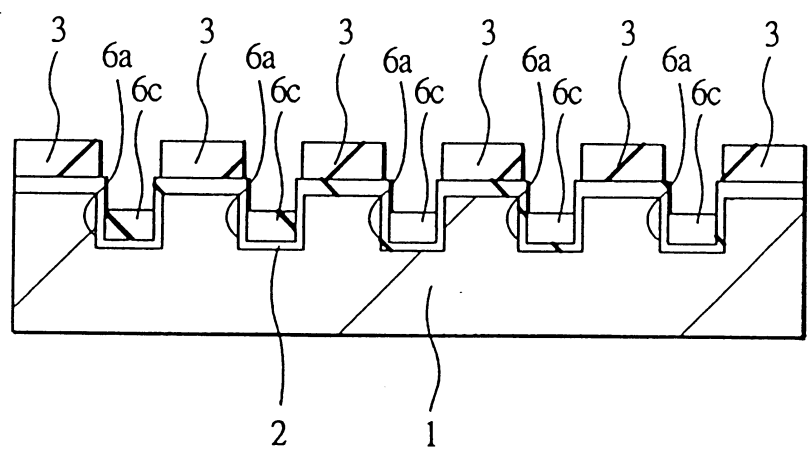


圖13

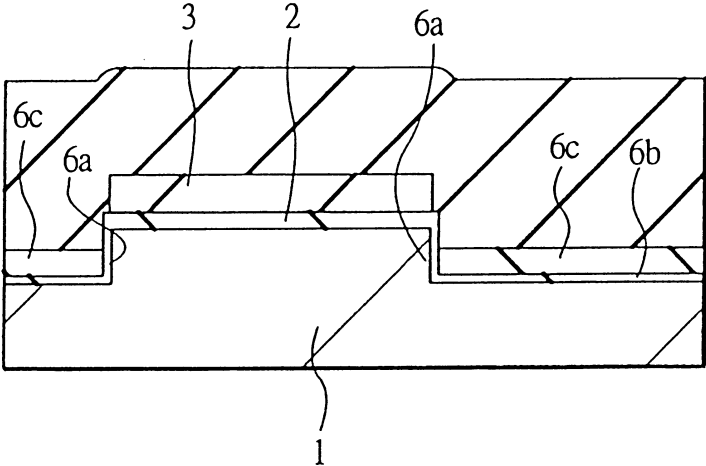


圖 14

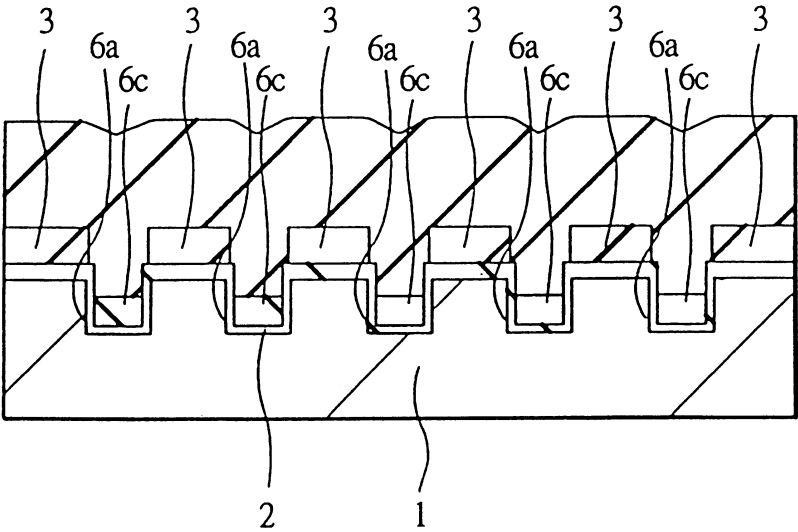


圖 15

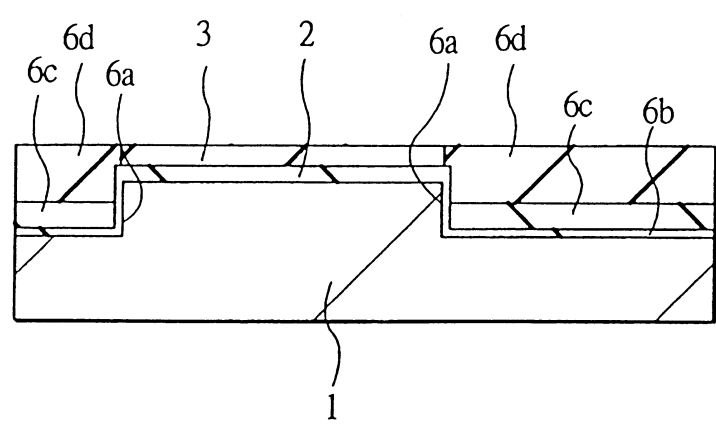


圖16

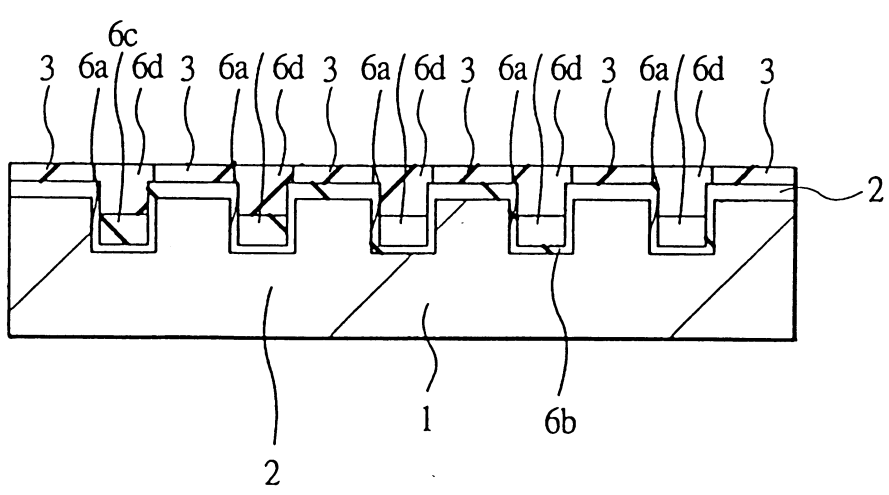


圖17

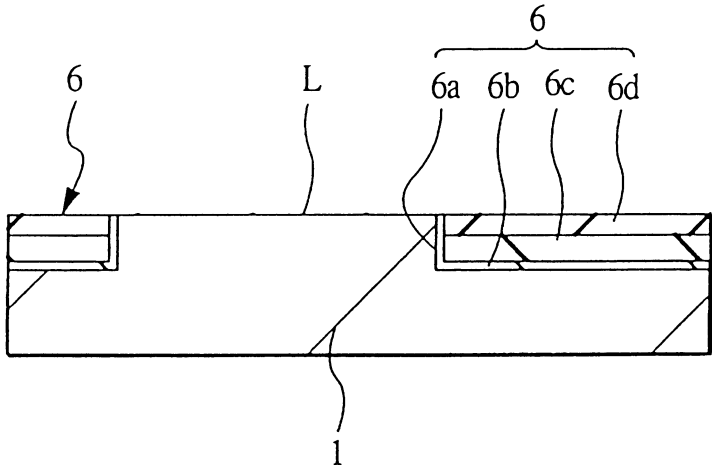


圖 18

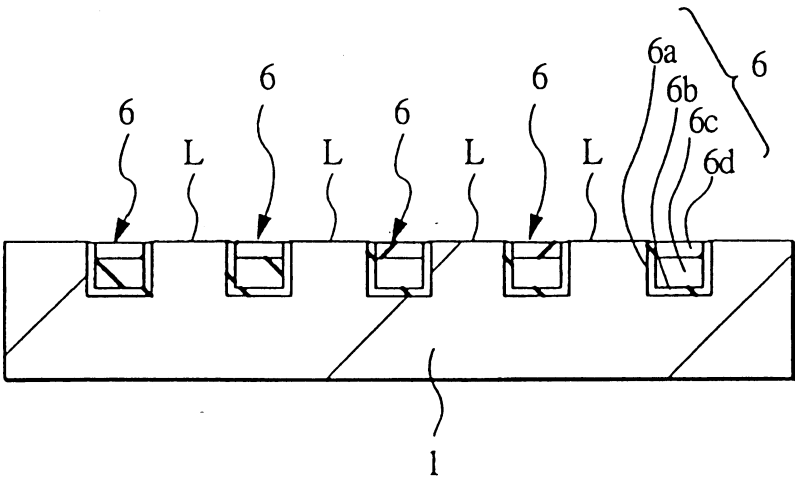


圖 19

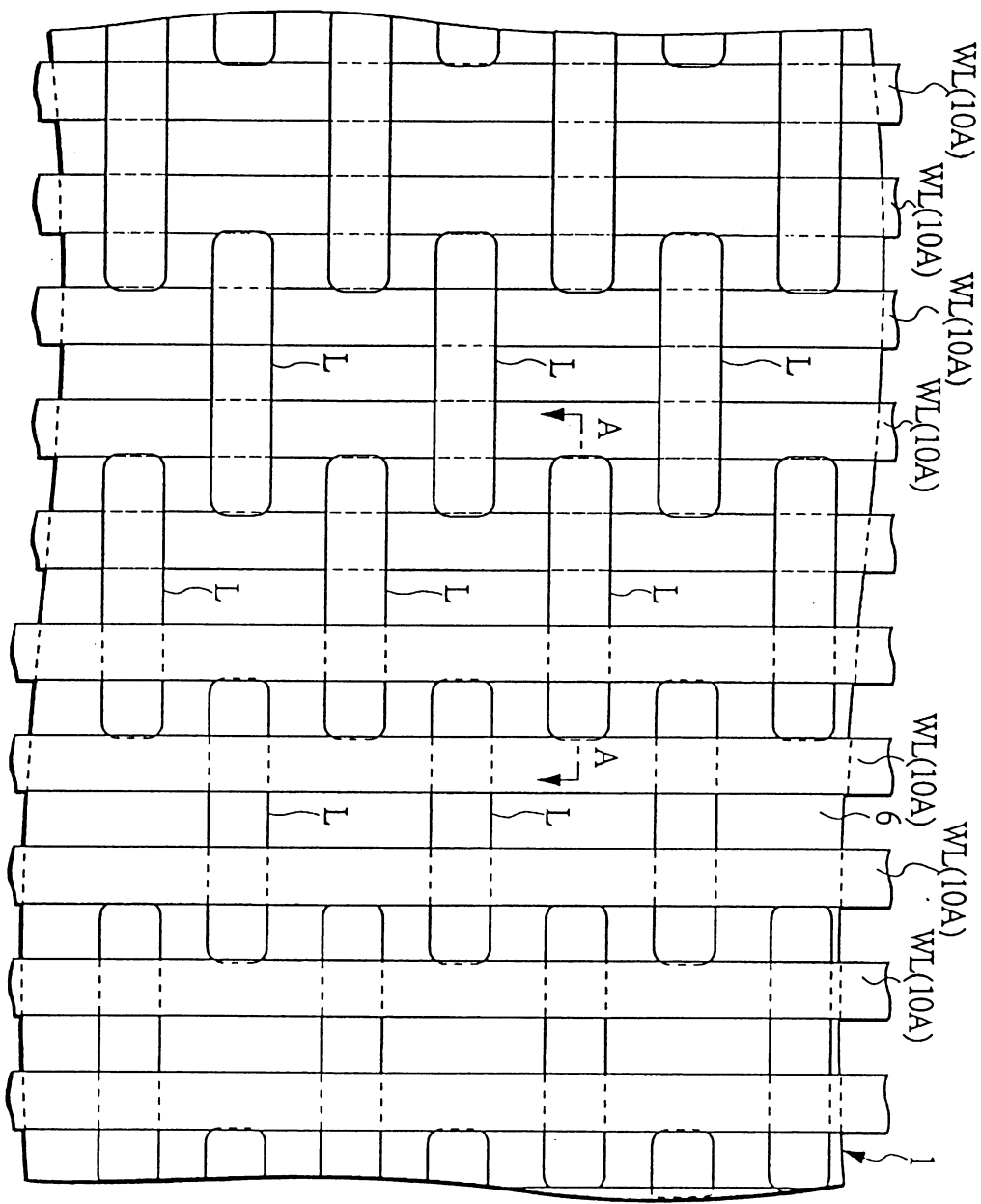


圖 20

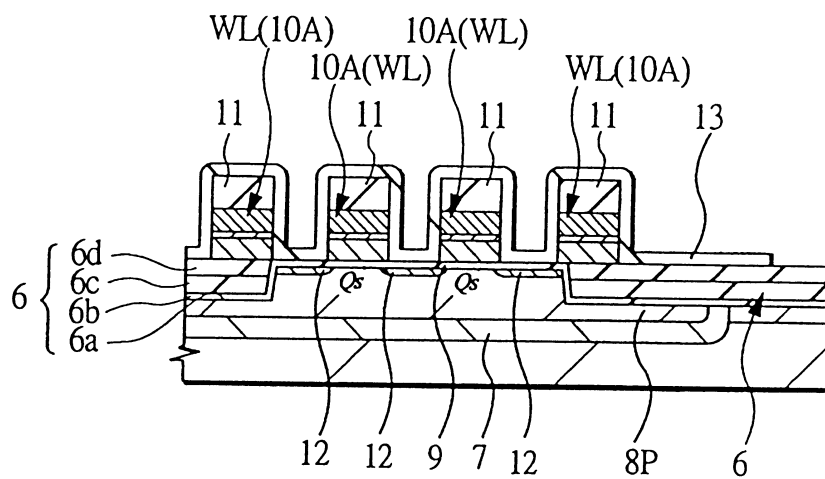


圖21

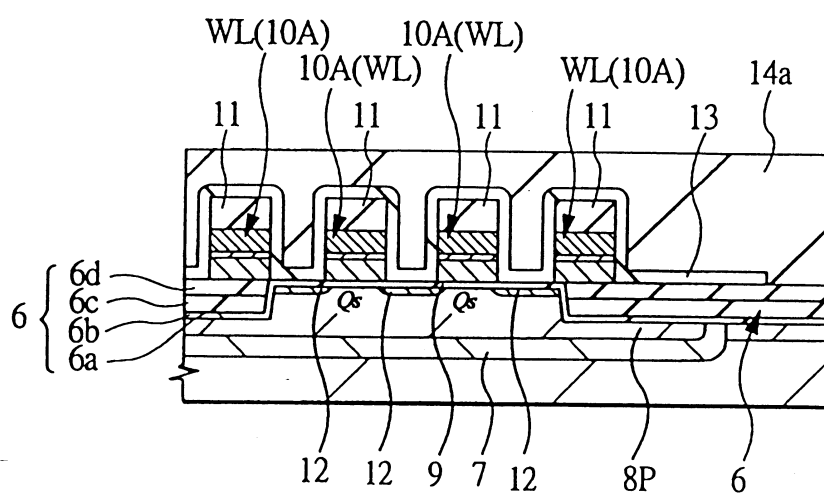


圖 22

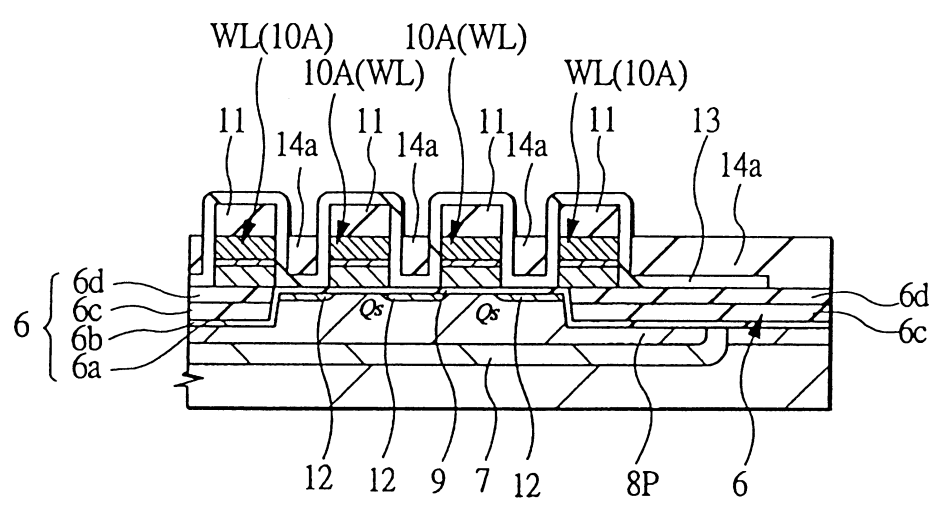


圖 23

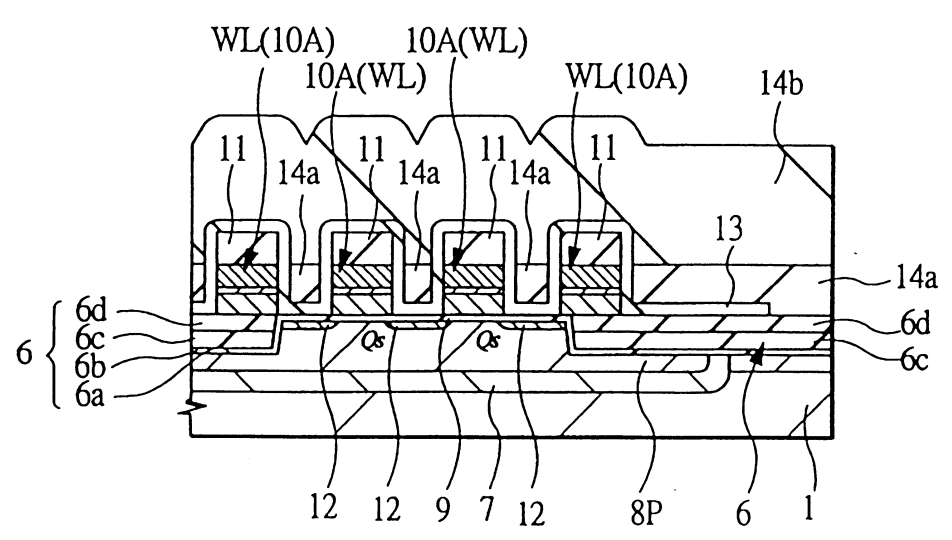


圖 24

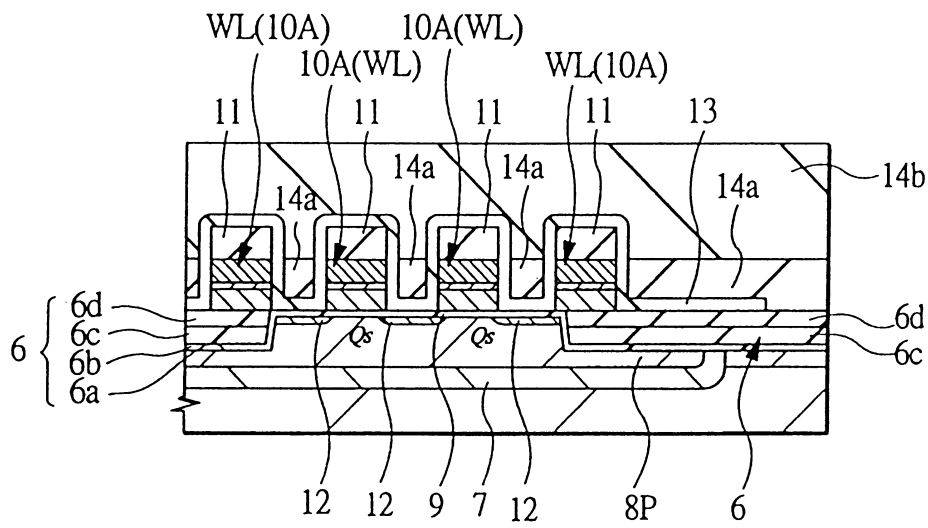


圖25

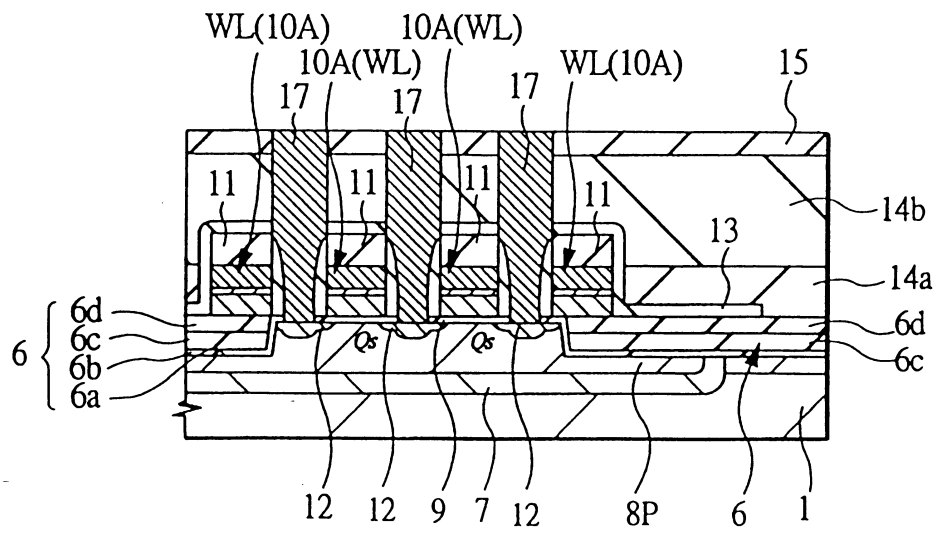


圖26

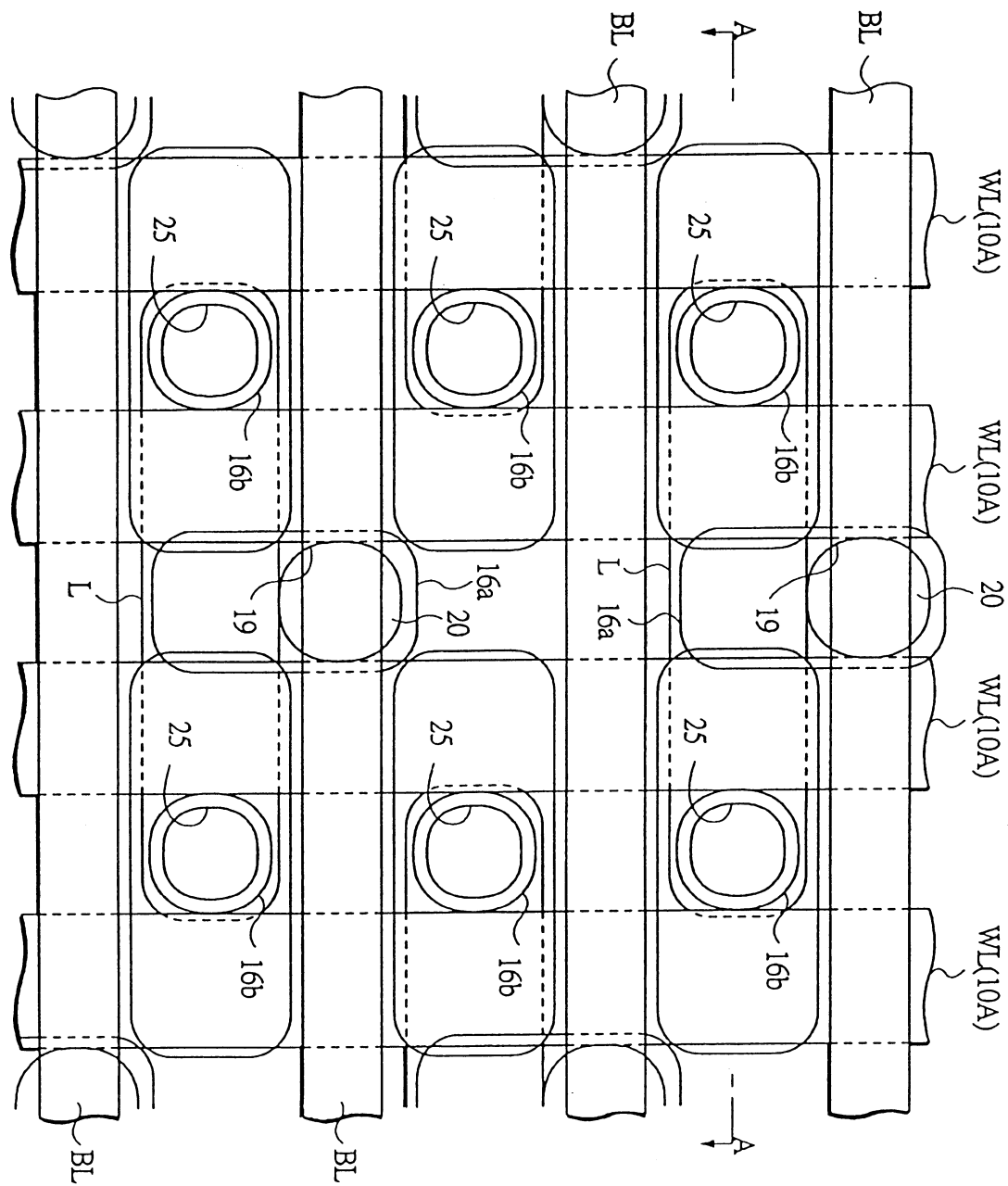


圖 27

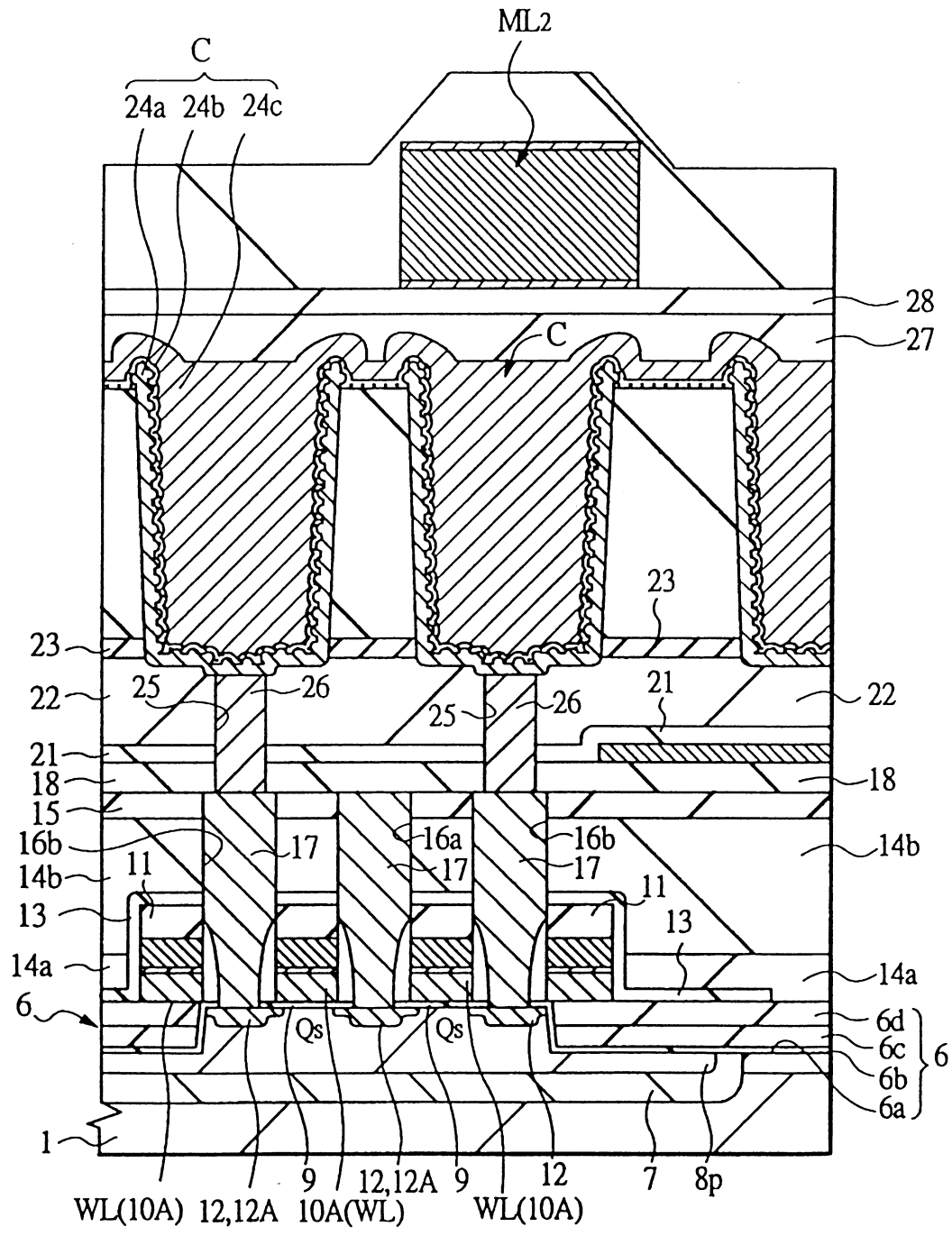


圖28

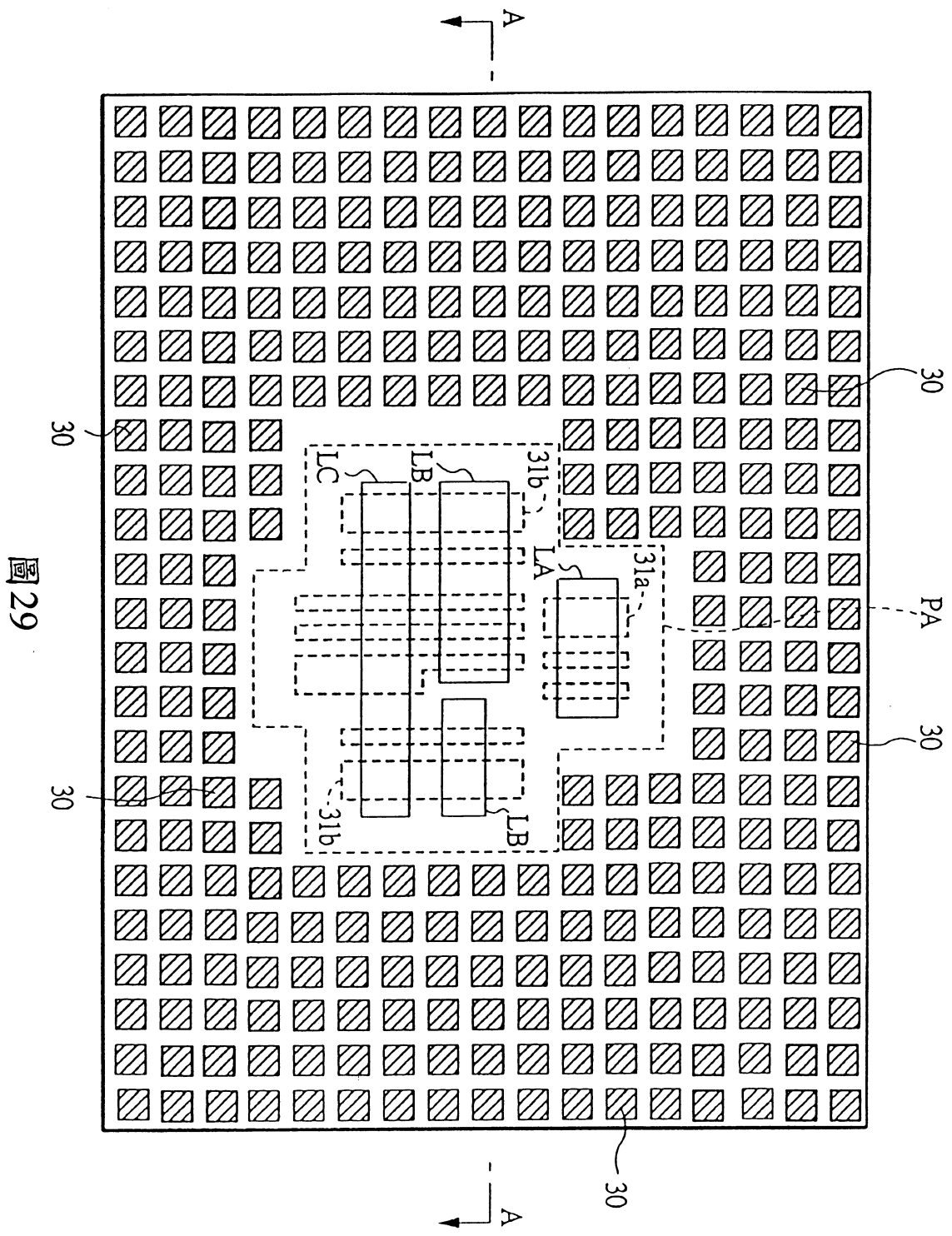


圖 29

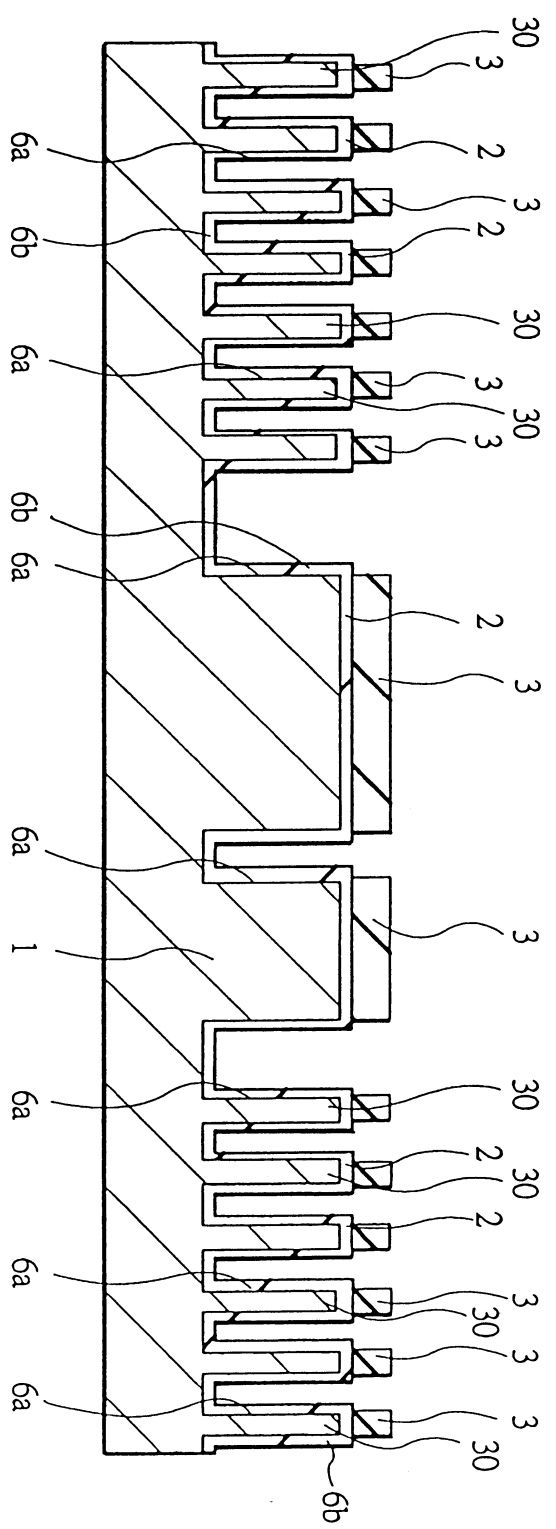
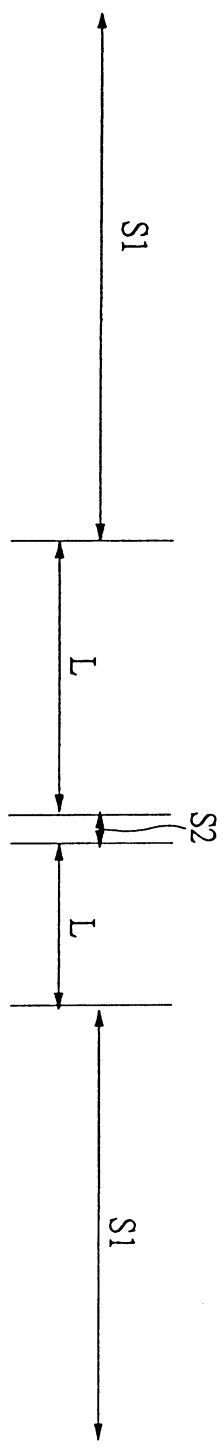


圖 30

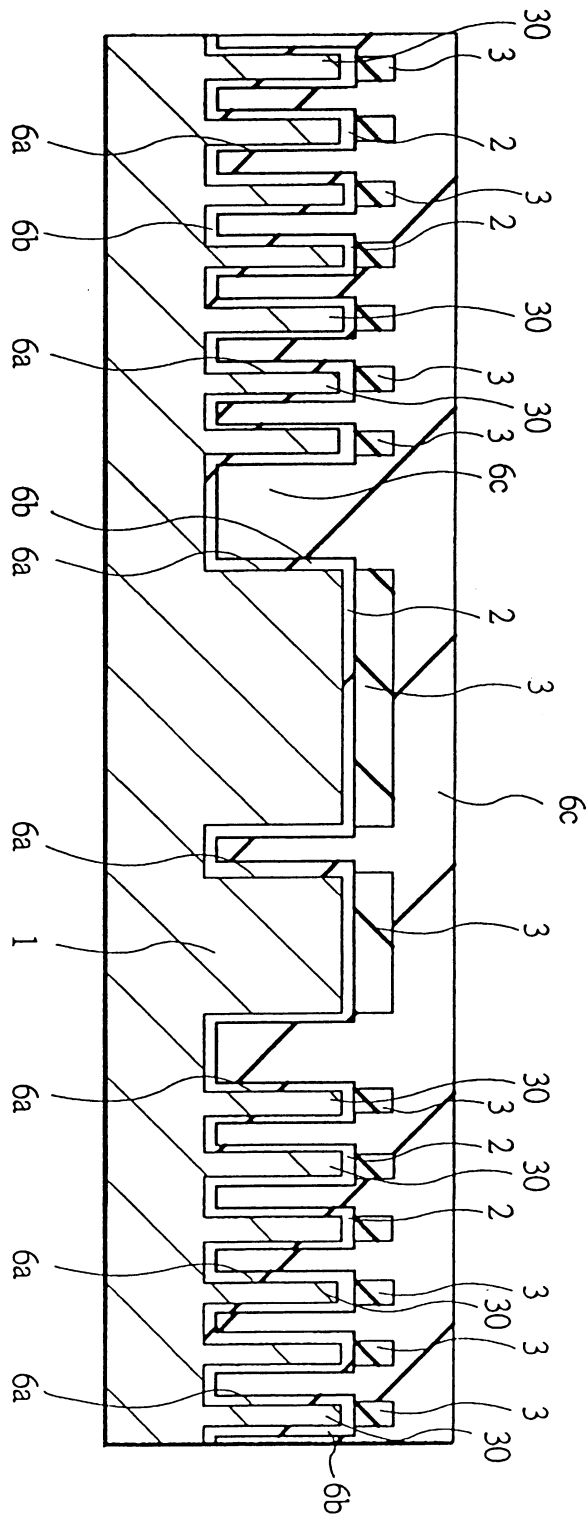
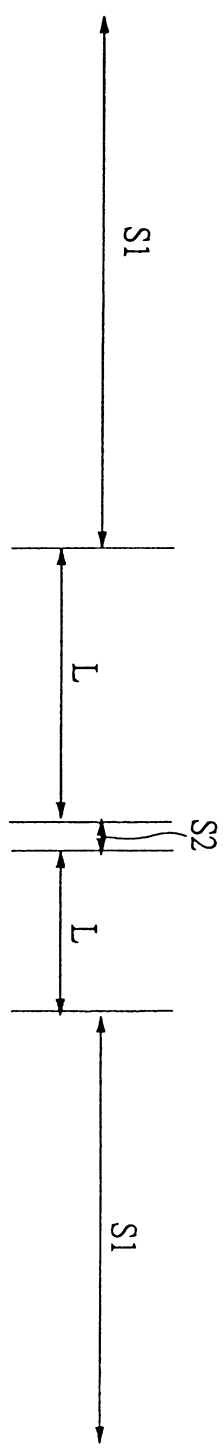


圖 31

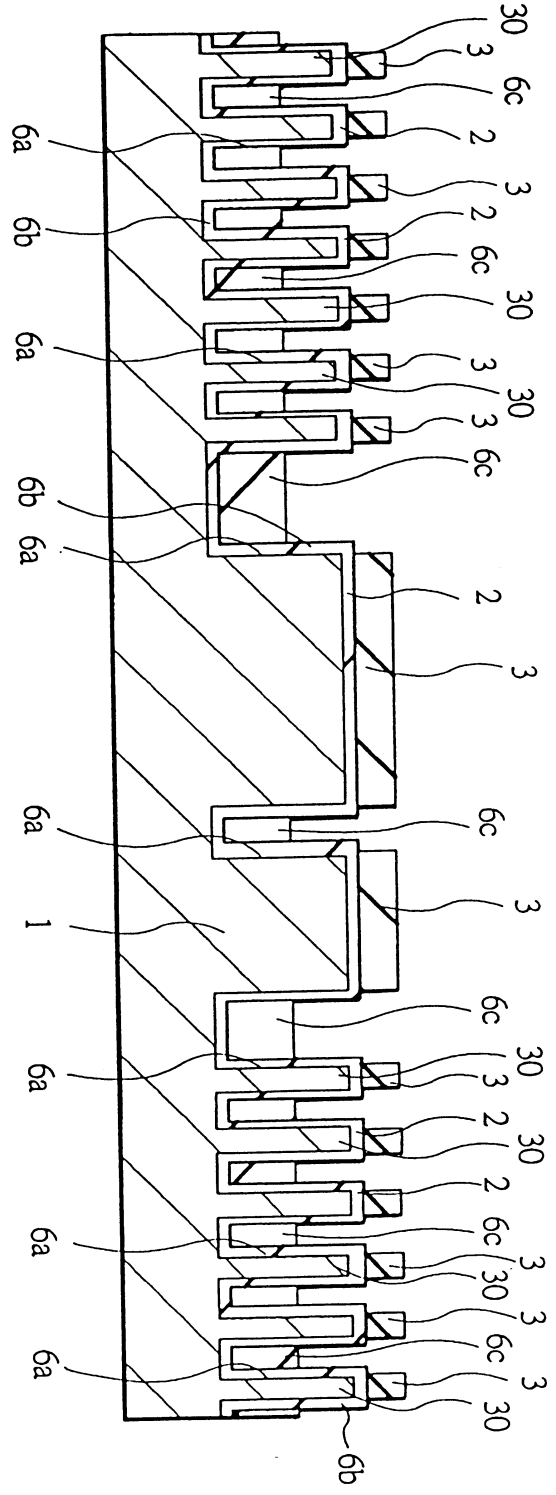
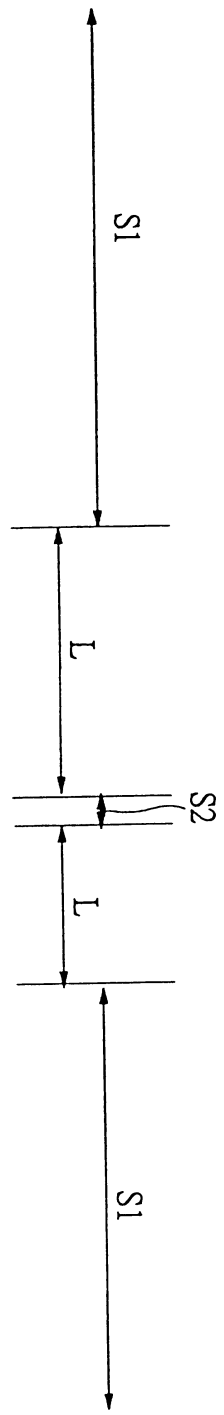


圖 32

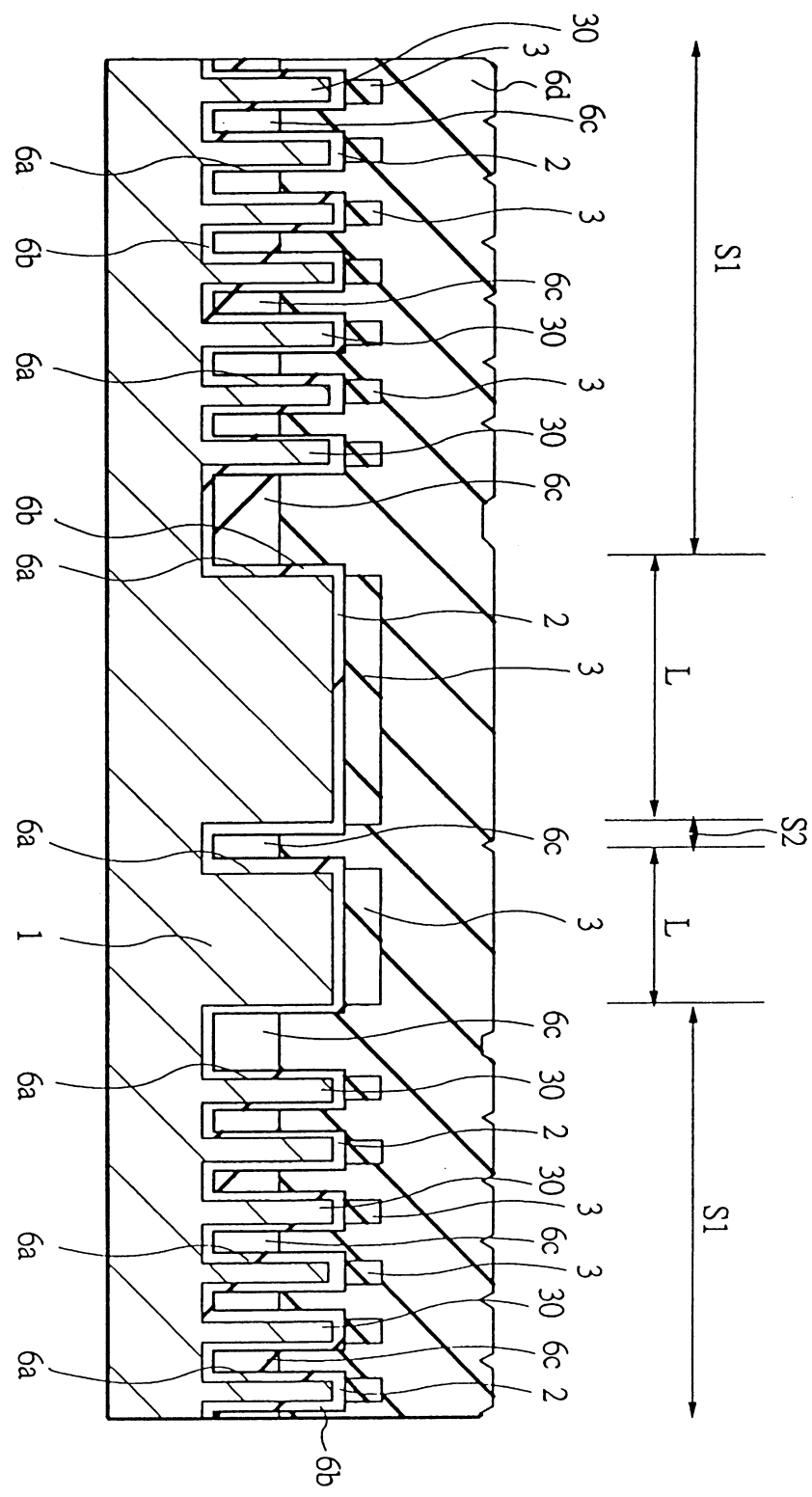


圖 33

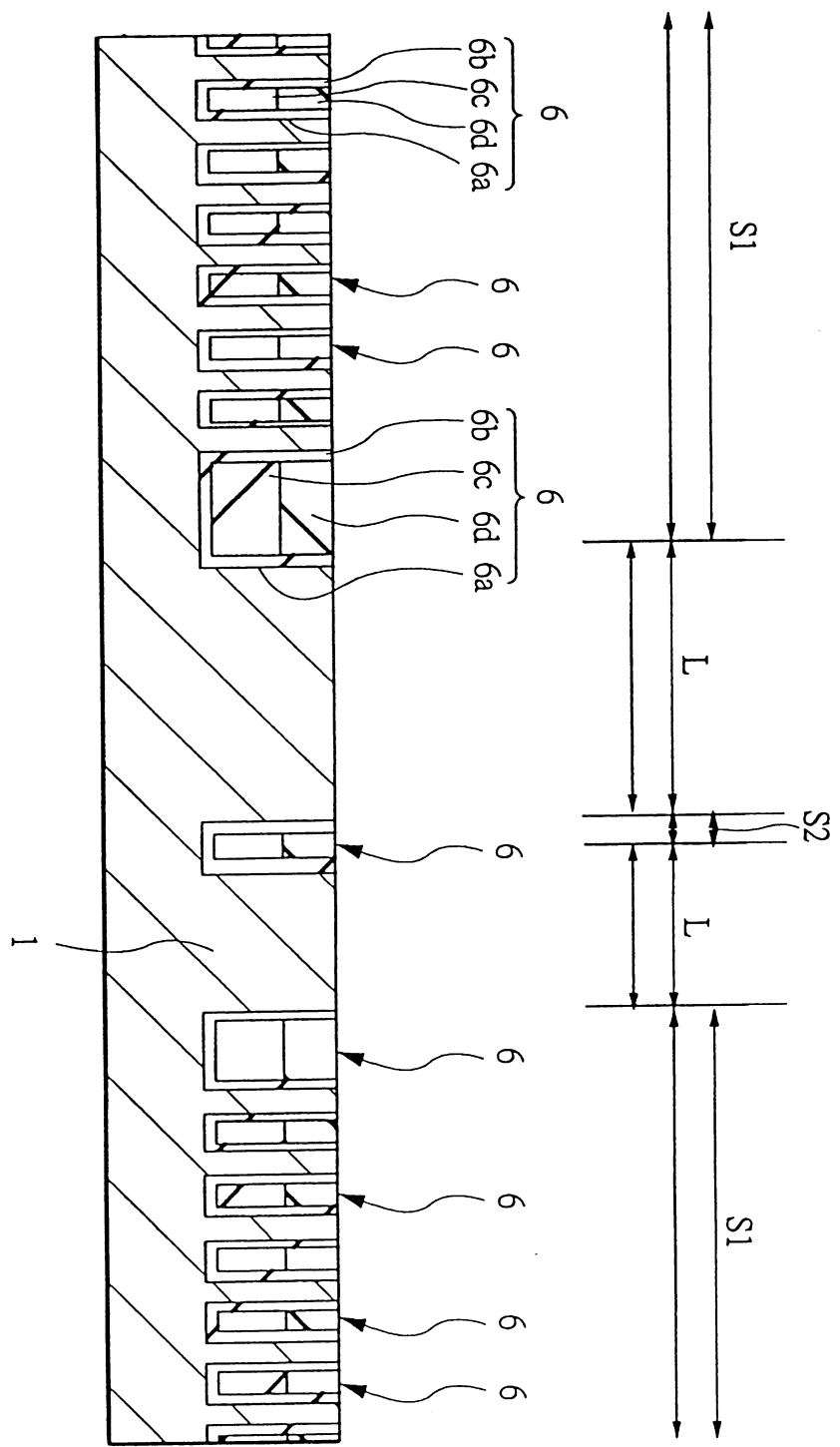


圖 34

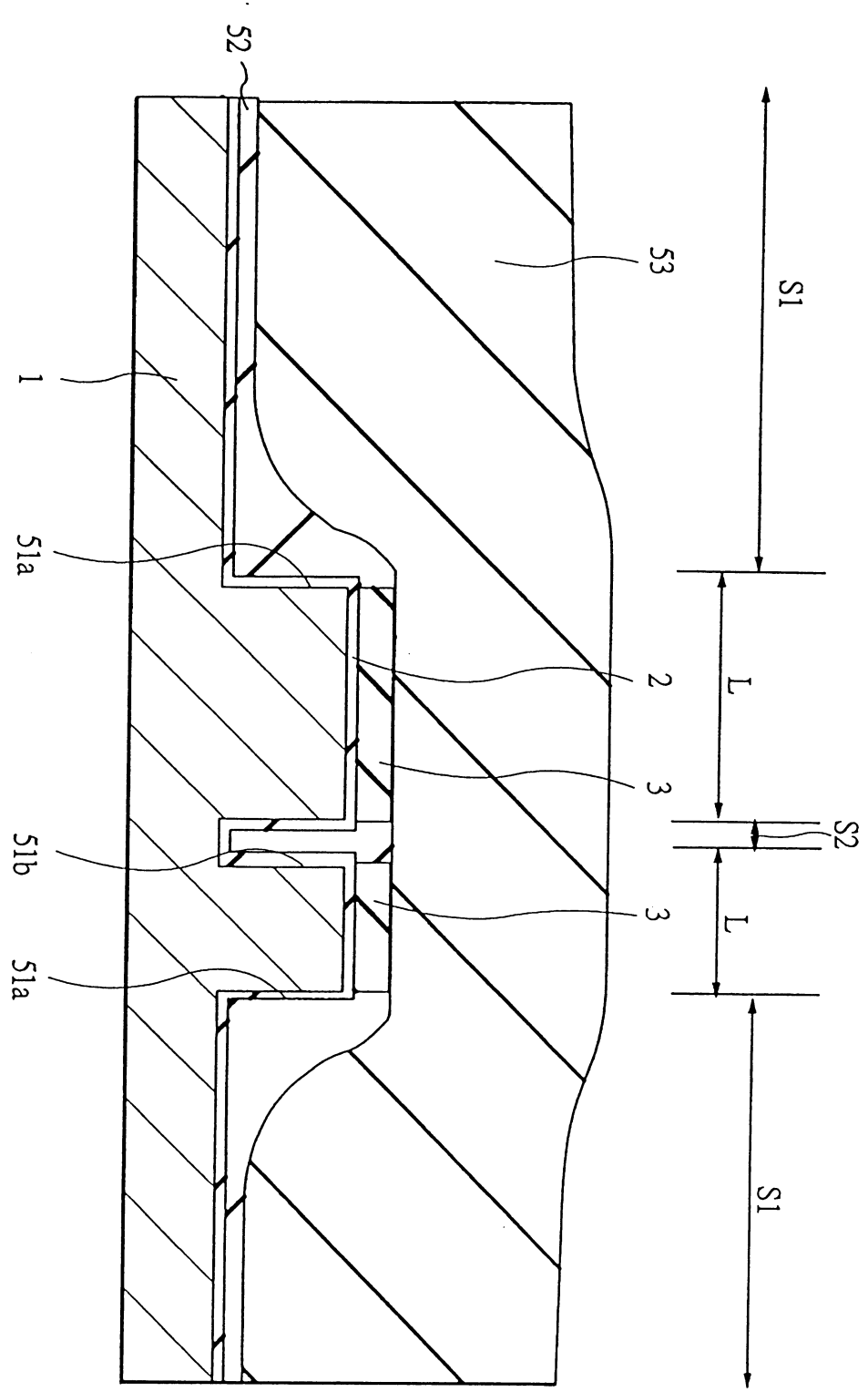


圖 35

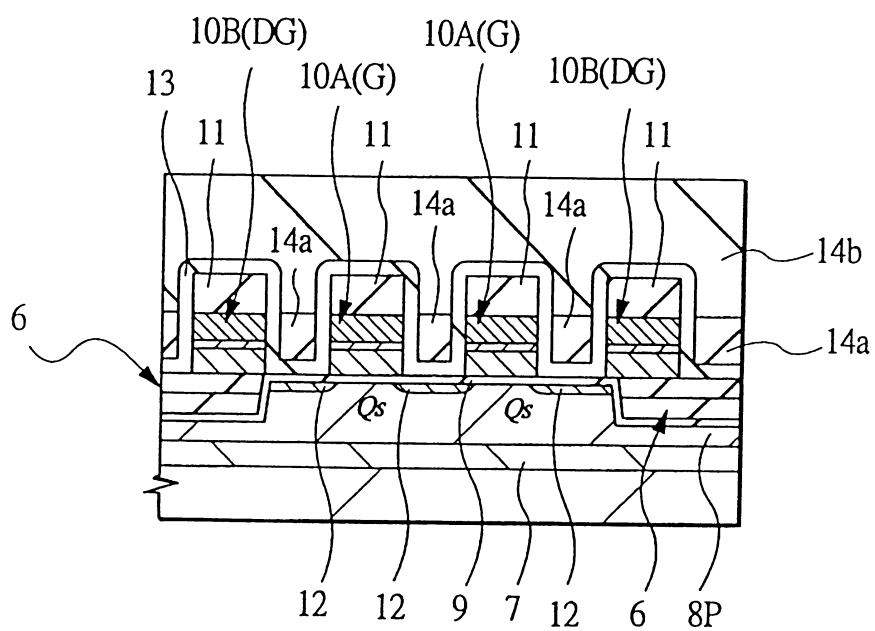


圖 36