

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

G11C 8/04

G11C 8/00

[12] 发明专利说明书

[21] ZL 专利号 95103273.9

[45]授权公告日 2000年6月7日

[11]授权公告号 CN 1053285C

[22]申请日 1995.3.3 [24]颁证日 2000.2.26

[21]申请号 95103273.9

[30]优先权

[32]1994.3.3 [33]KR [31]4127/1994

[73]专利权人 三星电子株式会社

地址 韩国京畿道水原市

[72]发明人 C·朴 S·Y·李 H·-·C·李
H·S·姜

[56]参考文献

CN87105786 1988.3.16

审查员 王晓光

[74]专利代理机构 中国专利代理(香港)有限公司

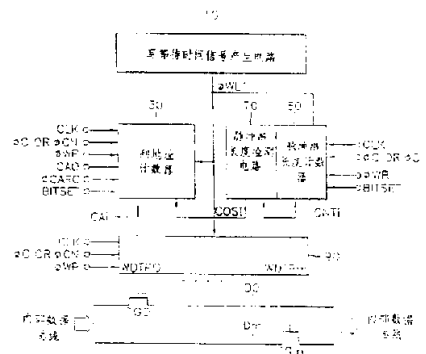
代理人 萧掬昌 张志醒

权利要求书 2 页 说明书 13 页 附图页数 14 页

[54]发明名称 具有写等待时间控制功能的同步半导体存储器装置

[57]摘要

一种用于处理与从外部提供的系统时钟同步的数据的半导体存储器装置,包括 用于产生写等待时间控制信号的电路、用于从许多根据由外部提供的列相关控制信号产生的有效信息信号产生一有效信息放大信号的电路,以及在预定的时间内保持所说列地址计数器、脉冲半长度计数器及数据转移开关电路的内部操作的电路,在该预定时间内,所说有效信息放大信号处于有效状态。



ISSN 1008-4274

权 利 要 求 书

1. 一种半导体存储器装置, 包括列地址计数器、脉冲串长度计数器及数据转移开关电路, 用于处理与从外部提供的系统时钟同步的数据, 所说半导体存储器装置的特征是, 它包括:

用于设置规定的写等待时间值, 并且在相应于所说写等待时间值的规定时间内保持所说列地址计数器、脉冲串长度计数器及数据转移开关电路的内部操作的装置。

2. 根据权利要求1所说的半导体存储器装置, 其中所说写等待时间值确定所说系统时钟的时钟数, 该系统时钟是从启动—从由外部提供的写相关控制信号的启动开始计数到输入数据被传送到内部数据总线为止。

3. 按权利要求1所说的半导体存储器装置, 其中所说列地址计数器、脉冲串长度计数器和数据转移开关电路的输出在所说规定时间期间维持在目前状态。

4. 按权利要求1所说的半导体存储器装置, 其中所说写等待时间值是使用焊线设置的。

5. 按权利要求1所说的半导体存储器装置, 其中所说写等待时间值是使用熔丝设置的。

6. 按权利要求1所说的半导体存储器装置, 其中所说写等待时间值是按照与所说半导体存储器装置的工作模式相关的信号进行编程的。

7. 一种半导体存储器装置, 包括列地址计数器、脉冲串长度

计数器及数据转移开关电路，用于处理与从外部提供的系统时钟同步的数据，所说半导体存储器装置的特征是，它包括：

用于产生一写等待时间控信号的装置；

用于从许多响应从外部提供的列相关控制信号产生的有效信息信号产生有效信息放大信号的装置；以及

在规定时间保持所说列地址计数器、脉冲串长度计数器及数据转移开关电路内部操作的装置，在所述规定时间内，所说有效信息放大信号处于有效状态。

8. 按权利要求7所说的半导体存储器装置，其中所说写等待时间控制信号延迟从外部提供的并传送到内部数据总线的写输入数据。

9. 按权利要求8的半导体存储器装置，其中所说有效信息放大信号确定所说系统时钟的时钟数，该系统时钟从由外部提供的写相关控制信号的启动开始计数到输入数据被传送到内部数据总线为止。

10. 按权利要求7的半导体存储器装置，其中在所说规定时间内，所说列地址计算器、脉冲串长度计数器及数据转移开关电路的输出维持在目前状态。

11. 按权利要求7的半导体存储器装置，其中所说许多有效信息信号的每一个具有相应于所说系统时钟一个周期的时间间隔，以及所说有效信息放大信号由所说许多有效信息信号的逻辑结合产生。

具有写等待时间控制功能
的同步半导体存储器装置

本发明涉及同步半导体存储器装置，特别涉及一种用于调整同步半导体存储器装置的写等待时间的设备。

和一种标准的动态RAM(随机存取存储器)不同，一种同步的动态RAM能由内部产生列地址(指的是一种视频RAM)。在标准动态RAM中，由于一个列地址必须由外部提供，以便读出或写入一个数据信号，因此需要几个列地址来读出或写入几个数据信号。即使使用接连的列地址也是如此(指的是一种快页面模式和静态的列模式)。在同步动态RAM中，即使要提供一初始列地址，但接连的列地址能由内部产生。由此读出或写入几个数据信号。因此，不必从外部提供所有的列地址。在以下说明中，这样的一种计数器被称作为一种列地址计数器。

在提供了该初始列地址之后，能被读出或写入的数据信号的数量 n 被认为是一脉冲串长度或绕带长度(wrap size)。该脉冲串长度不是一固定的值。而是随着按照模式复位信号(MRS)寄存器置位的时序接收到的地址值变化的可变化的值。并且这些值被储存在一内部存储寄存器中，直到下一个MRS被置位为止。因此，该同步动态RAM存储用于控制内部电路的数据以及存储在存储器单元中的数据。

和该标准动态RAM不同，同步动态RAM在启动一列地址选通信号 $\overline{\text{CAS}}$ 和接收一列地址状态具有相同的时钟。等待时间表示根据接收到的初始列地址，在多少个系统时钟之后将产生或接收数据，该等待时间由时钟单元进行计数。在产生数据状态该等待时间被认为是 $\overline{\text{CAS}}$ 等待时间或读等待时间，而在接收数据状态该等待时间被认为是写等待时间。除脉冲串长度外， $\overline{\text{CAS}}$ 等待时间由MRS确定。通常，写等待时间将固定在任一值。

对于该同步动态RAM，由于相应于脉冲串长度的数据信号应当在脉冲串长度被编程到MRS之后产生或被接收，因此有必要去检测内部停止数据输入/输出的时间。这由将计数时钟同编程到MRS的并储存在寄存器中值相比较来执行。作为这些处理的计数器被认为是脉冲串终止计数器。

在与外部施加的系统频率同步操作的同步存储器装置中，写等待时间取决于根据提供的系统时钟数据在多少时钟之后是否被接收。该存储器装置由固定写等待时间于一个值来进行设计。为符合用户对该写等待时间的不同要求，对于卖方来说不希望使用复杂的附加电路。因此，有必要去调整写等待时间，既满足用户，又满足卖主。

本发明的目的在于提供一种同步半导体存储器装置，它有能力控制写等待时间。

按本发明的一个方面，一种按与由外部提供系统时钟同步方式处理数据的半导体存储器装置包括用于产生写等待时间控制信号的电路，根据许多有效信息信号产生有效信息放大信号的电路，该有效信息信号响应与由外部提供的控制信号相关的列而产生的，

以及在预定的时间内，保持列地址计数器、脉冲串长度计数器以及数据转移开关电路的内部操作的电路，在该预定时间内，有效信息放大信号是处于有效状态。

图1是表示本发明的控制写等待时间的基本结构的方块图；

图2A-2C说明图1的一种写等待时间信号产生电路，分别使用焊线、熔丝，以及响应列地址和WCBR模式信号的程序格式；

图3说明当写等待时间值被设置为“n”时，用于产生 $\overline{\text{CAS}}$ 有效信息放大信号 ϕCN 的一种电路；

图4A和4B说明当分别不考虑和考虑写等待时间信息时图1的一种列地址计数器；

图5A和5B说明当分别不考虑和考虑写等待时间信息时图1的一种脉冲串长度计数器；

图6说明图1的一种脉冲串长度检测电路；

图7A和7B说明当分别不考虑和考虑写等待时间信息时图1的一种数据转移开关电路；

图8A-8C是时序图，说明当该数据转移开关电路不由写等待时间信息控制，并且写等待时间值分别为“0”，“1”“2”时图1的操作情况；

图9是一时序图，说明当在数据转移开关电路不被控制，以及写等待时间值为“1”的状态下执行输入/输出屏蔽操作时图1的操作情况；

图10是一时序图，说明当数据转移开关电路被控制，以及写等待时间值为“1”时图1的操作情况；以及

图11A和11B是时序图，说明当写等待时间值分别为“0”和“

1”时，本发明图1的操作情况。

本发明的最佳实施例将应用于兆位级的同步动态RAM。图1表示在一半导体存储器装置中包含实施一种写等待时间控制功能的组成部分。写等待时间信号产生电路10产生确定写等待时间值的写等待时间信号 ϕ_{WL1} 。该写等待时间信号 ϕ_{WL1} 能设置写等待时间值“0”或“1”，其产生过程表示于图2中。列地址计数器30接收系统时钟CLK， \overline{CAS} 有效信息信号 ϕ_C （或当写等待时间值为“n”时的 \overline{CAS} 有效信息放大信号 ϕ_{CN} ），写允许（ \overline{WE} ）有效信息信号 ϕ_{WR} ，列地址信号CA0，列地址复位信号 ϕ_{CARC} ，位设置信号BITSET以及写等待时间信号 ϕ_{WL1} ，并将由列地址信号CA0计数的许多列地址信号传送到列地址缓冲器，脉冲串长度计数器50接收系统时钟CLK， \overline{CAS} 有效信息信号 ϕ_C （或当写等待时间值为“n”时的 \overline{CAS} 有效信息放大信号 ϕ_{CN} ）， \overline{WE} 有效信息信号 ϕ_{WR} ，位设置信号BITSET以及写等待时间信号 ϕ_{WL1} ，并将脉冲串长度计算信号CNTi（这里i为0-8之一）加到脉冲串长度检测电路70。该脉冲串长度检测电路70将由脉冲串长度计数器50产生的脉冲串长度计算信号CNTi同规定的脉冲串长度信号进行比较，以产生脉冲串长度读出信号COSi，并将该脉冲串长度读出信号COSi传送到列地址计数器30，以控制该列地址信号的计算操作。数据转移开关电路90接收系统时钟CLK， \overline{CAS} 有效信息信号 ϕ_C （或当写等待时间值为“n”时的 \overline{CAS} 有效信息放大信号 ϕ_{CN} ）， \overline{WE} 有效信息信号 ϕ_{WR} ，写等待时间信号 ϕ_{WL1} ，并产生数据转移开关信号WDTP0-WDTPm用于控制数据转移门TGO-TGm。

系统时钟CLK由芯片外部的微处理器等提供。

例如它具有100MHZ, 66MHZ或33MHZ的固定频率。该系统时钟CLK 在同步半导体存储器装置中用作设置各种操作时间的基数。 $\overline{\text{CAS}}$ 有效信息信号 ϕC 是由 $\overline{\text{CAS}}$ 缓冲器(未示)产生的,该缓冲器接收由芯片外部提供的列地址选通信号 $\overline{\text{CAS}}$ 。该 $\overline{\text{CAS}}$ 有效信息信号响应对逻辑“低”有效的列地址选通信号 $\overline{\text{CAS}}$ 有效,并在一周期期间维持在逻辑“高”。 $\overline{\text{CAS}}$ 有效信息放大信号 ϕCN 是相应设置写等待时间值将 $\overline{\text{CAS}}$ 有效信息信号 ϕC 延时系统时钟CLK时钟的数目而产生的,而其产生过程将参考图3描述。 $\overline{\text{WE}}$ 有效信息信号 ϕWR 由 $\overline{\text{WE}}$ 缓冲器(未示)产生,该缓冲器接收由芯片外部提供的写允许信号 $\overline{\text{WE}}$,并且响应对逻辑“低”有效的该写允许信号 $\overline{\text{WE}}$ 有效。在写周期期间,仅当初始列地址信号被施加并维持在逻辑“高”时, $\overline{\text{WE}}$ 有效信息信号 ϕWR 维持在逻辑“低”。列地址复位信号 ϕCARC 有效,与位设置信号BITSET一起,响应由 $\overline{\text{CAS}}$ 缓冲器产生的 $\overline{\text{CAS}}$ 有效信息信号 ϕC ,并在写周期期间维持在逻辑“高”。位设置信号BITSET是仅当响应 $\overline{\text{CAS}}$ 有效信息信号 ϕC ,提供初始列地址信号时对逻辑“高”有效的脉冲信号,以控制列地址计数器30和脉冲串长度计数器50。这些信号的其他细节根据以下说明容易理解。

图2A-2C中说明图1写等待时间信号产生电路的例子。在图 2A 中,焊线4用在地电压引线2和芯片焊接过程中的焊点6之间。如果焊线4连到地电压引线2,逻辑“低”信号施加到反向器链14,并产生逻辑“高”的写等待信号 ϕWL1 。在这样的例子中,写等待时间值为“1”,这意味着根据提供的写允许信号 $\overline{\text{WE}}$,在系统时钟的一个时钟之后,输入数据被传送到内部数据总线。如果焊点6未连到地电压引线2,节点12的电位通过PMOS晶体管8 被置于逻辑“高”

并产生逻辑“低”的写等待时间信号 ϕ_{WL1} 。之后，写等待时间为“0”，而这意味着同步动态RAM不执行写等待时间操作。

在图2B中，熔丝3用在等待时间试验过程之中。如果熔丝3连到电源Vcc，通过反相器链14产生逻辑“高”的写等待时间信号 ϕ_{WL1} （在此情况下，写等待时间值为“0”）。如果熔丝3从电源Vcc断开，产生逻辑“高”的写等待时间信号 ϕ_{WL1} （在此情况下，写等待时间值为“1”）。在图2C中，这里使用一种由WCBR时钟 ϕ_{WCBR} 控制的、并响应任何列地址信号CAi的逻辑状态产生写等待时间信号 ϕ_{WL1} 的程序格式。如果WCBR时钟 ϕ_{WCBR} 被设置到逻辑“高”，由PMOS晶体管11和NMOS晶体管15组成的反相器将运行。该反相器的输入是列地址信号CAi，而其输出加到锁存器19。该锁存器19的输出通过反向器21加到与非门（未示）。如果列地址信号CAi为逻辑“低”，则产生逻辑“低”的写等待时间信号 ϕ_{WL1} （在此情况下，写等待时间值为“0”）。而如果该列地址信号CAi为逻辑“高”，则产生逻辑“高”的写等待时间信号 ϕ_{WL1} （在此情况下，写等待时间值为“1”）。

为设置写等待时间值到“n”（等于或大于“2”），如图3所示，需要用于产生 \overline{CAS} 有效信息放大信号 ϕ_{CN} 的电路。为产生几个 \overline{CAS} 有效信息信号 $\phi_{C0}-\phi_{Cn-1}$ ， \overline{CAS} 有效信息信号 ϕ_C 加到由锁存器L₁₀, L₁₁, ..., L₁₂, L₁₃及转移门G₁₀, G₁₁, ..., G₁₂, G₁₃, G₁₄组成的移位寄存器。转移门是CMOS模式的。相邻转移门的N-型和P-型电极反向放置，并由系统时钟CLK控制。通过该位移寄存器产生的几个 \overline{CAS} 有效信息信号 $\phi_{C0}-\phi_{Cn-1}$ 被加到或非门NR10。或非门NR10的输出被加到反相器111，以产生具有有关几个 \overline{CAS} 有

效信息信号的 $\overline{\text{CAS}}$ 有效信息放大信号 ϕCN 。如果使用该 $\overline{\text{CAS}}$ 有效信息放大信号 ϕCN ，输入数据在写允许信号有效之后，响应第n个系统时钟CLK，转移到内部数据总线。

图4A和4B表示图1列地址计数器30的计算级。列地址信号 CA_{i-1} 和由前级产生的进位信号 CR_{i-1} 被提供来产生欲被计算的列地址信号 CA_i 。虽在图中未示，但用于同步半导体存储器装置中的普通列地址计数器的每一个计算级的电路结构周围4A和4B的相同，除非该列地址信号和进位信号由前级提供。表示在图4A和4B中的公用电路结构是熟知的技术。而图4A说明当写等待时间值是“0”时的列地址计数器，在图4B中，写等待时间信息被认为用来产生该列地址信号。参照图4B，接收 $\overline{\text{CAS}}$ 有效信息信号 ϕC （或者当写等待时间值被置“n”时的 $\overline{\text{CAS}}$ 有效信息放大信号 ϕCN ）， $\overline{\text{WE}}$ 有效信息信号 ϕWR 和写等待时间信号 ϕWL1 的与非门46的输出和列地址复位信号 ϕCARC 一起被加到与非门47。与非门47的输出通过一反相器48加到与非门31。因此，通过反相器48产生的列地址复位信号 $\phi\text{CARC}'$ 具有写等待时间信息。应当指出，图4B按本发明考虑了用列地址计算操作的写等待时间信息。

图5A和5B表示图1的脉冲串长度计算器50并产生脉冲串长度计算信号 CNT_i （这里i是0-8中的一个数）。图5A说明不考虑写等待信息或写等待时间值是“0”时的脉冲串长度计算器，而图5B说明当考虑写等待时间信息时的脉冲串长度计算器。在图5A中，接收位设置信号BITSET和复位信号 ϕS 的或非门51通过反相器52产生COSSET信号，用于控制脉冲串长度计算操作。该脉冲串长度计算控制信号COSSET加到或非门54。该或非门54由系统时钟CLK控制并

接收由前级产生的进位信号 CR_{i-1} 。或非门54的输出控制CMOS转移门56和58。锁存器57连接在转移门56输出和转移门58输入之间。反相器52的输出连接到NMOS晶体管53的栅极，该NMOS晶体管53连接在锁存器57输入端和基片电压 V_{SS} 之间。锁存器59和反相器60串接在转移门58的输出端和转移门56的输入端之间。脉冲串长度计算信号 CNT_i 从锁存器59产生。

在图5B中，写等待时间信号 ϕ_{WL1} 加到由 \overline{CAS} 有效信息信号 ϕ_C （或当写等待时间值被置“n”时的 \overline{CAS} 有效信息放大信号 ϕ_{CN} ）以及 \overline{WE} 有效信息信号 ϕ_{WR} 控制的与非门61。与非门61的输出加到由复位信号 ϕ_S 控制的与非门62。而非门62的输出加到由位设置信号 $BITSSET$ 控制的或非门51。因此，通过反相器52产生的脉冲串长度计算控制信号 $COSSET'$ 具有写等待时间信息。其他的用于产生脉冲串长度计算信号 CNT_i 的电路结构和图5A的相同。

图6表示脉冲串检测电路70。该脉冲长度检测电路接收由具有示于图5A或5B中的每一个计算级的脉冲串长度计算器产生的脉冲串长度计算信号 CNT_0-CNT_8 ，并产生脉冲串检测信号 $COSI$ ，用于确定该脉冲串是否结束。脉冲串长度检测信号 $COSI$ 是将脉冲串长度计算信号 CNT_0-CNT_8 同由操作模式设置电路（未示）产生的规定的脉冲串长度信号 $SZ_2, SZ_4, SZ_8, SZ_{16}, SZ_{32}, SZ_{64}, SZ_{128}, SZ_{256}$ 和 SZ_{512} 相比较而获得的。图6的电路在韩国专利93-7127中公开，该专利转让给本发明的同一受让人。应当指出，在检测脉冲串长度时间里考虑写等待时间信息。

示于图7A和7B中的图1的数据转移开关电路90产生控制图1数据转移门 TG_0-TG_m 之一的数据转移开关信号 $WDTP_i$ （这里 i 是 $0-m$ 之

一)。图7A说明不考虑写等待时间信息时的数据转移开关电路，而图7B说明考虑写等待时间信息时的数据转移开关电路。在图7A中，系统时钟CLK通过由四个反相器组成的反相器链91加到与非门94。接收 \overline{WE} 有效信息信号 ϕWR 和复位信号 ϕS 的与非门92的输出通过一反相器93也加到该与非门94，并且列地址信号CA_i也加到与非门94。该与非门94通过由三个反相器组成的一反相器链产生该数据转移开关信号WDTP_i。虽然图7A的数据转移开关电路相对一个列地址信号产生一个数据开关转移信号，但列地址信号的数量应当分别和与非门94的数量以及反相器链95的数量相同。图7B的结构同图7A是相同的，不同的是接收 \overline{CAS} 有效信息信号 ϕC （或当写等待时间值为“n”时的 \overline{CAS} 有效信息放大信号 ϕCN ）和写等待时间信号 $\phi WL1$ 的与非门96的输出也加到由 \overline{WE} 有效信息信号 ϕWR 和复位信息 ϕS 的与非门92。

现在将描述按上述方式构成的本发明的写等待时间控制操作。如图1所示，由写等待时间信号产生电路10产生的写等待时间信号 $\phi WL1$ 应当同时加到列地址计算器30，脉冲长度计算器50和数据转移开关电路90，以便借助于列地址选通信号 \overline{CAS} 和写允许信号 \overline{WE} ，从写周期开始直到在通过数据转移门后写数据从数据输入缓冲器传送到内部数据总线整个地执行时间控制。到此，如从图4B、5B和7B所理解的，具有写等待时间信息的信号在列地址计算器30、脉冲串长度计算器50和数据转移开关电路90处保持逻辑开启操作。

假定写等待时间值为“n”，写等待时间信号 $\phi WL1$ 和处逻辑“高”的 \overline{CAS} 有效信息放大信号 ϕCN 加到图4B列地址计算器的与非门46。在写用期期间，由于 \overline{WE} 有效信息信号 ϕWR 处逻辑“高”，所

以与非门46的输出为逻辑“低”。在写等待时间信号 ϕ WL1处于逻辑“高”状态下，当 $\overline{\text{CAS}}$ 有效信息放大信号 ϕ CN维持在逻辑“高”时(该时间被称为“保持时间”，并在图中用“TH”表示)，由系统时钟CLK控制的或非门32的输出维持在逻辑“低”。由于在这保持时间期间，转移门40断开，而转移门43接通，则在此保持时间期间，列地址信号CA_i维持在当前的逻辑状态。

类似地，如果写等待时间值为“n”，由于在该保持时间图5B脉冲串长度计算器的与非门61的输出是逻辑“低”，所以在该保持时间期间，由系统时钟CLK控制的或非门54的输出维持在逻辑“低”。转移门56断开，而转移门68接通，因此在该保持时间期间将维持脉冲串长度计算信号CNT_i处目前的逻辑状态。在图7B的数据转移开关电路中，如果写等待时间值为“n”，由于在该保持时间期间接收写等待时间信号 ϕ WL1和 $\overline{\text{CAS}}$ 有效信息放大信号 ϕ CN的与非门96的输出处逻辑“低”，则在该保持时间期间，接收列地址信号CA_i的与非门94的输出维持在逻辑“高”。由于在此保持时间期间，数据转移开关信号WDTP_i维持在逻辑“低”，所以图1中所示的相应数据转移门不接通。

因此，在该保持时间期间，由于目前逻辑状态，该列地址计算器、脉冲串长度计算器和数据转移开关电路产生的输出是不变的。该保持时间由 $\overline{\text{CAS}}$ 有效信息信号和具有写等待时间信息的写等待时间信号确定。

图8A-8C说明仅当图1数据转移开关电路90不用写等待时间信息控制时的时序图。在图8A中，写等待时间值为“0”，而输入数据D₁和D₂一般分别响应数据转移开关信号WDTP1和WDTP2进行存取。

同时，如图8B和8C所示，当写等待时间值分别为“1”和“2”时，由于在图8B的保持时间 T_H 以及图8C的2倍保持时间 $2T_H$ 期间，该列地址信号 CA_i 未被考虑并维持在目前状态，所以在每一个系统时钟CLK产生一无效数据转移开关信号WDTP1(由“IV”表示)(在图8B的时间 t_1 和图8C的 t_2)。因此，无效输入数据 D_1 通过数据转移门TG1转移到内部数据总线将产生故障。

图9说明在只有图1的数据转移开关电路90不由写等待信息控制，以及该写等待时间值为“1”的情况下，当输入/输出屏蔽操作由一输出/输出屏蔽信号DQM执行时的时序图。如图所示，无效输入数据 D_1 由在时间 t_1 无效地产生的数据转移开关信号WDTP1传送到内部数据总线。这样，在时间 t_2 的有效数据转移开关信号WDTP1(用点划线“a”表示)并不由在时间 t_M 启动的输入/输出屏蔽信号DQM产生。因此，被转移到内部输入总线的写输入数据 D_1 不在点划线“b”转移。由此，如图10所示，如果数据转移开关电路由写等待时间信息控制，数据转移开关信号WDTP1不在如图中点划线“c”所示的时间 t_1 产生，而是在 t_2 产生。因此通常将该输入数据 D_1 转移到内部数据总线。

至此所描述的操作表示为获得按本发明的效果应执行如何的处理。

图11A和11B说明最佳实施本发明的时序图。当写等待时间值为“0”(即当写等待时间信号 ϕ_{WL1} 为逻辑“低”时)时，图11A的时序图表示由图4A, 5A, 6和7A所执行的操作同图8A是相同的。

如图11B所示，当写等待时间值为“1”(即当写等待时间信号 ϕ_{WL1} 为逻辑“高”时)时，适用于图2, 4B, 5B, 6和7B。如果位

设置信号BITSET由启动到逻辑“高”的 $\overline{\text{CAS}}$ 有效信息信号 ϕC 启动, 则在前级计算的列地址 CA_{i-1} 通过图4B中的转移门38被储存在锁存器42中, 之后, 系统时钟CLK上升到逻辑“高”, 而转移门43接通, 由此产生列地址信号 CA_i (CA_0)。由于写等待时间信号 ϕWL_1 为逻辑“高”(而 $\overline{\text{CAS}}$ 有效信息信号 ϕC 和 $\overline{\text{WE}}$ 有效信息信号 ϕWR 均为逻辑“高”), 所以控制转移门40和43的NOR门32的输出维持在逻辑“低”因此, 在保持时间 TH 以前, 列地址信号 CA_i (CA_0) 维持在目前逻辑状态, 而在保持时间 TH 期间, NOR门32的输出维持在逻辑“低”。同样, 在图5B中, 由于在保持时间 TH 期间脉冲串长度计算控制信号 COSSET' 维持在逻辑“高”, 所以脉冲串长度计算信号 CNT_i 维持在目前逻辑状态。同样, 在图7B中, 由于在保持时间 TH 期间与非门94的输出由写等待时间信号 ϕWL_1 和处于逻辑“高”的 CAS 有效信息信号 ϕC 维持在逻辑“低”, 所以数据转移开关信号 WDTP_0 由该保持时间 TH 来延迟。

在该保持时间 TH 之后, 由于 $\overline{\text{CAS}}$ 有效信息信号 ϕC 下降到逻辑“低”, 所以列地址复位信号 ϕCARC 和脉冲串长度计算控制信号 COSSET' 被分别设置到逻辑“高”和“低”。因此, 在图4B中, 列地址信号 CA_i (CA_0) 的形成是由借助于系统时钟LCK的连续的上下触发完成的同样在图5B中, 完成脉冲串长度计算信号 CNT_i (CNT_0) 的形成。在图7B中, 由于反相器93的输出是逻辑“高”, 与非门 94 响应逻辑“高”的列地址信号 CA_i (CA_0) 和系统时钟CLK的下触发产生逻辑“低”。这样产生了逻辑“高”的数据转移开关信号 WDTP_0 , 而相应的转移门TGO接通, 因此转移写输入数据 D_1 到内部数据总线。下一个输入数据 D_1 的转移过程也同样地加以执行。

如果写等待时间位置“n”，则使用图3电路产生的 $\overline{\text{CAS}}$ 有效信息放大信号 ϕCN ，而保持时间变成 $n \times \text{TH}$ 。

当本发明的具体的实施例已在此被披露之时，对本领域技术人员将容易做出某些改型。例如，图3的电路可使用其他的列相关信号或写相关信号，而不是用 $\overline{\text{CAS}}$ 有效信息信号 ϕC 去产生写等待时间值“n”。

如上所述，容易获得用于控制写等待时间值的电路。因此，同步半导体存储器装置的操作的稳定性和可靠性能得到改善。

说明书附图

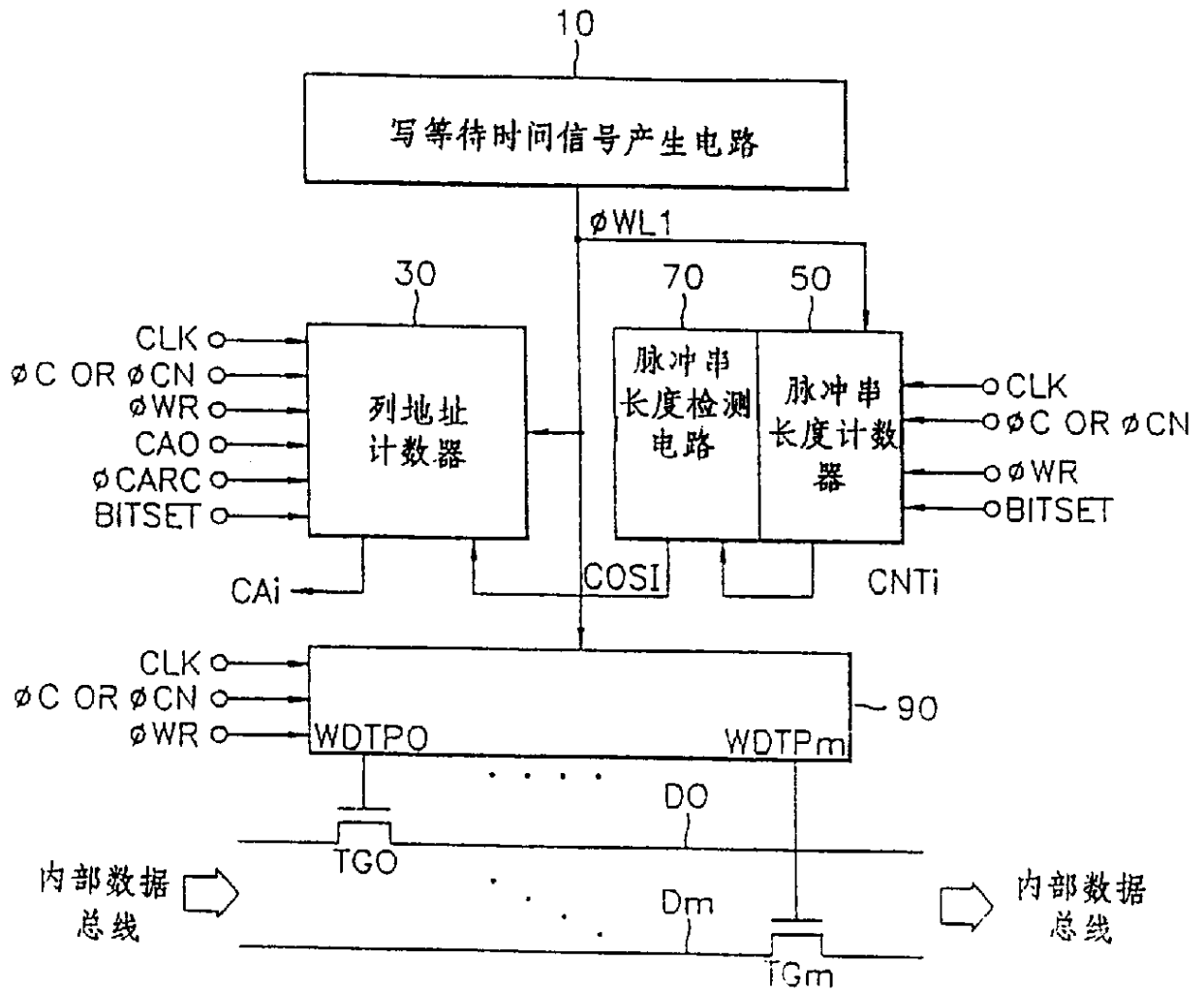


图 1

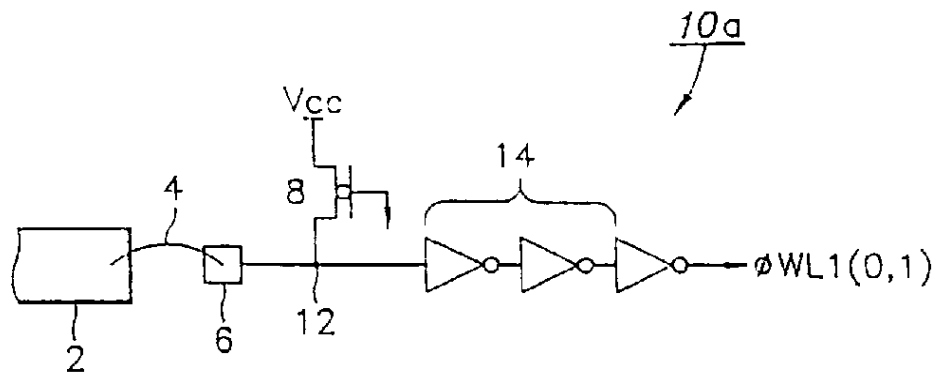


图 2A

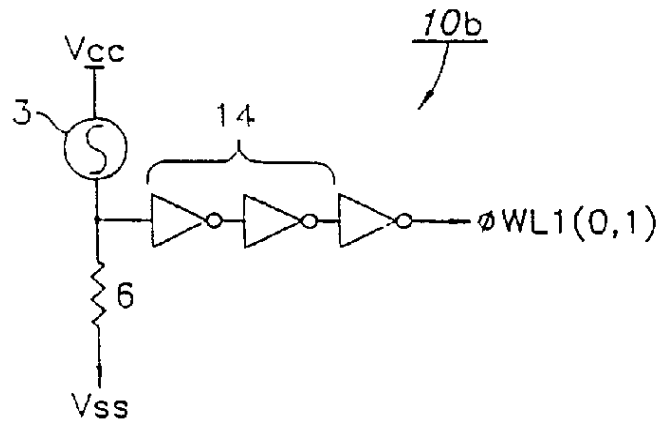


图 2B

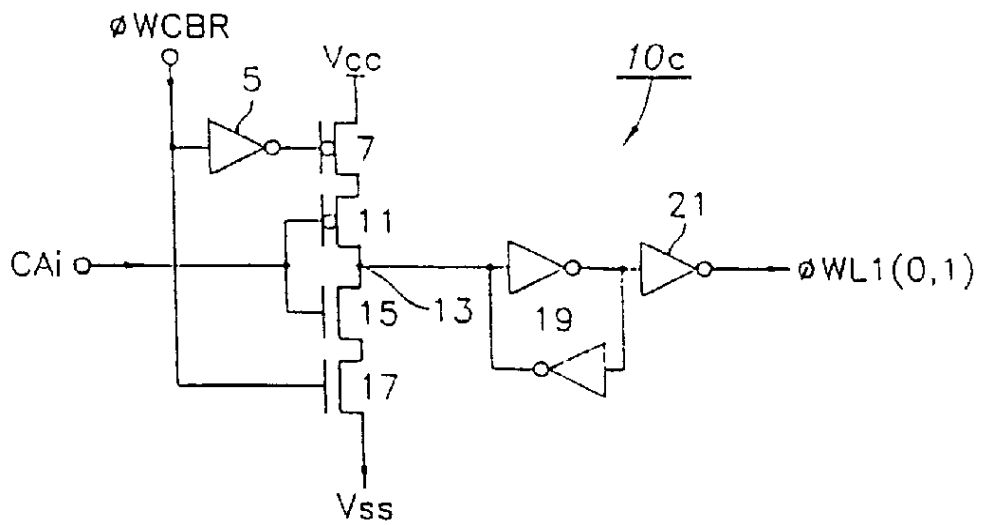
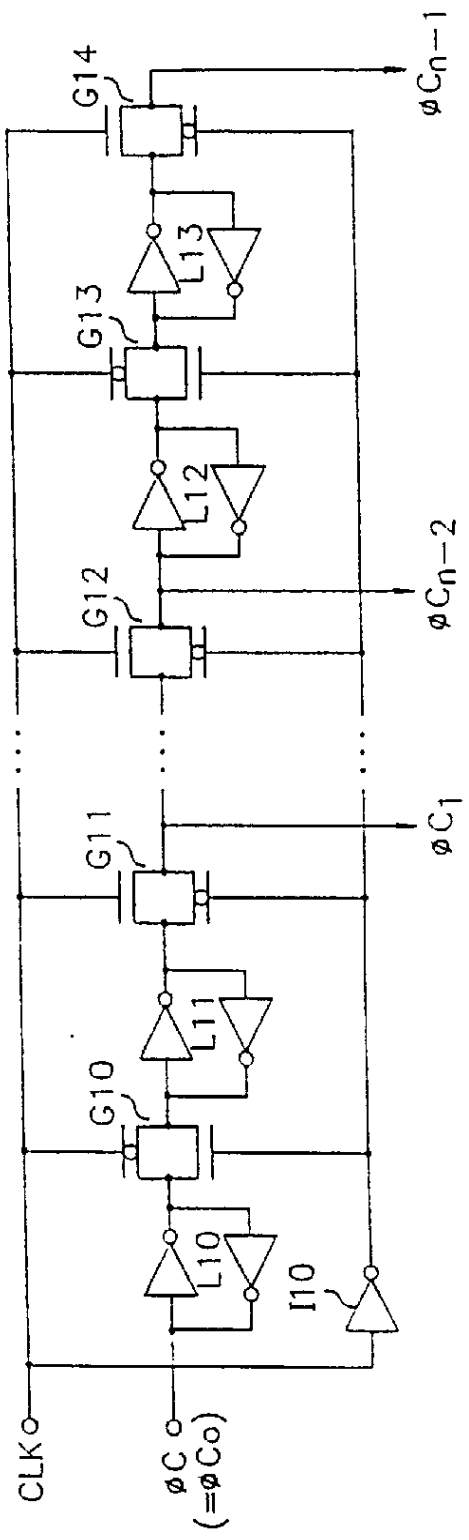
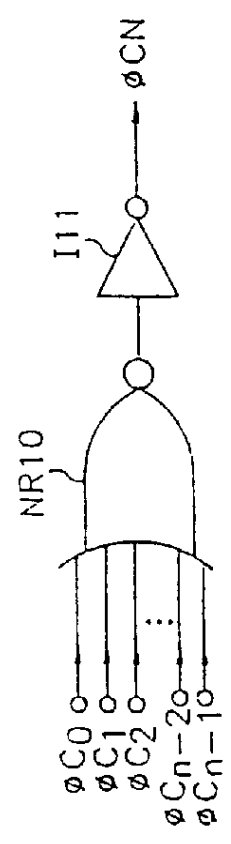


图 2C



ω



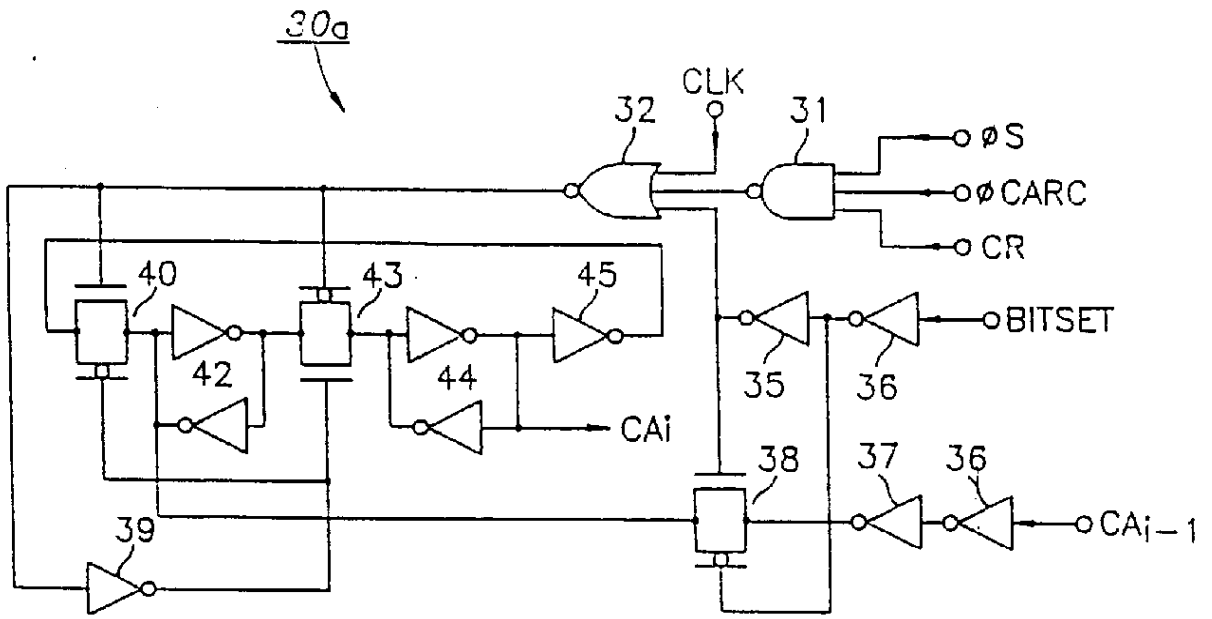


图 4A

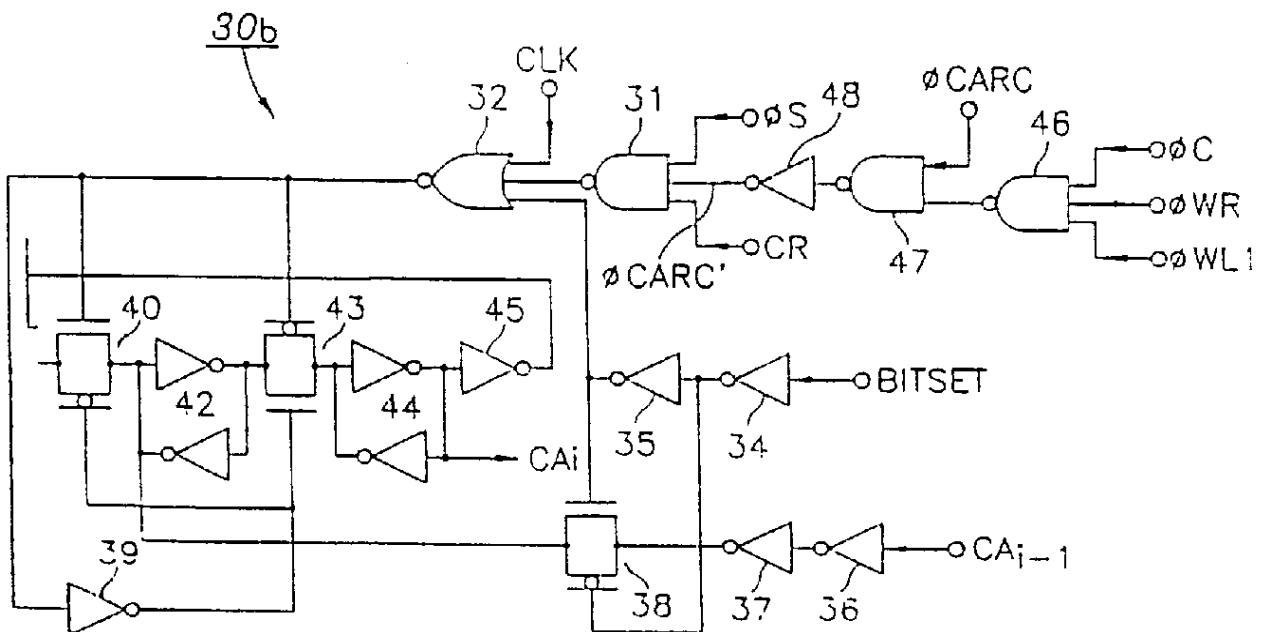


图 4B

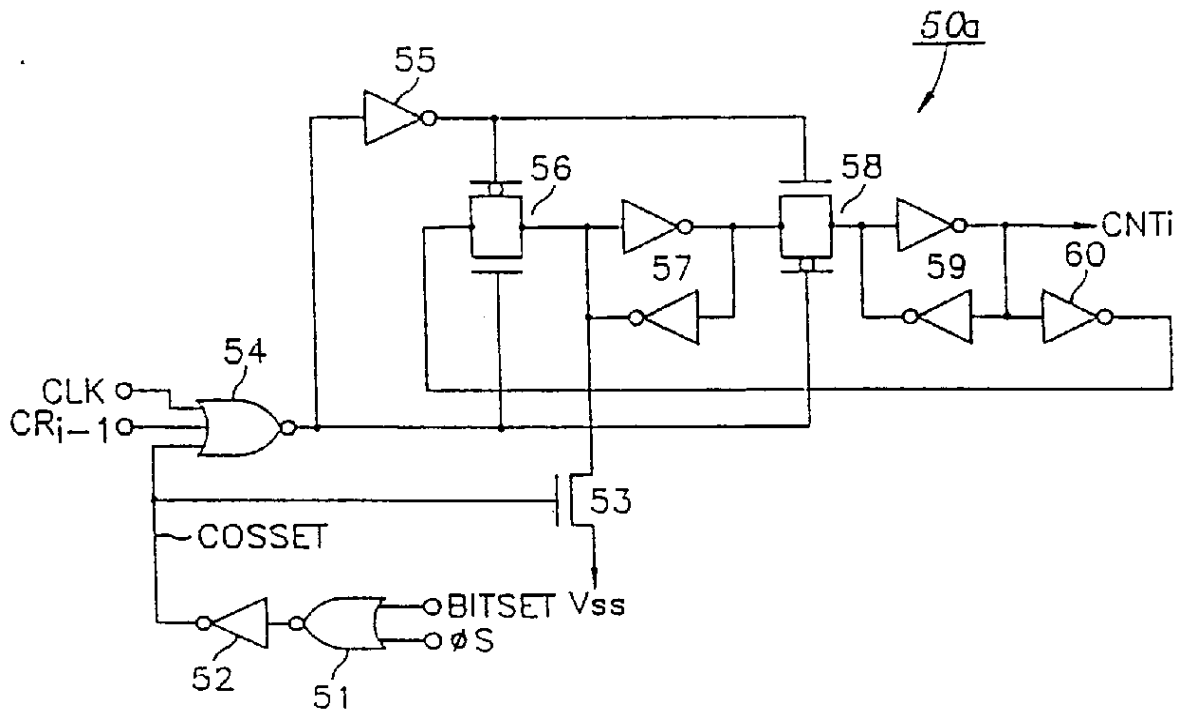


图 5A

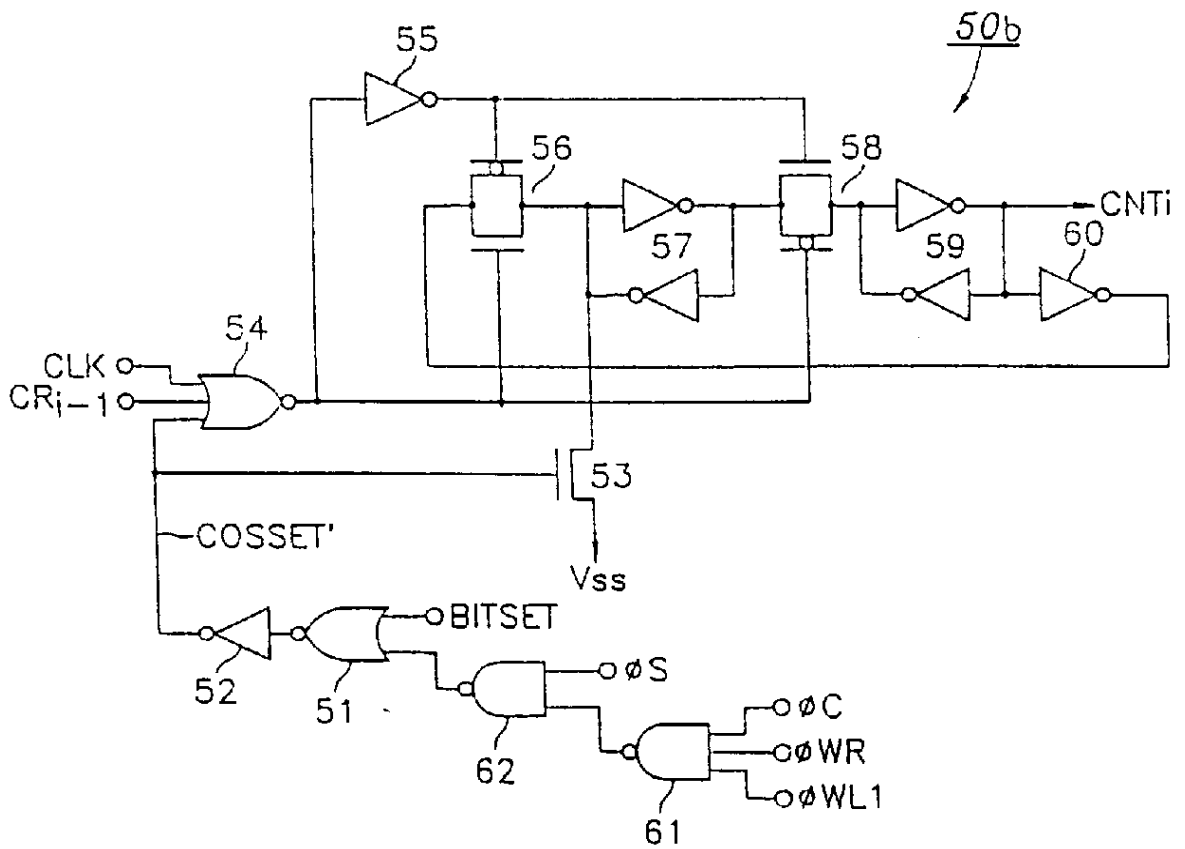
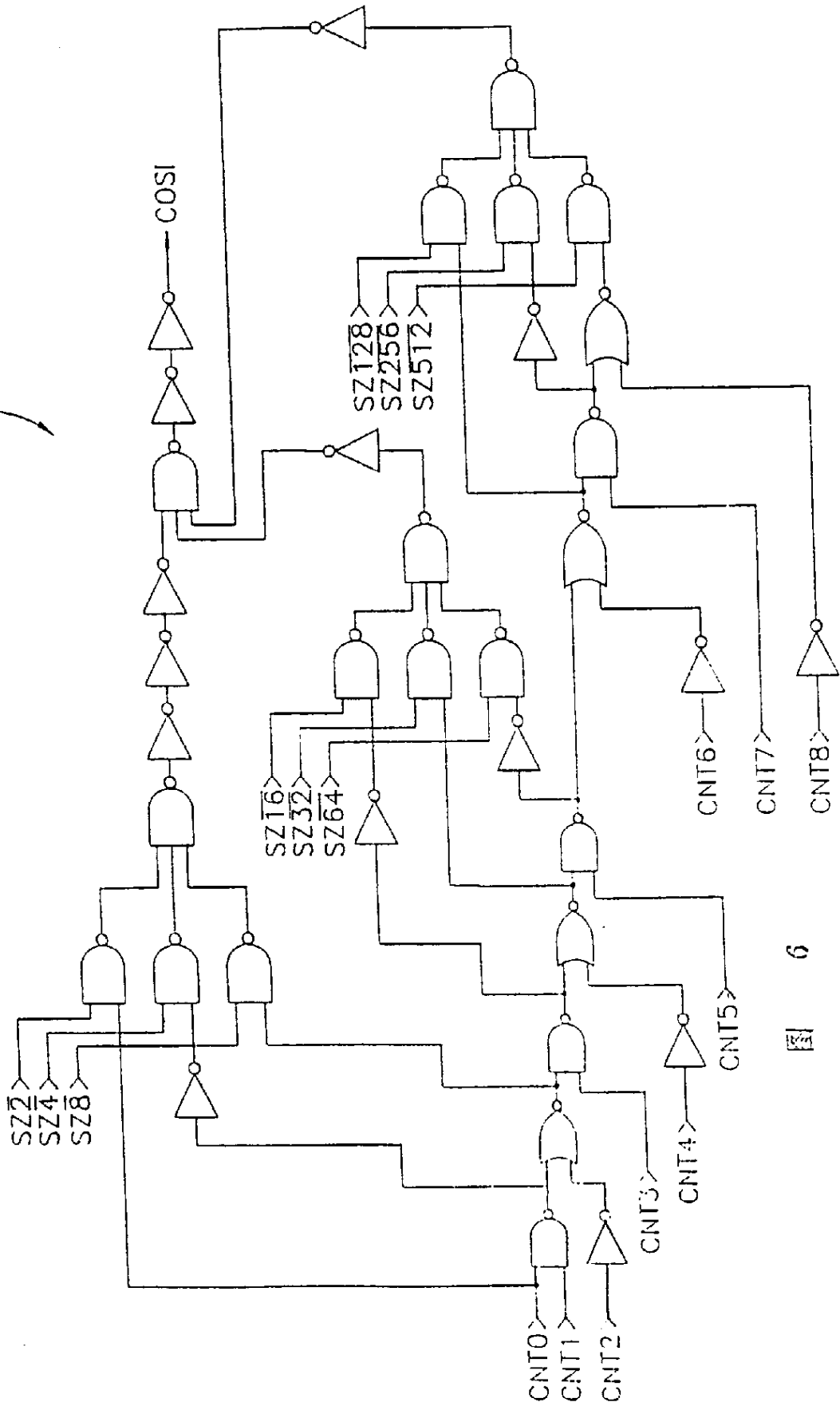


图 5B

70



6

图 6

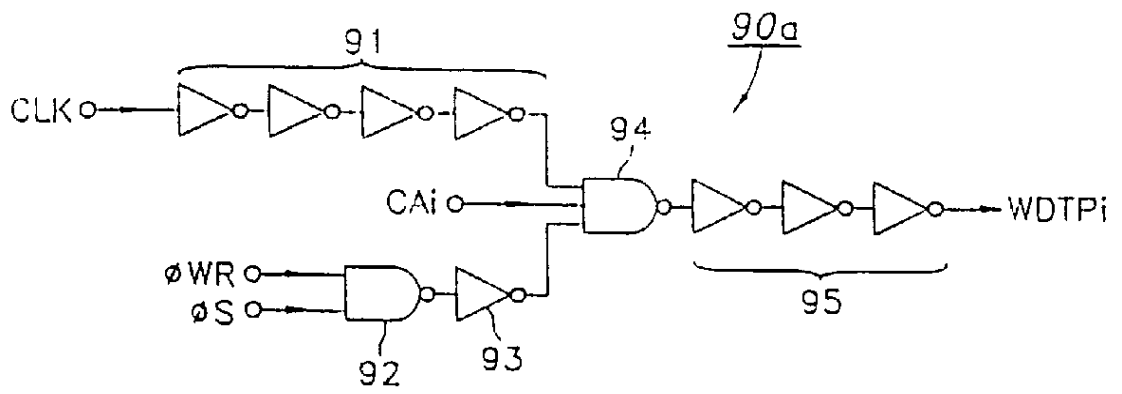


图 7A

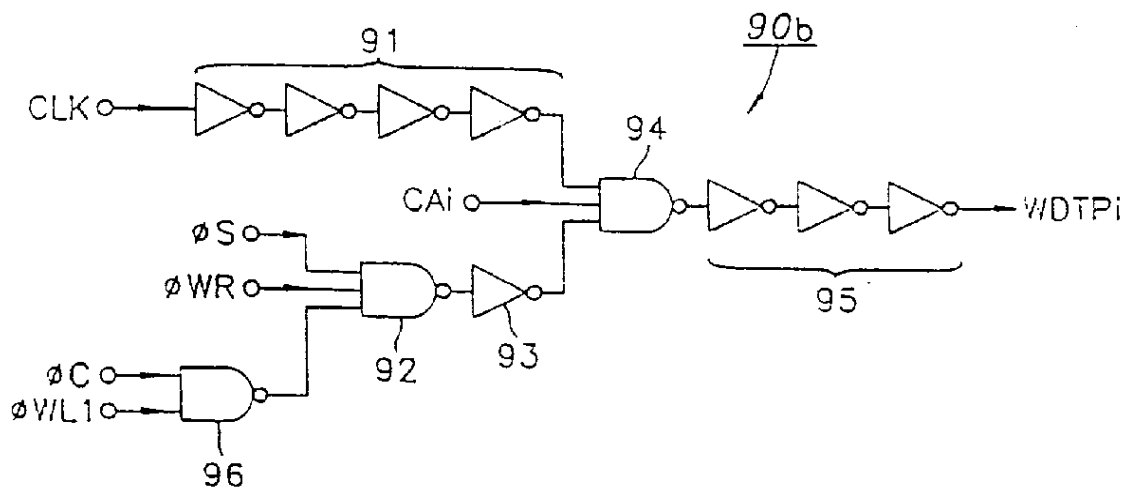


图 7B

写等待时间值=0

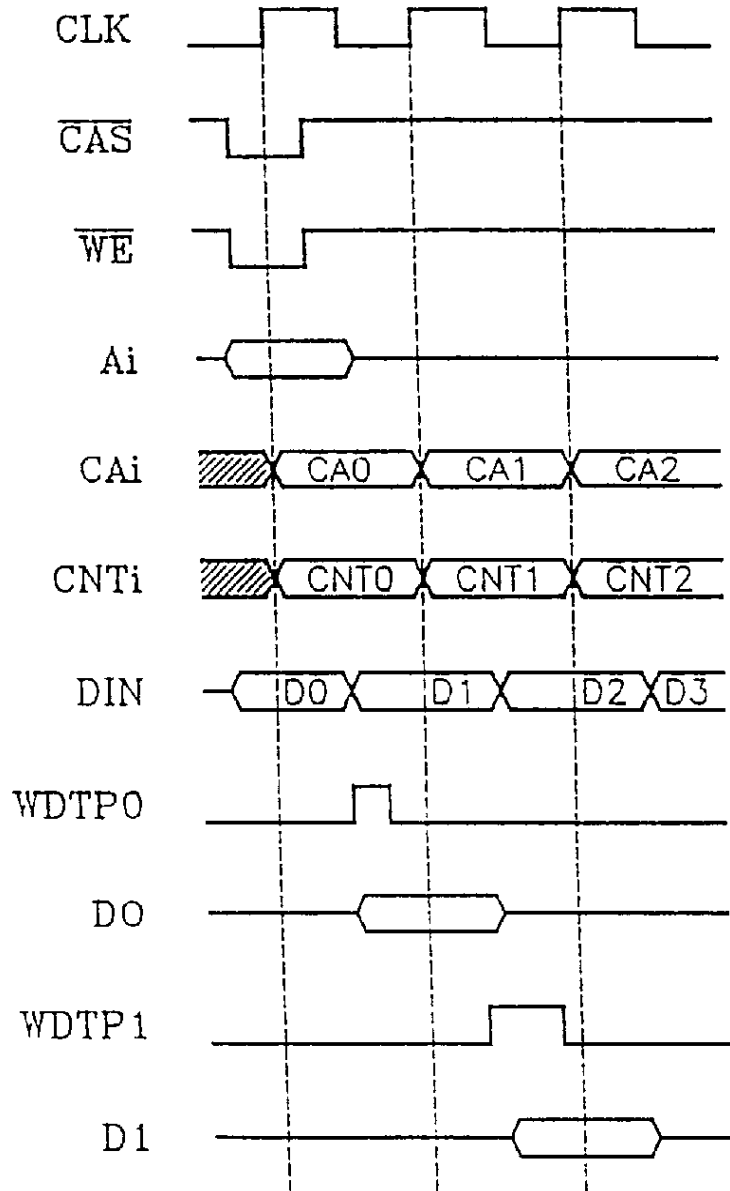


图 8A

写等待时间值=1

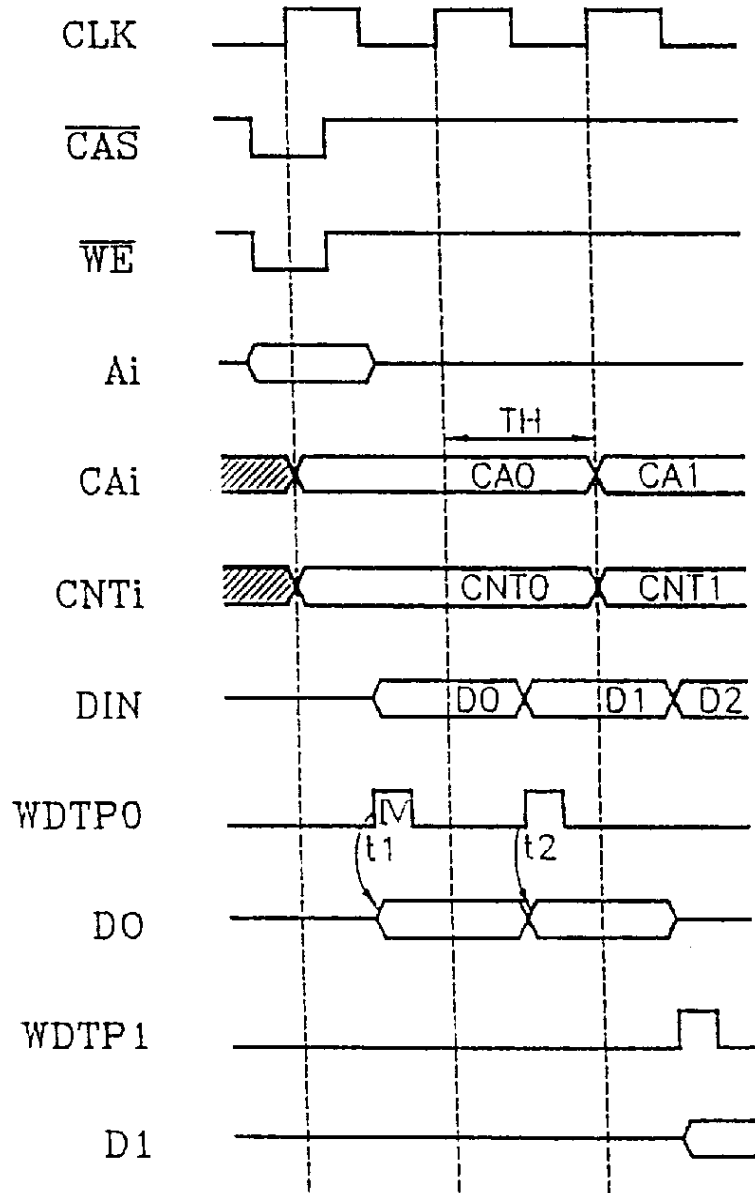


图 8B

写等待时间值=2

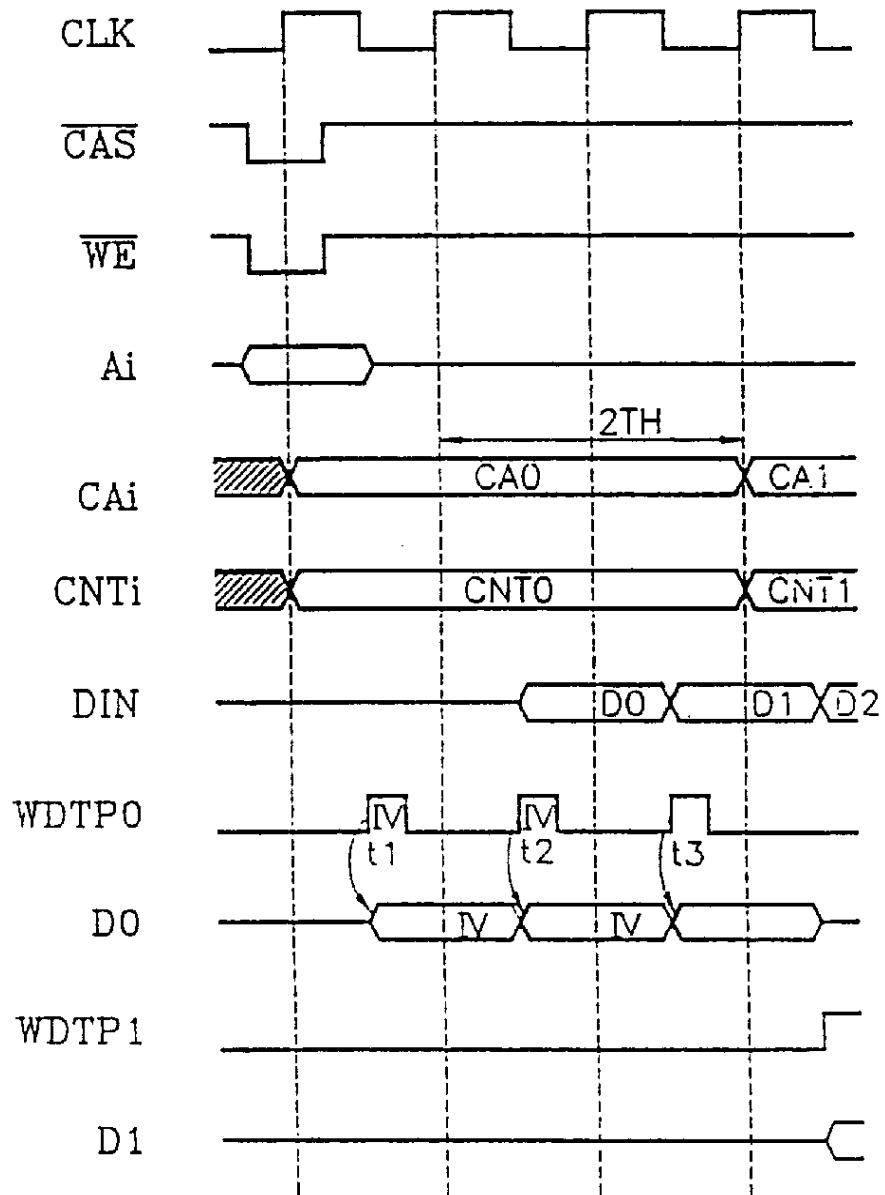


图 8C

写等待时间值 = 1

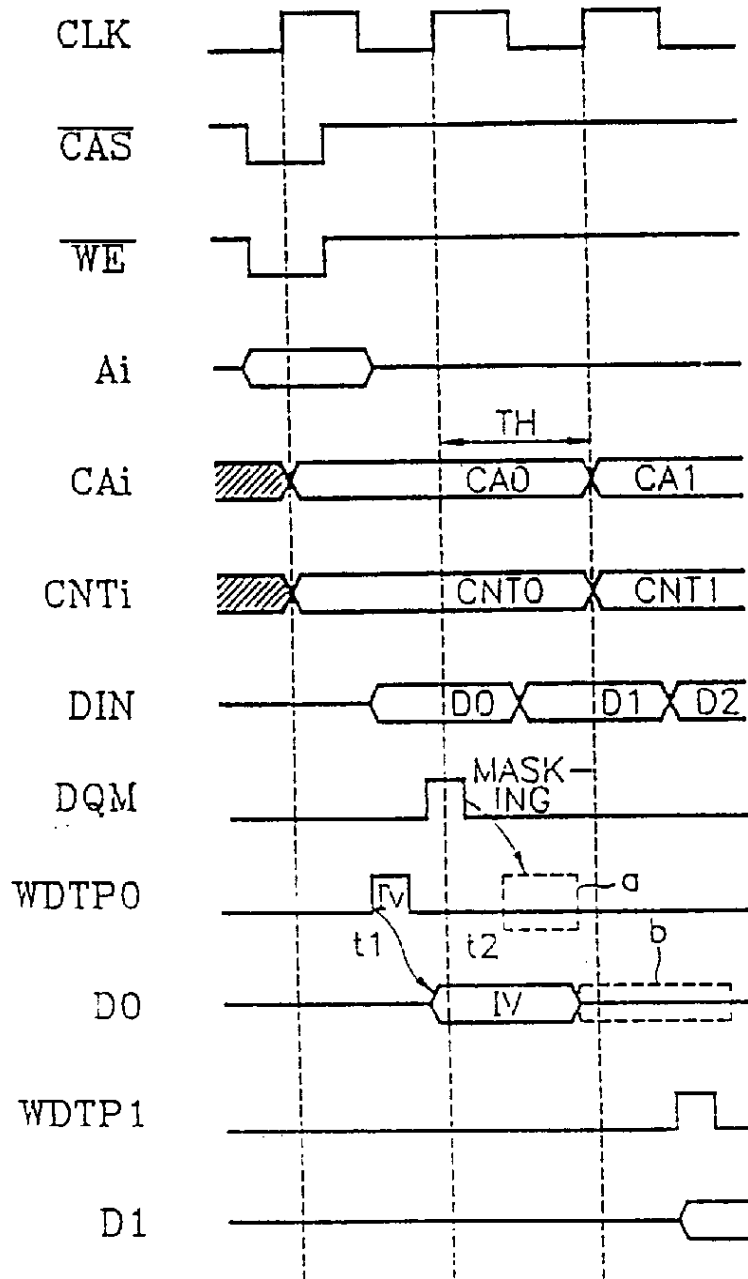


图 9

写等待时间值=1

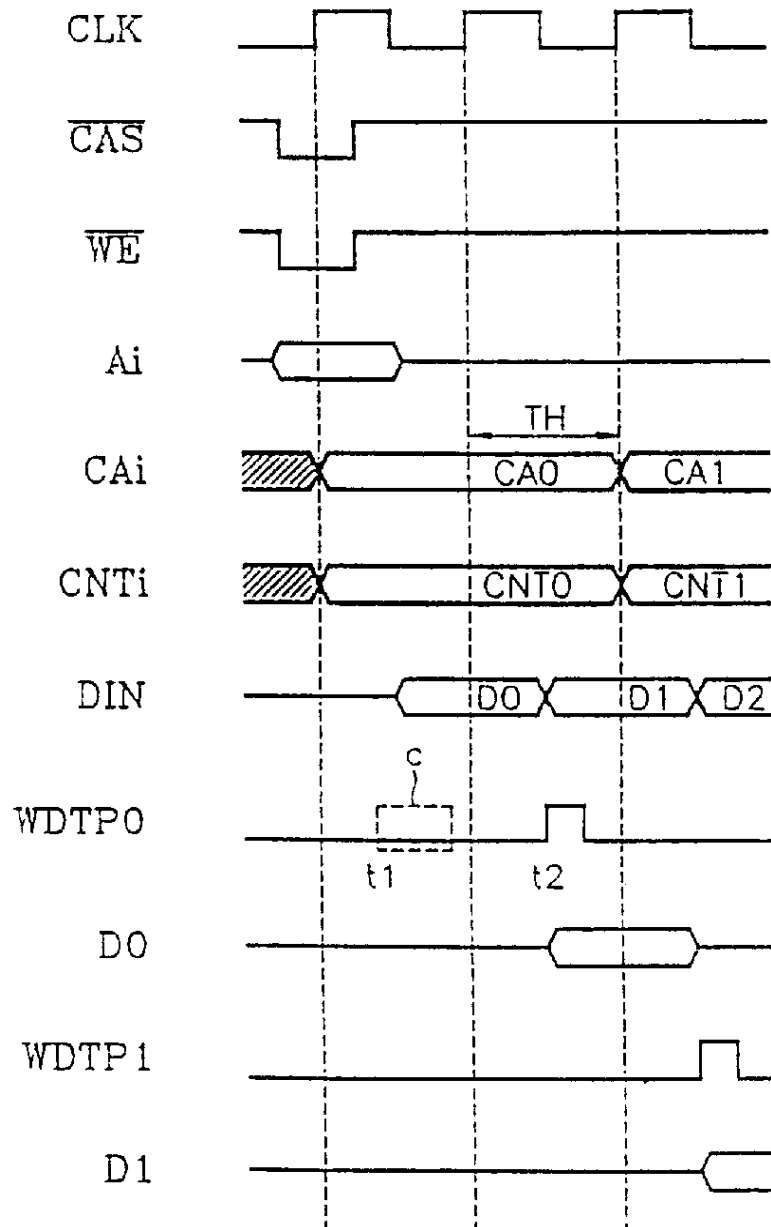


图 10

写等待时间值=0

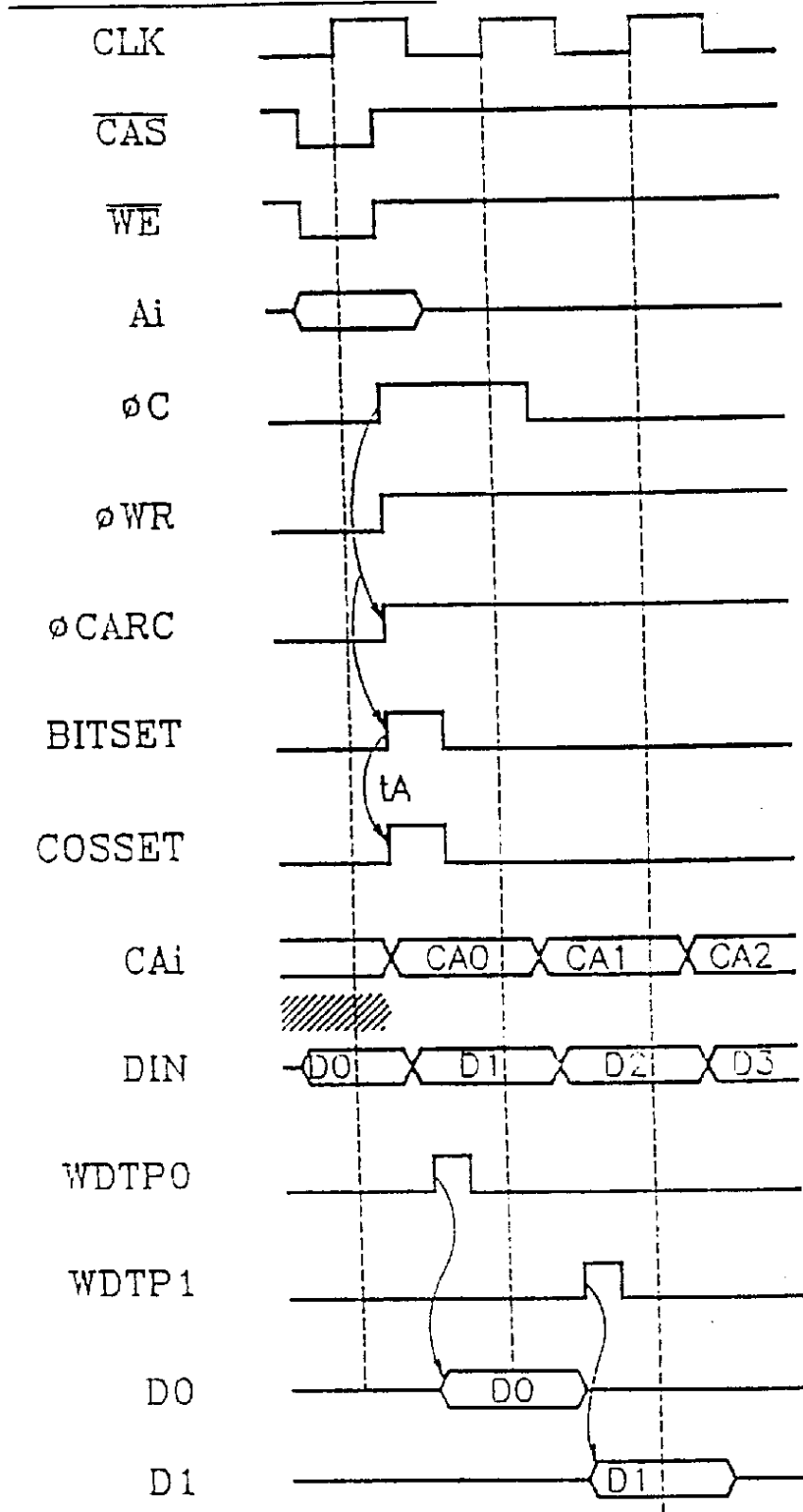


图 11A

写等待时间值=1

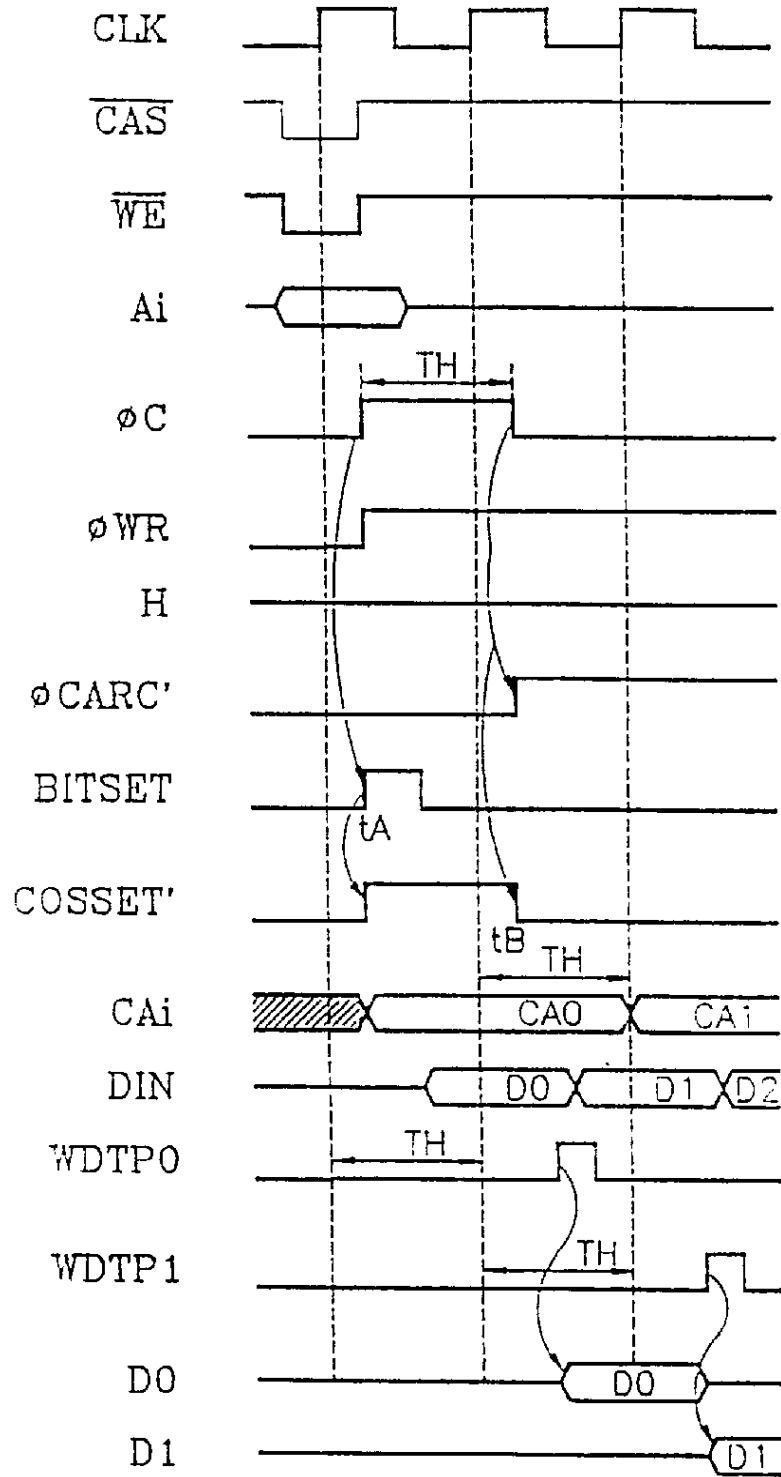


图 11B