

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4017754号
(P4017754)

(45) 発行日 平成19年12月5日(2007.12.5)

(24) 登録日 平成19年9月28日(2007.9.28)

(51) Int.C1.

F 1

GO2F 1/1345 (2006.01)	GO2F 1/1345
GO2F 1/1368 (2006.01)	GO2F 1/1368
HO1L 21/336 (2006.01)	HO1L 29/78 612Z
HO1L 29/786 (2006.01)	

請求項の数 7 (全 12 頁)

(21) 出願番号 特願平10-192010
 (22) 出願日 平成10年7月7日(1998.7.7)
 (65) 公開番号 特開2000-29061(P2000-29061A)
 (43) 公開日 平成12年1月28日(2000.1.28)
 審査請求日 平成16年2月27日(2004.2.27)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 藤川 徹也
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 右田 昌士

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の基板と、

前記第1の基板に対向して配設され、間に隙間を形成する第2の基板と、

前記隙間に封入された液晶層とよりなる液晶表示装置において、

前記第1の基板の、前記第2の基板と対面する側の表面には、薄膜トランジスタを含む表示領域と、前記薄膜トランジスタに電気的に接続された端子電極を含む端子領域とが形成され、

前記端子領域には、前記薄膜トランジスタの高さとほぼ等しいかまたはより高い凸部が形成され、

前記凸部は、前記端子電極を保護するための保護用凸部であって、前記第1の基板上の二つの前記端子電極の中間に形成されることを特徴とする液晶表示装置。

【請求項2】

前記薄膜トランジスタと、前記凸部とは、実質的に同一の層構造を有することを特徴とする請求項1記載の液晶表示装置。

【請求項3】

前記凸部は、前記端子領域において前記第1の基板上に、前記端子電極に隣接して形成された導体パターンを含むことを特徴とする請求項1または2記載の液晶表示装置。

【請求項4】

前記薄膜トランジスタは、前記第1の基板の前記表面に形成されたゲート電極と、前記

表面上に前記ゲート電極を覆うように形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたチャネル層と、前記チャネル層上に、前記ゲート電極に対応して形成されたチャネル保護膜と、前記チャネル層上の、前記チャネル保護膜の両側に、前記チャネル保護膜の一部を覆うように形成されたソース領域およびドレイン領域と、前記ゲート絶縁膜上に、前記ソース領域およびドレイン領域を覆うように形成された保護絶縁膜と、前記保護絶縁膜上に形成され、前記保護絶縁膜中に形成されたコンタクトホールを介して前記ドレイン領域とコンタクトする透明画素電極とよりなり、

前記凸部は、前記端子領域において前記表面上に、前記端子電極に隣接して形成され、前記ゲート電極と実質的に同一の組成と厚さを有する導体パターンと、前記表面上に前記導体パターンを覆うように形成され、前記ゲート絶縁膜と実質的に同一の組成と厚さを有する第1の絶縁膜と、前記第1の絶縁膜の上層に形成された第1の半導体層と、前記第1の半導体層上に、前記導体パターンに対応して形成され、前記チャネル保護膜と実質的に同一の組成と厚さを有する第2の絶縁膜と、前記第2の絶縁膜上に形成され、前記ソース領域およびドレイン領域と実質的に同一の組成と厚さを有する第2の半導体層と、前記第1の半導体層上に、前記第2の半導体層を覆うように形成され、前記保護絶縁膜と実質的に同一の組成と厚さを有する第3の絶縁膜とよりなることを特徴とする請求項1ないし3いずれか一項に記載の液晶表示装置。

【請求項5】

第1の基板と、間に隙間を形成する第2の基板と、前記隙間に封入された液晶層とよりなる液晶表示装置の製造方法において、

前記第1の基板の、前記第2の基板と対面する側の表面に、薄膜トランジスタを含む表示領域を形成する工程と、

前記薄膜トランジスタに電気的に接続された端子電極を含む端子領域を形成する工程とを有し、

前記端子領域を形成する工程は、前記端子領域に前記薄膜トランジスタの高さとほぼ等しいかまたはより高い凸部を形成する工程を含み、

前記凸部は、前記端子電極を保護するための保護用凸部であって、前記第1の基板上の二つの前記端子電極の中間に形成されることを特徴とする液晶表示装置の製造方法。

【請求項6】

前記薄膜トランジスタと前記凸部とは、実質的に同一の工程によって、実質的に同時に形成されることを特徴とする請求項5記載の液晶表示装置の製造方法。

【請求項7】

前記表示領域を形成する工程は、前記第1の基板の前記表面上にゲート電極を形成する工程と、前記表面上に前記ゲート電極を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にチャネル層を形成する工程と、前記チャネル層上に、前記ゲート電極に対応してチャネル保護膜を形成する工程と、前記チャネル層上の、前記チャネル保護膜の両側に、前記チャネル保護膜の一部を覆うようにソース領域およびドレイン領域を形成する工程と、前記ゲート絶縁膜上に、前記ソース領域およびドレイン領域を覆うように保護絶縁膜を形成する工程と、前記保護絶縁膜上に、前記保護絶縁膜中に形成されたコンタクトホールを介して、透明画素電極を前記ドレイン領域とコンタクトするように形成する工程とを含み、

前記凸部を形成する工程は、前記第1の基板表面上に、端子電極と前記端子電極に隣接した導体パターンとを、前記ゲート電極を形成する工程と同時に形成する工程と、前記第1の基板表面上に前記導体パターンを覆うように、前記ゲート絶縁膜と実質的に同一の組成と厚さに第1の絶縁膜を、前記ゲート絶縁膜を形成する工程と同時に形成する工程と、前記第1の絶縁膜上に、前記チャネル層に対応して第1の半導体層を、前記チャネル層を形成する工程と同時に形成する工程と、前記導体パターンと前記第1の半導体層上に、前記導体パターンに対応して、前記チャネル保護膜と実質的に同一の組成と厚さに第2の絶縁膜を、前記チャネル保護膜を形成する工程と同時に形成する工程と、前記第2の絶縁膜上に、前記ソース領域およびドレイン領域と実質的に同一の組成と厚さに第2の半導体層

10

20

30

40

50

を、前記ソース領域およびドレイン領域を形成する工程と同時に形成する工程と、前記第1の絶縁膜上に、前記第2の半導体層を覆うように、前記保護絶縁膜と実質的に同一の組成と厚さに第3の絶縁膜を、前記保護絶縁膜を形成する工程と同時に形成する工程を有することを特徴とする請求項5又は6記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に液晶表示装置に関し、特に薄膜トランジスタ(TFT)を備えた液晶表示装置に関する。

液晶表示装置はコンピュータを始めとする情報処理装置において、小型で低消費電力の画像表示装置として広く使われている。

【0002】

特に、高品質のカラー表示を実現するため、液晶表示装置中の個々の画素電極を駆動する、いわゆるアクティブマトリクス駆動方式の液晶表示装置が広く使われている。かかるアクティブマトリクス駆動方式の液晶表示装置では、個々の画素電極をオンオフ制御するために、各々の画素電極に対応して、液晶パネルを構成するガラス基板上にTFTが設けられる。

【0003】

【従来の技術】

図1は、従来のアクティブマトリクス駆動型液晶表示装置10の構成を示す。

図1を参照するに、液晶表示装置10は多数のTFTおよびこれに協働する透明画素電極を担持するTFTガラス基板11と、前記TFT基板11上に形成された対向ガラス基板12とよりなり、基板11と12との間には液晶層1が、図示を省略したシール部材により封入されている。液晶表示装置10では、前記透明画素電極を、対向するTFTを介して選択的に駆動することにより、液晶層中において、前記選択された画素電極に対応して、液晶分子の配向を選択的に変化させる。さらに、前記ガラス基板11および12の外側には、それぞれ図示しないが偏光板が、直交ニコル状態で配設されている。また、ガラス基板11および12の内側には、液晶層に接するように分子配向膜が形成され、液晶分子の配向方向を規制する。

【0004】

図2は前記TFTガラス基板11の一部を拡大して示す。

図2を参照するに、前記ガラス基板11上には、走査信号を供給される多数のパッド電極11Aおよびこれから延在する多数の走査電極11aと、画像信号を供給される多数のパッド電極11Bおよびこれから延在する多数の信号電極11bとが、走査電極11aの延在方向と走査電極11bの延在方向とが略直交するように形成されており、前記走査電極11aと前記信号電極11bとの交点には、TFT11Cが形成されている。さらに、前記基板11上には、各々のTFT11Cに対応して透明画素電極11Dが形成されており、各々のTFT11Cは対応する走査電極11a上の走査信号により選択され、対応する信号電極11b上の画像信号により、協働する透明画素電極11Dを駆動する。

【0005】

図3(A)～(D)は、かかる従来の液晶表示装置の製造工程を示す断面図である。ただし、図3(A)～(D)の各図中、左図はTFT11Cを含む表示領域を、また右図はパッド電極11A、11Bを含む端子領域を示す。

まず、図3(A)を参照するに、前記表示領域に対応して、前記TFT基板11に対応するガラス基板21上に、前記走査電極11aに接続されたAl-Nd合金あるいはAl-Sc合金パターン22Aが前記TFT部のゲート電極として形成される。同時に、前記ガラス基板21上の端子領域において、前記ガラス基板21上に、前記パッド電極11A、11Bに対応する端子電極22Bが、前記ゲート電極22Aと同じAl-Nd合金あるいはAl-Sc合金により形成される。

【0006】

10

20

30

40

50

次に、図3(B)の工程で、前記表示領域において、SiNよりなるゲート絶縁膜23Aを、前記ゲート電極22Aを覆うように堆積し、さらに前記ゲート絶縁膜23A上に、n⁺型の不純物をドープしたアモルファスシリコン層24Aを堆積する。続いて、前記アモルファスシリコン層24A中、前記ゲート電極22A直上のチャネル領域に相当する部分に、SiNよりなるチャネル保護膜25Aをパターニング形成する。

【0007】

図3(B)の工程では、同時に右図の端子領域において、前記端子電極22Bを覆うように、前記SiNよりなる絶縁膜23Aと同一の厚さで、絶縁膜23Bを堆積し、さらに前記絶縁膜23Bの上層に、前記アモルファス・シリコン層24Aと同一の厚さでアモルファス・シリコン層24Bを形成する。

10

さらに、図3(C)に示す工程では、前記表示領域において、前記アモルファス・シリコン層24A上に、前記チャネル保護膜25Aの両側に隣接して、n⁺型アモルファスシリコンパターン26Aを形成し、それぞれによりTFTのソースおよびドレインを構成する。

【0008】

続いて、図3(D)の工程で、前記表示領域において、前記ゲート絶縁膜23A上に、前記n⁺型アモルファスシリコン層26Aと前記チャネル保護膜25Aとを覆うように、SiNよりなる保護膜27Aを堆積し、さらに前記保護膜27A中に、前記アモルファスシリコンパターン26Aの一方に対応してコンタクトホール28Aを形成する。さらに前記保護膜27A上にコンタクトホール28Aに対応して透明画素電極29を、前記コンタクトホール28Aを介して前記アモルファスシリコンパターン26Aにコンタクトするよう20

20

に形成する。透明画素電極29は、図2の透明画素電極11Dに対応する。

一方、前記図3(D)左図の工程と同時に、同図右図に示す端子領域では、アモルファスシリコン層24B上に、前記保護膜27Aに対応する保護膜27Bを堆積し、これに前記端子電極22Bを露出するコンタクトホール28Bを形成する。図4に示すように、かかる液晶表示装置52では、前記端子領域のコンタクトホール28Bにおいて、表示パネル54中の前記端子電極22Bに駆動集積回路素子56がTABリード(図示せず)により接続される。

【0010】

30

以上の従来における液晶表示装置においては、図3(A)～(D)の工程によって形成されたTFT基板21に対向ガラス基板を重ね合わせることによって液晶表示装置が構成される。

【0011】

【発明が解決しようとする課題】

ところで、かかる液晶表示装置を製造する場合においては、半導体集積回路チップの製造の場合と同様に製造コストを低減する必要性から、大面積のガラス基板上に、複数の前記液晶表示装置を隣接して製造し、製造後に前記大面積ガラス基板を個々の液晶表示装置に分割、切断することが一般になされている。前記切断後の一例として従来の液晶表示装置の断面図を図5に示す。同図の前記液晶表示装置の構成は、第1の基板40上に表示領域48と端子領域47とが形成されており、シール42を介して第2の基板40'が前記表示領域48を覆うように接合されている。従って、前記端子領域47は前記第2の基板によって覆われておらず、周囲からのパーティクル等の混入に対して無防備であり、特に前記端子領域47中の端子電極22Bが、前記パーティクル等により機械的に破壊等された場合には、前記液晶表示装置を駆動する外部回路との接続が不能となり、液晶表示装置としての機能をも破壊されることになる。かかるパーティクルは前記ガラス基板の分割・切断工程において発生しやすい。

40

【0012】

そこで本発明は上記の課題を解決し、新規な手法によって、液晶表示装置を歩留まりよく製造する方法を提供することを目的とする。

50

【0013】

【課題を解決するための手段】

上記課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とする。請求項1記載の発明では、第1の基板と、前記第1の基板に対向して配設され、間に隙間を形成する第2の基板と、前記隙間に封入された液晶層とよりなる液晶表示装置において、前記第1の基板の、前記第2の基板と対面する側の表面には、薄膜トランジスタを含む表示領域と、前記薄膜トランジスタに電気的に接続された端子電極を含む端子領域とが形成され、前記端子領域には、前記薄膜トランジスタの高さとほぼ等しいかまたはより高い凸部が形成され、前記凸部は、前記端子電極を保護するための保護用凸部であって、前記第1の基板上の二つの前記端子電極の中間に形成されることを特徴とする。

10

【0014】

請求項1記載の本発明の特徴によれば、液晶表示装置製造時のガラス基板切断の際に、ガラス切断片等のパーティクルが前記液晶表示装置周辺部の端子領域へ混入した場合でも、前記凸部はその形状が前記薄膜トランジスタの高さに実質的に等しいかまたはより高く、かつ前記凸部は前記端子電極の近傍に形成されるため、前記パーティクルが前記液晶表示装置の前記端子電極を機械的に破壊することができない。

【0015】

請求項2記載の発明では、前記薄膜トランジスタと、前記凸部とは、実質的に同一の層構造を有することを特徴とする。請求項2記載の本発明の特徴によれば、前記凸部を効率良く形成することができる。請求項3記載の発明では、前記凸部は、前記端子領域において前記第1の基板上に、前記端子電極に隣接して形成された導体パターンを含むことを特徴とする。

20

【0016】

請求項3記載の本発明の特徴によれば、前記凸部を、前記表示部と同一の工程によって同時に形成することができる。

請求項4記載の発明では、前記薄膜トランジスタは、前記第1の基板の前記表面に形成されたゲート電極と、前記表面上に前記ゲート電極を覆うように形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたチャネル層と、前記チャネル層上に、前記ゲート電極に対応して形成されたチャネル保護膜と、前記チャネル層上の、前記チャネル保護膜の両側に、前記チャネル保護膜の一部を覆うように形成されたソース領域およびドレイン領域と、前記ゲート絶縁膜上に、前記ソース領域およびドレイン領域を覆うように形成された保護絶縁膜と、前記保護絶縁膜上に形成され、前記保護絶縁膜中に形成されたコンタクトホールを介して前記ドレイン領域とコンタクトする透明画素電極とよりなり、前記凸部は、前記端子領域において前記表面上に、前記端子電極に隣接して形成され、前記ゲート電極と実質的に同一の組成と厚さを有する導体パターンと、前記表面上に前記導体パターンを覆うように形成され、前記ゲート絶縁膜と実質的に同一の組成と厚さを有する第1の絶縁膜と、前記第1の絶縁膜の上層に形成された第1の半導体層と、前記第1の半導体層上に、前記導体パターンに対応して形成され、前記チャネル保護膜と実質的に同一の組成と厚さを有する第2の絶縁膜と、前記第2の絶縁膜上に形成され、前記ソース領域およびドレイン領域と実質的に同一の組成と厚さを有する第2の半導体層と、前記第1の半導体層上に、前記第2の導体層を覆うように形成され、前記保護絶縁膜と実質的に同一の組成と厚さを有する第3の絶縁膜とよりなることを特徴とする。

30

【0017】

請求項4記載の本発明の特徴によれば、前記凸部の形成は、フォトマスクを、前記薄膜トランジスタ用のものに前記凸部用のものを付加的に作成する工程のみによって、後の工程を前記薄膜トランジスタのものと同一の工程により形成することができる。

請求項5記載の発明では、第1の基板と、間に隙間を形成する第2の基板と、前記隙間に封入された液晶層とよりなる液晶表示装置の製造方法において、前記第1の基板の、前記第2の基板と対面する側の表面に、薄膜トランジスタを含む表示領域を形成する工程と、前記薄膜トランジスタに電気的に接続された端子電極を含む端子領域を形成する工程と

40

50

を有し、前記端子領域を形成する工程は、前記端子領域に前記薄膜トランジスタの高さとほぼ等しいかまたはより高い凸部を形成する工程を含み、前記凸部は、前記端子電極を保護するための保護用凸部であって、前記第1の基板上の二つの前記端子電極の中間に形成されることを特徴とする。

【0018】

請求項5記載の本発明の特徴によれば、液晶表示装置製造時のガラス基板切断の際に、ガラス切断片等のパーティクルが前記液晶表示装置周辺部の端子領域へ混入した場合でも、前記凸部はその形状の高さが前記薄膜トランジスタに実質的に等しいかまたはより高く、かつ前記凸部は前記端子電極の近傍に形成されるため、前記パーティクルが前記液晶表示装置の前記端子電極を機械的に破壊することができない。

10

【0019】

請求項6記載の発明では、前記薄膜トランジスタと前記凸部とは、実質的に同一の工程によって、実質的に同時に形成されることを特徴とする。

請求項6記載の本発明の特徴によれば、前記凸部を高率良く形成することができる。

【0021】

請求項7記載の発明では、前記表示領域を形成する工程は、前記第1の基板の前記表面上にゲート電極を形成する工程と、前記表面上に前記ゲート電極を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にチャネル層を形成する工程と、前記チャネル層上に、前記ゲート電極に対応してチャネル保護膜を形成する工程と、前記チャネル層上の、前記チャネル保護膜の両側に、前記チャネル保護膜の一部を覆うようにソース領域およびドレイン領域を形成する工程と、前記ゲート絶縁膜上に、前記ソース領域およびドレイン領域を覆うように保護絶縁膜を形成する工程と、前記保護絶縁膜上に、前記保護絶縁膜中に形成されたコンタクトホールを介して、透明画素電極を前記ドレイン領域とコンタクトするように形成する工程とを含み、前記凸部を形成する工程は、前記第1の基板表面上に、端子電極と前記端子電極に隣接した導体パターンとを、前記ゲート電極を形成する工程と同時に形成する工程と、前記第1の基板表面上に前記導体パターンを覆うように、前記ゲート絶縁膜と実質的に同一の組成と厚さに第1の絶縁膜を、前記ゲート絶縁膜を形成する工程と同時に形成する工程と、前記第1の絶縁膜上に、前記チャネル層に対応して第1の半導体層を、前記チャネル層を形成する工程と同時に形成する工程と、前記導体パターンと前記第1の半導体層上に、前記導体パターンに対応して、前記チャネル保護膜と実質的に同一の組成と厚さに第2の絶縁膜を、前記チャネル保護膜を形成する工程と同時に形成する工程と、前記第2の絶縁膜上に、前記ソース領域およびドレイン領域と実質的に同一の組成と厚さに第2の半導体層を、前記ソース領域およびドレイン領域を形成する工程と同時に形成する工程と、前記第1の絶縁膜上に、前記第2の半導体層を覆うように、前記保護絶縁膜と実質的に同一の組成と厚さに第3の絶縁膜を、前記保護絶縁膜を形成する工程と同時に形成する工程を有することを特徴とする。

20

30

【0022】

請求項7記載の本発明の特徴によれば、前記凸部の形成は、フォトマスクを、前記薄膜トランジスタ用のものに前記凸部用のものを付加的に作成する工程のみによって、後の工程を前記薄膜トランジスタのものと同一の工程により形成することができる。

40

【0023】

【発明の実施の形態】

[実施例1]

図6(A)～(D)は、本発明による液晶表示装置の製造工程を示す断面図である。ただし、図6(A)～(D)の各図中、左図はTFT11Cを含む表示領域を、また右図はパッド電極11A、11Bを含む端子領域を示す。ここに左図表示領域は、従来例による前記表示領域と同一の工程であるが、各構成要素について異なる番号を付してある。

【0024】

まず、図6(A)を参照するに、前記表示領域に対応して、前記TFT基板11に対応す

50

るガラス基板 6 0 上に、前記走査電極 1 1 a に接続された Al - Nd 合金あるいは Al - Sc 合金パターン 6 2 A が、前記 TFT 部のゲート電極として形成される。同時に、前記ガラス基板 6 0 上の端子領域において、前記ガラス基板 6 0 上に、前記パッド電極 1 1 A 、 1 1 B に対応する端子電極 3 2 B が、従来例と同様に形成される。また同時に本実施例では、ガラス基板 6 0 上に複数の端子電極 3 2 B と共に、前記端子電極 3 2 B の中間に位置するように、端子電極 3 2 B と同一の厚さで導体パターン 6 2 B を形成する。

【 0 0 2 5 】

次に、図 6 (B) の工程で、前記表示領域において、SiN よりなるゲート絶縁膜 6 3 A を、前記ゲート電極 6 2 A を覆うように堆積し、さらに前記ゲート絶縁膜 6 3 A の上層に、n⁺ 型の不純物をドープしたアモルファスシリコン層 6 4 A を堆積する。続いて、前記ゲート電極 6 2 A 直上の活性領域 6 4 A 中のチャネル領域に相当する部分に、SiN よりなるチャネル保護膜 6 5 A をパターニング形成する。

【 0 0 2 6 】

図 6 (B) の工程では、同時に右図の端子領域において、前記端子電極 3 2 B と共に前記導体パターン 6 2 B をも覆うように、前記 SiN よりなる絶縁膜 6 3 A と同一の組成および厚さで絶縁膜 6 3 B を堆積し、さらに前記絶縁膜 6 3 B の上層に、前記アモルファスシリコン層 6 4 A と同一の厚さでアモルファスシリコン層 6 4 B を形成する。続いてその上層に、SiN よりなる前記チャネル保護膜 6 5 A と同一の組成および厚さでチャネル保護膜 6 5 B をパターニング形成する。

【 0 0 2 7 】

さらに、図 6 (C) の工程では、前記表示領域において、前記アモルファス・シリコン層 6 4 A 上に、前記チャネル保護膜 6 5 A の両側に隣接して、n⁺ 型アモルファスシリコンパターン 6 6 A を形成し、それぞれにより TFT のソースおよびドレインを構成する。

図 6 (C) の工程では、同時に右図の端子領域において、前記チャネル保護膜 6 5 B を覆うように、n⁺ 型アモルファスシリコンパターン 6 6 B を形成する。この n⁺ 型アモルファスシリコン 6 6 B をエッチングによりパターニングする際に、その下層のアモルファスシリコン層 6 4 B の表出した領域をも同時にエッチングして除去する。

【 0 0 2 8 】

続いて、図 6 (D) の工程で、前記表示領域において、前記 n⁺ 型アモルファスシリコン層 6 6 A と、前記チャネル保護膜 6 5 A と、さらに前記アモルファスシリコン層 6 4 A 上に、SiN よりなる保護膜 6 7 A を堆積し、アモルファスシリコンパターン 6 6 A 上に開口されたコンタクトホール 6 8 A を介して、透明画素電極 6 9 A が形成される。透明画素電極 6 9 A は、図 2 の透明画素電極 1 1 D に対応する。

【 0 0 2 9 】

さらに、図 6 (D) の工程で、同図右図に示す端子領域では、アモルファスシリコン層 6 6 B 、およびアモルファスシリコン層 6 4 B の上層に、SiN よりなる保護膜 5 0 B を堆積し、続いて保護膜 5 0 B の上層の、アモルファスシリコン層 6 6 B の上層の領域に、透明画素電極 6 9 B をパターニングにより形成し、さらに続いて端子電極 3 2 B 上に、コンタクトホール 3 9 B を形成する。

【 0 0 3 0 】

このように、本実施例では、端子部における工程で、2 つの端子電極 2 2 B の中間に位置する導体パターン 6 2 B を形成する。従来例では、図 3 (D) 右図のように、2 つの端子電極 2 2 B の中間では、ガラス基板 2 1 上に直接に形成された絶縁膜 2 3 B 上にアモルファスシリコン層 2 4 B を形成し、さらにその上層に保護膜 2 7 B を堆積した構成となつてあり、平坦な構造が形成されている。これに対して、本実施例である図 6 (D) 右図においては、端子電極 2 2 B の中間には第 2 の導体パターン 6 2 B を有し、前記導体パターン 6 2 B の上層の領域において、同図左図の工程において使用した薄膜を、すべて同図右図の同一の工程において重ねて堆積している。したがって、右図の端子領域における堆積後の基板表面から最上部までの高さは、必然的に左図の素子領域の工程を実施後の基板表面から最上部までの高さとほぼ等しいかまたはそれ以上になる。さらにその形状は、前記導

10

20

30

40

50

体パターン 62B の、比較的小面積の形状に沿うように、最上部が突き出たいわゆる突起部を形成する。

【0031】

前記突起部を構成する各薄膜の厚さは、導体パターン 62B が 200 nm 程度、ゲート絶縁膜 63B が 400 nm、第 1 のシリコン 64B が 40 nm 程度、第 1 の絶縁膜 65B が 400 nm 程度、n⁺ 型アモルファスシリコンパターン 66B が 50 nm 程度、保護膜 50B が 300 nm 程度、透明電極 69B が 100 nm であり、最終的な前記突起部の厚さは、1500 nm (1.5 μm) 程度である。

【0032】

ところで、本発明に係る特徴は上述したように、従来の液晶表示装置において問題であった、ガラス基板切断時のガラス切断片等のパーティクルが液晶表示装置中の周辺領域に形成した素子の一部に混入し、端子電極等を破壊するという課題を解決する点にある。

前記実施例による第 1 の基板上に表示領域および端子領域を形成後に、対向基板である第 2 の基板を配置し、これを切断した後の液晶表示装置の断面図を図 7 に示す。

【0033】

図 7 を参照するに、突起部 45 と端子電極 32B とを有する端子領域 46 および表示領域 48 が形成された第 1 の基板 40 と、第 2 の基板 40' とが、シール 42 および図示しないスペーサを介して対向されている。

同図において、前記端子領域 46 では、2 つの端子電極 32B とその間に前記突起部 45 があって、その高さは前述したように約 1.5 μm である。また前記第 1 及び第 2 の基板間の間隔は 2 ~ 3 μm 程度であって、混入する前記パーティクル 44 の大きさは高々 1 ~ 2 μm 程度である。従って、前記両端子電極の間隔が数 μm 程度のオーダーである場合には、前記端子電極表面に対する前記パーティクルの接触あるいは破壊等を生じることがない。

【0034】

このように、本発明は、液晶表示装置の前記表示領域は、上層を第 2 の基板等によって覆われるため、前記表示領域中への前記パーティクルの混入による素子破壊は起こりにくい一方、前記端子領域では、前記端子電極は前記外部端子との接続のためにその表面が液晶層中にさらされるため、混入した前記パーティクル等による接触に対して無防備であり、機械的破壊が容易に起こりやすいという、液晶表示装置における本質的な問題を解決する方法を提供するものである。

【0035】

【発明の効果】

以上の実施例において説明したように、本発明によれば、薄膜素子上にいわゆる突起部を形成することによって、前記薄膜素子中の端子電極と対向する第 2 の基板との間隔を一定以上確保することができ、液晶表示装置を構成するガラス基板を切断する時に、発生するガラス切断片等のパーティクルが、薄膜素子内に混入することによって、前記端子電極表面が、前記ガラス切断片等によって機械的に破壊され、電気的な接合不良を生じるのを防止することができる。

【図面の簡単な説明】

【図 1】従来および本発明の液晶表示装置の概観を示す斜視図である。

【図 2】図 1 の液晶表示装置を構成するガラス基板上に形成される TFT アレイを示す図である。

【図 3】(A) ~ (D) は従来の表示領域部および端子領域部の製造工程を示す断面図である。

【図 4】液晶表示装置の液晶表示パネルに駆動回路を張り付けた後の構成図である。

【図 5】従来の液晶表示装置の断面図である。

【図 6】本発明の表示領域部および端子領域部の製造工程を示す断面図である。

【図 7】本発明における液晶表示装置の断面図である。

【符号の説明】

10

20

30

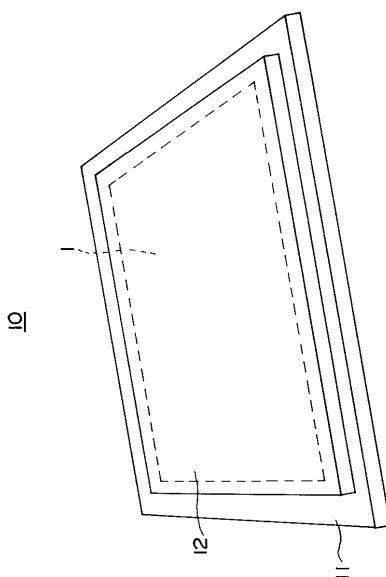
40

50

1	液晶層	
1 0	液晶表示装置	
1 1 、 1 2	ガラス基板	
1 1 A 、 1 1 B	パッド電極	
1 1 a	走査電極	
1 1 b	信号電極	
1 1 C	TFT	
1 1 D	透明画素	
2 1 、 6 0	基板	
2 2 A 、 6 2 A	ゲート電極	10
2 2 B 、 6 2 B	端子電極	
2 3 A 、 2 3 B 、 6 3 A 、 6 3 B	ゲート絶縁膜	
2 4 A 、 2 4 B 、 6 4 A 、 6 4 B	アモルファスシリコン層	
2 5 A 、 6 5 A 、 6 5 B	チャネル保護膜	
2 6 A 、 6 6 A 、 6 6 B	n^+ 型アモルファスシリコン層	
2 7 A 、 2 7 B 、 5 0 B 、 6 7 A	保護膜	
2 8 A 、 2 8 B 、 3 9 B 、 6 8 A	コンタクトホール	
2 9	オーミック電極	
3 2 B	端子電極	
4 0	第1の基板	20
4 0 '	第2の基板	
4 1	液晶表示装置	
4 2	シール	
4 4	パーティクル	
4 5	突起部	
4 6 、 4 7	端子領域	
4 8	表示領域	
5 2	液晶表示パネル	
5 4	表示パネル	
5 6	駆動回路	30
6 9 A 、 6 9 B	透明画素電極	

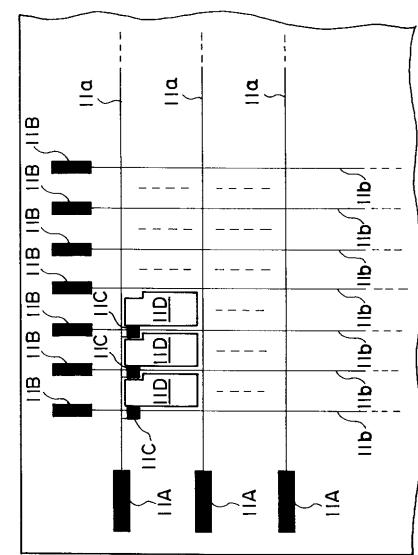
【図1】

従来および本発明の液晶表示装置の概観を示す斜視図



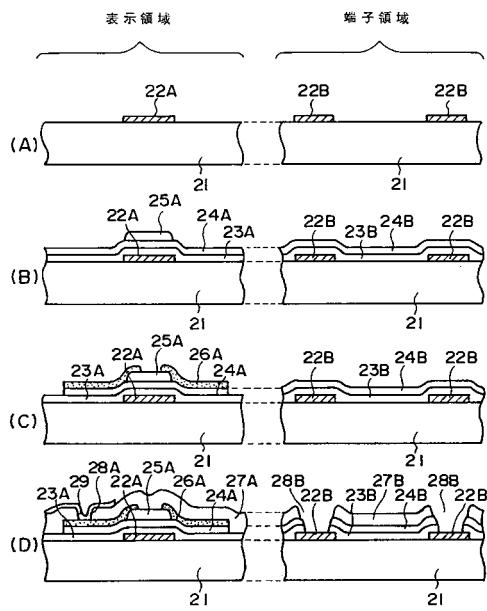
【図2】

図1の液晶表示装置を構成するガラス基板上に形成されるTFTアレイを示す図



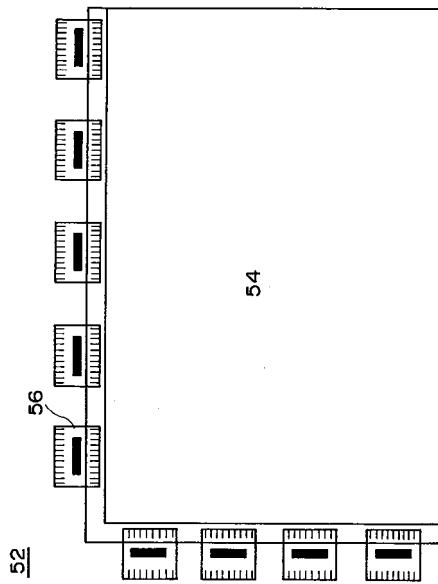
【図3】

(A)～(D)は従来の表示領域部および端子領域部の製造工程を示す断面図

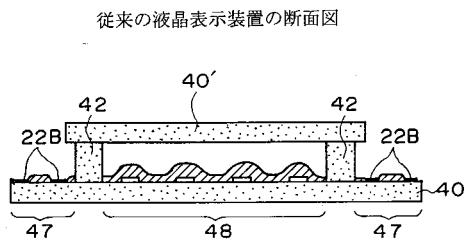


【図4】

液晶表示装置の液晶表示パネルに駆動回路を張り付けた後の構成図

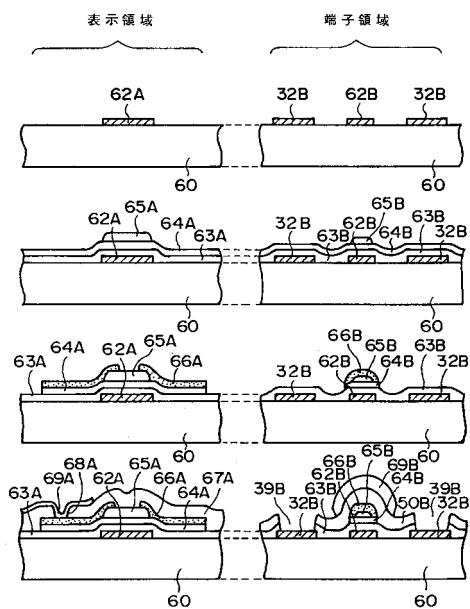


【図5】



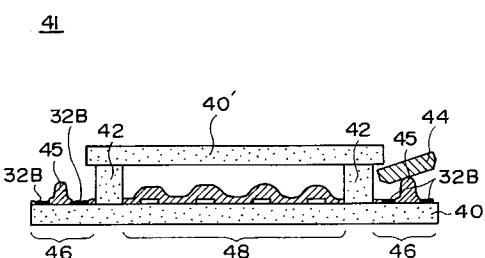
【図6】

本発明の表示領域部および端子領域部の
製造工程を示す断面図



【図7】

本発明における液晶表示装置の断面図



フロントページの続き

(56)参考文献 特開平09-160076(JP,A)
特開平07-104315(JP,A)
特開平03-232274(JP,A)
特開平08-313922(JP,A)
特開平10-068963(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1345
G02F 1/1362 - 1/1368
G02F 1/1333
G02F 1/1343
H01L 21/336
H01L 29/786