

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H04Q 11/04

(45) 공고일자 2000년03월 15일
(11) 등록번호 10-0246773
(24) 등록일자 1999년 12월 07일

(21) 출원번호 10-1997-0075569
(22) 출원일자 1997년 12월 27일

(65) 공개번호 특1999-0055614
(43) 공개일자 1999년07월15일

(73) 특허권자	현대전자산업주식회사	김영환
	경기도 이천시 부발읍	아미리 산 136-1
(72) 발명자	심헌용	
	경기도 이천시 대월면	사동리 한라주택 A동 105호
	이성삼	
	경기도 이천시 사음동	205-1 명지빌라 1동 401호
	김준만	
	경기도 성남시 분당구	구미동 무지개마을 주공아파트 402동 1203호
(74) 대리인	김학제	

심사관 : 이강민

(54) 다수의 TDM 채널의 송신 동시정합장치 및 방법

요약

본 발명은 다수의 TDM 채널의 송신(Tx) 동시 정합방법을 제공한다.

본 발명은 32개의 각 채널의 전송할 데이터를 순차적으로 처리하여 기록하기 위한 신호를 생성하는 직렬 통신제어기(SCC), 상기 SCC로부터의 신호를 수신하여 들어온 순서대로 저장하고 출력하는 32개의 선입선출버퍼(FIFO) 그리고 상기 각각의 FIFO로부터의 데이터를 순차적으로 1바이트씩 읽어서 TDM버스에 클럭, 데이터 및 프레임동기신호를 출력하는 제어부를 구비하여 TDM채널의 송신 동시 정합을 행하는 것을 특징으로 한다.

본 발명의 다수의 TDM채널의 송신 동시정합장치 및 방법에 의하면 TDM방식으로 운용되는 다수의 채널을 송신정합함에 있어서 하나의 SCC가 각 채널별로 송신할 데이터를 각 FIFO에 저장한다음 각 FIFO에서 한 바이트씩 순차적으로 TDM버스에 송신정합함으로써 비용의 절감을 기할 수 있는 효과를 얻을 수 있다.

대표도

52

명세서

도면의 간단한 설명

도 1 은 TDM 버스의 각 타임 슬롯이 송신 FIFO에 저장됨을 보이는 도면.

도 2 는 복수 채널의 다수의 TDM채널의 송신 동시정합을 실현하는 블록구성도.

도 3은 도 2의 SCC가 순차적으로 송신할 데이터를 각 FIFO에 저장하는 순서를 보여주는 흐름도.

도 4 는 도 2의 제어부에서 각 송신 FIFO로부터 한 바이트씩 순차적으로 데이터를 읽어 전송하는 하는 흐름도.

<도면의 주요 부분에 대한 부호의 설명>

10 : SCC
11 : FIFO
12 : 제어부
13 : TDM버스

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 다수의 시간분할다중접속(Time Division Multiplexing:TDM)채널의 송신(transmission: Tx)동시
적합 장치 및 방법에 관한 것으로, 보다 구체적으로는 TDM방식으로 운용되는 다수의 채널을 송신(Tx)적합

함에 있어 하나의 SCC(Serial Communication Controller:직렬통신제어기)가 각 채널별로 송신할 데이터를 다수의 송신 선입선출버퍼(First-in First-out:FIFO)에 저장한 다음 각 FIFO에서 한 바이트씩 순차적으로 TDM 버스에 송신하는 다수의 시간분할다중접속 채널의 송신 동시정합 장치 및 방법에 관한 것이다.

전전자교환기의 제어계의 상위 프로세서와 하위 프로세서 등의 서로 다른 보드 또는 시스템간의 통신은 직렬 통신을 하게되는데, 직렬 통신시의 프로토콜은 여러 가지가 있을 수 있으며 그 중의 하나가 HDLC(High Level Data Link Control)이다. 이 HDLC프로토콜에 의해 두 시스템 간의 주고받는 데이터 프레임은 플랙, 유효데이터, CRC(cyclic redundancy code)로 이루어지는데, 플랙은 프레임의 시작과 끝을 나타내기 위한 것이고, CRC는 프레임의 에러 발생여부를 검사하기 위해 상기 SCC가 추가로 프레임에 삽입하는 부분으로서 일반적으로 16내지 32 비트를 이용한다. 유효데이터가 없는 아이들 상태에서는 논리 1을 계속 송신하며, CPU는 송신하기 원하는 유효데이터를 SCC에 전달하면, SCC는 상기의 데이터 프레임으로 만들어 송신하는 역할을 한다. 또한 데이터의 송신시는 통신 선로에서 송신되는 비트스트림으로부터 플랙 패턴을 찾아내어 프레임의 시작과 끝을 감지하여 유효데이터만 CPU로 보내는 역할을 한다.

TDM버스는 32개의 타임슬롯(time slot)으로 나누어지는 다중접속버스로서, 각 타임슬롯하나는 하나의 채널에 해당하며, 이러한 하나의 타임슬롯을 이용하여 상기의 직렬통신을 수행할 수 있다.

발명이 이루고자 하는 기술적 과제

종래 기술에 있어서 여러채널의 HDLC 직렬 통신을 구현하기 위해서는 각 타임슬롯 (즉 채널)의 상태가 아이들, 유효데이터 및 플랙으로 다르게되기 때문에 각 채널별로 SCC를 연결해야 했었다.

즉 종래 기술에 있어서는 TDM방식으로 운용되는 다수의 채널과 SCC를 정합할 경우 각 채널에 대해 하나의 독립적인 SCC가 정합된다. 그러므로 다수의 채널을 정합하기 위해서는 다수의 즉, 채널수 만큼의 SCC가 필요하게 되는 문제점이 있었다.

본 발명은 상기의 배경하에서 안출된 것으로, 전전자교환기의 각 시스템 간의 데이터의 전송에 있어서, 하나의 SCC가 다수의 채널에 대해 각 채널별로 송신할 데이터를 각 선입선출버퍼(FIFO)에 저장한 다음 각 FIFO에 있는 송신(Tx)데이터를 한 바이트씩 순차적으로 송신함으로써 하나의 SCC로서 다수의 채널을 송신(Tx)정합할 수 있는 시간분할다중접속(TDM)채널의 송신 동시정합 장치 및 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 다수의 TDM채널의 송신 동시정합장치는, 전전자교환기의 상위 프로세서와 하위 프로세서 등의 각 시스템 간에 HDLC(High Level Data Link Control) 등의 임의의 통신 프로토콜에 의해 데이터를 주고 받는 다수의 TDM 채널의 송신(Tx) 동시 정합 장치에 있어서; 32개의 각 채널의 전송할 데이터를 순차적으로 처리하여 기록하기 위한 신호를 생성하는 직렬통신제어기(SCC), 상기 SCC로부터의 신호를 수신하여 들어온 순서대로 저장하고 출력하는 32개의 선입선출버퍼(FIFO) 그리고 상기 각각의 FIFO로부터의 데이터를 순차적으로 1바이트씩 읽어서 TDM버스에 클럭,데이터 및 프레임동기신호를 출력하는 제어부를 구비하는 것을 특징으로 하는 다수의 TDM 채널의 송신 동시 정합 장치를 제공한다.

이때 상기 SCC와 상기 각각의 FIFO 간의 데이터의 전달에는 8비트의 데이터 버스가 이용되며, 상기 FIFO와 상기 제어부간의 데이터의 전달에는 8비트의 데이터 버스가 이용되는 것을 특징으로 한다.

또한 상기 FIFO는 데이터가 일정수준이상 저장되었음을 알려주는 레벨신호를 생성하는 것을 특징으로한다.

이하 첨부 도면을 참고로하여 본 발명의 일 실시예의 다수의 TDM채널의 송신 동시정합 장치 및 방법을 상세히 설명한다.

도 1은 각 송신 FIFO에서 한 바이트씩 TDM버스의 각 타임슬롯으로 데이터가 실리는 것을 보여주는 도면이다. 도시한 바와 같이 TDM버스는 32개의 타임슬롯으로 이루어지며, 이 32개의 타임 슬롯이 하나의 데이터 프레임을 형성한다. 상기 FIFO 또한 상기 타임슬롯에 대응하여 32개로 구성된다. 슬롯 0은 채널로서는 사용되지 않으며 시그널링으로서 이용된다. 프레임의 시작은 프레임동기펄스로서 알려준다.

이하 도 2에서 상세히 설명하는 SCC는 순차적으로 각 송신 FIFO를 체크해서 데이터의 양이 가장적은 채널부터 송신할데이터를 생성하여 해당 FIFO에 저장하게된다. SCC는 상기의 과정을 순차적으로 반복하게되며, 제어회로(도 2)에서는 각 송신 FIFO로부터 순차적으로 한 바이트씩 읽어서 TDM버스에 데이터를 실는 다.

도 2는 본 발명의 다수의 TDM채널의 송신 동시정합을 실현하는 블록구성도이다.

도시한 바와 같이 본 발명의 TDM 채널의 송신동시정합방법을 실현하기 위한 구성은 32개의 각 채널의 전송할 데이터를 순차적으로 처리하여 기록하기 위한 신호를 생성하는 직렬통신제어기(SCC;10), 상기 SCC(10)로부터의 신호를 수신하여 들어온 순서대로 저장하고 출력하는 32개의 선입선출버퍼(FIFO;11) 그리고 상기 각각의 FIFO(11)로부터의 데이터를 순차적으로 1바이트씩 읽어서 TDM버스(13)에 클럭,데이터 및 프레임동기신호를 출력하는 제어부(12)로 이루어진다.

이하 상기의 구성에 의해 본 발명의 TDM 채널의 송신 동시정합의 동작과정을 설명한다.

직렬통신제어기(SCC;10)는 32개의 채널을 통해 전송할 데이터를 순차적으로 처리하여 기록하기 위한 신호(/ffwr0-ffwr31)를 8비트의 송신 데이터버스(FIFO-IN[7...0])를 통해 후단의 선입선출버퍼(FIFO0-FIFO31;11)에 전송한다. 그러면 상기 32개의 FIFO0- FIFO31(11)는 상기 기록신호(/ffwr0-ffwr31)를 TDM버스의 채널별로 순차적으로 저장하고 후단의 제어부(12)로 FIFO(11)에서 데이터를 읽기위한 8비트 데이터 버스(FIFO- OUT [7...0])를 통해 데이터를 전송한다. 제어부(12)는 상기 각각의 FIFO(11)로부터의

데이터를 읽기위한 신호 (/ffrd0~/ffrd31)에 의해 한 바이트씩 데이터를 읽어와서 TDM버스(13)을 통해 데이터, 클럭 및 프레임동기신호를 다른 시스템으로 전송한다. 상기 32개의 FIFO(11)에의 데이터의 저장에 있어서 각 FIFO(11)는 그 각각에 데이터가 일정수준이상 저장되었음을 알려주는 신호 level0~level31를 생성하여 SCC(10)으로 출력하여준다. 그러면 SCC(12)는 상기 level신호에 의해 각 FIFO(11)를 체크하여 데이터의 양이 가장적은 채널부터 송신할 데이터를 생성하여 해당 FIFO(11)에 저장하게된다.

도 3은 SCC가 순차적으로 송신할 데이터를 각 FIFO에 저장하는 순서를 보여주는 흐름을 보여주고 있다. 즉 SCC(10;도2)는 각각의 FIFO0~FIFO31(11)를 체크하여 가장데이터가 적은 채널을 선택하여, 전송할 데이터를 생성하고 각각의 FIFO0~FIFO31(11)에 저장하는 플로우를 반복하여 수행한다.

도 4는 제어부에서 각 송신 FIFO로부터 한 바이트씩 순차적으로 데이터를 읽어 전송하는 플로우를 도시하는데 타임슬롯 별로 한 바이트씩 데이터를 읽어와서 TDM버스(13;도2)를 통해 전송한다. 여기서 상기 제어부는 상기 데이터는 8비트의 병렬데이터이므로 직렬데이터로 변환한다음 전송하는 절차를 수행한다.

발명의 효과

이상 기술한 바와 같은 본 발명의 다수의 TDM채널의 송신 동시정합 장치 및 방법에 의하면 TDM방식으로 운용되는 다수의 채널을 송신정합함에 있어서 하나의 SCC가 각 채널별로 송신할 데이터를 각 FIFO에 저장한다음 각 FIFO에서 한 바이트씩 순차적으로 TDM버스에 송신정합함으로서 비용의 절감을 기할 수 있는 효과를 얻을 수 있다.

지금까지 본 발명의 일 실시예의 TDM채널의 송신 동시정합방법을 기술하였으나 본 발명은 이에 한정되지 않으며 이하의 부속청구범위의 사상 및 영역을 일탈치 않는 범위내에서 당업자에 의해 여러 가지로 수정 및 변형실시될 수 있음은 물론이다.

(57) 청구의 범위

청구항 1

전전자교환기의 상위 프로세서와 하위 프로세서 등의 각 시스템 간에 HLDC(High Level Data Link Control) 등의 임의의 통신 프로토콜에 의해 데이터를 주고 받는 다수의 TDM 채널의 송신(Rx) 동시 정합 장치에 있어서;

32개의 각 채널의 전송할 데이터를 순차적으로 처리하여 기록하기 위한 신호를 생성하는 직렬통신제어기(SCC), 상기 SCC로부터의 신호를 수신하여 들어온 순서대로 저장하고 출력하는 32개의 선입선출버퍼(FIFO) 그리고 상기 각각의 FIFO로 부터의 데이터를 순차적으로 1바이트씩 읽어서 TDM버스에 클럭,데이터 및 프레임동기신호를 출력하는 제어부를 구비하는 것을 특징으로 하는 다수의 TDM 채널의 송신 동시 정합 장치.

청구항 2

제 1항에 있어서, 상기 SCC와 상기 각각의 FIFO 간의 데이터의 전달에는 8비트의 데이터 버스가 이용되며, 상기 FIFO와 상기 제어부간의 데이터의 전달에는 8비트의 데이터 버스가 이용되는 것을 특징으로 하는 다수의 TDM채널의 송신 동시정합장치.

청구항 3

제 1항에 있어서, 상기 SCC는 그 각 채널별로 할당된 각각의 FIFO중에서 최소의 데이터가 있는 채널을 선택해서 전송할 데이터를 생성해서 각각의 FIFO에 저장함을 것을 특징으로 하는 다수의 TDM채널의 송신 동시정합장치.

청구항 4

전전자교환기의 상위 프로세서와 하위 프로세서 등의 각 시스템 간에 HLDC(High Level Data Link Control) 등의 임의의 통신 프로토콜에 의해 데이터를 주고 받는 다수의 TDM 채널의 송신(Rx) 동시 정합 방법에 있어서;

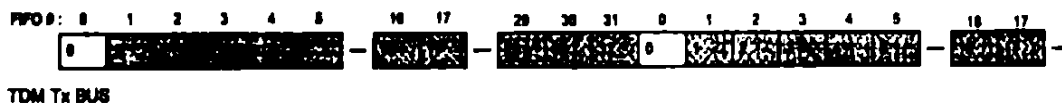
32개의 각 채널의 전송할 데이터를 순차적으로 처리하여 기록하기 위한 신호를 생성하는 단계, 상기 생성된 신호를 수신하여 들어온 순서대로 저장하고 출력하는 단계 그리고 상기 출력된 데이터를 순차적으로 1바이트씩 읽어서 TDM버스에 클럭,데이터 및 프레임동기신호를 출력하는 단계를 포함하는 것을 특징으로 하는 다수의 TDM 채널의 송신 동시 정합 방법.

청구항 5

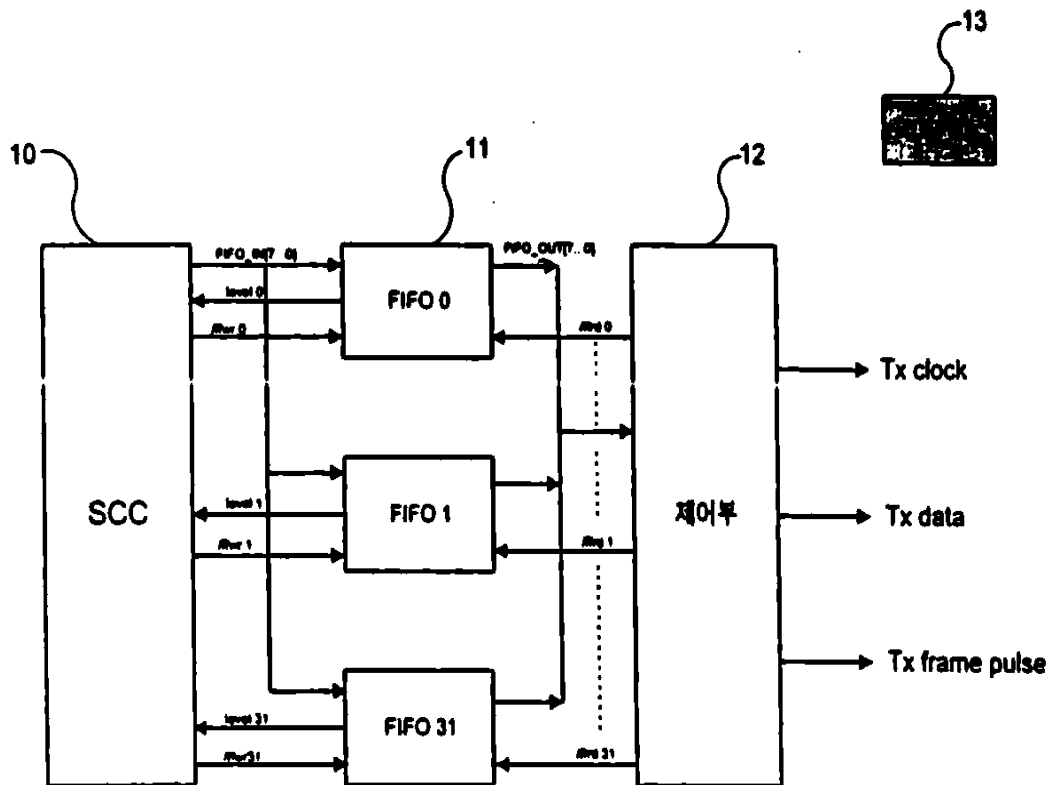
제 4항에 있어서, 상기 신호생성단계는 데이터가 일정수준이상 저장되었음을 알려주는 레벨신호를 생성하는 단계를 추가로 포함하는 것을 특징으로 하는 다수의 TDM 채널의 송신 동시 정합방법.

도면

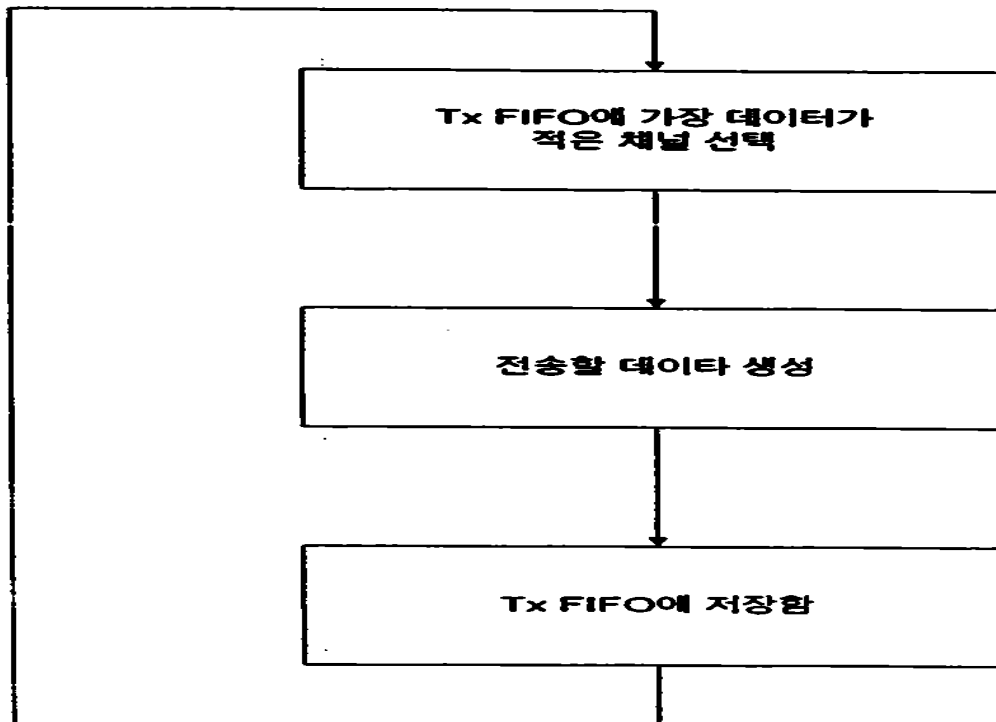
도면1



도면2



도면3



도면4

