(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01H 73/00

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0197913
(24) 등록일자 1999년02월25일

(21) 출원번호 10-1996-0010777
(22) 출원일자 1996년04월10일
(65) 공개번호 특1996-0039047
(43) 공개일자 1996년11월21일
(30) 우선권주장 8/420193 1995년04월11일 미국(US)

(73) 특허권자 인터내쇼널 렉티파이어 코포레이션 클레버터 레슬리 씨.
미국 캘리포니아 90245 엘 세군도 캔사스 스트리트 233
(72) 발명자 브뤼노 쎄. 나드
프랑스공화국 삐이베르 뤼 삐에르 아귀이똥 6
(74) 대리인 박장원

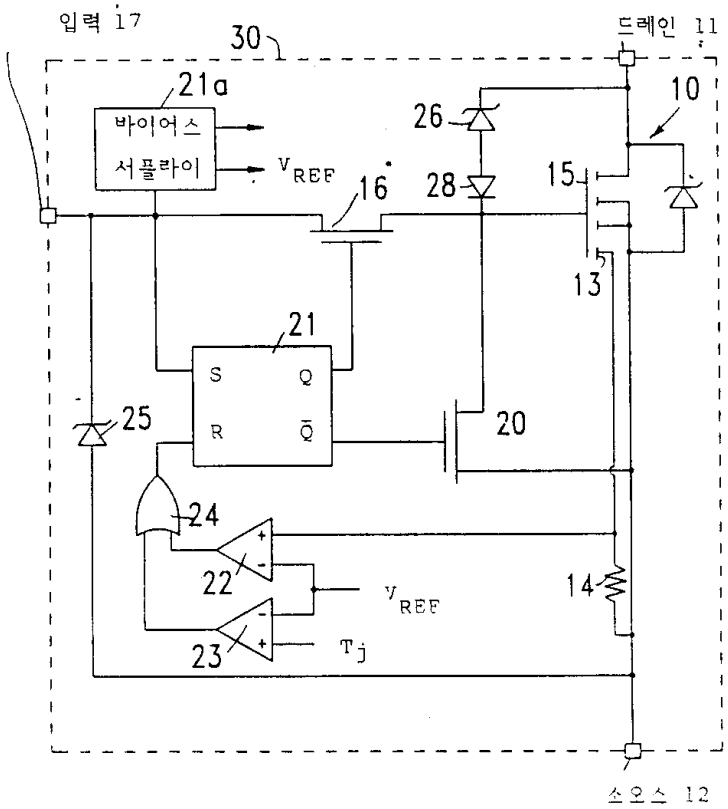
심사관 : 박정식

(54) 분리 입력 리셋 신호 레벨을 갖는 모스게이트된 보호 3핀 파워스위치

요약

모스게이트된 3핀 스마트 파워 장치는 단락, 과온도 및 과전압 보호 기능을 갖는다. 제어 회로 및 보호 회로는 마이크로프로세서에 연결된 입력 또는 제어 핀으로부터 파워를 공급받는다. 마이크로프로세서의 출력은, 온 레벨 신호, 오프 레벨 신호 및 리셋 레벨 신호로 각각 구성되는 세가지 전위가 분할기 모드에서 선택적으로 생성될 수 있도록, 저항 분할기 회로에 연결된다. 제어 회로는 장애 신호가 없을 때 온되어 모스게이트된 장치에 온 및 오프 신호 레벨을 연결하는 R-S 래치를 포함한다. 장애가 있는 동안 R-S 래치는 모스게이트된 장치로부터 제어 회로 입력을 분리하며, R-S 래치를 리셋할 수 있는 오프 신호 레벨과 구별되는 리셋 레벨 신호에 의해서만 리셋된다.

대표도



명세서

[발명의 명칭]

분리 입력 리셋 신호 레벨을 갖는 모스게이트된 보호 3핀 파워 스위치

[도면의 간단한 설명]

제1도는 종래의 보호 모스(MOS) 파워 스위치의 블록도.

제2도는 제1도의 회로가 내장된 전형적인 3핀 TO 220 패키지의 사시도.

제3a도는 시간 함수로서 제1도의 회로의 입력 핀에 입력되는 입력 신호의 도시도.

제3b도는 연속적인 장애가 존재하는 경우의, 제3a도와 동일한 시간 스케일에서의 제1도의 회로의 드레인 전류의 도시도.

제4도는 본 발명의 보호 회로의 블록도.

제5도는 제4도의 회로에 3 레벨 신호 입력을 제공하는 아날로그 출력 회로의 블록도.

제6a도는 시간 함수로서, 제5도의 회로에 의해 생성되는, 제5도의 입력 핀에 입력되는 입력 신호의 도시도.

제6b도는 연속적인 장애가 존재하는 경우의, 제6a도와 동일한 시간스케일에서의 제5도의 회로의 드레인 전류의 도시도.

제7도는 개선된 잡음 면제를 제공하는 제4도의 회로의 이력 특성의 도시도.

* 도면의 주요부분에 대한 부호의 설명

10 : 파워 MOSFET　　16,20 : 제어 MOSFET

17 : 입력 단자　　21 : 래치

41 : 트리거　　42 : 앤드 게이트

43 : 인버터　　50 : 마이크로콘트롤러

51,52 : 저항기　　53 : 노드

[발명의 상세한 설명]

본 발명은 모스게이트된 스마트 파워 장치에 관한 것으로, 특히 장애가 일어난 후에 장애 래치 회로를 리셋하는 유일한 리셋 신호가 회로 입력 핀에 인가되고 장치 오프 신호 입력 레벨이 회로의 장애 래치를 리셋할 수 없는 스마트 파워 회로에 관한 것이다.

스마트 파워 장치는, 모스게이트된 장치, 전형적인 파워 모스전계 효과 트랜지스터(MOSFET)에 장치의 온도, 전류 및 전압 상태를 감시하고 장애 상태가 측정되거나 예상될 때 장치를 끄는 지능회로가 제공된 공지된 파워 스위칭 장치이다. 이러한 유형으로서 공지된 한가지 장치는 SMARTFET 트랜지스터로 불리우는, 인터내셔널 렉티파이어 코포레이션에서 제작된 형식 변호가 IRSF 3010 인 완전 보호 디모스(DMOS) 파워 스위치이다. SMARTFET는 본 출원의 양수인인 인터내셔널 렉티파이어 코포레이션의 상표이다.

장치는 3핀 TP 220 패키지내에 단일체로 형성된다. 다른 패키지 스타일을 사용할 수 있다. 패키지는 입력 핀, 드레인 핀 및 소오스핀을 구비한다. 제어회로의 동작 파워는 입력 핀에서 입력 제어 신호로부터 제공된다. 장치는 80 옴 저항과, 과전류, 과온도 및 ESD 에 대한 내장 회로 보호와, 능동 전압 보호를 갖춘 완전 보호 모놀리식 N-채널 논리 레벨 파워 MPSFET이다.

장치는 파워 FET 칩에 통합되고, 에러의 발생을 인식하고 기억한 다음 파워 MOSFET 게이트로부터 온 신호를 제거하는 래치 회로를 채용한다. 래치 회로는, 지정된 최소 지속 기간동안 입력을 낮게 유지함으로써, 클리어되고 리셋된다. 따라서, 장애 상태가 지속되고, 래치회로가 다음의 동작 사이클에서 리셋되면, 장치는 장애 상태로 켜지고, 다시 트립됨으로써, 이 상태는 회로가 클리어될 때까지 지속된다.

이 상태는 분리 리셋 입력 신호를 수신하는 패키지에 분리 리셋핀을 제공함으로써, 해소될 수 있다. 그러나, 이것은 5핀 패키지를 필요로 하며, 또한 SOT223 형식의 패키지는 사용할 수 없다. 그러나, 이 장치를 지능 회로를 구비하거나 구비하지 않는 다른 3핀 패키지를 대체할 수 있는 3핀 패키지로서 구성하는 것이 매우 바람직하다.

본 발명에 따라, IRSF 3010 회로와 함께 채용되는 신규한 회로는 리셋과 입력 온 및 오프 신호의 아날로그 멀티플렉싱을 사용하며, 3핀 입력 회로 및 패키지를 보유한다. 신규한 회로는 두가지 다른 문턱 전압을 채용한다 :

1. 전형적인 1 볼트 또는 그 이하일 수도 있는 리셋 문턱값. 이 문턱값 이하로 입력 핀을 끌어당기면, 장애 래치가 리셋된다.

2. 전형적인 3.2 볼트일 수도 있는 설정 문턱값. 이 문턱값 이상으로 입력 핀을 끌어당기면, 모스게이트된 장치가 켜지며, 그것을 3.2 볼트 이하로 끌어당기면, 모스게이트된 장치가 꺼지게 된다.

비장애 상태의 입력 신호는 장치를 끄느 리셋 전압, 예를 들어 2 볼트 이상의 전압과 장치를 켜는 설정 전압, 예를 들어 5 볼트 이상의 전압 사이에서 스위칭된다. 장애 래치를 트립하는 장애 상태로 인해 장치가 꺼지게 되면, 장애 래치는 리셋 전압보다 높은 입력 오프 전압에 의해 리세트될 수 없다. 따라서, 래치는, 1 볼트보다 낮은 전압이 입력에 인가될 때까지 리셋되지 않는다.

소정의 3상 입력 회로가 사용될 수 있다. 그러나, 세가지 별개의 신호가 두 개의 다른 값을 가지며 마이크로콘트롤러의 입력 및 리셋단자에 걸쳐 직렬로 연결되는 저항기로 구성되는 저항 분할기를 갖는 마이크로콘트롤러로부터 제공되는 특정 3상 드라이가 제공된다. 저항기 사이의 노드는 모스게이트된 장치 회로

의 입력 단자 핀에 연결경되며, 마이크로콘트롤러의 두 개의 출력 포트의 신호 레벨에 따라 3상 또는 레벨의 신호 전압을 갖는다. 이들 세가지 신호 레벨은 0 볼트(리셋할 경우), 2 볼트(장치를 끌 경우) 및 5 볼트(장치를 켤 경우)일 수 있다. 명백히, 다른 값을 사용할 수도 있다.

따라서, 본 발명은 3핀 보호 모스게이트된 장치용 분리 리셋 입력 신호의 효과를 제공한다.

이하, 첨부도면을 참조하여 본 발명의 그밖의 다른 특징 및 장점을 상세히 설명하기로 한다.

제1도에는, 보호 회로가 파워 장치와 동일한 칩에 통합되는 종래의 보호 모스 제어 스위치가 블록도로 도시되어 있다. 제1도의 회로는, 앞서 언급한 종래의 스마트 FET DMOS 파워 스위치 (형식 IRSF 3010)의 회로이다.

제1도에서, 파워 장치(10)는, 도시된 바와 같이, 드레인 핀(11)에 연결된 드레인 전극과, 소오스 핀(12)에 연결된 소오스 전극과, 저항기(14)에 연결된 전류 감지 출력 전극(13)을 갖춘 전류 감지 파워 MOSFET이다. MOSFET 게이트 전극(15)은 제어 MOSFET(16)을 통해 입력 핀(17)에 연결된다. MOSFET(10)은 소정의 전류 감지 배열을 갖춘 소정의 모스게이트된 장치, 예를 들어 IGBT 또는 모스게이트된 사이리스터일 수도 있음을 주목할 필요가 있다.

MOSFET(10) 제어 회로는 그것이 제어하는 장치 또는 회로에 손상을 입히거나 파괴하게 되는 장애 상태로부터 MOSFET(10)을 보호하는데 사용된다. 제어 회로는 어떠한 형태라도 취할 수 있지만, 제1도에서는 주 MOSRET(10)의 입력 회로와 직렬로 연결된 앞서 언급한 제어 MOSFET(16)과, 주 MOSFET(10)의 소오소 및 게이트 사이에 연결되는 제2 MOSFET(20)로 구성되어 있다. 또한 입력 핀(17)에서 입력 신호로부터 동작 파워를 파생하는 바이어스 전압 공급 회로(21a)와, R-S 래치 회로(21)와, 비교기(22,23)와, 오어 게이트(24)와, 제너다이오드(25)와, 클램프 회로 제어 다이오드(26,27)가 제공된다.

제너 다이오드(25)는 회로용 ESD 보호기능을 제공하며, 입력 전압을 예를 들어 10볼트로 또한 제한한다.

제1도의 회로는 블록(30)내에 도시되어 있다. 블록(30)은 제2도의 3개의 리드를 갖춘 TO 220 패키지(31) 내에 포함되는 집적회로 실리콘 칩에 해당한다. 패키지(31)는 입력 리드 단자 핀(11)과, 드레인 단자핀(및 탭)(11)과, 제1도에서 또한 언급된 소오소 핀(12)을 포함하고 있다. 제1도 및 제2도의 보호 모스 장치는 표준 비보호 파워 MOSFET 또는 그와 유사한 모스게이트된 장치용으로 설계된 소켓내에 직접 끼워맞춤되는 것을 주목할 필요가 있다.

제1도의 회로의 동작에 대해 설명하기로 한다. 입력 신호 소오스, 예를 들어 마이크로콘트롤러는 입력 펄스를 입력 핀(17)에 제공하여, 사용자의 필요에 따라, 드레인 핀(11) 및 소오스 핀(12) 사이에서 드레인 전류를 온 또는 오프로 절환하는 것을 제어한다. 적절한 부하가, DC 모터 드랑브, 솔레노이드 드라이버, 램프 드라이버 따위의 드레인 및 소오스 핀(11,12)에 직렬로 연결되는 것을 주목할 필요가 있다. 장치는 0 볼트 및 5 볼트 사이에서 절환되는 입력 파형을 갖는 약 40KH_Z 이하의 주파수에서 절환되어, MOSFET(10)을 각각 오프시키거나 온시킨다.

제3a도는 핀 (17)에 입력되는 전형적인 입력 신호 파형을 보인 것이고, 제3b도는 그 결과 핀(11)에서 얻어지는 드레인 전류를 동일한 시간 척도로 도시한 것이다. 정상 동작 중에는, 핀(17)에서의 신호가 5 볼트일 때, MOSFET(10)은 온 상태이다. 저항기(14)에서의 전류 신호는 기준 전압 V_{REF} 보다 적고, 과온도 신호 T_j 또한 기준 전압 V_{REF} 보다 적다. 따라서 비교기(22,23)의 출력은 낮고, R-S래치의 R에서의 입력은 낮다. 그 결과, Q에서의 출력은 높아서 MOSFET(16)을 켜며, $\overline{Q}$에서의 출력은 낮아서 MOSFET(20)를 오프상태로 유지한다.

여전히 정상 동작을 고려하면, 입력 핀(17)에서의 신호가 0 볼트이면, MOSFET(10)의 게이트 전압은 0이고 장치는 오프 상태이다. 입력 신호가 다시 5 볼트로 전환될 때, MOSFET(10)는 켜지고, 드레인 전류는 제3b도의 첫 번째 부분에 도시한 바와 같이 흐르고, 시스템은 정상으로 동작된다.

제3b도에서 장래 스파이크 x 로 표시한 바와 같이, 과전류 또는 과온도 상태가 발전되면, 비교기(22,23)의 어느 한쪽 또는 둘다 높은 출력을 가짐으로써, 오어 회로(24)의 출력은 높아진다. 이로 인해, R-S 래치 Q 및 $\overline{Q}$에서 출력을 절환하여 MOSFET (16)을 끔으로써, 입력 핀(17) 및 MOSFET(10)의 게이트를 분리시키고, MOSFE T(20)을 켜서 소오스 핀(12)을 MOSFET(10)의 게이트에 클램프한다. 따라서, MOS FET(10)은 장애 상태에 응답하여 꺼진다.

사전설정된 시간 주기가 경과한 후에, R-S 래치는 입력 핀(17)에서의 낮은 입력 신호에 의해 리셋된다. MOSFET(10)은, 온 신호(높은 V_{in})가 입력(17)에서 나타날 때 켜진다. 그러나, 장래 상태가 여전히 존재하면, 제3b도의 장래 펄스 y 가 나타나고, 래치(21)는 다시 동작하며, 이것은 장애가 클리어되거나 회로가 휴지상태가 될 때까지 계속된다.

이 상태는, 분리 리셋 핀을 제공하여 마이크로콘트롤러로부터 래치(21)에 분리 리셋 신호를 제공함으로써 그리고 장애가 클리어된 후에 해소될 수 있다. 그러나, 제2도의 3핀 구성을 유지하는 것이 매우 바람직하다.

본 발명에 따라, 3핀 구성을 사용하는 신규한 회로가 제공되지만, 장애 동작 이후에는 입력 온 신호는 래치를 리셋하지 않는다.

본 발명의 회로가 제4도에 개략적으로 도시되어 있으며, 신규한 신호 소오스는 제5도에 도시되어 있다. 제4도에 있어서, 제1도와 유사한 구성요소에 대해서는 동일한 도면부호를 부여하였다. 그러나, 제4도의 회로는, R-S 래치(21)가 그에 장착되어 있고 래치(21)의 리셋 문턱값보다 높은 트리거 전압을 갖는 트리거(41)를 갖추고 있는 점에서, 제1도와는 다르다. 예를 들어, 래치(21)는 1 볼트의 리셋 문턱값을 가지며, 트리거(41)는 3.5 볼트의 문턱값을 갖는다. 트리거(41)의 출력 및 래치(21)의 $\overline{Q}$출력은 앤드 회로(42)의 입력에 인가된다. 앤드 게이트(42)의 출력은 제어 MOSFET(16)의 게이트 및 인버터(43)에 인가된

다. 인버터(43)의 출력은 제어 MOSFET(20)의 게이트에 인가된다. 설명되는 실시예에서의 입력 $\overline{R}$은 1 볼트이다. 즉, 핀 $\overline{R}$ 에서의 전압은 래치(21)를 리셋하기 위해서는 1 볼트 또는 그 이하이어야 한다. 따라서, 제4도의 회로는 다음과 같이 입력 단자(17)에서의 세가지 다른 입력 신호 레벨에 반응한다.

입력이 5볼트이고, 장애 상태가 없는 겨우, 앤드 게이트(42)로의 입력은 높게 되고, MOSFET(16)은 온이 되고, MOSFET(20)은 오프상태로 된다.

입력 전압이 2 볼트로 감소되면, 트리거(41)가 동작하며, 트리거(41)로부터의 출력은 낮다. 따라서, 앤드 게이트(42)의 출력은 낮고, MOSFET(16)은 꺼지고 MOSFET(20)은 켜짐으로써 주 파워 MOSFET(10)를 끄게 된다. 이 동작은 제6a도 및 제6b도에 개략적으로 도시되어 있다. 입력이 2 및 5 볼트 사이에서 절환되는 한, 입력이 0 및 5 볼트 사이에서 절환될 때 장치는 제1도에 도시한 종래의 장치와 같이 동작하게 된다. 이 시간동안 래치(21)는 리셋되지 않음을 주목할 필요가 있다.

장애가 발생되면, 래치(21)가 동작하고, $\overline{Q}$ 는 낮아짐으로써 MOSFET(16)은 오프 상태로 유지되고, MOSFET(20)은 온 상태로 유지된다. 이 상태는 제3 리셋 신호가 래치(21)의 리셋 문턱 전압 이하, 바람직하게는 0 볼트가 될 때까지 계속된다. 따라서, 입력 핀(17)을 1 볼트 아래로 끌어당기면, 제7b도에 도시한 바와 같이, 장애 래치(21)가 리셋되어 정상 동작이 계속될 수 있다.

제5도는 적절한 제어 하에서, 예를 들어 마이크로콘트롤러(50)에 의해 입력 단자에 세가지 다른 전압 레벨을 생성하는 신규한 입력 회로를 보인 것이다. 따라서, 마이크로콘트롤러(50)는 IN 포트 및 RESET 포트를 갖는다. IN 포트에서의 전압은 제어된 듀티 사이클의 사각파일 수도 있으며, 사용자의 필요에 따라 0 볼트 및 5 볼트 사이에서 절환된다. $\overline{\text{RESET}}$ 포트에서의 전압은 5 볼트일 수 있지만, 리셋을 위해 0 볼트로 절환될 수 있다. 예를 들어, 2000옴 및 3000옴의 저항기(51,52)로 구성되는 저항 분할기는 각각 IN 포트 및 RESET 포트에 걸쳐 연결되며, 노드(53)에서 연결된다. 저항기(51,52)는 동일한 값을 가지거나, 정해진 것과는 다른 값을 가질 수도 있다. 제5도에서 노드(53)는 입력(17)에 연결되어 있다.

제5도의 회로는 단순히 두 개의 논리 출력과 저항 분할기를 사용하는 3상 드라이블 제공하며, 다음과 같이 동작한다.

5 볼트의 출력을 생성하기 위해, IN 포트는 5 볼트가 되고, $\overline{\text{RESET}}$ 포트는 5 볼트가 된다. 그러면, 노드(53)에서의 전압 또한 5 볼트가 된다.

2 볼트의 출력을 생성하기 위해, IN 포트는 0 볼트가 되고 $\overline{\text{RESET}}$ 포트는 5 볼트로 유지된다. 저항 분할기 비율은 노드(53)에서 2 볼트를 생성한다.

(래치(21)를 리셋하기 위해) 노드(53)에서 0 볼트를 생성하기 위해서는, 단지 $\overline{\text{RESET}}$ 포트에서의 전압이 0 볼트가 되게 하고, IN 포트에서의 전압 또한 0 볼트가 되게 할 필요가 있다.

본 발명은, 장애 래치의 리셋 전압이 비장애 동작중에 MOSFET(10)을 끄기 위한 낮은 신호 전압보다 낮는 한, 어떠한 소정 전압 범위에서도 사용될 수 있다.

앞서 언급한 바와 같이, 제4도의 회로는 슈미트 트리거(41)에 의해 이력 현상을 갖는다. 따라서, 제7도에 도시한 바와 같이, MOSFET(10)의 게이트에서의 입력 전압 Vgs 의 함수로서 드레인 전류 I_D의 곡선이 도시되어 있다. MOSFET(10)의 입력 전압 Vgs 이 증가함에 따라, 트리거(41)는 3.5 볼트를 초과하며 MOSFET(10)이 켜지는 값1에서 동작하며, 전류 I_D가 흐른다. 그러나, 꺼져 있는 동안에는, 게이트 전압은 켜졌을 때 갖는 값 이하로 약 3.5 볼트보다 적은 제2 값으로 하강한다. 이 에력 효과는 회로의 잡음을 양호하게 제거한다.

본 발명이 특정 실시예를 참조하여 설명되었지만, 여러 가지로 변경 및 변형이 가능하며, 다른 용도로 사용될 수 있다. 따라서, 본 발명은 앞서 개시된 내용에 의해 제한되지 않고 이하에 기재하는 특허청구의 범위에 의해서만 제한된다.

(57) 청구의 범위

청구항 1

모스트게이트된 파워 회로용 제어 회로로서, 상기 모스게이트된 파워회로는 제1 및 제2 주 단자 핀과 입력 단자 핀을 구비하고, 상기 입력 단자 핀은 상기 주 단자 핀 사이에서 상기 모스게이트된 파워회로의 온 및 오프 절환을 제어하며, 상기 모스게이트된 파워 회로는 상기 제1 및 제2 단자 핀에 연결된 제1 및 제2 주 전극과 입력 전극을 구비하는 모스게이트된 파워 장치를 포함하며, 상기 제어 회로는 상기 모스게이트된 파워 장치의 적어도 하나의 동작 상태를 감시하고 상기 동작 상태가 주어진 값을 초과할 때 상기 모스게이트된 파워 장치를 오프시키는 보호 회로 수단을 포함하며, 상기 제어 회로는 상기 입력 단자 핀 및 상기 입력 전극 사이에 연결되어 온 신호가 상기 입력 단자 핀에 인가될 때 상기 모스게이트된 파워 장치의 온 및 오프를 제어하는 제1제어 MOSFET 수단과, 상기 입력 단자 핀을 상기 제어 MOSFET 수단에 연결함으로써 제1 및 제2 전압 크기의 신호에 응답하여 상기 제1 제어 MOSFET 수단 및 상기 모스게이트된 파워 장치를 온 및 오프 시키는 제1 회로 수단과, 상기 보호 회로 수단에 연결되는 입력 및 상기 제1제어 MOSFET 수단에 연결되는 출력을 구비하여 상기 보호 회로 수단의 출력에 응답하여 제1 래치 상태로 절환됨으로써 상기 모스게이트된 파워 장치가 오프될 수 있도록 상기 제1제어 MOSFET 수단을 디스에이블시키는 리셋가능한 래치 회로 수단과, 상기 리셋가능한 래치 수단을 상기 래치 수단의 상기 입력에 연결함으로써 상기 제1 및 제2 전압 크기중 가장 낮은 전압보다 낮은 제3 전압 크기의 신호에 응답하여 상기 래치 수단을 리셋하는 수단을 또한 포함하며, 상기 모스게이트된 파워 회로는 각각 온 및 오프되고, 상기 입력

단자 핀에 인가되는 또다른 전압과 구별될 수 있는 제1, 제2 및 제3 전압에 의해 장애후에 리셋되는 것을 특징으로 하는 제어 회로.

청구항 2

제1항에 있어서, 상기 모스게이트된 파워 회로는 3핀 TO 220 형 패키지에 내장되는 것을 특징으로 하는 제어 회로.

청구항 3

제1항에 있어서, 상기 보호 회로 수단은 전류 측정 회로 및 온도 측정 회로를 포함하는 것을 특징으로 하는 제어 회로.

청구항 4

제1항에 있어서, 상기 제어 회로는 상기 입력 전극 및 상기 모스게이트된 파워 장치의 상기 주 전극중 하나 사이에 연결되는 제2제어 MOSFET을 포함함으로써, 상기 제2 MOSFET의 전도에 의해 상기 모스게이트된 파워 장치가 오프되고, 상기 제2 제어 MOSFET은, 상기 제1 제어 MOSFET 수단이 온 또는 오프일 때 상기 제2제어 MOSFET이 오프 또는 온이 되도록, 상기 입력 단자 핀 및 상기 래치 수단에 연결되는 것을 특징으로 하는 제어 회로.

청구항 5

제1항에 있어서, 상기 래치 회로 수단은 R-S 래치인 것을 특징으로 하는 제어 회로.

청구항 6

제1항에 있어서, 상기 제1, 제2 및 제3 전압은 각각 약 5 볼트, 약 2 볼트 및 약 0 볼트의 각기 다른 전압 크기를 갖는 것을 특징으로 하는 제어 회로.

청구항 7

제1항 또는 제4항에 있어서, 상기 제1 회로 수단은 슈미트 트리거를 포함하는 것을 특징으로 하는 제어 회로.

청구항 8

제7항에 있어서, 상기 제1회로 수단은 상기 슈미트 트리거의 출력 및 상기 제1 제어 MOSFET 수단의 입력에 연결되는 입력과, 상기 제1제어 MOSFET의 입력에 연결되는 연결되는 출력을 구비하는 인버터 회로를 포함하는 것을 특징으로 하는 제어 회로.

청구항 9

제8항에 있어서, 상기 슈미트 트리거의 출력에 연결되는 제1입력과, 상기 래치 회로 수단의 출력에 연결되는 제2입력과, 상기 인버터 회로의 상기 출력에 연결되는 출력을 구비하는 앤드 게이트를 포함하는 것을 특징으로 하는 제어 회로.

청구항 10

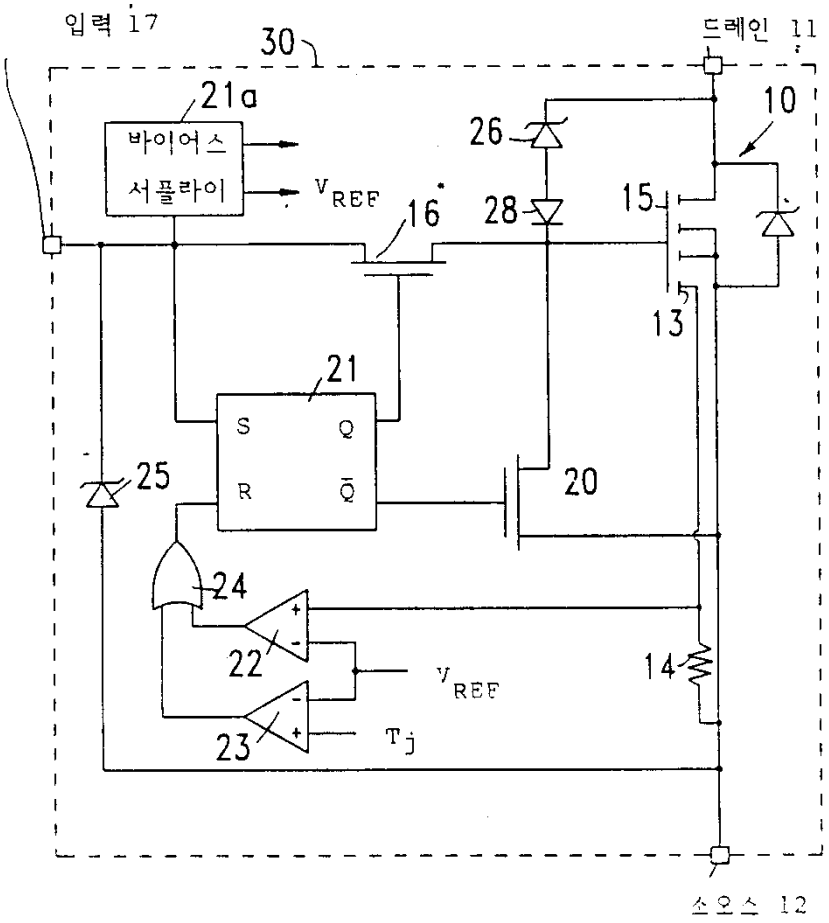
제1항에 있어서, 상기 입력 단자 핀에 연결되는 입력 회로를 포함하며, 상기 입력 회로는 상기 제1, 제2 및 제3 신호 전압을 선택적으로 생성하는 수단을 포함하며, 상기 입력 회로는 제1 및 제2 전압 출력 사이에서 각각 선택적으로 절환될 수 있는 제1 및 제2출력 포트와 상기 제1 및 제2 출력 포트에 걸쳐 연결되고 상기 입력 단자 핀에 연결된 노드를 구비하는 저항 분할기 회로를 포함하는 것을 특징으로 하는 제어 회로.

청구항 11

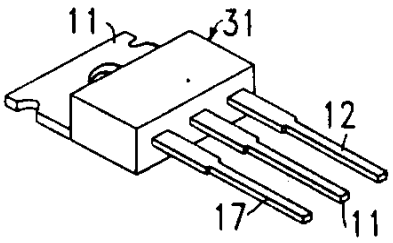
제10항에 있어서, 상기 분할기 회로의 저항값은 상기 노드의 양쪽에서 서로 다른 것을 특징으로 하는 제어 회로.

도면

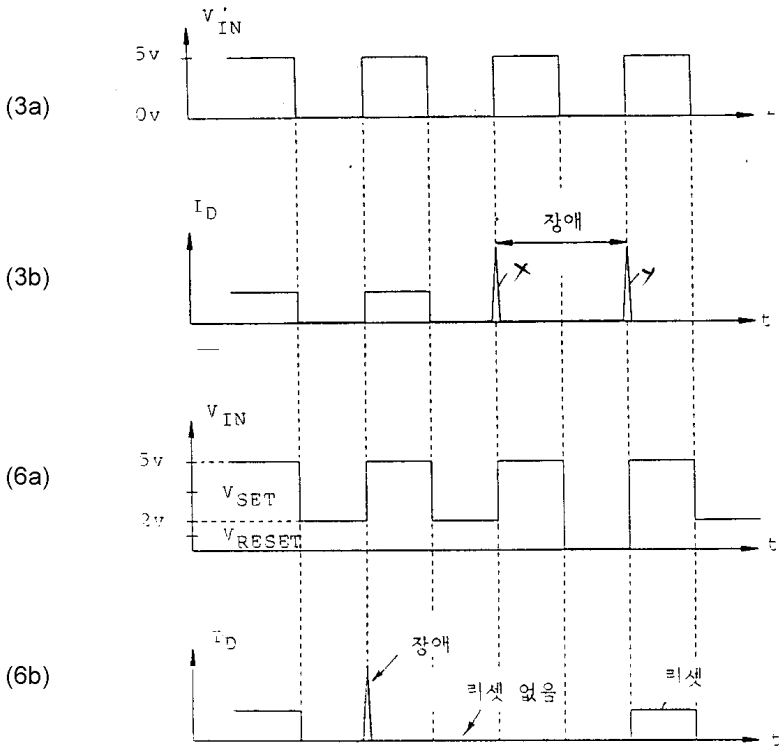
도면1


입력 17
30
드레인 11
21a
바이어스
서플라이
V_{REF}
26
10
16
28
15
13
21
S
Q
R
$\bar{Q}$
25
20
24
22
V_{REF}
14
23
T_j
소오스 12

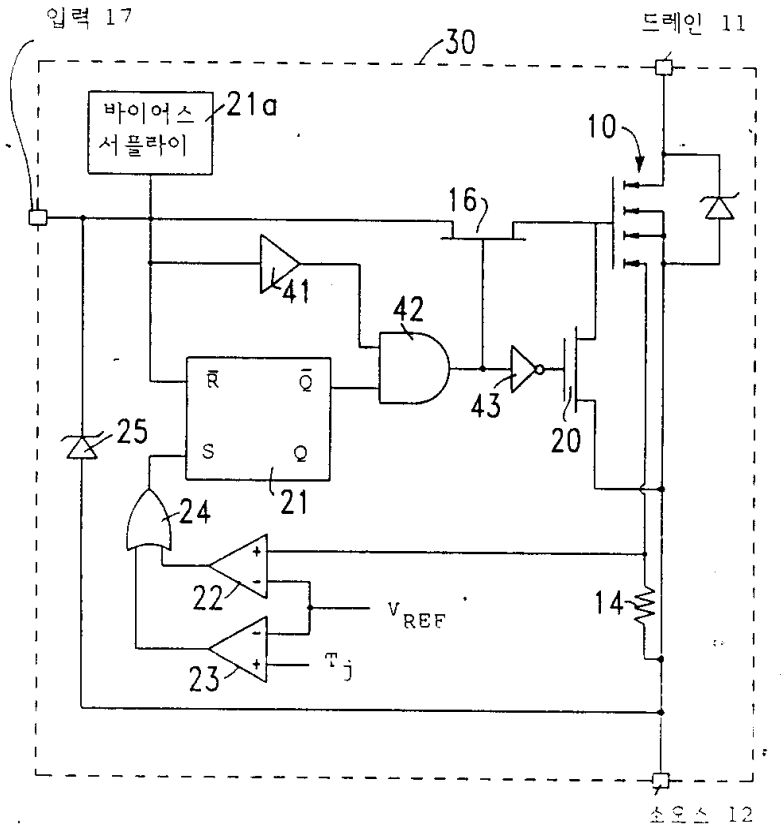
도면2


11
31
12
17
11

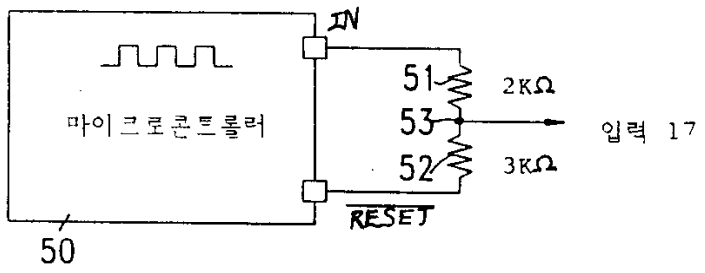
도면3


(3a)
V_{IN}
5v
0v
t
(3b)
I_D
장애
X
Y
t
(6a)
V_{IN}
5v
V_{SET}
2v
V_{RESET}
t
(6b)
I_D
장애
리셋 없음
리셋
t

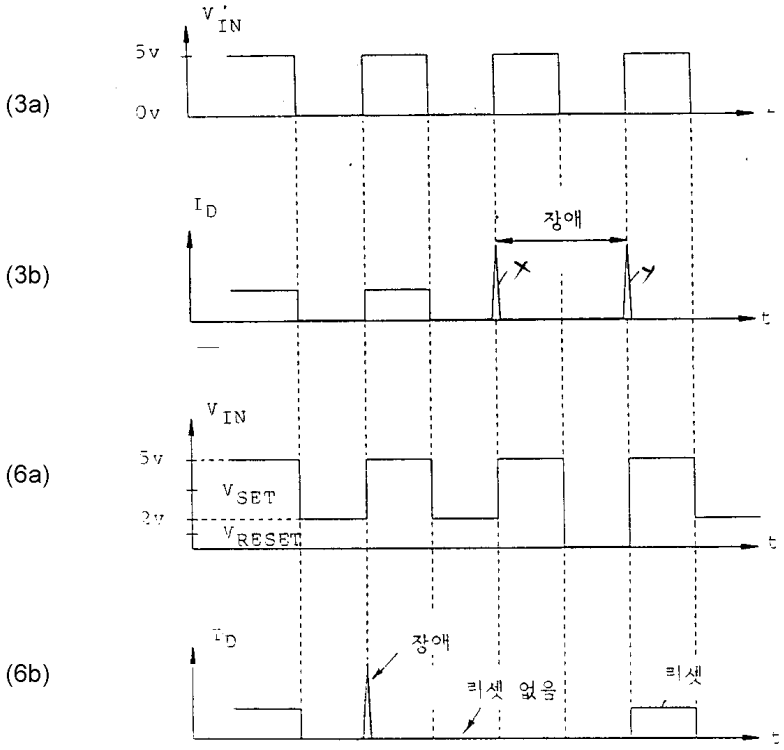
도면4


입력 17
드레인 11
30
바이어스 서플라이
21a
10
16
41
42
43
20
R
Q
S
Q
21
25
24
22
23
V_{REF}
T_j
14
소오스 12

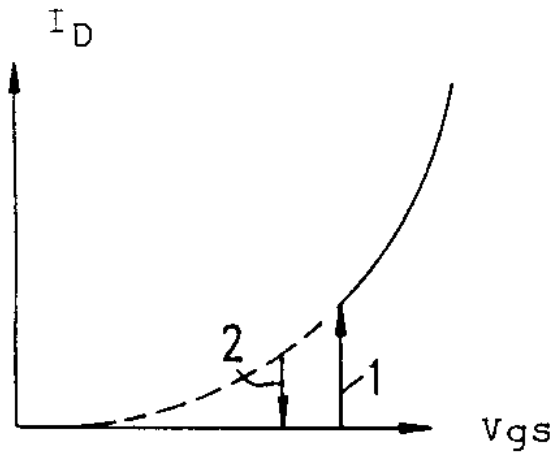
도면5


IN
51
2KΩ
53
입력 17
52
3KΩ
마이크로콘트롤러
RESET
50

도면6


(3a)
V_{IN}
5v
0v
t
(3b)
I_D
장애
X
Y
t
(6a)
V_{IN}
5v
V_{SET}
2v
V_{RESET}
t
(6b)
I_D
장애
리셋 없음
리셋
t

도면7


I_D
2
1
Vgs