

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年11月26日(26.11.2015)



(10) 国際公開番号
WO 2015/178344 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01)
- (21) 国際出願番号: PCT/JP2015/064198
- (22) 国際出願日: 2015年5月18日(18.05.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-103284 2014年5月19日(19.05.2014) JP
特願 2014-191190 2014年9月19日(19.09.2014) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町2-1
番地 Kyoto (JP).
- (72) 発明者: 大嶽 浩隆(OTAKE Hiroataka); 〒6158585
京都府京都市右京区西院溝崎町2-1番地 ローム
株式会社内 Kyoto (JP). 中小原 佑輔(NA-
KAKOHARA Yusuke); 〒6158585 京都府京都市右
京区西院溝崎町2-1番地 ローム株式会社内
Kyoto (JP). 鶴谷 守(TSURUYA Mamoru); 〒

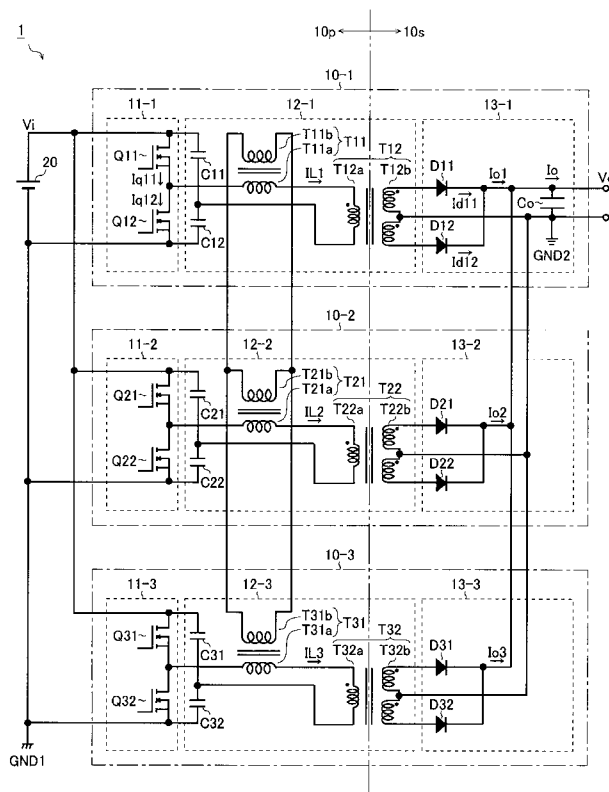
3500209 埼玉県坂戸市塚越1220-1 パ
ワーアシストテクノロジー株式会社内 Saitama
(JP).

- (74) 代理人: 特許業務法人 佐野特許事務所(SANO
PATENT OFFICE); 〒5400032 大阪府大阪市中央
区天満橋京町2-6天満橋八千代ビル別館5F
Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

[続葉有]

(54) Title: POWER SUPPLY DEVICE

(54) 発明の名称: 電源装置



(57) Abstract: A power supply device (1) has resonance-type DC-DC converters (10-*) (*=1, 2, 3) of three phases connected in parallel, said converters respectively having operation phases shifted from each other by 120°. The converters (10-*) include switching circuits (11-*), series resonant circuits (12-*), and rectifying smoothing circuits (13-*), respectively. The series resonant circuits (12-*) include transformers (T*1 and T*2) and resonance capacitors (C*1 and C*2), respectively. Each of primary winding wires (T*1a) of the transformers (T*1), each of primary winding wires (T*2a) of the transformers (T*2), and respective resonance capacitors (C*1 and C*2) are connected in series. Each of secondary winding wires (T+2b) of the transformers (T*2) is connected to each of the rectifying smoothing circuits (13-*). The transformers (T*1) are provided with different cores, respectively, the primary winding wires (T*1a) and the secondary winding wires (T*1b) are insulated from each other by means of dividing bobbins, and the secondary winding wires (T*1b) of respective phases are connected in parallel.

(57) 要約:

[続葉有]

WO 2015/178344 A1



ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

電源装置 1 は、各々の動作位相が 120° ずつずらされた 3 相の共振型 DC/DC コンバータ 10-* (* = 1, 2, 3) を並列に有する。コンバータ 10-* は、スイッチング回路 11-* と直列共振回路 12-* と整流平滑回路 13-* を含む。直列共振回路 12-* は、それぞれ、トランス T* 1 及び T* 2 と、共振コンデンサ C* 1 及び C* 2 を含む。トランス T* 1 の一次巻線 T* 1 a、トランス T* 2 の一次巻線 T* 2 a、及び、共振コンデンサ C* 1 及び C* 2 は、直列に接続されている。トランス T* 2 の二次巻線 T+ 2 b は、整流平滑回路 13-* に接続されている。トランス T* 1 は、それぞれ、別々のコアを備えており、分割ボビンによって一次巻線 T* 1 a と二次巻線 T* 1 b とが絶縁されており、かつ、各相の二次巻線 T* 1 b が並列に接続されている。

明 細 書

発明の名称：電源装置

技術分野

[0001] 本発明は、電源装置に関する。

背景技術

[0002] 共振型スイッチング電源は、電流または電圧を正弦波状に制御し、電流及び電圧のいずれかがほぼ0の状態でスイッチングさせることによって、スイッチング損失及びノイズを劇的に低減することができる。

[0003] 特に、直列共振型スイッチング電源は、電流電圧共振回路であるので、スイッチング損失を低減することができるだけでなく、例えば他の共振型方式であるフェーズシフトフルブリッジ方式と比較して回路中の電圧サージも小さく高効率を実現することのできる回路として、液晶テレビやサーバの電源を始めとして、多くの機器に導入されている。

先行技術文献

特許文献

[0004] 特許文献1：特開平10-229676号公報

特許文献2：特開2001-78449号公報

特許文献3：特開2009-148135号公報

発明の概要

発明が解決しようとする課題

[0005] 直列共振型スイッチング電源では、一般的に、スイッチング素子の周波数変調制御（P F M [pulse frequency modulation] 制御）により出力電圧の調整が行われる。ここで、素子耐圧が比較的高いSiベースのIGBT [insulated gate bipolar transistor] をスイッチング素子として使用すると、ターンオフ時におけるテール電流の影響で高周波化ができないことから、絶縁トランスの大きさが大きくなり過ぎてしまう。そのため、これまでは、素子耐圧が比較的低いSiベースのMOSFET [metal-oxide-semiconductor

field effect transistor] がスイッチング素子として使用されていた。そのため、ハーフブリッジの片アームを1デバイス（単一のMOSFET）で形成した場合、直列共振型スイッチング電源に入力することのできる入力電圧として400V前後が上限であった。

[0006] なお、大電力向けの場合には、直列共振回路を並列接続させることにより、出力電力の向上を図っていたが、並列回路間の動作が同位相の場合には、出力のリプル電流が重畳して、大きなリプル電流となる問題があった（特許文献1など）。

[0007] 一方、並列接続された3相の直列共振回路を 120° ずつ位相をずらして動作させ、互いの回路間の電流をバランスさせる技術が存在する。しかしながら、例えば、特許文献2では、同一のコアに各相のバランスリアクトルを巻き付けていたので、各々のリーケッジインダクタンスを個別に調整することが難しく、大きなリーケッジインダクタンスを別に準備する必要があった。そのため、特許文献2では、回路規模が大きくなる上、各相のバランスリアクトルに流れる電流を個別にかつ安全に検知することも困難であった。

[0008] また、特許文献3では、主回路の一次側と二次側を絶縁する用途を担うトランスの形状が特殊になり、トランスの小型化を阻害していた。

[0009] さらに、これらの電流バランス方式では、電流バランス機能に起因して発生する問題として、軽負荷時にはバランスリアクトルの起電に伴う出力電圧の増加が顕在化するという現象があった。

[0010] 本発明は、本願の発明者らにより見出された上記の問題点に鑑み、回路規模の不要な増大を招くことなく、並列接続された直列共振回路に各々流れる電流をバランスさせることのできる電源装置を提供することを目的とする。

課題を解決するための手段

[0011] 上記目的を達成するために、本発明に係る電源装置は、直流入力電圧の入力端と直流出力電圧の出力端との間に並列接続されており、各々の動作位相が 120° ずつずらされた3相の共振型DC/DCコンバータを有し、前記共振型DC/DCコンバータは、それぞれ、第1スイッチ素子を用いて前記

直流入力電圧をスイッチングすることにより直流を交流に変換するスイッチング回路と、前記スイッチング回路の出力端に接続された直列共振回路と、前記直列共振回路の出力端に接続された整流平滑回路と、を含み、前記直列共振回路は、それぞれ、第1トランス及び第2トランスと、共振コンデンサとを含み、前記第1トランスの一次巻線、前記第2トランスの一次巻線、及び、前記共振コンデンサは、互いに直列接続されており、前記第2トランスの二次巻線は、前記整流平滑回路に接続されており、前記第1トランスは、それぞれ、別々のコアを備えており、一次巻線と二次巻線とが所定のリーケッジインダクタンスを具備して絶縁されており、かつ、各相の二次巻線が互いに並列接続されている構成（第1の構成）とされている。

[0012] なお、上記第1の構成から成る電源装置は、前記第1トランスの一次巻線と二次巻線とが分割ボビンによって絶縁されている構成（第2の構成）にするとよい。

[0013] また、上記第1の構成から成る電源装置は、前記第1トランスの二次巻線側に設けられて前記二次巻線に流れる電流を検知する電流検知回路と、前記電流検知回路の検知結果に応じて、共振状態の監視、並びに、前記第1スイッチの制御及び保護を行う制御回路と、をさらに有する構成（第3の構成）にするとよい。

[0014] また、上記第1～第3いずれかの構成から成る電源装置は、前記第1トランスの二次巻線側に設けられており、電流バランス制御信号に応じて、前記第1トランスの二次巻線を短絡させる第2スイッチ素子をさらに有する構成（第4の構成）にするとよい。

[0015] また、上記第4の構成から成る電源装置において、前記電流バランス制御信号は、前記電源装置が軽負荷状態であるときに前記二次巻線を短絡させる論理レベルとなる構成（第5の構成）にするとよい。

[0016] また、上記第1～第5いずれかの構成から成る電源装置において、前記第1スイッチ素子は、いずれも、SiCベースのMISFET [metal-insulator-semiconductor field effect transistor] 素子である構成（第6の構成

) にするとよい。

[0017] また、上記第 1～第 6 いずれかの構成から成る電源装置において、前記直流出力電圧は前記直流入力電圧と同一の電圧値である構成（第 7 の構成）にするとよい。

[0018] また、上記第 1～第 7 いずれかの構成から成る電源装置において、前記整流平滑回路は全波整流型である構成（第 8 の構成）にするとよい。

[0019] また、上記第 1～第 8 いずれかの構成から成る電源装置において、前記整流平滑回路は整流素子として SiC ベースのショットキーバリアダイオードを含む構成（第 9 の構成）にするとよい。

[0020] また、上記第 1～第 9 いずれかの構成から成る電源装置は、商用交流電圧から前記直流入力電圧を生成する直流電源回路をさらに有する構成（第 10 の構成）にするとよい。

[0021] また、上記第 1～第 10 いずれかの構成から成る電源装置は、前記直列共振回路の共振周波数以外の電流振動が生じているか否かに応じて電流バランス動作が正常であるか否かを検査する検査部をさらに有する構成（第 11 の構成）にするとよい。

発明の効果

[0022] 本発明によれば、回路規模の不要な増大を招くことなく、並列接続された直列共振回路に各々流れる電流をバランスさせることのできる電源装置を提供することが可能となる。

図面の簡単な説明

[0023] [図1] L L C 共振型 D C / D C コンバータの一構成例を示す回路図

[図2]リアクトル L_s に流れる電流 I_s の挙動を示す電流波形図

[図3]電源装置 1 の第 1 実施形態を示す回路図

[図4]電源装置 1 の基本動作を説明するためのタイミングチャート

[図5]電流バランス動作を説明するための第 1 図

[図6]電流バランス動作を説明するための第 2 図

[図7]電流バランス動作を説明するための第 3 図

[図8]分割ボビンの一構成例を示す模式図

[図9]電源装置1の第2実施形態を示す回路図

[図10]電源装置1の第3実施形態を示す回路図

[図11]軽負荷時における出力変動を説明するための等価回路図

[図12]電源装置1の第4実施形態を示す回路図

[図13]測定条件を示すテーブル

[図14]1次側SiCMOSFETのドレイン電流及びドレイン・ソース間電圧を示す実測波形図（入出力電圧：600V、出力電力：5kW、スイッチング周波数：182kHz）

[図15]1次側SiCMOSFETのドレイン電流及びドレイン・ソース間電圧を示す実測波形図（入出力電圧：800V、出力電力：5kW、スイッチング周波数：162kHz）

[図16]2次側SiCSBDの順方向電流を示す実測波形図（電流バランスなし）

[図17]2次側SiCSBDの順方向電流を示す実測波形図（電流バランスあり）

[図18]合成電流平均値及び合成後リップル電流の対比テーブル

発明を実施するための形態

[0024] <LLC共振型DC/DCコンバータ>

本発明に係る電源装置の実施形態を説明するに先立ち、その重要な構成要素の一つであるLLC共振型DC/DCコンバータの基本構成と動作について説明しておく。

[0025] 図1は、LLC共振型DC/DCコンバータの一構成例を示す回路図である。本構成例のLLC共振型DC/DCコンバータ10（以下では、DC/DCコンバータ10と略称する）は、直流入力電圧 V_i の入力を受けて直流出力電圧 V_o を出力する電力変換回路であり、スイッチング回路11と、直列共振回路12と、整流平滑回路13と、を有する。

[0026] スwitchング回路11は、入力電圧 V_i の印加端と一次回路系10pの接

地端（GND1）との間に直列接続されたスイッチ素子Q1及びQ2を含み、各々を相補的にオン／オフさせて直流入力電圧Viをスイッチングすることにより、直流電力を交流電力に変換する。なお、本明細書中の「相補的」という文言は、各スイッチ素子のオン／オフが完全に逆転している場合のほか、各スイッチ素子のオン／オフ遷移タイミングに遅延が与えられている場合（同時オフ期間（デッドタイム）が設けられている場合）も含む。

[0027] 直列共振回路12は、スイッチング回路11の出力端（スイッチ素子Q1とスイッチ素子Q2との接続ノード）に接続されており、絶縁トランスTR1を用いて一次回路系10p（GND1系）と二次回路系10s（GND2系）とを電氣的に絶縁しつつ、一次回路系10pから二次回路系10sに交流電力を伝達する。

[0028] 整流平滑回路13は、直列共振回路12の出力端（トランスTR1の二次巻線）に接続された整流ダイオードD1及びD2と平滑コンデンサC1を含み、一次回路系10pから伝達された交流電力を整流及び平滑することにより、直流出力電圧Voを生成する。

[0029] 本構成例のDC／DCコンバータ10において、直列共振回路12は、その共振動作に関与する回路要素として、リアクタンスLs及びLpと、共振コンデンサCr1及びCr2（いずれも容量値Cr）を含む。直列共振回路12を構成する際には、絶縁トランスTR1を1つだけ用意し、そのリーケッジインダクタンスから1つ目のリアクトルLsを生成し、励磁インダクタンスから2つ目のリアクトルLpを生成することが例えば500W以下程度の低・中出力電力電源では一般的である。

[0030] リアクトルLsには、スイッチング回路11の動作状態（スイッチ素子Q1及びQ2のオン／オフ状態）により、電流経路（1）及び（2）の一方を介して電流Isが流れる。また、電流経路（1）の動作時には、共振状態によっては二次回路系10sが導通することにより、整流ダイオードD1に電流経路（3）を介した電流が流れる。なお、電流経路（1）を流れる電流のうち、電流経路（3）を流れる電流に対応する成分は、共振周期 $2\pi\sqrt{\{L$

$s \cdot C_r$ } で共振しながらリアクトル L_s に流れる (図 2 の小破線を参照)。一方、それ以外の電流成分は、共振周期 $2\pi\sqrt{(L_s + L_p) \cdot C_r}$ で共振しながらリアクトル L_s に流れる (図 2 の大破線を参照)。従って、これらを足し合わせた電流 I_s は、2 つの共振周波数を持つことになる (図 2 の太実線を参照)。

[0031] 今、スイッチ素子 Q_1 をオンとしてスイッチ素子 Q_2 をオフとすることにより、電流経路 (1) を介して電流を流している最中にスイッチ素子 Q_1 をオフさせると、リアクトル L_s 及び L_p に流れる電流が保持されるので、電流経路が (1) から (2) に変化して、スイッチ素子 Q_2 に付随する逆並列ダイオード (または寄生ダイオード) がオンとなる。この逆並列ダイオードがオンすると、スイッチ素子 Q_2 に電圧がほぼ掛かっていない状態となる。従って、この状態が保たれている期間を狙ってスイッチ素子 Q_2 をオンすれば、ゼロ電圧スイッチング (以下、ZVS [zero voltage switching] と呼ぶ) を実現することができるので、スイッチング回路 11 で生じるスイッチング損失及びノイズを劇的に低減することが可能となる。

[0032] なお、上記のようにスイッチ素子 Q_1 をオンからオフに切り替えたとき、スイッチ素子 Q_1 の寄生容量とリアクトル L_s 及び L_p は、電源端 (直流入力電圧 V_i の印加端) から見て直列に接続された状態となるので、スイッチ素子 Q_1 の両端間電圧は、共振しながら上昇する (電圧共振)。一方、スイッチ素子 Q_1 がオンされているときには、スイッチ素子 Q_1 に流れる電流がリアクトル L_s 及び L_p と共振コンデンサ C_r 2 によって共振される (電流共振)。これらの挙動から、LLC 共振型 DC/DC コンバータ 10 は、電流電圧共振回路であると言える。

[0033] <第 1 実施形態>

図 3 は、電源装置 1 の第 1 実施形態を示す回路図である。本実施形態の電源装置 1 は、各々の動作位相が 120° ずつずらされた 3 相の LLC 共振型 DC/DC コンバータ 10-* (ただし、* = 1、2、3、以下も同様) と、直流電源回路 20 とを有する。なお、以下の説明では、LLC 共振型 DC

／DCコンバータ10-*を単にDC／DCコンバータ10-*と略称する。
。

[0034] DC／DCコンバータ10-*は、基本的に先の図1と同様の構成であり、直流入力電圧 V_i （例えばDC800V）の入力端と直流出力電圧 V_o （例えばDC400V）の出力端との間に3相並列接続されている。

[0035] 直流電源回路20は、DC／DCコンバータ10-*に対して直流入力電圧 V_i を供給する。なお、直流電源回路20としては、例えば、商用交流電圧 V_{ac} （例えばAC400V）から直流入力電圧 V_i を生成するAC／DCコンバータを用いることができる。

[0036] 次に、DC／DCコンバータ10-*の内部構成について詳述する。DC／DCコンバータ10-*は、スイッチング回路11-*と、直列共振回路12-*と、整流平滑回路13-*と、を含む。

[0037] スwitching回路11-*は、入力電圧 V_i の印加端と一次回路系10pの接地端（GND1）との間に直列接続された一対のスイッチ素子 $Q*1$ 及び $Q*2$ （いずれも第1スイッチ素子に相当）を含むハーフブリッジ型であり、各スイッチ素子を相補的にオン／オフさせて直流入力電圧 V_i をスイッチングすることにより、直流電力を交流電力に変換する。なお、スイッチ素子 $Q*1$ 及び $Q*2$ としては、例えば、SiCベースのNチャネル型MISFETを好適に用いることができる（詳細は後述）。

[0038] 直列共振回路12-*は、スイッチング回路11-*の出力端（スイッチ素子 $Q*1$ とスイッチ素子 $Q*2$ の接続ノード）に接続されており、一次回路系10p（GND1系）と二次回路系10s（GND2系）とを電氣的に絶縁しつつ、一次回路系10pから二次回路系10sに交流電力を伝達する。
。

[0039] 直列共振回路12-*は、その回路要素として、電流バランス兼共振用の第1トランス $T*1$ （バランストランスに相当）と、入出力絶縁兼共振用の第2トランス $T*2$ （メイントランスに相当）と、共振コンデンサ $C*1$ 及び $C*2$ と、を含む。なお、第1トランス $T*1$ 及び第2トランス $T*2$ は

、それぞれ、一次巻線 $T * 1 a$ 及び $T * 2 a$ と、二次巻線 $T * 1 b$ 及び $T * 2 b$ と、を含む。

[0040] 一次巻線 $T * 1 a$ の第1端は、スイッチング回路 $1 1 - *$ の出力端に接続されている。一次巻線 $T * 1 a$ の第2端は、一次巻線 $T * 2 a$ の第1端に接続されている。一次巻線 $T * 2 a$ の第2端は、共振コンデンサ $C * 1$ を介して直流入力電圧 $V i$ の印加端に接続される一方、共振コンデンサ $C * 2$ を介して一次回路系 $1 0 p$ の接地端（ $G N D 1$ ）に接続されている。つまり、第1トランス $T * 1$ の一次巻線 $T * 1 a$ 、第2トランス $T * 2$ の一次巻線 $T * 2 a$ 、及び、共振コンデンサ $C * 1$ 及び $C * 2$ は、互いに直列接続されている。

[0041] 第2トランス $T * 2$ の二次巻線 $T * 2 b$ は、センタータップ方式とされており、後段の整流平滑回路 $1 3 - *$ に接続されている。なお、二次巻線 $T * 2 b$ のセンタータップは、二次回路系 $1 0 s$ の接地端（ $G N D 2$ ）に接続されている。

[0042] 第1トランス $T * 1$ は、それぞれ別々のコアを備えており、分割ボビンによって一次巻線 $T * 1 a$ と二次巻線 $T * 1 b$ とが絶縁されている。また、各相の二次巻線 $T * 1 b$ は、互いに並列接続されており、電流バランス回路を形成している。なお、電流バランス回路の動作については、後ほど詳述する。

[0043] 整流平滑回路 $1 3 - *$ は、直列共振回路 $1 2$ の出力端（第2トランス $T * 2$ の二次巻線 $T * 2 b$ ）に接続された整流ダイオード $D * 1$ 及び $D * 2$ と平滑コンデンサ $C o$ を含み、一次回路系 $1 0 p$ から伝達された交流電力を整流及び平滑することにより、直流出力電圧 $V o$ を生成する。

[0044] 整流ダイオード $D * 1$ のアノードは、二次巻線 $T * 2 b$ の第1端に接続されている。整流ダイオード $D * 2$ のアノードは、二次巻線 $T * 2 b$ の第2端に接続されている。整流ダイオード $D * 1$ 及び $D * 2$ のカソードは、いずれも直流出力電圧 $V o$ の出力端に接続されている。平滑コンデンサ $C o$ は、整流平滑回路 $1 3 - *$ によって共有されており、直流出力電圧 $V o$ の出力端と

二次回路系 10s の接地端 (GND2) との間に接続されている。

[0045] なお、本構成例では、第2トランスT*2の二次巻線T*2bをセンタータップ方式とし、その後段に全波整流型の整流平滑回路13-*を接続した構成を例に挙げたが、電源装置1の出力段はこれに限定されるものではなく、例えば、第2トランスT*2の二次巻線T*2bをシングルタップ方式とし、その後段に半波整流型の整流平滑回路13-*を接続した構成としても構わない。

[0046] 図4は、電源装置1の基本動作を説明するためのタイミングチャートであり、上から順に、スイッチ素子Q11及びQ12のゲート・ソース間電圧Vgs11及びVgs12、スイッチ素子Q11及びQ12のドレイン・ソース間電圧Vds11及びVds12、スイッチ素子Q11及びQ12に流れるスイッチ電流Iq11及びIq12、一次巻線T11aに流れる一次電流IL1、整流ダイオードD11及びD12に流れる二次電流Id11及びId12、並びに、DC/DCコンバータ10-*で各々生成される出力電流Io*(=Id*1+Id*2)が描写されている。

[0047] 期間I(時刻t1~t2)において、ゲート・ソース間電圧Vgs11が0となり、スイッチ素子Q11がオフすると、スイッチ電流Iq11が0Aとなる。このとき、スイッチ素子Q11のドレイン・ソース間電圧Vds11は、共振しながら正弦波状に変化して直流入力電圧Viに至る。なお、スイッチ素子Q11がオフされても、一次電流IL1はそれまでと同一の向きに保持されるので、スイッチ素子Q12の逆並列ダイオード(もしくは寄生ダイオード)がオンして、負方向のスイッチ電流Iq12が流れ始める。

[0048] 期間II(時刻t2~t3)において、スイッチ電流Iq12は、第1トランスT11のリーケッジインダクタンス、第2トランスT12のリーケッジインダクタンス、第2トランスT12の励磁インダクタンス、及び、共振コンデンサC11の容量値に応じて決定する共振周波数で共振しつつ、負方向から正方向に変化していく。このとき、スイッチ電流Iq12が負値(<0A)である時間帯にスイッチ素子Q12をオンすることで、ZVSを実現

することができる。

[0049] 期間ⅠⅠⅠ（時刻 $t_3 \sim t_4$ ）において、第2トランス T_{12} の二次巻線 T_{12b} に生じる誘起電圧が上昇して整流ダイオード D_{12} が順バイアス状態になると、第1トランス T_{11} のリーケッジインダクタンス、第2トランス T_{12} のリーケッジインダクタンス、及び、共振コンデンサ C_{11} の容量値に応じて決定する共振周波数で共振しながら二次電流 I_{d12} が流れる。

[0050] 期間ⅠⅤ（時刻 $t_4 \sim t_5$ ）において、二次電流 I_{d12} が整流ダイオード D_{12} の整流作用によってスイッチング半周期で0Aになると、その後は、第1トランス T_{11} のリーケッジインダクタンス、第2トランス T_{12} のリーケッジインダクタンス、第2トランス T_{12} の励磁インダクタンス、及び、共振コンデンサ C_{11} の容量値に応じて決定する共振周波数で共振しながら、一次電流 I_{L1} が流れる。

[0051] その後、スイッチ素子 Q_{12} がオフすると、上記で説明した期間Ⅰ～ⅠⅤと同様の動作が逆側のアームで起こる。

[0052] なお、DC/DCコンバータ $10-*$ で各々生成される出力電流 I_{o*} は、各相毎に見ると、正弦波状に電流が流れる期間と電流が流れない期間を有しており、これらを各個に平滑しようとする、大容量の平滑コンデンサが必要となる。ただし、DC/DCコンバータ $10-*$ は、各々の動作位相が 120° ずつずらされていることから、3相並列で考えると、出力電流 I_{o*} の合計値（すなわち最終的な出力電流 I_o ）は、各相に流れる電流が等しい場合に常に等しくなり、発生するリップルが小さくなる。従って、出力電流 I_{o*} を各個に平滑するのではなく、これらの合計値である出力電流 I_o を平滑することにより、平滑コンデンサ C_o の容量値を小さく抑えることが可能となる。

[0053] <電流バランス動作>

次に、第1トランス T_{*1} の二次巻線 T_{*1b} を用いた電流バランス回路の動作について、図5～図7を参照しつつ詳細に説明する。

[0054] 図5は、電流バランス動作を説明するための第1図（各相の二次巻線 T_{*1}

1 bのみを抽出した回路図) である。本図で示すように、各相の二次巻線 $T * 1 b$ を互いに並列接続すると、キルヒホッフの法則により、各相の二次巻線 $T * 1 b$ に流れるバランス電流 $I *$ の和 ($= I_1 + I_2 + I_3$) が $0 A$ となる。

[0055] 図6は、電流バランス動作を説明するための第2図(各相の二次巻線 $T * 1 b$ に流れるバランス電流 $I *$ をベクトル表示した概念図) である。本図で示すように、DC/DCコンバータ $10 - *$ の動作位相を 120° ずつずらして制御すると、バランス電流 $I *$ のベクトル和が 0 となるので、バランス電流 $I *$ の絶対値が一義的に等しくなる。従って、第1トランス $T * 1$ の巻き数比を全ての相で揃えておけば、各相の一次巻線 $T * 1 a$ に流れる一次電流 $I_L *$ も互いに等しくなり、電流バランス動作を実現することが可能となる。

[0056] なお、図6から明らかなように、上記の電流バランス動作を実現するためには、DC/DCコンバータ $10 - *$ の並列数を3(または3の倍数) とする必要がある。例えば、並列数を6とする場合には、6相のDC/DCコンバータを3相ずつ2セットに分けた上で各セット毎に3相の動作位相を 120° ずつずらして制御すればよい。その際、各セット間の動作位相を一致させておくか否かは不問である。

[0057] 図7は、電流バランス動作を説明するための第3図(各相の第1トランス $T * 1$ のみを抽出した回路図) である。なお、符号 $L_p * a$ は一次側の励磁インダクタンスを示しており、符号 $L_p * b$ は二次側の励磁インダクタンスを示している。また、符号 $L_s *$ は一次側のリーケッジインダクタンスを示している。

[0058] 各相の一次電流 $I_L *$ を等しくする上記の電流バランス動作は、励磁インダクタンス $L_p * a$ 及び $L_p * b$ の起電によるものである。ただし、元々、各相に流れる一次電流 $I_L *$ の波形が位相以外同一であった場合、励磁インダクタンス $L_p * a$ 及び $L_p * b$ は、起電することなく電氣的に短絡した状態となる。従って、第1トランス $T * 1$ については、実質的にリーケッジイ

ンダクタンス L_s^* のみが見える状態となる。

[0059] 一方、各相に流れる一次電流 I_L^* が異なっている場合には、励磁インダクタンス L_{p^*a} 及び L_{p^*b} が起電して一次電流 I_L^* を増減させることにより各々を一致させる。このとき、結果としては、リーケッジインダクタンス L_s^* の両端間に印加される入力電圧が増減されたように見える。

[0060] 例えば、図7で示すように、トランス T_{11} に流れる一次電流 I_{L1} が大きくなると、リーケッジインダクタンス L_{s1} の両端間に印加される入力電圧を引き下げないように、励磁インダクタンス L_{p1a} 及び L_{p1b} が起電する。

[0061] また、第1トランス T^*1 のリーケッジインダクタンス L_s^* は、直列共振回路 12^* の共振リアクトルとして利用することができる。従って、第2トランス T^*2 のリーケッジインダクタンスを従来よりも小さく設計することが可能となる。このように、共振条件の一部を第1トランス T^*1 が受け持つことにより、第2トランス T^*2 のリーケッジインダクタンスに関する制限を緩和することができるので、第2トランス T^*2 の小型化を実現することが可能となる。

[0062] また、第1トランス T^*1 は、それぞれ別々のコアを備えており、分割ボビンによって一次巻線 T^*1a と二次巻線 T^*1b との間が構造的に分離されている。このような構成とすることにより、第1トランス T^*1 のリーケッジインダクタンス L_s^* を大きく、かつ、各相の回路定数誤差に合わせて個別に調整することができるので、共振条件のバラツキによる相間電流バランスに伴う出力電圧 V_o の変動を抑制することが可能となる。

[0063] <分割ボビン>

図8は、第1トランス T^*1 に用いられる分割ボビンの一構成例を示す模式図である。なお、(A)欄には分割ボビン100の天面図(上面図)が描写されており、(B)欄には分割ボビン100の側面図が描写されている。また、(C)欄には分割ボビン100及びコア200の縦断面図(第1トランス T^*1 の縦断面図)が描写されている。

- [0064] 分割ボビン100は、天面部101と、底面部102と、分割面部103と、第1巻軸部104と、第2巻軸部105と、空洞部106と、を有する絶縁性部材（例えばプラスチック製部材）である。一次巻線L1（先の一次巻線T*1aに相当）が捲回される第1巻軸部104と、二次巻線L2（先の二次巻線T*1bに相当）が捲回される第2巻軸部104とは、分割面部103によって構造的に絶縁されている。
- [0065] なお、一次巻線L1及び二次巻線L2の太さについては、より大きな電流が流れるものほど太く設計しておくことが望ましい。例えば、一次巻線T*1a側で高電圧・小電流を取り扱い、二次巻線T*1b側で低電圧・大電流を取り扱うように、第1トランスT*1の巻き数比が設計される場合、二次巻線L2は、一次巻線L1よりも太く設計しておくことが望ましいと言える。
- [0066] コア200は、分割ボビン100を天面側と底面側の双方向から挟み込むことにより、閉磁路を形成する一対のE型コア部材210及び220から成る。E型コア部材210及び220は、それぞれ、中脚部211及び221と、側脚部212及び222と、を有する。中脚部211及び221は、それぞれ、分割ボビン100の空洞部106に挿通される円柱状部材である。側脚部212及び222は、それぞれ、中脚部211及び221の周囲を取り囲むように突出しており、分割ボビン100の外周縁を全部または一部被覆する壁状部材である。
- [0067] 中脚部211及び221は、各々の先端面同士を突き合わせる形で分割ボビン100の空洞部106に相通されている。同様に、側脚部212及び222は、各々の先端面同士を突き合わせる形で分割ボビン100の外周縁を全部または一部被覆している。なお、第1トランスT*1のリーケッジインダクタンス L_s^* を増減する場合には、中脚部211及び221の先端面を適宜切削することにより、相互間の空隙部230（ギャップ距離）を調整すればよい。
- [0068] 本構成例の分割ボビン100を用いて第1トランスT*1を形成すること

により、先に述べたように、第1トランスT*1のリーケッジインダクタンス L_s^* を大きく、かつ、各相の回路定数誤差に合わせて個別に調整することが可能となる。

[0069] <SiCベースのMISFET採用>

なお、電源装置1が大電力向けである場合には、スイッチング回路11-*を形成するスイッチ素子Q*1及びQ*2として、SiベースのIGBTやMOSFETを用いるのではなく、より高耐圧（例えば900V~1200V耐圧）でありかつ高周波動作を行うことが可能なSiCベースのMISFETを用いることが望ましい。

[0070] SiCなどのワイドバンドギャップ半導体は、その絶縁破壊電界が高い（Si: 0.3MV/cmに対してSiC: 2.8MV/cm）ので、FETを作製する際に耐圧保持用ドリフト層膜厚を薄く、キャリア濃度を高く設計することができる。そのため、同一のチップ面積であれば、SiCベースの方がSiベースよりもオン抵抗が低く（Siの1/10以下）、同じオン抵抗を実現する際のチップ面積を小さくすることができるので、FETの寄生容量を低減して高速動作を実現することが可能となる。また、同じキャリア濃度プロファイルであれば、SiCベースの方がSiベースよりも高い素子耐圧を実現することが可能となる。

[0071] すなわち、スイッチ素子Q*1及びQ*2として、SiCベースのMISFETを用いれば、SiベースのMOSFETを用いる場合と比べて、より高い直流入力電圧 V_i の入力を受け付けることが可能となり、かつ、SiベースのIGBTを用いる場合と比べて、そのスイッチング周波数をより高く設定することが可能となる。従って、DC/DCコンバータ10-*の並列相数を不必要に増やすことなく、大容量かつ小型の電源装置1を実現することができる。

[0072] 例えば、先述の電流バランス動作（図5~図7を参照）では、DC/DCコンバータ10-*の並列数を3（または3の倍数）にしかできないので、スイッチ素子Q*1及びQ*2としてSiベースのMOSFETを用いた場

合の大電力化には制限がある。しかしながら、スイッチ素子 $Q * 1$ 及び $Q * 2$ として $S i C$ ベースの $M I S F E T$ を用いれば、直流入力電圧 $V i$ を例えば $600V$ 以上に設定することができるので、 $F E T$ の直列接続による耐圧向上などの特殊な対策をせずに大容量化を実現することが可能となる。

[0073] ただし、直流入力電圧 $V i$ が高くなるほど、入出力絶縁兼共振用の第2トランス $T * 2$ における使用磁束密度が高くなるので、その磁気飽和を抑制することが重要となる。ここで、スイッチ素子 $Q * 1$ 及び $Q * 2$ として $S i$ ベースの $I G B T$ などを用いる場合には、スイッチング周波数を例えば $20kHz$ 以下に設定しなければならない。そのため、第2トランス $T * 2$ の使用磁束密度を低減するには、コアの実効断面積を広げたり一次巻線 $T * 2 a$ や二次巻線 $T * 2 b$ の巻き数を増やしたりする必要があり、第2トランス $T * 2$ の大型化が招かれる。

[0074] 一方、スイッチ素子 $Q * 1$ 及び $Q * 2$ として、より高周波動作が可能な $S i C$ ベースの $M I S F E T$ を用いる場合には、スイッチング周波数を例えば $150kHz$ 以上に設定することができるので、コアの実効断面積や巻き数を不必要に増大させずに第2トランス $T * 2$ の使用磁束密度を低減してその磁気飽和を抑制することが可能となる。このことは、先に説明した第1トランス $T * 1$ による共振リアクトルの一部分担化と合わせて、第2トランス $T * 2$ の小型化を実現する上で非常に効果的であると言える。

[0075] <第2実施形態>

図9は、電源装置1の第2実施形態を示す回路図である。本実施形態の電源装置1は、基本的に先の第1実施形態と同様の構成であり、第1トランス $T * 1$ を形成する二次巻線 $T * 1 b$ 側に、電流検知回路 $14 - *$ を追加した点に特徴を有する。そこで、第1実施形態と同様の構成要素については、図3と同一の符号を付すことで重複した説明を割愛し、以下では、第2実施形態の特徴部分について重点的に説明する。

[0076] 第2実施形態の電源装置1は、 $D C / D C$ コンバータ $10 - *$ の回路要素であるスイッチング回路 $11 - *$ 、直列共振回路 $12 - *$ 、及び、整流平滑

回路13-*のほかに、電流検知回路14-*と、制御回路15と、絶縁ゲートドライバ回路16-*と、出力帰還回路17と、をさらに有する。

[0077] 電流検知回路14-*は、一次回路系10p及び二次回路系10sから電氣的に絶縁された制御回路系10c（第1トランスT*1の二次巻線T*1b側）に設けられており、二次巻線T*1bに各々流れるバランス電流I*を検知してバランス電流検知信号DET*を生成し、これを制御回路15に送出する。

[0078] 制御回路15は、制御回路系10cに設けられており、スイッチング回路11-*の制御主体として機能する。より具体的に述べると、制御回路15は、出力帰還回路17から入力される帰還信号FBに応じた周波数のゲート信号G*1及びG*2を生成し、これを絶縁ゲートドライバ回路16-*経由でスイッチング回路11-*（延いてはスイッチ素子Q*1及びQ*2）に送出する。このような出力帰還制御により、所望の出力電圧Voを生成することが可能となる。

[0079] また、制御回路15は、電流検知回路14-*から入力されるバランス電流検知信号DET*に応じて、共振状態の監視、並びに、スイッチ素子Q*1及びQ*2の制御及び保護を行う機能も備えている。例えば、直列共振回路12-*が異常共振状態に陥った場合や、バランス電流I*（延いては、一次電流IL*、並びに、スイッチ素子Q*1及びQ*2に流れるスイッチ電流Iq*1及びIq*2）が過電流状態に陥った場合において、制御回路15では、スイッチ素子Q*1及びQ*2のオン/オフ動作を強制停止することができるので、電源装置1の安全性を高めることが可能となる。

[0080] 絶縁ゲートドライバ回路16-*は、制御回路系10cと一次回路系10pとの間を電氣的に絶縁しつつ、制御回路15からスイッチング回路11-*に対してゲート信号G*1及びG*2を伝達する。

[0081] 出力帰還回路17は、二次回路系10sと制御回路系10cとの間を電氣的に絶縁しつつ、出力電圧Voに応じた帰還信号FBを生成し、これを制御回路15に伝達する。

[0082] なお、上記回路要素のうち、制御回路15、絶縁ゲートドライバ回路16-*、及び、出力帰還回路17は、先の第1実施形態にも存在している回路ブロック（図示の便宜上、図3では明示せず）である。

[0083] 先にも述べたように、第1トランスT*1の一次巻線T*1aと二次巻線T*1bとの間には、分割ボビン100（図8を参照）により構造的に分離されているので、一次回路系10pと制御回路系10cとの間には、完全に電気絶縁されている。従って、制御回路系10cに電流検知回路14-*を設けることにより、各相に流れるバランス電流 I^* （延いては、一次電流 I_{L^*} 、並びに、スイッチ素子 Q^*1 及び Q^*2 に流れるスイッチ電流 I_{q^*1} 及び I_{q^*2} ）を安全かつ個別に検知することが可能となる。

[0084] 特に、DC/DCコンバータ10-*を並列接続した大電力向けの電源装置1では、直流入力電圧 V_i が非常に高くなるので、本実施形態のように、電流検知回路14-*や制御回路15を一次回路系10pから電氣的に絶縁しておくことが望ましい。

[0085] また、電流検知回路14-*などの追加回路は、入出力絶縁兼共振用の第2トランスT*2ではなく、電流バランス兼共振用の第1トランスT*1に付加することが望ましい。このような構成であれば、第2トランスT*2を特殊な構造とせずに済むので、そのサイズを縮小することが可能となる。このことは、先に説明した第1トランスT*1による共振リアクトルの一部分担化やSiCベースのMISFET採用によるスイッチング高速化と合わせて、第2トランスT*2の小型化を実現する上で非常に効果的であると言える。

[0086] <第3実施形態>

図10は、電源装置1の第3実施形態を示す回路図である。第3実施形態の電源装置1は、基本的に先の第1実施形態と同様の構成であり、第1トランスT*1を形成する二次巻線T*1b側に、電流バランス制御回路18を追加した点に特徴を有する。そこで、第1実施形態と同様の構成要素については、図3と同一の符号を付すことで重複した説明を割愛し、以下では、第

3実施形態の特徴部分について重点的に説明する。

- [0087] 電流バランス制御回路18は、スイッチ素子Q41（第2スイッチ素子に相当）と、ダイオードD41及びD42と、を含む。スイッチ素子Q41としては、例えばNチャネル型のMOSFETを好適に用いることができる。また、電流バランス制御回路18の追加に伴い、第1トランスT*1を形成する二次巻線T*1bは、いずれもセンタータップ方式に変更されている。
- [0088] スwitch素子Q41のドレインは、ダイオードD41及びD42のカソードに接続されている。スイッチ素子Q41のソースは、二次巻線T*1bのセンタータップ（一次回路系10pの接地端GND1）に接続されている。スイッチ素子Q41のゲートには、電流バランス制御信号Sbcが印加されている。ダイオードD41のアノードは、二次巻線T*1bの第1端に接続されている。ダイオードD42のアノードは、二次巻線T*1bの第2端に接続されている。
- [0089] 上記構成から成る電流バランス制御回路18において、スイッチ素子Q41をオンすることにより、二次巻線T*1bを短絡することができるので、先述の電流バランス機能を停止させることが可能となる。なお、ダイオードD41及びD42は、スイッチ素子Q41のボディダイオードを介して流れようとする電流を阻止するために設けられている。
- [0090] 以下では、電流バランス制御回路18の技術的意義について、図11を参照しながら詳細に説明する。図11は、軽負荷時における出力変動を説明するための等価回路図（電源装置1の等価回路図に相当）である。なお、本図中の符号r1、r2、 $\Delta V1$ 、及び、 $\Delta V2$ は、それぞれ、電源装置1の出力インピーダンス、負荷インピーダンス、直流入力電圧Viの変化量、及び、直流出力電圧Voの変化量を示しており、各パラメータ間には $\Delta V2 = \Delta V1 / \{1 + (r1 / r2)\}$ という関係式が成立する。
- [0091] 先の図7で説明したように、各相の一次電流IL*が異なるときに生じる励磁インダクタンスLp*a及びLp*bの起電は、現象的には第1トランスT*1のリーケッジインダクタンスLs*を増減させているように見える

。すなわち、一次電流 I_{L*} が小さい相ではリーケッジインダクタンス L_{s*} を下げて一次電流 I_{L*} を増加させる方向に電流バランスが働き、逆に、一次電流 I_{L*} が大きい相ではリーケッジインダクタンス L_{s*} を上げて一次電流 I_{L*} を減少させる方向に電流バランスが働く。

[0092] そのため、電流バランス動作時には、一時的に第1トランス $T*1$ のリーケッジインダクタンス L_{s*} が小さく見えることがある。なお、電源装置1の出カインピーダンス r_1 は、インダクタ起因の可変パラメータ (ωL_{s*}) であり、リーケッジインダクタンス L_{s*} の増減に応じて変動する。ただし、出カインピーダンス r_1 は、電流バランス動作による直流出力電圧 V_o の変化量 ΔV_2 (スイッチング周波数 f : MHz オーダー) に対しては、基本的に高い値を示す。従って、重負荷時であれば、電流バランス動作によって出カインピーダンス r_1 に変動が生じても、これが直流出力電圧 V_o の変化量 ΔV_2 に影響を及ぼすことは殆どない。一方、軽負荷時では、電流バランス動作に伴う出カインピーダンス r_1 の変動が直流出力電圧 V_o の変化量 ΔV_2 として見えてしまう。

[0093] このような現象 (軽負荷時の出力上昇) は、電流バランス動作を実施しているからこそ発生するものである。そこで、例えば、制御回路15を用いて負荷状態 (出力電流 I_o の大きさ) を監視し、電源装置1が軽負荷状態であるときに二次巻線 $T*1b$ を短絡して電流バランス機能を停止するように、電流バランス制御信号 Sbc の論理レベルを切り替えることにより、上記の現象 (軽負荷時の出力上昇) を回避することが可能となる。

[0094] なお、先にも述べた通り、第1トランス $T*1$ では、分割ボビン100 (図8を参照) を用いて、一次巻線 $T*1a$ と二次巻線 $T*1b$ との間が構造的に分離されているので、電流バランス機能の停止制御 (スイッチ素子 $Q41$ のオン/オフ制御) は、一次回路系10pから電氣的に絶縁された制御回路系10cで安全に行うことが可能である。

[0095] <第4実施形態>

図12は、電源装置1の第4実施形態を示す回路図である。なお、第4実

施形態の電源装置 1 は、基本的に先の第 3 実施形態と同様の構成であり、直流入力電圧 V_i と同一電圧値の直流出力電圧 V_o を生成する構成（一次回路系 10p と二次回路系 10s との絶縁のみを行う構成）とした点に特徴を有する。そこで、第 3 実施形態と同様の構成要素については、図 10 と同一の符号を付すことで重複した説明を割愛し、以下では、第 3 実施形態の特徴部分について重点的に説明する。

[0096] 第 4 実施形態の電源装置 1 では、上記の仕様変更に伴い、入出力絶縁兼共振用のメイントランスとして互いに直列接続された巻き数比 1 : 1 の第 2 トランス $T*2X$ 及び $T*2Y$ が用いられるとともに、整流平滑回路 13-* の構成が変更されている。

[0097] 第 2 トランス $T*2X$ 及び $T*2Y$ は、それぞれ、一次巻線 $T*2Xa$ 及び $T*2Ya$ と、二次巻線 $T*2Xb$ 及び $T*2Yb$ を含む。一次巻線 $T*2Xa$ の第 1 端は、第 1 トランス $T*1$ の一次巻線 $T*1a$ に接続されている。一次巻線 $T*2Xa$ の第 2 端は、一次巻線 $T*2Ya$ の第 1 端に接続されている。一次巻線 $T*2Ya$ の第 2 端は、共振コンデンサ $C*1$ 及び $C*2$ に接続されている。

[0098] 整流平滑回路 13-* は、各相毎の整流ダイオード $D*3$ 及び $D*4$ を含むとともに、各相で共有される平滑コンデンサ C_o1 及び C_o2 を含む。整流ダイオード $D*3$ のアノードと整流ダイオード $D*4$ のカソードは、いずれも、二次巻線 $T*2Xb$ の第 1 端に接続されている。二次巻線 $T*2Xb$ の第 2 端は、二次巻線 $T*2Yb$ の第 1 端に接続されている。整流ダイオード $D*3$ のカソードは、直流出力電圧 V_o の出力端に接続されている。整流ダイオード $D*4$ のアノードは、二次回路系 10s の接地端 (GND2) に接続されている。平滑コンデンサ C_o1 の第 1 端は、直流出力電圧 V_o の出力端に接続されている。平滑コンデンサ C_o1 の第 2 端と平滑コンデンサ C_o2 の第 1 端は、いずれも、二次巻線 $T*2Yb$ の第 2 端に接続されている。平滑コンデンサ C_o2 の第 2 端は、二次回路系 10s の接地端 (GND2) に接続されている。

[0099] 上記の回路構成により、第4実施形態の電源装置1では、直流入力電圧 V_i と同一電圧値の直流出力電圧 V_o が生成され、一次回路系 $10p$ と二次回路系 $10s$ との絶縁のみが行われる。

[0100] なお、第4実施形態の電源装置1では、第1～第3実施形態と比べて直流出力電圧 V_o が高くなるので、整流ダイオード $D*3$ 及び $D*4$ としては、高耐圧（900V～1200V耐圧）であって、かつ、順方向降下電圧の低いSiCベースのショットキーバリアダイオードなどを採用することが望ましい。このような構成を採用することにより、大電力向けの電源装置1の効率をさらに向上することが可能となる。

[0101] また、第4実施形態の電源装置1では、入出力絶縁兼共振用のメイントランスとして、2つの第2トランス $T*2X$ 及び $T*2Y$ が直列に用いられている。このような構成とすることにより、各トランス毎の印加電圧を $1/2$ に引き下げることができるので、発熱の分散や磁気飽和の回避を図ることが可能となる。

[0102] なお、第1～第3実施形態でも説明したように、メイントランスのサイズは、（1）第1トランス $T*1$ による共振リアクトルの一部分担化、（2）SiCベースのMOSFET採用によるスイッチング高速化、及び、（3）第1トランス $T*1$ への回路追加による第2トランス $T*2$ の簡略化によって、十分に縮小することができる。従って、メイントランスを第2トランス $T*2X$ 及び $T*2Y$ の2つに分けても、それほど嵩張らない。

[0103] <実測定データ>

次に、第4実施形態の電源装置1における各部動作波形の実測結果について例示する。図13は、測定条件を示すテーブルである。本図で示すように、今回の実験では、入出力電圧：600V、出力電力：5kW、スイッチング周波数：182kHzという設定の下で第4実施形態の電源装置1を駆動することにより、各部動作波形の実測定を行った。

[0104] また、1次側のスイッチ素子 $Q*1$ 及び $Q*2$ としては、SiCベースのMOSFET（耐電圧1200V、耐電流40A）を用い、2次側の整流ダ

イオードD*3及びD*4としては、SiCベースのSBD [Schottky barrier diode] (耐電圧1200V、耐電流10A)を用いた。

[0105] また、共振コンデンサC*1及びC*2のキャパシタンスはそれぞれ60nFとした。また、各相(1、2、3)の2つの第2のトランスT*2XおよびT*2Yから形成される合成励磁インダクタンスは、それぞれ110.7μH、116.1μH、113.7μHとした。また、各相(1、2、3)の第1のトランスT*1と2つの第2のトランスT*2XおよびT*2Yから形成される合成リーケッジインダクタンスは、それぞれ12.0μH、11.6μH、11.6μHとした。なお、各相のインダクタンス値の誤差は作製時に意図せず発生したものである。

[0106] 図14は、1次側SiCMOSFETのドレイン電流 I_d (右側縦軸)及びドレイン・ソース間電圧 V_{ds} (左側縦軸)を示す実測波形図である。例えば、実測対象の1次側SiCMOSFETをスイッチ素子Q12とした場合、ドレイン電流 I_d は先のスイッチ電流 I_{q12} に相当し、ドレイン・ソース間電圧 V_{ds} は先のドレイン・ソース間電圧 V_{ds12} に相当する。本図に示す実測波形は、図4のタイミングチャートで示したシミュレーション波形とよく整合している。

[0107] 一方、図15は図13と同様の回路定数で構成した回路において、入出力電圧:800V、出力電力:5kW、スイッチング周波数:162kHzという設定の下で第4実施形態の電源装置1を駆動することにより得られた図14と同様の実測波形図である。このように耐電圧1200VのSiCMOSFETを用いることで、耐電圧900V程度のSiFETではできない動作が実証されている。

[0108] 図16及び図17は、それぞれ、図13の回路条件で実測定を行った場合の、2次側SiCSBD (本図の例では、整流ダイオードD13、D23、D33)の順方向電流を示す実測波形図である。なお、図16は電流バランスなしの場合を示しており、図17は電流バランスありの場合を示している。両図を対比すれば明らかなように、先の電流バランス動作によって各相

の順方向電流が均一化されていることが分かる。

[0109] 図18は、合成電流平均値及び合成後リップル電流の対比テーブルである。本図で示すように、合成電流平均値は、電流バランス動作なしの場合に17.0Aとなり、電流バランス動作ありの場合に16.7Aとなった。また、合成後リップル電流は、電流バランス動作なしの場合に6.45A(37.8%)となり、電流バランス動作ありの場合に4.30A(25.7%)となり、リップル電流の改善が確認された。

[0110] 最後に、電流バランス動作時の電流波形に生じる凹凸について考察する。電流バランス動作によって、電流の小さい相は、第1トランスT*1の起電で実質的な入力電圧が増加し、電流が増加する。逆に、電流の大きい相は、第1トランスT*1の起電で実質的な入力電圧が低下し、電流が低下する。

[0111] すなわち、電流の大小関係が逆転すれば起電方向も逆転するので、電流バランス動作中には起電の入れ替わりと電流の応答速度に応じた電流振動が発生する。これは十数MHzオーダーの振動になり、スイッチング周波数とは全く別のものとして現れる。

[0112] ところで、偶然に特定条件下で各相のトランスやスイッチ素子等の回路定数が近い値になっていた場合には、電流バランス回路が動作していなくても各相の電流波形がほぼ同じになる。そのため、出力コンデンサのリップル電流を見ているだけでは、電流バランス回路が正常に動作しているか否かは分からない。

[0113] 仮に、電流バランス回路が正常に動作していないにも関わらず、偶然にも各相の電流波形が同じである場合、環境条件が変わったときに電流バランスを取れなくなるおそれがある。従って、如何なる回路定数のずれがあった場合でも電流バランスを取るためには、電流バランス回路が正常に動作していることを確認しておくことが望ましい。

[0114] そこで、電源装置1の実動作中に電流検知回路14-*で電流を測るか、或いは、電源装置1の組立時や動作確認時にスイッチ素子や整流素子に流れる電流を測ることにより、共振周波数以外の電流振動(電流波形の凹凸)が

生じているか否かを確認する手法が考えられる。先にも述べたように、電流バランス動作中にはスイッチング周波数と異なる電流振動が現れる。従って、電流振動の有無から電流バランス回路が正常に機能しているか否かを容易に検査することができるので、回路上の故障を的確に判別して電源装置 1 の信頼性を高めることが可能となる。

[0115] 例えば、電源装置 1 の起動時やテストモード時において、自動で上記の検査処理を実施し、その結果をホスト（電源装置 1 の外部に存在するマイコンなど）に通知する検査部を設けておけばよい。なお、先出の制御回路 15 に検査部としての機能を持たせておくことも可能である。或いは、電源装置 1 の出荷前検査などにおいて、電源装置 1 の外部から上記の検査処理を実施してもよい。

[0116] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

産業上の利用可能性

[0117] 本発明に係る電源装置は、例えば、産業機械向けやインフラ設備向けの絶縁型電源装置として利用することが可能であり、特に、AC 400V系の商用交流電源を使用する機器の絶縁を目的として好適に利用することが可能である。

符号の説明

[0118] 1 電源装置
 10、10-*（ただし* = 1、2、3） LLC共振型DC/DC
 Cコンバータ

10p	一次回路系
10s	二次回路系
10c	制御回路系
11、11-*	スイッチング回路
12、12-*	直列共振回路
13、13-*	整流平滑回路
14-*	電流検知回路
15	制御回路
16-*	絶縁ゲートドライバ回路
17	出力帰還回路
18	電流バランス制御回路
20	直流電源回路
100	分割ボビン
101	天面部
102	底面部
103	分割面部
104	第1巻軸部
105	第2巻軸部
106	空洞部
200	コア
210、220	E型コア部材
211、221	中脚部
212、222	側脚部
230	空隙部
Q1、Q2	スイッチ素子
Q*1、Q*2	第1スイッチ素子 (SiC MISFET)
Q41	第2スイッチ素子
TR1	絶縁トランス

T*1 第1トランス (バランストランス)
T*2、T*2X、T*2Y 第2トランス (メイントランス)
T*1a、T*2a、T*2Xa、T*2Ya 一次巻線
T*1b、T*2b、T*2Xb、T*2Yb 二次巻線
Lp*a、Lp*b 励磁インダクタンス
Ls* リークインダクタンス
D1、D2、D*1、D*2 整流ダイオード
D*3、D*4 整流ダイオード (SiC SBD)
D41、D42 ダイオード
C1、Co、Co1、Co2 平滑コンデンサ
Ls、Lp リアクトル
Cr1、Cr2、C*1、C*2、 共振コンデンサ
L1 一次巻線
L2 二次巻線

請求の範囲

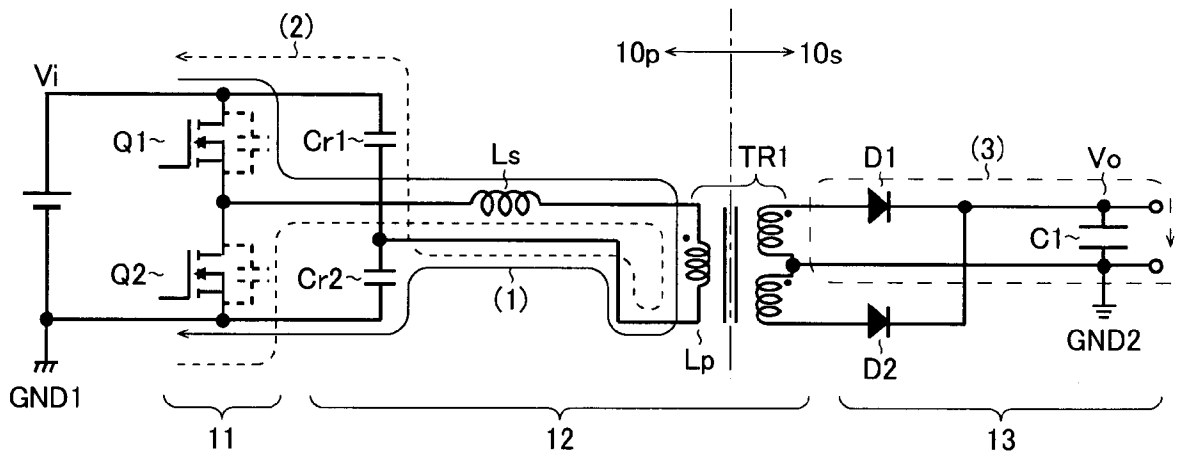
- [請求項1] 直流入力電圧の入力端と直流出力電圧の出力端との間に並列接続されており、各々の動作位相が 120° ずつずらされた3相の共振型DC/DCコンバータを有し、
- 前記共振型DC/DCコンバータは、それぞれ、第1スイッチ素子を用いて前記直流入力電圧をスイッチングすることにより直流を交流に変換するスイッチング回路と、前記スイッチング回路の出力端に接続された直列共振回路と、前記直列共振回路の出力端に接続された整流平滑回路と、を含み、
- 前記直列共振回路は、それぞれ、第1トランス及び第2トランスと、共振コンデンサとを含み、
- 前記第1トランスの一次巻線、前記第2トランスの一次巻線、及び、前記共振コンデンサは、互いに直列接続されており、
- 前記第2トランスの二次巻線は、前記整流平滑回路に接続されており、
- 前記第1トランスは、それぞれ、別々のコアを備えており、一次巻線と二次巻線とが巻線間に所定のリーケッジインダクタンスを具備して絶縁されており、かつ、各相の二次巻線が互いに並列接続されている、
- ことを特徴とする電源装置。
- [請求項2] 前記第1トランスの一次巻線と二次巻線とが分割ボビンによって絶縁されている、
- ことを特徴とする請求項1に記載の電源装置。
- [請求項3] 前記第1トランスの二次巻線側に設けられており、前記二次巻線に流れる電流を検知する電流検知回路と、
- 前記電流検知回路の検知結果に応じて、共振状態の監視、並びに、前記第1スイッチの制御及び保護を行う制御回路と、
- をさらに有することを特徴とする請求項1または2に記載の電源装

置。

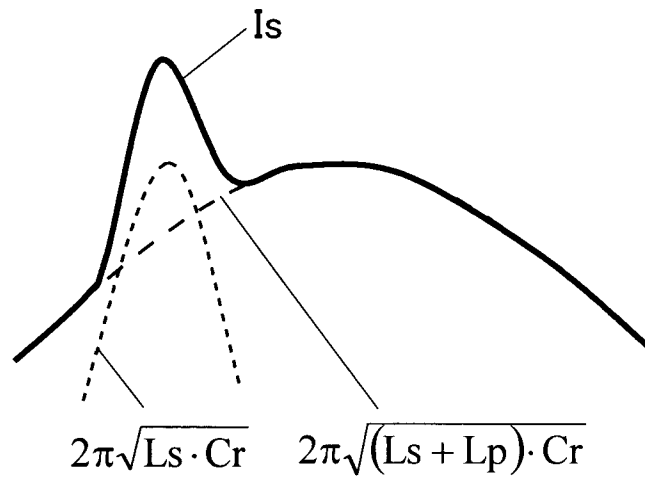
- [請求項4] 前記第1トランスの二次巻線側に設けられており、電流バランス制御信号に応じて、前記第1トランスの二次巻線を短絡させる第2スイッチ素子をさらに有することを特徴とする請求項1～請求項3のいずれか一項に記載の電源装置。
- [請求項5] 前記電流バランス制御信号は、前記電源装置が軽負荷状態であるときに前記二次巻線を短絡させる論理レベルとなることを特徴とする請求項4に記載の電源装置。
- [請求項6] 前記第1スイッチ素子は、いずれも、SiCベースのMISFET [metal-insulator semiconductor-field effect transistor] 素子であることを特徴とする請求項1～請求項5のいずれか一項に記載の電源装置。
- [請求項7] 前記直列共振回路の共振周波数以外の電流振動が生じているか否かに応じて電流バランス動作が正常であるか否かを検査する検査部をさらに有することを特徴とする請求項1～請求項6のいずれか一項に記載の電源装置。

[図1]

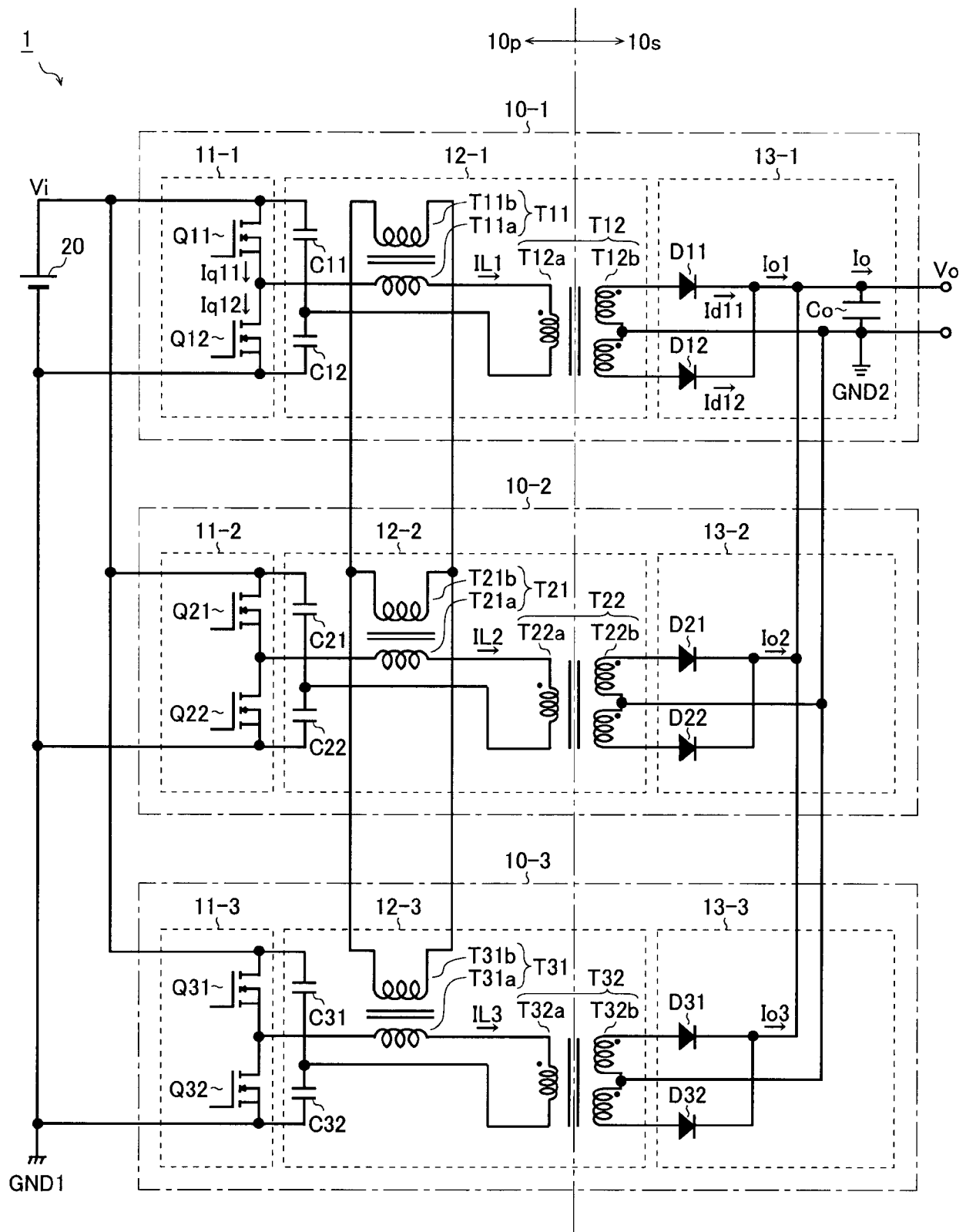
10



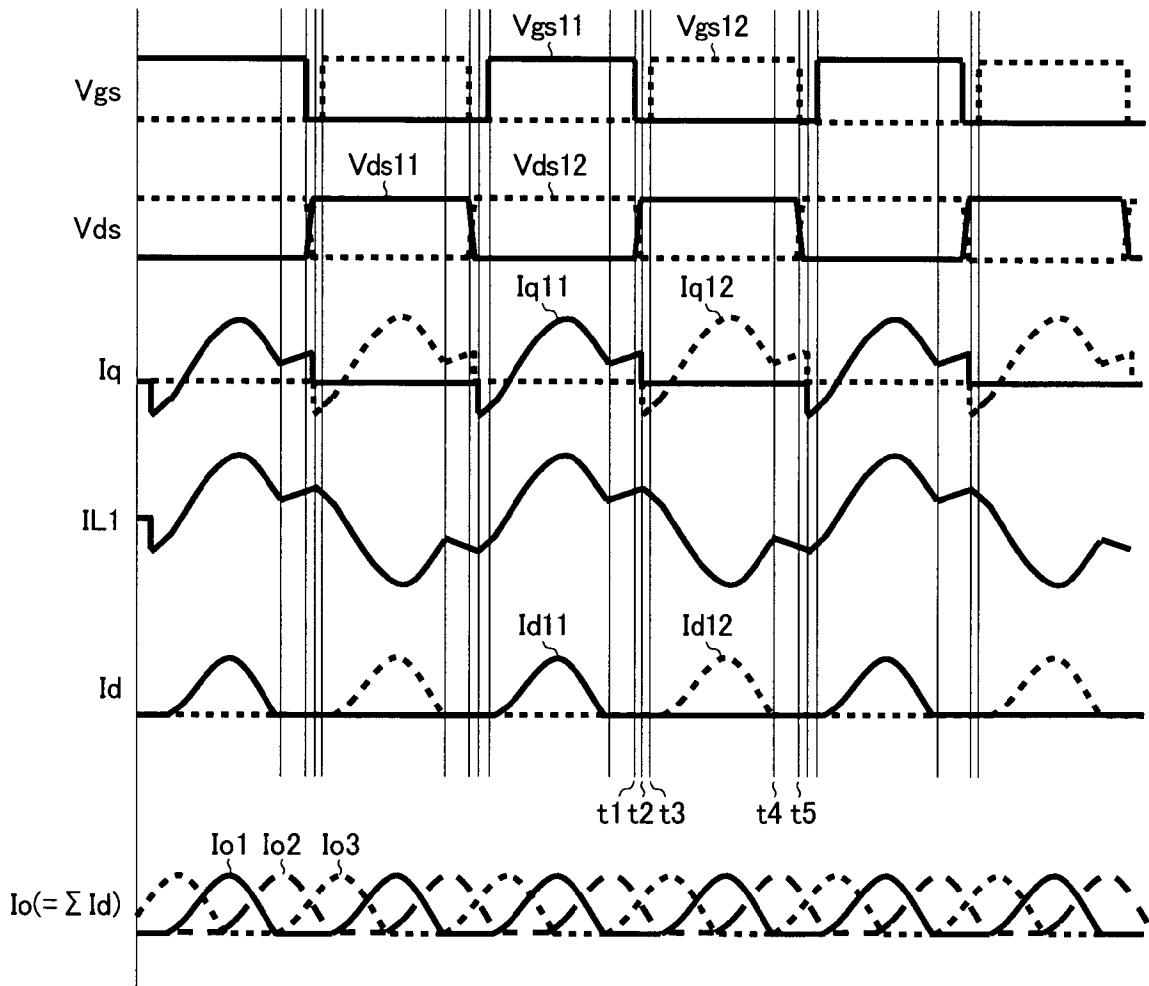
[図2]



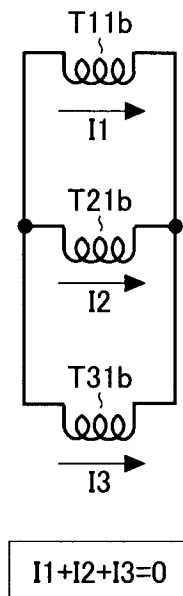
[図3]



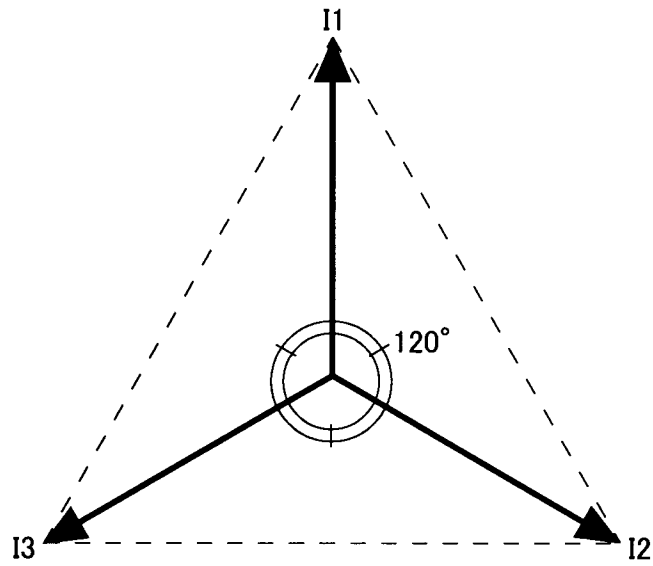
[図4]



[図5]

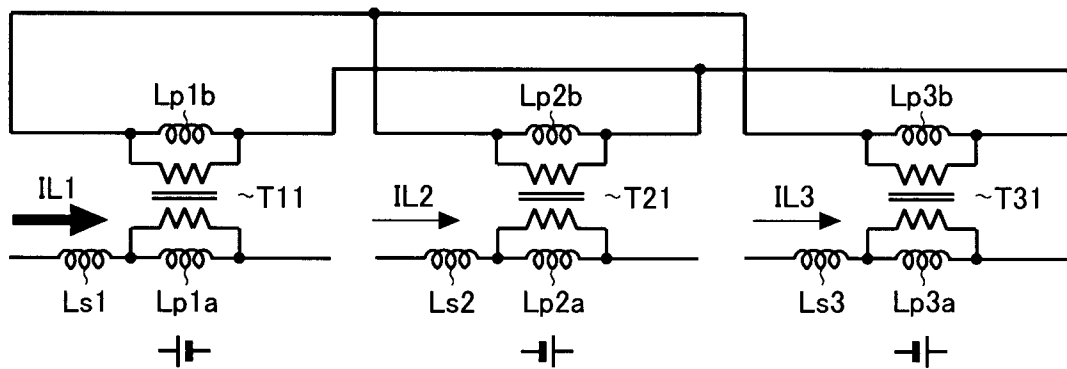


[図6]

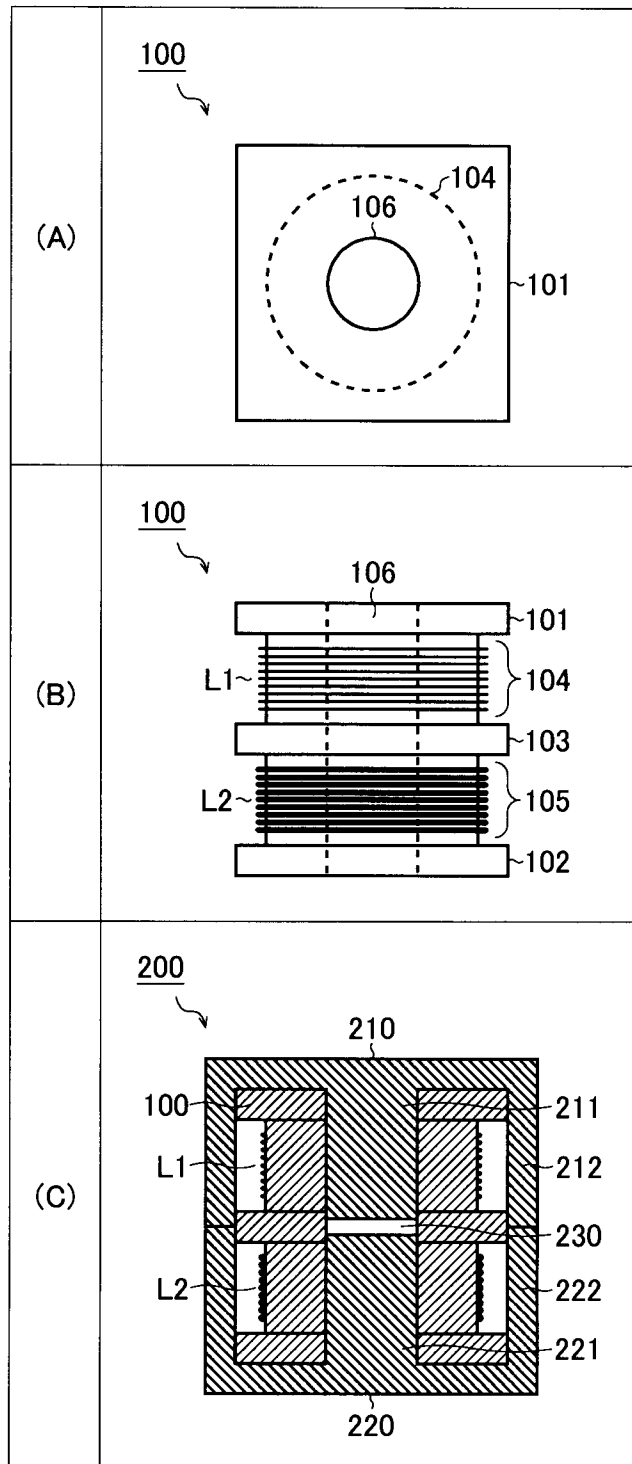


$$|I1|=|I2|=|I3|$$

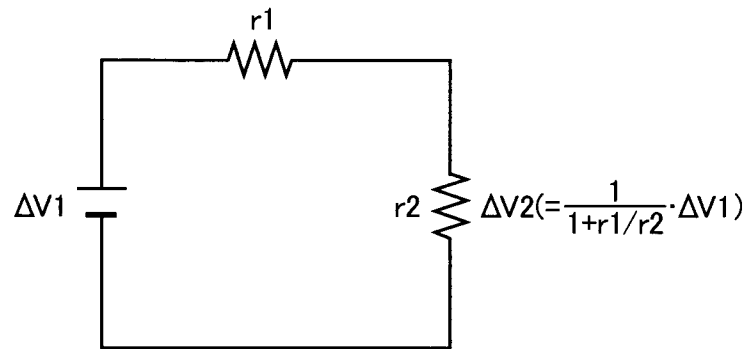
[図7]



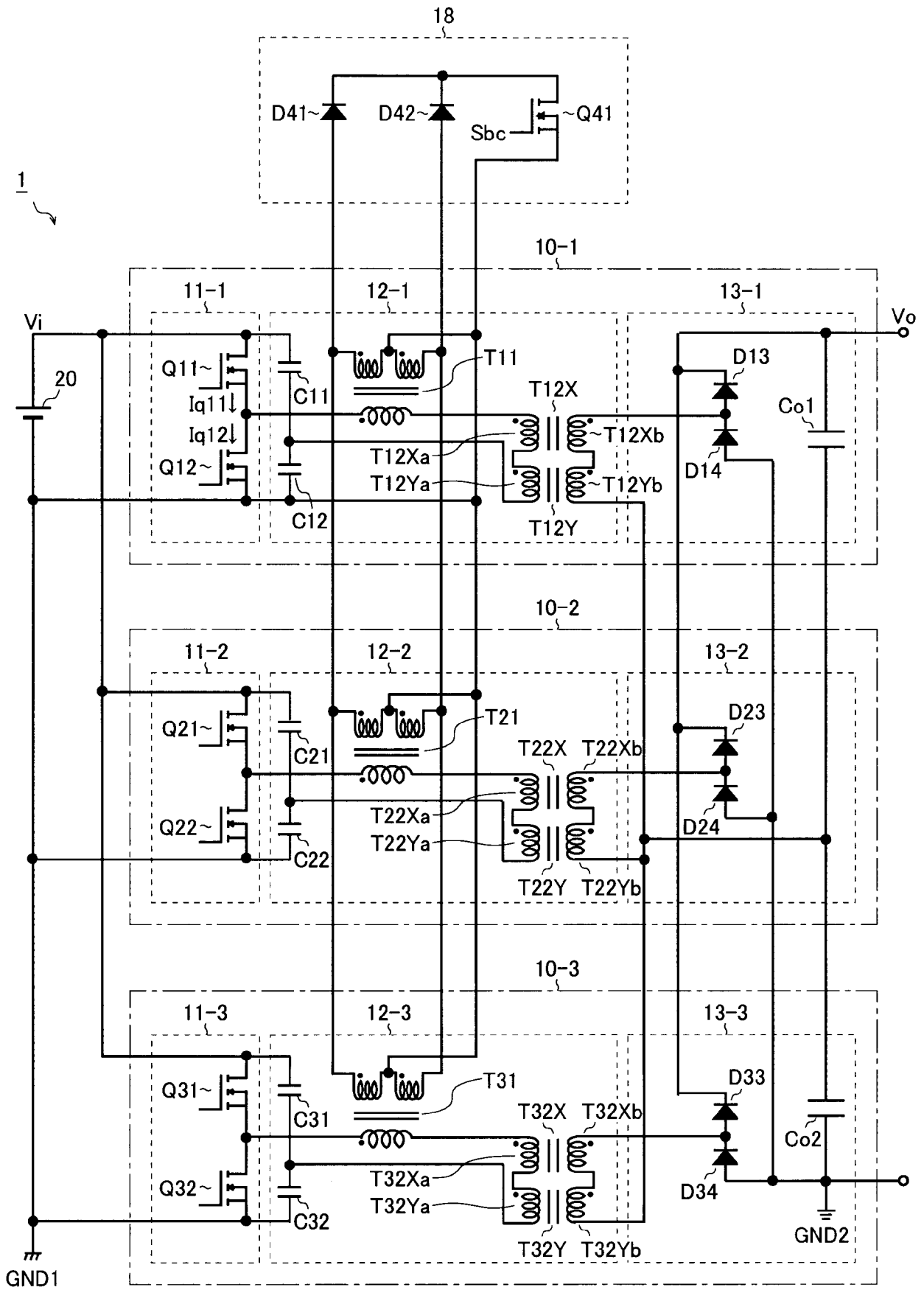
[図8]



[図11]



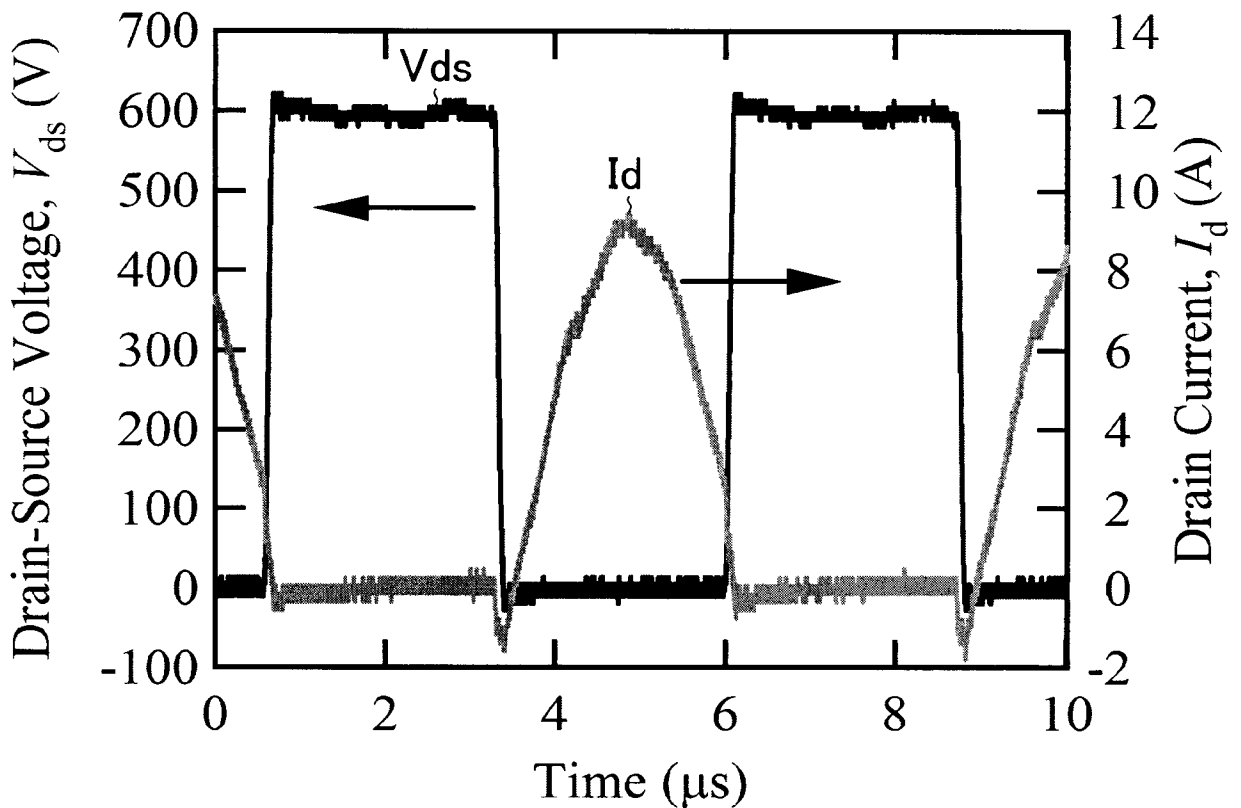
[図12]



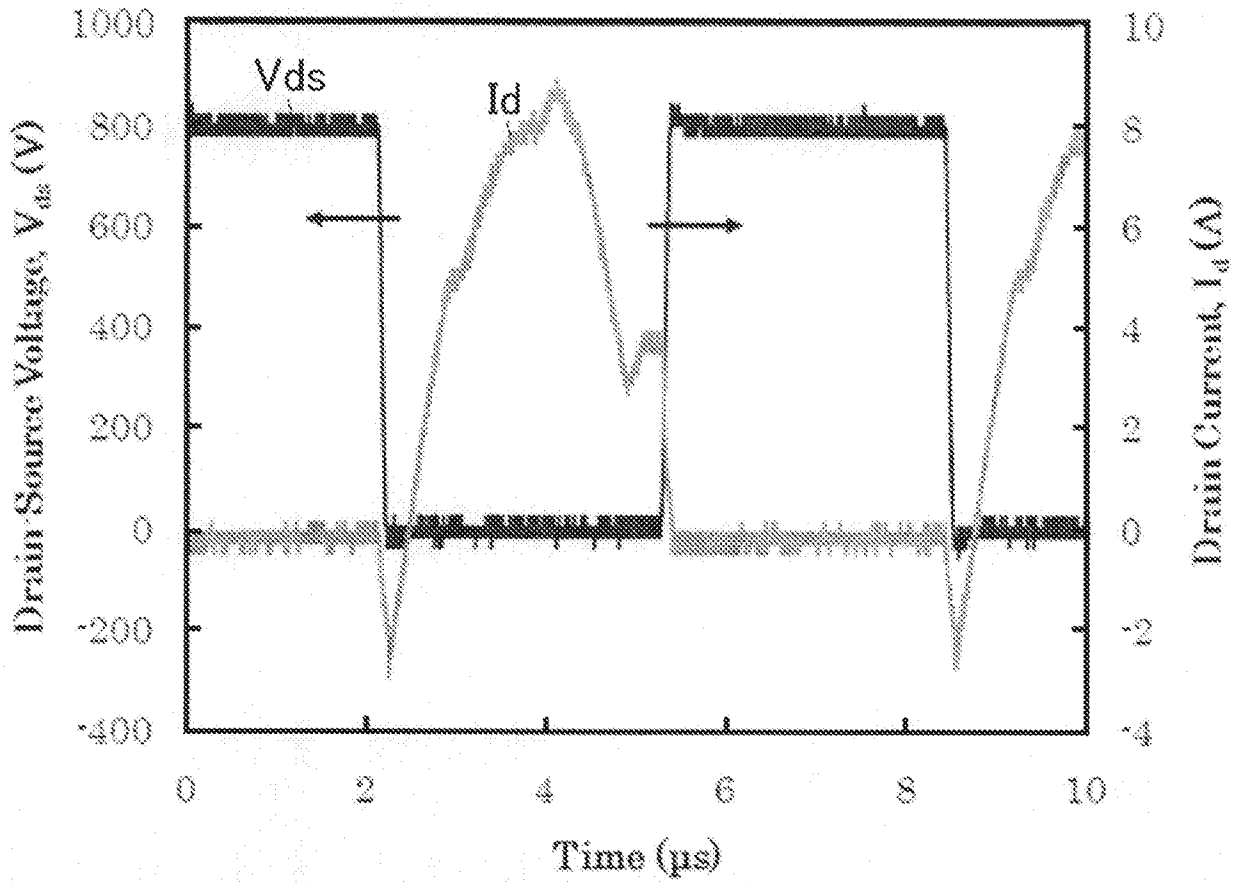
[図13]

項目	値
入出力電圧	600 V
出力電力	5 kW
スイッチング周波数	182 kHz
Q11-Q32	SiC MOSFET 1200V40A
D13-D34	SiC SBD 1200V10A
C11-C32	60 nF
各相 (1,2,3) の励磁インダクタンス	110.7、116.1、113.7 μH
各相 (1,2,3) のリーケッジインダクタンス	12.0、11.6、11.6 μH

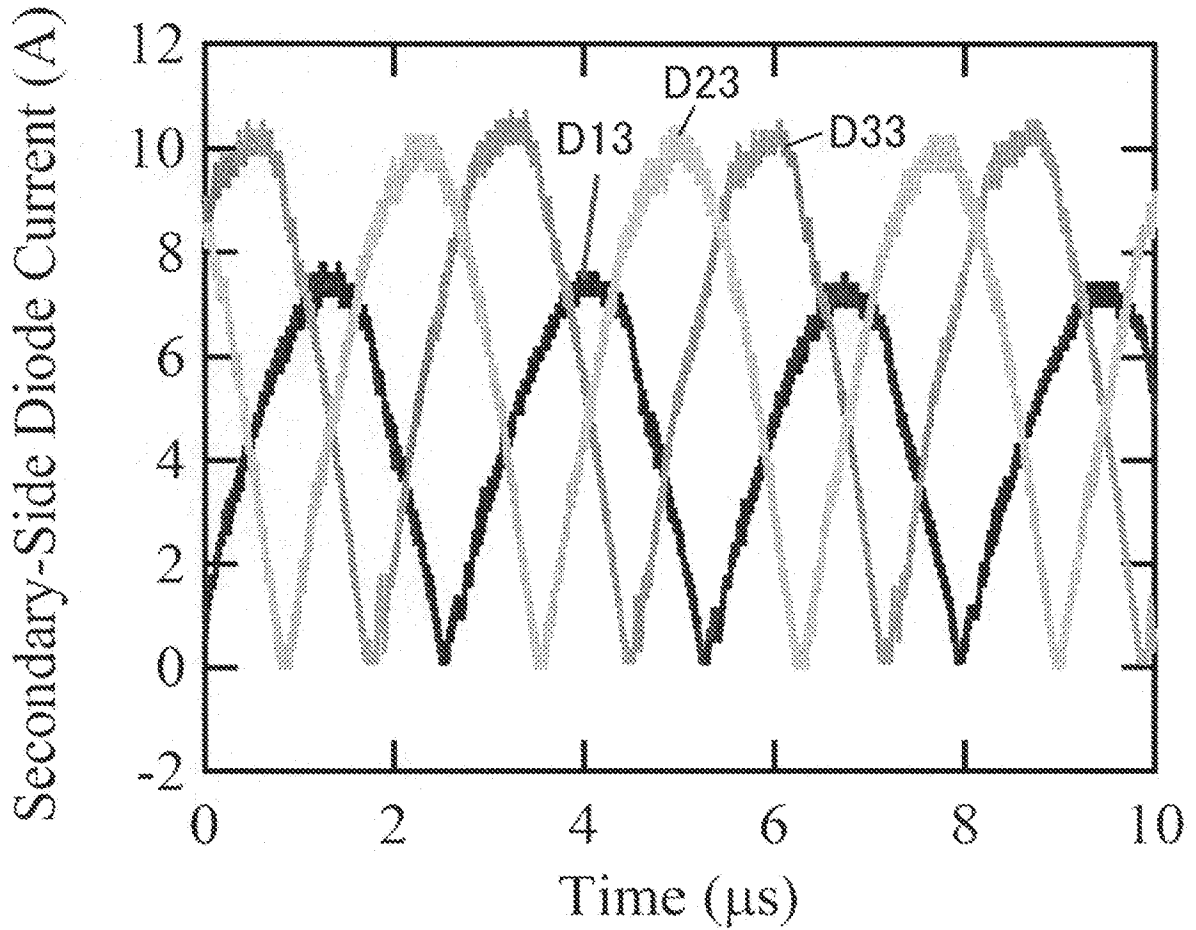
[図14]



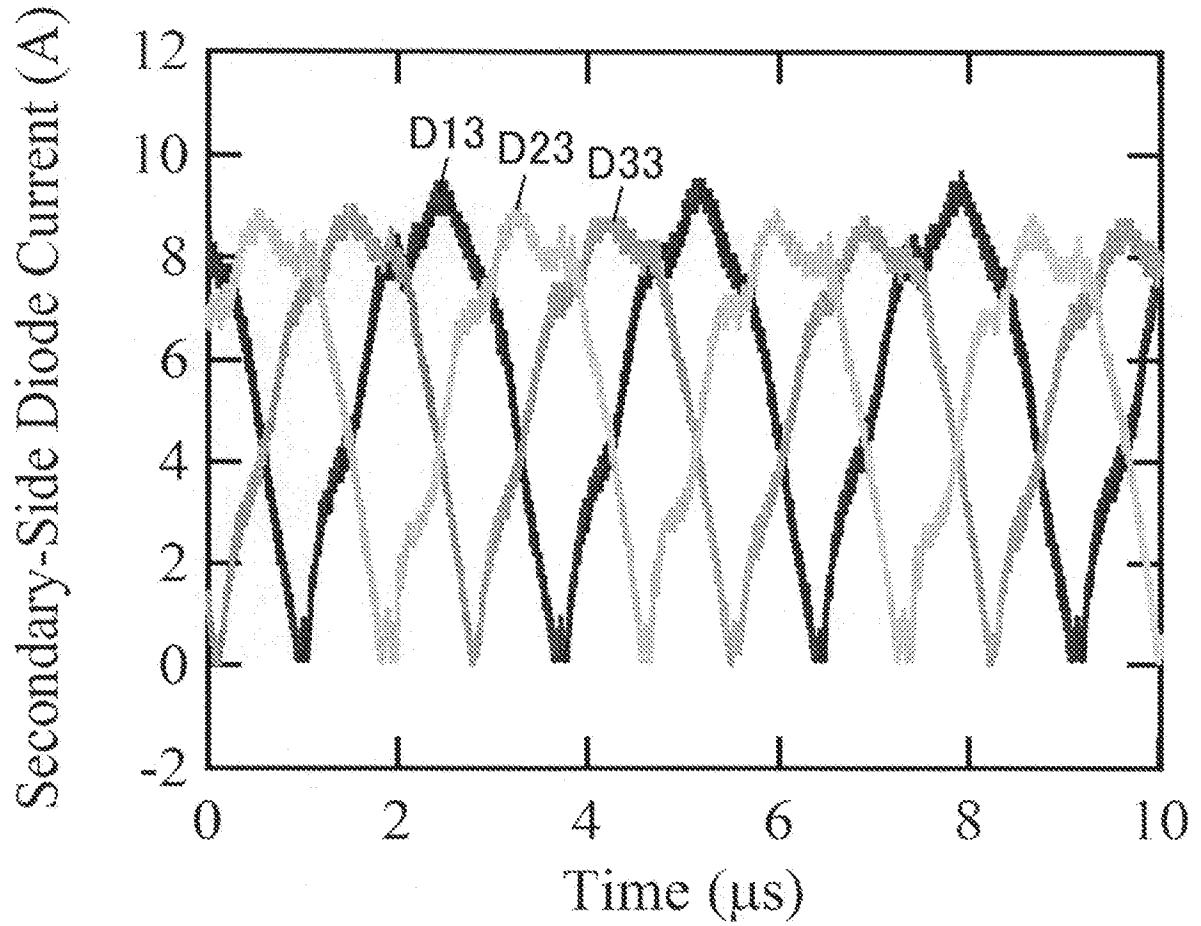
[圖15]



[圖16]



[図17]



[図18]

	電流バランス動作なし	電流バランス動作あり
合成電流平均値	17.0 A	16.7 A
合成後リプル電流	6.45 A (37.8%)	4.30 A (25.7%)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/064198

A. CLASSIFICATION OF SUBJECT MATTER
H02M3/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-254440 A (Sony Corp.), 09 September 2004 (09.09.2004), paragraphs [0005] to [0026]; fig. 1 (Family: none)	1-7
A	EP 2058931 A2 (INNOLUX DISPLAY CORP.), 13 May 2009 (13.05.2009), fig. 1 & US 2009/0116264 A1 & CN 101431300 A	1-7
A	JP 10-229676 A (TDK Corp.), 25 August 1998 (25.08.1998), fig. 1 & US 5946206 A	1-7

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 July 2015 (02.07.15)	Date of mailing of the international search report 14 July 2015 (14.07.15)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/064198

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-78449 A (Sanken Electric Co., Ltd.), 23 March 2001 (23.03.2001), fig. 1 (Family: none)	1-7
A	JP 2009-148135 A (Sanken Electric Co., Ltd.), 02 July 2009 (02.07.2009), fig. 1 & US 2010/0220505 A1 & WO 2009/078305 A1	1-7

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H02M3/28(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H02M3/28		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-254440 A（ソニー株式会社）2004.09.09, 段落[0005]-[0026]、図1（ファミリーなし）	1-7
A	EP 2058931 A2（INNOLUX DISPLAY CORPORATION）2009.05.13, Fig.1 & US 2009/0116264 A1 & CN 101431300 A	1-7
A	JP 10-229676 A（ティーディーケー株式会社）1998.08.25, 図1 & US 5946206 A	1-7
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 02.07.2015	国際調査報告の発送日 14.07.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 安食 泰秀 電話番号 03-3581-1101 内線 3357	3V 3740

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-78449 A (サンケン電気株式会社) 2001. 03. 23, 図 1 (ファミリーなし)	1-7
A	JP 2009-148135 A (サンケン電気株式会社) 2009. 07. 02, 図 1 & US 2010/0220505 A1 & WO 2009/078305 A1	1-7