(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0027396
(43) 공개일자 2010년03월11일

(51) Int. Cl.
H03K 23/00 (2006.01) *H03L 7/183* (2006.01)
(21) 출원번호 10-2008-0086297
(22) 출원일자 2008년09월02일
심사청구일자 2008년09월02일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
김수원
서울 광진구 자양동 680-58 파라다이스리버빌 401호
김규영
부산 남구 용호3동 388-10번지 21/1
(74) 대리인
현종철

전체 청구항 수 : 총 10 항

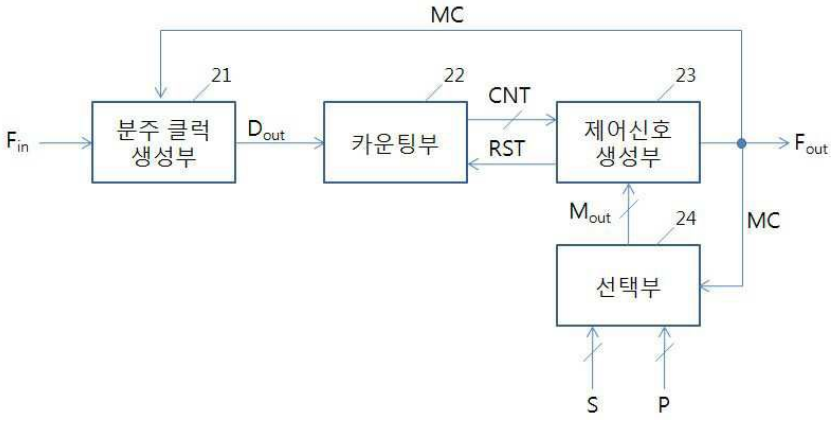
(54) 프로그램 가능한 주파수 분주기 및 분주 방법

(57) 요 약

본 발명은 프로그램 가능한 주파수 분주기(Programmable Frequency Divider: PD)에 관한 것으로, 보다 상세하게는 매우 높은 주파수를 발생시키는 위상 고정 루프(Phase Locked Loop, PLL)를 이용한 주파수 합성기(Frequency Synthesizer)의 핵심 모듈인 프로그램 가능한 주파수 분주기에 관한 것이다.

본 명세서에서 개시하는 프로그램 가능한 주파수 분주기는 분주비 제어신호(MC 신호)에 의해 입력 클럭(F_{in})의 주파수를 제1 분주비(N+1) 또는 제2 분주비(N)로 분주한 분주 클럭(D_{out})을 생성하는 분주 클럭 생성부; 상기 D_{out}의 개수(CNT)를 카운팅하되, 상기 CNT의 스왈로우 모드 카운팅과 상기 CNT의 프로그램 모드 카운팅을 직렬적으로 수행하는 카운팅부; 및 상기 CNT와 상기 스왈로우 모드 카운팅의 수(S)와 상기 CNT의 최대의 수에 해당하는 상기 프로그램 모드 카운팅의 수(P)를 이용하여 상기 MC 신호를 생성하여 상기 분주 클럭 생성부에 피드-백(feedback)하고, 상기 카운팅부의 리셋 제어신호(RST 신호)를 생성하는 제어신호 생성부를 포함한다.

대 표 도 - 도2a



이 발명을 지원한 국가연구개발사업

과제고유번호	10560C0211613
부처명	(재)서울특별시시정개발연구원
연구사업명	전략산업혁신클러스터육성지원사업
연구과제명	나노 SoC 산업육성을 위한 산학협력 혁신 클러스터 3차년도(테라스케일 SoC 설계 위한 나노 IP DB 구축)
주관기관	광운대학교
연구기간	2007년 12월 01일 ~ 2008년 11월 30일

특허청구의 범위

청구항 1

분주비 제어신호(MC 신호)에 의해 입력 클럭(F_{in})의 주파수를 제1 분주비(N+1) 또는 제2 분주비(N)로 분주한 분주 클럭(D_{out})을 생성하는 분주 클럭 생성부;

상기 D_{out}의 개수(CNT)를 카운팅하되, 상기 CNT의 스왈로우 모드 카운팅과 상기 CNT의 프로그램 모드 카운팅을 직렬적으로 수행하는 카운팅부; 및

상기 CNT와 상기 스왈로우 모드 카운팅의 수(S)와 상기 CNT의 최대의 수에 해당하는 상기 프로그램 모드 카운팅의 수(P)를 이용하여 상기 MC 신호를 생성하여 상기 분주 클럭 생성부에 피드-백(feedback)하고, 상기 카운팅부의 리셋 제어신호(RST 신호)를 생성하는 제어신호 생성부를 포함하는 프로그램 가능한 주파수 분주기.

청구항 2

제 1 항에 있어서,

상기 주파수 분주기는 상기 S 또는 상기 P 중 하나가 선택된 값(M_{out})을 출력하는 선택부를 더 포함하고, 상기 선택부는 상기 MC 신호를 상기 제어신호 생성부에서 피드-백 받아 상기 S 또는 상기 P 중 하나를 선택하는 제어신호로 하는 것을 특징으로 하는 프로그램 가능한 주파수 분주기.

청구항 3

제 2 항에 있어서, 상기 제어신호 생성부는

상기 S와 상기 P의 상호간으로의 변화 여부를 판단하여, 상기 CNT의 현재 카운팅 모드를 상기 스왈로우 모드 카운팅 또는 상기 프로그램 모드 카운팅으로 전환하는 카운팅 모드 전환부; 및

상기 카운팅 모드 전환부로부터의 전환 신호에 기반하여 상기 MC 신호와 상기 RST 신호를 생성하는 RST/MC 신호 생성부를 포함하는 것을 특징으로 하는 프로그램 가능한 주파수 분주기.

청구항 4

제 3 항에 있어서, 상기 RST/MC 신호 생성부는

상기 전환 신호를 동작 클럭으로 입력받아 이를 2분주시켜 상기 MC 신호를 생성하는 제1 플립플롭; 및

상기 전환 신호와 로직 상태가 반대인 신호를 동작 클럭으로 하고, 상기 MC 신호와 로직 상태가 반대인 신호를 입력받아 상기 RST 신호를 생성하는 제2 플립플롭을 포함하는 것을 특징으로 하는 프로그램 가능한 주파수 분주기.

청구항 5

제 4 항에 있어서, 상기 두 플립플롭은

D-플립플롭인 것을 특징으로 하는 프로그램 가능한 주파수 분주기.

청구항 6

(a)분주비 제어신호(MC 신호)에 의해 입력 클럭(F_{in})의 주파수를 제1 분주비(N+1) 또는 제2 분주비(N)로 분주한 분주 클럭(D_{out})을 생성하는 단계;

(b)상기 D_{out}의 개수(CNT)를 카운팅하되, 상기 CNT의 스왈로우 모드 카운팅과 상기 CNT의 프로그램 모드 카운팅을 직렬적으로 수행하는 단계; 및

(c)상기 CNT와 상기 스왈로우 모드 카운팅의 수(S)와 상기 CNT의 최대의 수에 해당하는 상기 프로그램 모드 카운팅의 수(P)를 이용하여 상기 MC 신호를 생성하고, 상기 CNT 카운팅의 리셋 제어신호(RST 신호)를 생성하는 단계를 포함하는 주파수 분주 방법.

청구항 7

제 6 항에 있어서,

(d)상기 S 또는 상기 P 중 하나가 선택된 값(M_{out})을 출력하는 단계를 더 포함하고, 상기 (d)단계는 상기 MC 신호를 상기 S 또는 상기 P 중 하나를 선택하는 제어신호로 하여 구현되는 것을 특징으로 하는 주파수 분주 방법.

청구항 8

제 7 항에 있어서, 상기 (c)단계는

(c1)상기 S와 상기 P의 상호간으로의 변화 여부를 판단하여, 상기 CNT의 현재 카운팅 모드를 상기 스왈로우 모드 카운팅 또는 상기 프로그램 모드 카운팅으로 전환하여 카운팅 모드 전환 신호를 생성하는 단계; 및

(c2)상기 전환 신호에 기반하여 상기 MC 신호와 상기 RST 신호를 생성하는 단계를 포함하는 것을 특징으로 하는 주파수 분주 방법.

청구항 9

제 8 항에 있어서, 상기 (c2)단계는

(c21)상기 전환 신호를 2분주시켜 상기 MC 신호를 생성하는 단계; 및

(c22)상기 전환 신호와 로직 상태가 반대인 신호 및 상기 MC 신호와 로직 상태가 반대인 신호를 이용하여 상기 RST 신호를 생성하는 단계를 포함하는 것을 특징으로 하는 주파수 분주 방법.

청구항 10

제 6 항 내지 제 9 항의 어느 한 항의 방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 프로그램 가능한 주파수 분주기(Programmable Frequency Divider: PD) 및 분주 방법에 관한 것으로, 보다 상세하게는 매우 높은 주파수를 발생시키는 위상 고정 루프(Phase Locked Loop, PLL)를 이용한 주파수 합성기(Frequency Synthesizer)의 핵심 모듈인 프로그램 가능한 주파수 분주기 및 분주 방법에 관한 것이다.

배 경 기 술

[0002] 이동 통신 환경의 발달로 인해서 0.9 ~ 2.4 GHz의 고속 주파수의 클럭에서 동작하는 GSM, GPS, DCS1800, WCDMA과 무선 LAN 등의 표준이 원활히 동작되도록 하는 주파수 합성기의 역할이 중요해졌다.

[0003] 주파수 합성기는 고속 주파수의 클럭(high speed clock)을 분주(divide)하기 위해 분주비(division ratio)를 조절할 수 있는 프로그램 가능한 분주기(PD)를 포함하고 있는데, 이 분주기는 전압 제어 발진기(통상 'VCO'로 표시)에서 발생하는 고속의 클럭을 분주하므로 전력을 매우 많이 소모한다. 따라서 상기에서 언급한 바와 같은 주파수 합성기의 증대되는 역할에 부응하여 소모 전력을 획기적으로 줄이는 것이 주파수 합성기의 설계에 있어서 매우 중요한 고려사항이다.

[0004] 도 1은 기존의 프로그램 가능한 주파수 분주기의 구성을 제시한 도면이다.

[0005] 기존의 프로그램 가능한 분주기는, 도 1에 제시된 바와 같이, N 또는 [N+1]의 분주비를 가지는 이중 비율 프리스케일러(Dual Modulus Prescaler: DMP), P까지 클럭을 세는 프로그램 카운터(Program Counter: PC)와 S까지 클럭을 세는 스왈로우 카운터(Swallow Counter: SC)를 포함한다. 여기서 N은 DMP의 기본 분주비, P는 외부에서 설정되는 PC의 입력값, S는 외부에서 설정되는 SC의 입력값으로 P는 S보다 큰 값을 갖는다.

[0006] PLL(Phase Locked Loop)의 전압 제어 발진기(VCO)로부터 고속의 클럭(F_{in})이 DMP에 인가되면 DMP는 분주비

[N+1]로 F_{in}을 분주한다. [N+1] 분주된 클럭(F_{in}/[N+1])은 PC와 SC에 동시에 인가되며, 이들 두 카운터에서 각각 [N+1] 분주된 클럭의 개수를 세게 된다. P가 S보다 크므로, SC에 의해 먼저 S까지 카운팅되며 S까지 카운팅되면 SC의 출력인 분주비 제어신호(Modulus Control signal: MC 신호)가 '1(logic high)'로 이벤트된다. 이벤트된 MC 신호에 의하여 DMP는 분주비를 [N+1]에서 N으로 변경한다. DMP에 의해 다시 분주비 N으로 분주된 클럭(F_{in}/N)을 PC가 입력받아 P까지 클럭의 개수를 세게 되고, P까지 도달하면 PC는 리셋 신호(RST)를 발생시켜서 P와 S를 0으로 리셋(reset)시킨다.

[0007] 즉, S에 도달하는 시간 동안에는 F_{in}은 분주비 [N+1]로 분주되고, [P-S]의 시간 동안에는 분주비 N으로 분주된다. 상기 리셋후에는 다시 상기와 같은 카운팅 동작 및 분주 동작이 반복 수행된다.

[0008] 이와 같은 카운팅 동작 및 분주 동작을 반복 수행하면 F_{in}의 최종 분주비(D)를 다음 식과 같이 얻을 수 있다.

[0009] $D = (N+1)*S + N*(P-S) = N*P + S$.

[0010] F_{out}(PD의 출력)은 F_{in}이 최종 분주비 D로 분주된 클럭이다.

[0011] 그러나 기존의 프로그램 가능한 분주기는, 위에서 제시한 바와 같이, DMP가 두 카운터(프로그램 카운터와 스왈로우 카운터)에 자신에 의해 분주된 클럭을 동시에 공급하기 때문에 매우 큰 팬-아웃(Fan-out)을 가지게 된다. 매우 큰 팬-아웃은 고속 주파수에서의 동작의 성능을 보장하지 못하며, 두 개의 카운터가 불필요하게 중복된 기능(두 카운터가 병렬적으로 카운팅을 수행한다)을 하므로 결국 주파수 합성기의 소모 전력을 현저히 증가시키고 아울러 칩(chip) 면적의 증가를 가져와 제작 단가도 현저히 증가시킨다.

발명의 내용

해결 하고자하는 과제

[0012] 본 발명은 상기 언급한 주파수 합성기의 증대되는 역할에 부응하고, 주파수 합성기의 핵심 모듈인 주파수 분주기의 상기한 기존의 문제점을 해결하기 위해 창안된 것으로, 본 발명이 해결하고자 하는 과제는 소모 전력을 현저히 감소시킬 수 있는 프로그램 가능한 주파수 분주기 및 분주 방법을 제공하는 것이다.

과제 해결수단

[0013] 상기와 같은 과제를 해결하기 위해 본 명세서에서 개시하는 프로그램 가능한 주파수 분주기는

[0014] 분주비 제어신호(MC 신호)에 의해 입력 클럭(F_{in})의 주파수를 제1 분주비(N+1) 또는 제2 분주비(N)로 분주한 분주 클럭(D_{out})을 생성하는 분주 클럭 생성부; 상기 D_{out}의 개수(CNT)를 카운팅하되, 상기 CNT의 스왈로우 모드 카운팅과 상기 CNT의 프로그램 모드 카운팅을 직렬적으로 수행하는 카운팅부; 및 상기 CNT와 상기 스왈로우 모드 카운팅의 수(S)와 상기 CNT의 최대의 수에 해당하는 상기 프로그램 모드 카운팅의 수(P)를 이용하여 상기 MC 신호를 생성하여 상기 분주 클럭 생성부에 피드-백(feedback)하고, 상기 카운팅부의 리셋 제어신호(RST 신호)를 생성하는 제어신호 생성부를 포함하여 본 발명의 과제를 해결한다.

[0015] 아울러 본 명세서에서 개시하는 프로그램 가능한 주파수 분주기는 상기 S 또는 상기 P 중 하나가 선택된 값(M_{out})을 출력하는 선택부를 더 포함하고, 상기 선택부는 상기 MC 신호를 상기 제어신호 생성부에서 피드-백 받아 상기 S 또는 상기 P 중 하나를 선택하는 제어신호로 하여 본 발명의 과제를 해결한다.

[0016] 상기 제어신호 생성부는 상기 S와 상기 P의 상호간으로의 변화 여부를 판단하여, 상기 CNT의 현재 카운팅 모드를 상기 스왈로우 모드 카운팅 또는 상기 프로그램 모드 카운팅으로 전환하는 카운팅 모드 전환부; 및 상기 카운팅 모드 전환부로부터의 전환 신호에 기반하여 상기 MC 신호와 상기 RST 신호를 생성하는 RST/MC 신호 생성부를 포함하여 본 발명의 과제를 해결한다.

[0017] 상기 RST/MC 신호 생성부는 상기 전환 신호를 동작 클럭으로 입력받아 이를 2분주시켜 상기 MC 신호를 생성하는 제1 플립플롭; 및 상기 전환 신호와 로직 상태가 반대인 신호를 동작 클럭으로 하고, 상기 MC 신호와 로직 상태가 반대인 신호를 입력받아 상기 RST 신호를 생성하는 제2 플립플롭을 포함하여 본 발명의 과제를 해결한다.

[0018] 상기와 같은 과제를 해결하기 위해 본 명세서에서 개시하는 프로그램 가능한 주파수 분주 방법은

[0019] (a)분주비 제어신호(MC 신호)에 의해 입력 클럭(F_{in})의 주파수를 제1 분주비(N+1) 또는 제2 분주비(N)로 분주한

분주 클럭(D_{out})을 생성하는 단계; (b)상기 D_{out}의 개수(CNT)를 카운팅하되, 상기 CNT의 스왈로우 모드 카운팅과 상기 CNT의 프로그램 모드 카운팅을 직렬적으로 수행하는 단계; 및 (c)상기 CNT와 상기 스왈로우 모드 카운팅의 수(S)와 상기 CNT의 최대의 수에 해당하는 상기 프로그램 모드 카운팅의 수(P)로부터 상기 MC 신호를 생성하고, 상기 CNT 카운팅의 리셋 제어신호(RST 신호)를 생성하는 단계를 포함하여 본 방법 발명의 과제를 해결한다.

효 과

[0020] 본 발명에 의한 주파수 분주기는 기존의 주파수 분주기에 사용되었던 PC와 SC 두 개의 카운터를 하나의 카운터 모듈로 구현할 수 있으므로, 주파수 합성기의 소모 전력을 줄일 수 있고 아울러 팬-아웃(Fan-out)을 줄일 수 있어 비용의 절감 및 고속 동작상에서의 성능을 안정적으로 보장할 수 있는 부수적 효과도 얻을 수 있다.

발명의 실시를 위한 구체적인 내용

[0021] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요를 우선 제시한다.

[0022] 본 발명에 의한 프로그램 가능한 주파수 분주기는 저전력 소모를 그 목표로 하는 것으로, 이를 위해 기존의 분주기와는 달리 PC와 SC 두 개의 카운터를 하나의 카운터 모듈로 구현하여 스왈로우 카운팅과 프로그램 카운팅을 직렬적으로 이루어지게 함으로써, 상기 두 개의 카운터를 사용함으로써 발생되었던 주파수 분주기의 고전력 소모의 문제, 팬-아웃(Fan-out) 증가의 문제를 해결하는 것이 본 발명이 해결하고자 하는 과제의 해결 방안의 개요이다.

[0023] 이하, 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다.

[0024] 도 2a 내지 도 2d는 본 발명에 의한 프로그램 가능한 주파수 분주기의 일 실시예의 구성을 제시한 도면이고, 도 3a 내지 도 3c는 본 방법 발명의 일 흐름을 제시한 도면이다.

[0025] 도 2a를 참조하면, 본 발명에 의한 주파수 분주기의 일 실시예는 분주 클럭 생성부(21), 카운팅부(22), 제어신호 생성부(23) 및 선택부(24)를 포함한다.

[0026] 분주 클럭 생성부(21)는 매우 고속의 입력 클럭(F_{in})을 제1 분주비(N+1) 또는 제2 분주비(N)로 분주한 분주 클럭(D_{out})을 생성하는(s31) 기능을 수행하는 부분으로, 기존 주파수 분주기의 이중 비율 프리스케일러(Dual Modulus Prescaler: DMP)에 해당하는 부분이다. 분주 클럭 생성부(21)는 분주비 제어신호(MC 신호)의 로직(logic) 상태에 따라 입력 클럭(F_{in}) 주파수의 분주비를 N 또는 [N+1]로 결정하는데, MC 신호의 발생 방식이 기존의 주파수 분주기와 다르며, 이에 대해서는 후술한다. 그리고 N은 주파수 분주기의 기본 분주비이며, 통상적으로 4를 많이 사용한다.

[0027] 카운팅부(22)는 분주 클럭(D_{out})의 개수(CNT)를 카운팅하는 기능을 수행하는(s32) 부분으로, 상기 기존 주파수 분주기의 PC와 SC의 기능을 수행하는 부분이다. 도 2a에 제시된 바와 같이, 본 발명에 의한 카운팅부(22)는 기존 주파수 분주기의 PC와 SC에 의한 카운팅을 병렬적(독립적)으로 하지 아니하고 PC와 SC의 기능을 하나로 통합하여 스왈로우 카운팅과 프로그램 카운팅을 직렬적으로 수행하게 하여 PC와 SC의 동시적이고 중복적인 구동을 방지시킨다.

[0028] 단일 카운터 기능으로의 통합은, 뒤에서 보다 자세히 언급하겠지만, S와 P를 MC 신호에 의해 실시간 선택적으로 활용할 수 있기 때문에 가능하다. 여기에서 S와 P는, 기존 주파수 분주기에서와 같이, 외부에서 설정해주는 값으로 주파수 분주기가 활용되는 기기나 환경 등에 의해 결정된다.

[0029] 제어신호 생성부(23)는 CNT와 CNT의 스왈로우 모드 카운팅의 수(S) 또는 CNT의 최대의 수에 해당하는 프로그램 모드 카운팅의 수(P)를 이용하여 MC 신호를 생성한 후, 분주 클럭 생성부(21)에 피드-백(feedback)하여 분주 클럭 생성부(21)가 입력 클럭(F_{in})의 주파수를 제1 분주비(N+1) 또는 제2 분주비(N)로 분주한 분주 클럭(D_{out})을 생성토록 하는 기능을 수행하며, 아울러 카운팅부(22)의 reset 신호(RST 신호)를 생성하는(s33) 기능을 수행하는 부분이다.

[0030] 제어신호 생성부(23)의 보다 자세한 동작을 설명하기 위해 도 2b 내지 도 2e를 참조하여 설명하도록 한다.

[0031] 도 2b는 제어신호 생성부(23)의 바람직한 일 구성예를 제시한 도면이며, 도 2e는 제어신호 생성부(23)와 관련된 제반 신호의 타이밍 다이어그램을 제시한 도면이다.

[0032] 도 2b를 참조하면, 본 발명에 의한 제어신호 생성부(23)의 바람직한 일 구성은 카운팅 모드 전환부(231) 및 RST/MC 신호 생성부(232)를 포함한다. 제어신호 생성부(23)의 동작에 관한 설명의 편의를 위해, S=3, P=8, N=4라고 가정한다. 그리고 M_{out}은 선택부(24)의 출력으로 MC 신호를 선택 제어신호로 하여 S 또는 P 중 하나가 선택된 신호로, MC 신호가 logic low 일 때에는 S가 선택되고 logic high 일 때에는 P가 선택된다. 선택부(24)는 논리 회로 중의 하나인 MUX를 이용하여 구현함이 바람직하다.

[0033] 카운팅 모드 전환부(231)는 S와 P의 상호간으로의 변화 여부를 판단하여, CNT의 현재 카운팅 모드를 스왈로우 모드 카운팅 또는 프로그램 모드 카운팅으로 전환하는(s331) 기능을 수행하는 부분이다.

[0034] 카운팅 모드 전환부(231)의 바람직한 구현예는 도 2c에 제시되어 있는데, CNT가 3에 도달하면 CNT의 스왈로우 모드 카운팅이 프로그램 모드 카운팅으로 전환되는 상태(state)에 도달한 것이므로(M_{out}의 state가 변하므로) 배타적 논리합 소자(XOR)의 출력이 logic high로 이벤트 되며 아울러 논리합 소자(OR)에 의해 카운팅 모드 전환 신호(E_{out})도 logic high로 이벤트 되어 카운팅 모드의 전환이 발생한다. 이때 M_{out}의 상태는 MC 신호의 로직 상태에 따라 변하게 되는데 MC 신호가 logic low 일 때에는 스왈로우 모드 카운팅 상태이며, logic high 일 때에는 프로그램 모드 카운팅 상태이다.

[0035] CNT가 3에서 4로의 전이가 완결되면 CNT의 카운팅 모드가 프로그램 모드 카운팅으로 안정화 상태에 도달하는 것이므로 배타적 논리합 소자(XOR)의 출력은 logic low로 이벤트 되며, 따라서 E_{out}도 logic low로 이벤트 된다. 즉, E_{out}은 CNT가 3에서 4 즉, P가 3에서 4로 전이되는 기간 동안 logic high로 지속되다가 logic low로 전이되며 CNT가 8이 될 때까지 logic low 상태가 유지된다. 이러한 CNT의 카운팅 및 MC 신호의 로직 상태에 따라 M_{out}의 상태가 바뀌고 따라서 E_{out}의 로직 상태가 도 2e에 제시된 바와 같이 반복된다.

[0036] RST/MC 신호 생성부(232)는 카운팅 모드의 전환에 따라 MC 신호와 RST 신호를 생성하는(s332) 기능을 수행하는 부분으로 그 바람직한 일 구성예가 도 2d에 제시되어 있다.

[0037] 제1 플립플롭(2321)은 D-플립플롭으로 구현되어, 도 2d에 제시된 신호 연결 관계와 같이, 자신의 positive edge triggered 동작 클럭(E_{out})을 2분주시켜 MC 신호를 생성한다(s3321). 2분주시키는 이유는 E_{out}이 logic high로 이벤트 될 때마다 CNT의 카운팅 모드가 바뀌기 때문이고, 카운팅 모드가 바뀌면 분주 클럭 생성부(21)의 분주비가 제1 분주비인 5에서 제2 분주비인 4로 바뀌어야 하기 때문이다. 생성된 MC 신호는 분주 클럭 생성부(21)에 피드-백(feedback)되어 분주 클럭 생성부(21)가 분주비를 4(Div-4) 또는 5(Div-5)로 조절할 수 있게 하고, 선택부(24)에 피드-백되어 M_{out}은 선택부(24)가 MC 신호를 선택 제어신호로 하여 S 또는 P 중 하나를 선택하여 M_{out}으로 하게 한다.

[0038] 제 2 플립플롭(2322)은 D-플립플롭으로 구현되어, 도 2d에 제시된 신호 연결 관계와 같이, negative edge triggered 동작 클럭(E_{out})에 의해 RST 신호를 생성하여(s3322) 카운팅부(22)로 피드-백하여 CNT를 0으로 리셋시키게 된다. RST 시간의 지속시간은 지연소자(Del)에 의해 T_d로 된다.

[0039] CNT가 0으로 리셋된 후, 다시 상기와 같은 카운팅 동작이 반복되고 따라서 상기 식과 같은 최종 분주비(D)를 얻을 수 있다.

[0040] 도 4는 본 발명에 의한 프로그램 가능한 분주기의 칩 사진의 일례를 나타낸 것이다. CMOS 0.18um 공정으로 제작된 것이며, 면적은 0.0408mm^2이다. UC 부분이 카운팅부(22)에, DMP 부분이 분주 클럭 생성부(21)에, RMS 부분이 제어신호 생성부(23)에, MUX 부분이 선택부(24)에 각각 해당한다.

[0041] 도 5a와 도 5b는 본 발명에 의한 주파수 분주기에 의해 F_{in}을 D의 분주비로 분주한 파형의 예를 제시한 도면이다. 상용 클럭 발생기를 사용해서 2GHz의 클럭을 F_{in}으로 인가시켰고, N은 4로 하였다.

[0042] 도 5a는 P=17, S=6인 경우로, 측정 결과 분주한 파형(결국 MC 신호)의 주파수(F_{out})은 27.00[MHz]이다. 이는

D=74일 때 상기 식을 이용해서 얻은 결과와 같은 값이다. 도 5b는 P=8, S=5인 경우로, 측정 결과 F_{out}은 54.00[MHz]이다. 이는 D=37일 때 상기 식을 이용해서 얻은 결과와 같은 값이다. 이 측정 결과를 통해서 본 발명에 의한 프로그램 가능한 분주기가 정확하게 동작함을 알 수 있다.

[0043] 도 6은 입력 신호(F_{in})의 주파수에 따른 전력 소모 측정 결과의 일례를 제시한 도면이다.

[0044] D=74인 경우이다. 기존 분주기의 모의실험 결과(sim(conv)), 본 발명에 의한 분주기의 모의실험 결과(sim(prop)), 본 발명에 의한 분주기의 실제 측정 결과(exp(prop)) 3가지의 경우에 대해 제시하고 있다. 입력 신호의 주파수가 증가함에 따라 전력 소모는 당연히 증가한다. 하지만, 3가지 경우를 비교해 보면, 제안된 분주기가 기존의 분주기보다 동일한 입력 신호의 주파수상에서 30% 이상 전력 소모가 감소함을 알 수 있다.

[0045] 본 방법발명은 또한 컴퓨터로 읽을 수 있는 기록매체에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록 장치를 포함한다.

[0046] 컴퓨터가 읽을 수 있는 기록매체의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피디스크, 광 데이터 저장장치 등이 있으며, 또한 캐리어 웨이브(예를 들어 유무선 네트워크를 통한 전송)의 형태로 구현되는 것도 포함한다. 또한 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어 분산방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.

[0047] 이제까지 본 발명에 대하여 그 바람직한 실시예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다.

[0048] 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 균등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

[0049] 도 1은 기존의 프로그램 가능한 주파수 분주기의 구성을 제시한 도면이다.

[0050] 도 2a 내지 도 2d는 본 발명에 의한 프로그램 가능한 주파수 분주기의 일 실시예의 구성을 제시한 도면이다.

[0051] 도 2e는 제어신호 생성부와 관련된 제반 신호의 타이밍 다이어그램을 제시한 도면이다.

[0052] 도 3a 내지 도 3c는 본 방법 발명의 일 흐름을 제시한 도면이다.

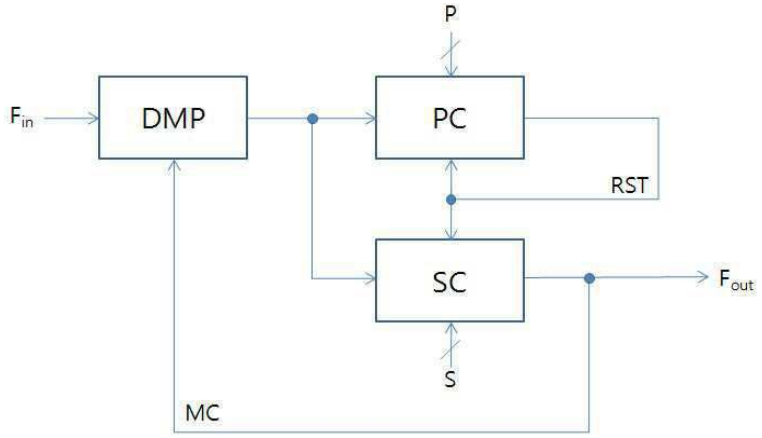
[0053] 도 4는 본 발명에 의한 프로그램 가능한 분주기의 칩 사진의 일례를 나타낸 것이다.

[0054] 도 5a와 도 5b는 본 발명에 의한 주파수 분주기에 의해 F_{in}을 D의 분주비로 분주한 파형의 예를 제시한 것이다.

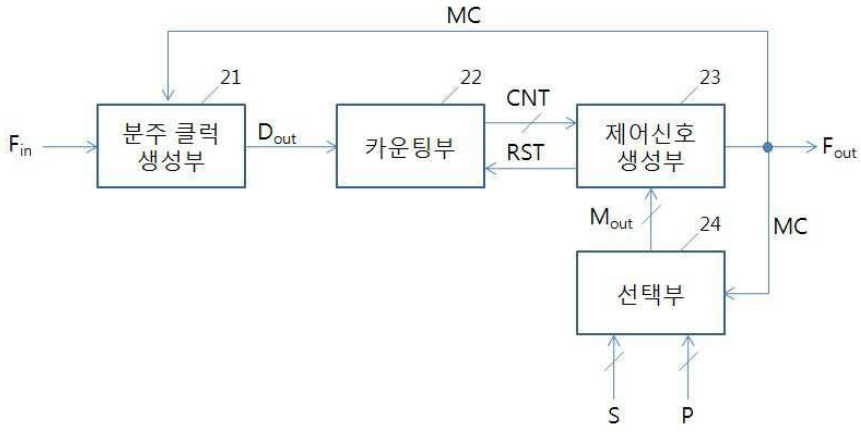
[0055] 도 6은 입력 신호(F_{in})의 주파수에 따른 전력 소모 측정 결과의 일례를 제시한 도면이다.

도면

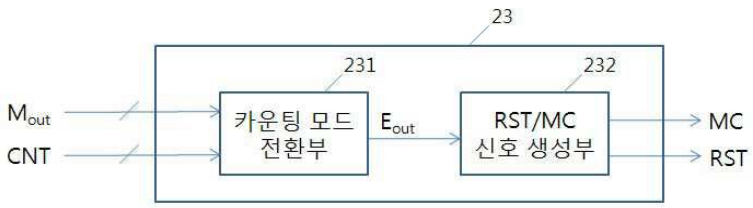
도면1



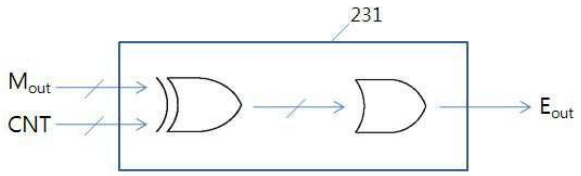
도면2a



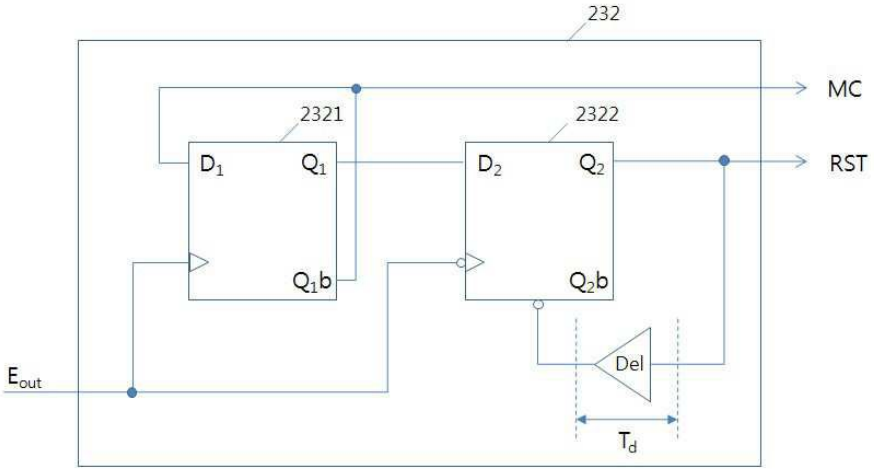
도면2b



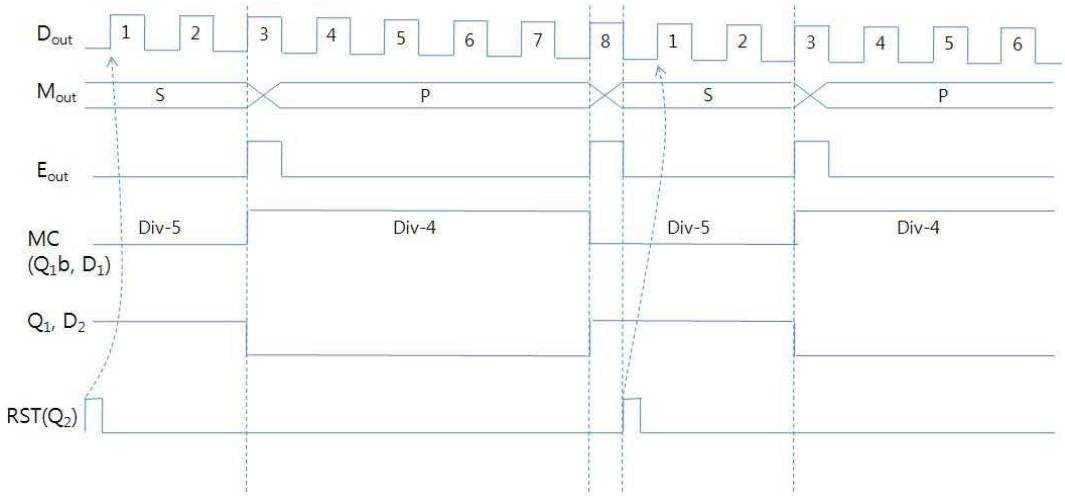
도면2c



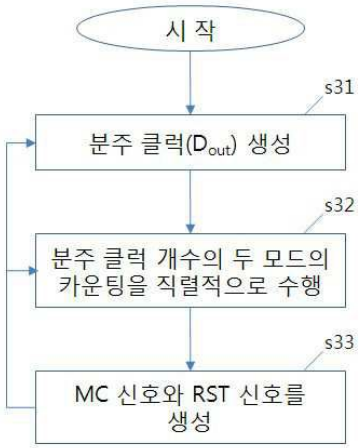
도면2d



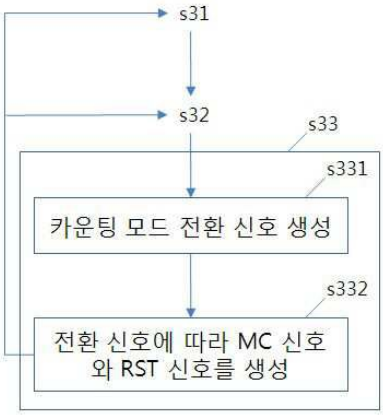
도면2e



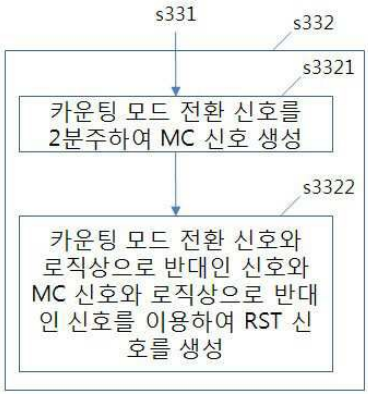
도면3a



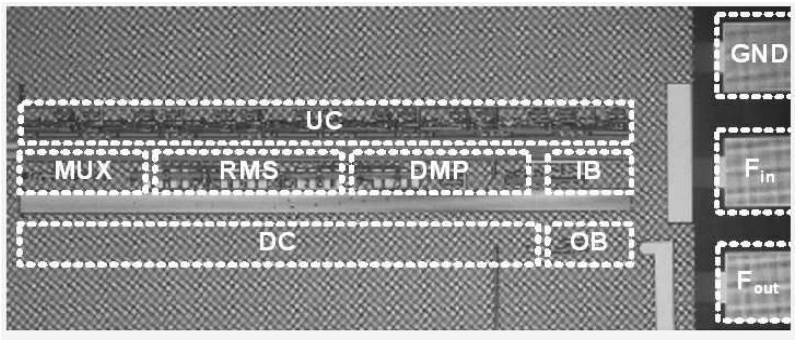
도면3b



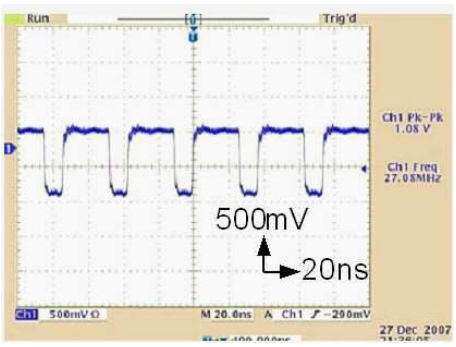
도면3c



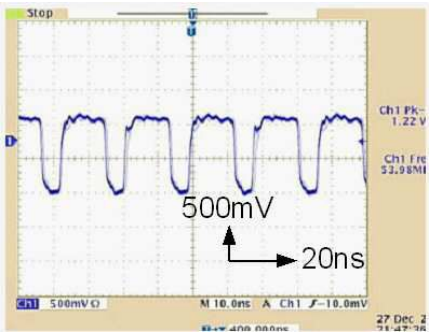
도면4



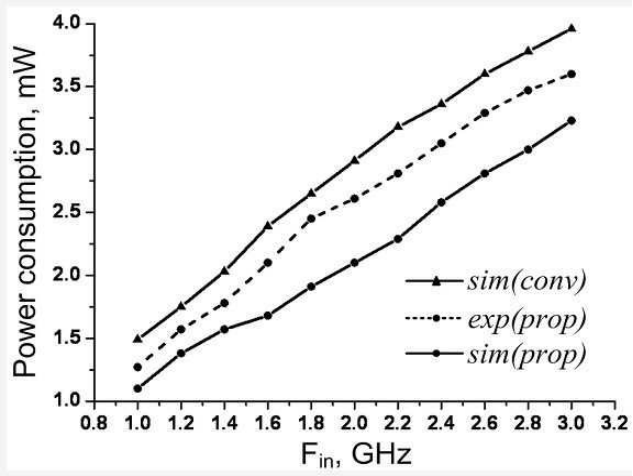
도면5a



도면5b



도면6


Power consumption, mW
4.0
3.5
3.0
2.5
2.0
1.5
1.0
0.8
1.0
1.2
1.4
1.6
1.8
2.0
2.2
2.4
2.6
2.8
3.0
3.2
F in, GHz
sim(conv)
exp(prop)
sim(prop)