

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年2月10日(10.02.2022)



(10) 国際公開番号

WO 2022/029541 A1

(51) 国際特許分類:

G06F 12/00 (2006.01) G11C 5/04 (2006.01)
G06G 7/60 (2006.01) H01L 21/8242 (2006.01)
G06N 3/063 (2006.01) H01L 27/108 (2006.01)

(21) 国際出願番号: PCT/IB2021/056692

(22) 国際出願日: 2021年7月26日(26.07.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2020-131673 2020年8月3日(03.08.2020) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 松 崎 隆 徳 (MATSUZAKI, Takanori);
〒2430036 神奈川県厚木市長谷398株式会社半
導体エネルギー研究所内 Kanagawa (JP). 大
貫 達 也 (ONUKI, Tatsuya); 〒2430036 神奈川県
厚木市長谷398株式会社半導体エネルギー
研究所内 Kanagawa (JP). 上妻宗広(KOZUMA,

Munehiro); 〒2430036 神奈川県厚木市長谷
398 株式会社半導体エネルギー研究所内
Kanagawa (JP). 青木健(AOKI, Takeshi). 岡本
佑樹(OKAMOTO, Yuki); 〒2430036 神奈川県厚
木市長谷398株式会社半導体エネルギー研究所内
Kanagawa (JP). 池田隆之(IKEDA, Takayuki);
〒2430036 神奈川県厚木市長谷398株式会社半
導体エネルギー研究所内 Kanagawa (JP).

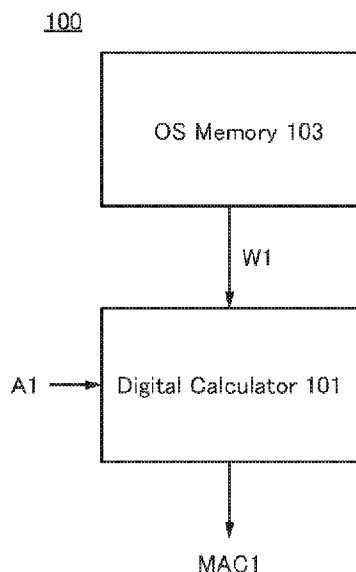
(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図1A



(57) Abstract: Provided is a semiconductor device having a novel configuration. This semiconductor device includes a digital calculator, an analog calculator, a first memory circuit, and a second memory circuit. The analog calculator, the first memory circuit, and the second memory circuit each include a transistor having an oxide semiconductor in a channel formation region. The first memory circuit has the function of supplying first weight data as digital data to the digital calculator, and the digital calculator has the function of performing a product-sum operation using the first weight data. The second memory circuit has the function of supplying second weight data as analog data to the analog calculator, and the analog calculator has the function of performing a product-sum operation using the second weight data. In at least one of the transistors that are provided respectively to the analog calculator and to the second memory circuit, and that each have an oxide semiconductor in the channel formation region thereof, a current quantity flowing in between a source and a drain is a current quantity that flows when the relevant transistor is running in a sub-threshold region.

WO 2022/029541 A1

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約：新規な構成の半導体装置を提供すること。デジタル演算器と、アナログ演算器と、第1メモリ回路と、第2メモリ回路と、を有し、アナログ演算器、第1メモリ回路、および第2メモリ回路は、それぞれ、チャンネル形成領域に酸化物半導体を有するトランジスタを含み、第1メモリ回路は、第1重みデータをデジタルデータとして、デジタル演算器に供給する機能を有し、デジタル演算器は、第1重みデータを用いて積和演算を行う機能を有し、第2メモリ回路は、第2重みデータをアナログデータとして、アナログ演算器に供給する機能を有し、アナログ演算器は、第2重みデータを用いて積和演算を行う機能を有し、アナログ演算器、および第2メモリ回路が含む、チャンネル形成領域に酸化物半導体を有するトランジスタの少なくとも一において、ソースドレイン間に流れる電流量は、当該トランジスタがサブスレッショルド領域で動作するとき流れる電流量である、半導体装置。

明細書

発明の名称

半導体装置

技術分野

[0001]

本明細書は、半導体装置等について説明する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、撮像装置、表示装置、発光装置、蓄電装置、記憶装置、表示システム、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。

背景技術

[0003]

CPU (Central Processing Unit) 等を含む半導体装置を有する電子機器が普及している。このような電子機器では、大量のデータを高速に処理するため、半導体装置の性能向上に関する技術開発が活発である。高性能化を実現する技術としては、例えば、GPU (Graphics Processing Unit) 等のアクセラレータとCPUとを密結合させた、所謂SoC (System on Chip) 化がある。SoC化によって高性能化した半導体装置では、発熱、及び消費電力の増加が問題となってくる。

[0004]

AI (Artificial Intelligence) 技術では、計算量とパラメータ数が膨大になるため、演算量が増大する。演算量の増大は、発熱、および消費電力を増加させる要因となるため、演算量を低減するためのアーキテクチャが盛んに提案されている。代表的なアーキテクチャとして、Binary Neural Network (BNN)、およびTernary Neural Network (TNN) があり、回路規模縮小、および低消費電力化に対して特に有効となる (例えば特許文献1を参照)。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 国際公開第2019/078924号

発明の概要

発明が解決しようとする課題

[0006]

AI技術の演算では、重みデータと入力データを用いた積和演算を膨大な回数繰り返すため、演算処理の高速化が求められる。メモリセルアレイでは、大量の重みデータ及び中間データを保持する必要がある。大量の重みデータ及び中間データを保持するメモリセルアレイでは、ビット線を通じて演算回路に重みデータ及び中間データを読み出す。重みデータ及び中間データの読み出しの頻度が多くなるため、メモリセルアレイと演算回路間のバンド幅が、動作速度の律速になることがある。

[0007]

メモリセルアレイと演算回路の間の配線の並列数を高めることで、高いバンド幅でメモリセルア

レイと演算回路を接続することができるため、演算処理の高速化に有利となる。しかしながら、演算回路とメモリセルアレイの間の配線数が増えることになるため、周辺回路の面積が著しく増大する虞がある。

[0008]

またAI技術の演算では、ビット線の充放電エネルギーを如何にして低減するかが低消費電力化を図るうえで重要となる。

[0009]

ビット線の充放電エネルギーを低減するためには、ビット線を短くすることが有効である。しかしながら、演算回路とメモリセルアレイを交互に並べて配置することになるため、周辺回路の面積が著しく増大する虞がある。またビット線を短くすることを目的として、貼り合わせ技術などを用いて垂直方向にトランジスタを集積化する技術がある。しかしながら貼り合わせ技術では、電氣的に接続するための接続部の間隔が大きいため、却って寄生容量等が増えてしまい充放電エネルギーを低減できない虞がある。

[0010]

本発明の一態様は、低消費電力化された半導体装置を提供することを課題の一とする。または、本発明の一態様は、演算処理速度の向上が図られた半導体装置を提供することを課題の一とする。本発明の一態様は、演算精度の向上が図られた半導体装置を提供することを課題の一とする。または、本発明の一態様は、小型化された半導体装置を提供することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。

[0011]

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面などの記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、デジタル演算器と、アナログ演算器と、第1メモリ回路と、第2メモリ回路と、を有し、アナログ演算器、第1メモリ回路、および第2メモリ回路は、それぞれ、チャンネル形成領域に酸化物半導体を有するトランジスタを含み、第1メモリ回路は、第1重みデータをデジタルデータとして、デジタル演算器に供給する機能を有し、デジタル演算器は、第1重みデータを用いて積和演算を行う機能を有し、第2メモリ回路は、第2重みデータをアナログデータとして、アナログ演算器に供給する機能を有し、アナログ演算器は、第2重みデータを用いて積和演算を行う機能を有し、アナログ演算器、および第2メモリ回路が含む、チャンネル形成領域に酸化物半導体を有するトランジスタの少なくとも一において、ソースドレイン間に流れる電流量は、当該トランジスタがサブスレッショルド領域で動作するとき流れる電流量である、半導体装置である。

[0013]

上記において、デジタル演算器は、アナログ演算器の動作中は、非動作状態となり、アナログ演算器は、デジタル演算器の動作中は、非動作状態となる、構成にしてもよい。

[0014]

上記において、デジタル演算器は、畳み込み演算を行うことが好ましい。また、上記において、アナログ演算器は、全結合演算を行うことが好ましい。

[0015]

上記において、デジタル演算器は、チャンネル形成領域にシリコンを有するトランジスタを含む、ことが好ましい。また、上記において、デジタル演算器は、第1の層に設けられ、アナログ演算器、第1メモリ回路、および第2メモリ回路は、第2の層に設けられ、第2の層は、第1の層の上に設けられる、ことが好ましい。また、上記において、第1メモリ回路は、デジタル演算器に重畳して設けられる、ことが好ましい。

[0016]

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

発明の効果

[0017]

本発明の一態様は、低消費電力化された半導体装置を提供することができる。または、本発明の一態様は、演算処理速度の向上が図られた半導体装置を提供することができる。または、本発明の一態様は、演算精度の向上が図られた半導体装置を提供することができる。または、本発明の一態様は、小型化された半導体装置を提供することができる。または、新規な構成の半導体装置を提供することができる。

[0018]

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

図面の簡単な説明

[0019]

図1Aおよび図1Bは、半導体装置の構成例を説明する図である。

図2Aおよび図2Bは、半導体装置の構成例を説明する図である。

図3Aおよび図3Bは、半導体装置の構成例を説明する図である。

図4は、半導体装置の構成例を説明する図である。

図5Aおよび図5Bは、半導体装置の構成例を説明する図である。

図6Aおよび図6Bは、半導体装置の構成例を説明する図である。

図7Aおよび図7Bは、半導体装置の構成例を説明する図である。

図8は、半導体装置の構成例を説明する図である。

図9Aおよび図9Bは、半導体装置の構成例を説明する図である。

図10Aおよび図10Bは、半導体装置の構成例を説明する図である。

図11A、図11B、および図11Cは、半導体装置の構成例を説明する図である。

図12は、半導体装置の構成例を説明する図である。

図13は、半導体装置の構成例を説明する図である。

図14Aおよび図14Bは、半導体装置の構成例を説明する図である。

図15Aおよび図15Bは、半導体装置の構成例を説明する図である。

- 図16Aおよび図16Bは、半導体装置の構成例を説明する図である。
- 図17Aおよび図17Bは、半導体装置の構成例を説明する図である。
- 図18は、演算処理システムの構成例を説明する図である。
- 図19は、CPUの構成例を説明する図である。
- 図20Aおよび図20Bは、CPUの構成例を説明する図である。
- 図21は、半導体装置の構成例を示す断面模式図である。
- 図22A乃至図22Cは、トランジスタの構成例を示す断面模式図である。
- 図23は、半導体装置の構成例を示す断面模式図である。
- 図24Aおよび図24Bは、トランジスタの構成例を示す断面模式図である。
- 図25は、トランジスタの構成例を示す断面模式図である。
- 図26AはIGZOの結晶構造の分類を説明する図であり、図26Bは結晶性IGZOのXRDスペクトルを説明する図であり、図26Cは結晶性IGZOの極微電子線回折パターンを説明する図である。
- 図27Aは半導体ウェハの一例を示す斜視図であり、図27Bはチップの一例を示す斜視図であり、図27C及び図27Dは電子部品の一例を示す斜視図である。
- 図28は、電子機器の一例を示す斜視図である。
- 図29A乃至図29Cは、電子機器の一例を示す斜視図である。

発明を実施するための形態

[0020]

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0021]

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0022]

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

[0023]

本明細書において、例えば、電源電位VDDを、電位VDD、VDD等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

[0024]

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“_1”、“_2”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合が

ある。例えば、2番目の配線GLを配線GL [2] と記載する。

[0025]

(実施の形態1)

本発明の一態様である半導体装置の構成、および動作等について説明する。

[0026]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

[0027]

図1Aおよび図1Bは、本発明の一態様である半導体装置100を説明するための図である。

[0028]

半導体装置100は、デジタル演算器 (Digital Calculator) 101と、アナログ演算器 (Analog Calculator) 102と、酸化物半導体メモリ (OS Memory: Oxide Semiconductor Memory) 103と、酸化物半導体メモリ (OS Memory) 104と、を有する。デジタル演算器101は、チャンネル形成領域にシリコンを有するトランジスタ (Siトランジスタ) を有することが好ましい。また、アナログ演算器102は、チャンネル形成領域に酸化物半導体を有するトランジスタ (OSトランジスタ) を有することが好ましい。また、酸化物半導体メモリ103および酸化物半導体メモリ104は、OSトランジスタを有する。

[0029]

半導体装置100は、積和演算の処理が可能なアクセラレータとして機能し、演算の種類に応じて、デジタル演算器101とアナログ演算器102を使い分けることができる。図1Aは、デジタル演算器101を動作させている状態を示し、図1Bは、アナログ演算器102を動作させている状態を示している。なお、図1Aに示すように、デジタル演算器101の動作中は、アナログ演算器102は非動作状態である。また、図1Bに示すように、アナログ演算器102の動作中は、デジタル演算器101は非動作状態である。

[0030]

図1Aに示すように、デジタル演算器101は、酸化物半導体メモリ103から入力された重みデータW1と、入力データA1と、を用いて積和演算を行い、その結果を出力データMAC1として出力する。酸化物半導体メモリ103が出力する重みデータW1は、デジタルデータとして出力される。

[0031]

ここで、酸化物半導体メモリ103に設けられたOSトランジスタは、オフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。酸化物半導体メモリ103は、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。

[0032]

さらに、酸化物半導体メモリ103に、保持しているデータを破壊することなく読み出すこと

(非破壊読み出し) が可能なメモリ回路を設けることが好ましい。これにより、同じ重みデータを用いた処理を、速い演算処理速度で繰り返し行うことができる。よって、データ読み出し動作を多数回に繰り返す、ニューラルネットワークの積和演算の並列処理の高速化を図ることができる。

[0033]

また、デジタル演算器101では、入力データA1および重みデータW1を、ノイズに強いデジタルデータとすることが好ましい。これにより、デジタル演算器101で高い精度の演算処理を行うことができる。

[0034]

上記のような、酸化物半導体メモリ103およびデジタル演算器101を用いることで、半導体装置100で、高精度かつ高性能な演算処理を行うことができる。よって、半導体装置100で畳み込みニューラルネットワークのように、同じ重みデータを用いた処理を効率的に行うことができる。なお、酸化物半導体メモリ103およびデジタル演算器101の詳細な構成、および具体例については、後述の実施の形態で説明する。

[0035]

図1Bに示すように、アナログ演算器102は、酸化物半導体メモリ104から入力された重みデータW2と、入力データA2と、を用いて積和演算を行い、その結果を出力データMAC2として出力する。ここで、酸化物半導体メモリ104が出力する重みデータW2は、アナログデータで出力される。

[0036]

アナログ演算器102では、サブスレッショルド領域を利用したトランスリニア原理を用いて乗算を行うことができる。ここで、アナログ演算器102および酸化物半導体メモリ104に用いられるOSトランジスタは、Siトランジスタよりオフ電流が低く、サブスレッショルド領域で動作するゲート電圧の範囲を大きくとることができる。よって、アナログ演算器102および酸化物半導体メモリ104では、OSトランジスタを比較的容易に、電流値の小さいサブスレッショルド領域で駆動させることができる。

[0037]

OSトランジスタを、電流値の小さいサブスレッショルド領域で駆動させることで、アナログ演算器102および酸化物半導体メモリ104の消費電力の低減を図ることができる。AI技術の演算では、重みデータと入力データを用いた積和演算を膨大な回数繰り返すため、その消費電力も膨大になる。特に、重みデータの書き換えが頻繁に行われる全結合演算では、消費電力が著しく大きくなる。これに対して、アナログ演算器102および酸化物半導体メモリ104をサブスレッショルド領域で駆動させることで、効果的に消費電力の低減を図ることができる。

[0038]

上記のような、酸化物半導体メモリ104およびアナログ演算器102を用いることで、半導体装置100で、低消費電力で演算処理を行うことができる。よって、半導体装置100で全結合演算のように、重みデータを頻繁に書き換える演算処理を、電力効率よく行うことができる。なお、酸化物半導体メモリ104およびアナログ演算器102の詳細な構成、および具体例については、後述の実施の形態で説明する。

[0039]

以上のように、本実施の形態に示す半導体装置100は、同じ重みデータを用いて繰り返し演算

処理を行う場合にはデジタル演算器101を動作させ、頻繁に重みデータの書き換えを行う場合にはアナログ演算器102を動作させることができる。このように、デジタル演算器101とアナログ演算器102を使い分けることで、全体として、高精度、高性能、且つ低消費電力な演算処理を行うことができる。

[0040]

なお、本実施の形態に示す半導体装置100は、複数の演算を並行して処理することもできる。当該複数の演算が、同じ重みデータを用いた繰り返しの演算と、頻繁に重みデータの書き換えを行う演算と、を含む場合、デジタル演算器101とアナログ演算器102を並行して動作させてもよい。つまり、同じ重みデータを用いた繰り返しの演算をデジタル演算器101で処理しつつ、並行して、頻繁に重みデータの書き換えを行う演算をアナログ演算器102で処理することができる。例えば、CNN (Convolutional Neural Network) モデルで演算を行う際に、アナログ演算器102で全結合演算を処理しながら、並行してデジタル演算器101で次の畳み込み演算を行うことができる。

[0041]

次に、図2Aおよび図2Bを用いて、半導体装置100における、デジタル演算器101、アナログ演算器102、酸化物半導体メモリ103、および酸化物半導体メモリ104の配置について、説明する。

[0042]

図2Aに、シリコン基板にデジタル演算器101を形成し、デジタル演算器101の上に、アナログ演算器102、酸化物半導体メモリ103、および酸化物半導体メモリ104を配置する例を示す。図2Aでは、シリコン基板の上面に概略平行にx-y平面が設定され、z軸方向上方に、アナログ演算器102、酸化物半導体メモリ103、および酸化物半導体メモリ104を形成する素子層が設けられている。このような構成にすることで、アクセラレータとして機能する半導体装置100の高集積化を図り、単位面積当たりの演算処理速度を向上することができる。これにより、半導体装置100の小型化を図ることもできる。

[0043]

また、図2Aに示すように、デジタル演算器101の上に重畳して、酸化物半導体メモリ103を設けることが好ましい。このような構成にすることで、酸化物半導体メモリ103とデジタル演算器101を電気的に接続する配線の距離を短くすることができる。よって、デジタル演算器101の重みデータを書き換える際の処理速度を向上し、当該処理における消費電力の低減を図ることができる。

[0044]

本実施の形態に示す、半導体装置100の各部の配置は、図2Aに示す配置に限られるものではない。例えば、図2Bに示すように、酸化物半導体メモリ103を形成する素子層の上に、アナログ演算器102および酸化物半導体メモリ104を形成する素子層を積層して設ける構成にしてもよい。このような構成にすることで、半導体装置100のさらなる小型化を図ることができる。

[0045]

また、上記においては、デジタル演算器101にSiトランジスタを用いる構成について示したが、本実施の形態はこれに限られるものではなく、アナログ演算器102にSiトランジスタを用いる構成にすることもできる。

[0046]

また、上記においては、デジタル演算器101にSiトランジスタを、アナログ演算器102にOSトランジスタを用いる構成について示したが、本実施の形態はこれに限られるものではない。例えば、デジタル演算器101とアナログ演算器102の両方ともにOSトランジスタを用いる構成にしてもよい。

[0047]

この場合、図3Aに示すように、シリコン回路(Si Circuit)107上に、酸化物半導体演算器(OS Calculator)105と、酸化物半導体メモリ(OS Memory)106と、を配置することができる。ここで、酸化物半導体演算器105は、OSトランジスタで形成された演算器であり、デジタル演算器とアナログ演算器が混載されている。また、酸化物半導体メモリ106は、酸化物半導体演算器105に重みデータを供給する機能を有する。また、シリコン回路107は、どのような機能を有していてもよく、例えば、駆動回路、読み出し回路、記憶回路、演算回路などとして機能してもよい。

[0048]

図3Aに示すように、シリコン基板上に、酸化物半導体演算器105および酸化物半導体メモリ106を形成する素子層が設けられる構成となっている。

[0049]

また、本実施の形態に示す、半導体装置100の各部の配置は、図3Aに示す配置に限られるものではない。例えば、図3Bに示すように、酸化物半導体演算器105を形成する素子層の上に、酸化物半導体メモリ106を形成する素子層を積層して設ける構成にしてもよい。このような構成にすることで、アクセラレータとして機能する半導体装置100の高集積化を図り、単位面積当たりの演算処理速度を向上することができる。これにより、半導体装置100の小型化を図ることもできる。

[0050]

なお、上記の半導体装置100は、図4に示すように、CPU110およびバス120を有する、半導体装置を構成することができる。このような構成にすることで、CPU110で実行するプログラムの演算の一部を、アクセラレータとして機能する半導体装置100で実行することができる。

[0051]

CPU110は、オペレーティングシステムの実行、データの制御、各種演算、またはプログラムの実行の少なくとも一以上の、汎用の処理を行う機能を有する。ここで、CPU110は、CPUコア200およびバックアップ回路222を有する。CPUコア200は、1つまたは複数のCPUコアに相当する。

[0052]

CPU110は、バックアップ回路222によって、電源電圧の供給が停止してもCPUコア200内のデータを保持することができる。電源電圧の供給は、電源ドメイン(パワードメイン)からのパワースイッチ等による電氣的な切り離しによって制御することができる。バックアップ回路222として、例えば、OSトランジスタを有するOSメモリが好適である。

[0053]

また、バス120は、CPU110とアクセラレータとして機能する半導体装置100とを電氣的に接続する。つまりCPU110とアクセラレータとして機能する半導体装置100とは、バス

120を介してデータ伝送を行うことができる。

[0054]

なお、CPU110、CPUコア200、バックアップ回路222、およびバス120の詳細な構成については、後述の実施の形態で説明する。

[0055]

以上のようにして、本発明の一態様は、低消費電力化された半導体装置を提供することができる。または、本発明の一態様は、演算処理速度の向上が図られた半導体装置を提供することができる。または、本発明の一態様は、演算精度の向上が図られた半導体装置を提供することができる。または、本発明の一態様は、小型化された半導体装置を提供することができる。

[0056]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0057]

(実施の形態2)

本実施の形態では、先の実施の形態に示す半導体装置100の一部の構成、および動作等について説明する。

[0058]

図5Aは、本発明の一態様である半導体装置10を説明するための図である。ここで、半導体装置10は、半導体装置100の一部であり、先の実施の形態に示す、デジタル演算器101と酸化物半導体メモリ103を有する。

[0059]

半導体装置10は、ホストプログラムから呼び出されたプログラム（カーネル、またはカーネルプログラムとも呼ばれる。）を実行する、アクセラレータとしての機能を有する。半導体装置10は、例えば、グラフィック処理における行列演算の並列処理、ニューラルネットワークの積和演算の並列処理、科学技術計算における浮動小数点演算の並列処理などを行うことができる。

[0060]

半導体装置10は、メモリ回路部20（メモリセルアレイともいう）、演算回路30、および切替回路40を有する。ここで、演算回路30は先の実施の形態に示すデジタル演算器101に対応し、メモリ回路部20は先の実施の形態に示す酸化物半導体メモリ103に対応する。演算回路30および切替回路40は、図中xy平面にトランジスタを有する層11に設けられる。メモリ回路部20は、図中xy平面にトランジスタを有する層12に設けられる。

[0061]

層11は、チャンネル形成領域にシリコンを有するトランジスタ（Siトランジスタ）を有する。層12は、チャンネル形成領域に酸化物半導体を有するトランジスタ（OSトランジスタ）を有する。層11および層12は、xy平面に対して概略垂直な方向（図5A中、z方向）で異なる層に設けられる。よって、図5Bに示す半導体装置10は、図2Aまたは図2Bに示す、デジタル演算器101および酸化物半導体メモリ103と同様の積層構造を有する。

[0062]

OSトランジスタで構成されるメモリ回路部20は、Siトランジスタで構成することができる。つまりメモリ回路部20は、演算回路30および切替回路40と積層して設けることができる。つまりメモリ回路部20は、演算回路30および切替回路40が設けられる基板上に設けられる。そのため、回路面積の増加を招

くことなく、メモリ回路部20を配置することができる。メモリ回路部20が設けられる領域を演算回路30および切替回路40が設けられる基板上とすることで、メモリ回路部20と、演算回路30及び切替回路40と、が同一層上に配置する場合と比較して、アクセラレータとして機能する半導体装置10における演算処理に必要な記憶容量を増やすことができる。記憶容量が増えることで、外部記憶装置から半導体装置への、演算処理に必要なデータの転送回数を削減することができるため、低消費電力化を図ることができる。

[0063]

メモリ回路部20は、複数のメモリ回路部20__1乃至20__4を一例として図示している。各メモリ回路部は、複数のメモリ回路21を有する。複数のメモリ回路21は、メモリ回路部20__1乃至20__4のそれぞれにおいて、図5Aに図示するように配線LBL__1乃至LBL__4（ローカルビット線、読出しビット線ともいう）を介して切替回路40に接続される。

[0064]

メモリ回路21は、NOSRAMの回路構成とすることができる。「NOSRAM（登録商標）」とは、「Nonvolatile Oxide Semiconductor RAM」の略称である。NOSRAMは、メモリセルが2トランジスタ型（2T）、又は3トランジスタ型（3T）ゲインセルであり、アクセストランジスタがOSTランジスタであるメモリのことをいう。メモリ回路21は、OSTランジスタで構成されるメモリである。メモリ回路21を有する層12は、演算回路30および切替回路40を有する層11上に積層して設けることができる。メモリ回路21を有するメモリ回路部20は、演算回路30および切替回路40を有する層11上に設けられるため、メモリ回路部20を有することによる面積オーバーヘッドを小さくすることが可能である。

[0065]

また、OSTランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。NOSRAMは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。特にNOSRAMは保持しているデータを破壊することなく読み出すこと（非破壊読み出し）が可能のため、データ読み出し動作を多数回に繰り返す、ニューラルネットワークの積和演算の並列処理に適している。

[0066]

メモリ回路21は、NOSRAM、あるいはDOSRAMといったOSTランジスタを有するメモリ（以下、OSメモリともいう。）が好適である。酸化物半導体として機能する金属酸化物のバンドギャップは2.5 eV以上あるため、OSTランジスタは極小のオフ電流をもつ。一例として、ソースとドレイン間の電圧が3.5 V、室温（25℃）下において、チャネル幅1 μm当たりのオフ電流を 1×10^{-20} A未満、 1×10^{-22} A未満、あるいは 1×10^{-24} A未満とすることができる。そのため、OSメモリは、OSTランジスタを介して保持ノードからリークする電荷量が極めて少ない。従って、OSメモリは不揮発性のメモリ回路として機能できるため、半導体装置10のパワーゲーティングが可能となる。

[0067]

高密度でトランジスタが集積化された半導体装置は、回路の駆動による熱が発生する場合がある。この発熱により、トランジスタの温度が上がることで、当該トランジスタの特性が変化して、電界効果移動度の変化または動作周波数の低下などが起こることがある。OSTランジスタは、Siトランジスタよりも熱耐性が高いため、温度変化による電界効果移動度の変化が起こりにくく、また

動作周波数の低下も起こりにくい。さらに、OSトランジスタは、温度が高くなっても、ドレイン電流がゲートソース間電圧に対して指数関数的に増大する特性を維持しやすい。そのため、OSトランジスタを用いることにより、高い温度環境下での安定した動作を行うことができる。

[0068]

OSトランジスタに適用される金属酸化物は、Zn酸化物、Zn-Sn酸化物、Ga-Sn酸化物、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物（Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf）などがある。特にMとしてGaを用いる金属酸化物をOSトランジスタに採用する場合、元素の比率を調整することで電界効果移動度等の電気特性に優れたトランジスタとすることができるため、好ましい。また、インジウムおよび亜鉛を含む酸化物に、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0069]

OSトランジスタの信頼性、電気特性の向上のため、半導体層に適用される金属酸化物は、CAAC-OS、CAC-OS、nc-OSなどの結晶部を有する金属酸化物であることが好ましい。CAAC-OSとは、*c-axis-aligned crystalline oxide semiconductor*の略称である。CAC-OSとは、*Cloud-Aligned Composite oxide semiconductor*の略称である。nc-OSとは、*nanocrystalline oxide semiconductor*の略称である。

[0070]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域との間で格子配列の向きが変化している箇所を指す。

[0071]

CAC-OSは、キャリアとなる電子（または正孔）を流す機能と、キャリアとなる電子を流さない機能とを有する。電子を流す機能と、電子を流さない機能とを分離させることで、双方の機能を最大限に高めることができる。つまり、CAC-OSをOSトランジスタのチャネル形成領域に用いることで、高いオン電流と、極めて低いオフ電流との双方を実現できる。

[0072]

金属酸化物は、バンドギャップが大きく、電子が励起されにくいこと、ホールの有効質量が大きいことなどから、OSトランジスタは、一般的なSiトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。従って、例えばアバランシェ崩壊に起因するホットキャリア劣化等を抑制できる。ホットキャリア劣化を抑制できることで、高いドレイン電圧でOSトランジスタを駆動することができる。

[0073]

OSトランジスタは、電子を多数キャリアとする蓄積型トランジスタである。そのため、pn接合を有する反転型トランジスタ（代表的には、Siトランジスタ）と比較して短チャネル効果の一つであるDIBL（*Drain-Induced Barrier Lowering*）の影響が

小さい。つまり、OSトランジスタは、Siトランジスタよりも短チャネル効果に対する高い耐性を有する。

[0074]

OSトランジスタは、短チャネル効果に対する耐性が高いために、OSトランジスタの信頼性を劣化させずに、チャネル長を縮小できるので、OSトランジスタを用いることで回路の集積度を高めることができる。チャネル長が微細化するのに伴いドレイン電界が強まるが、上掲したように、OSトランジスタはSiトランジスタよりもアバランシェ崩壊が起きにくい。

[0075]

また、OSトランジスタは、短チャネル効果に対する耐性が高いために、Siトランジスタよりもゲート絶縁膜を厚くすることが可能となる。例えば、チャネル長及びチャネル幅が50nm以下の微細なトランジスタにおいても、10nm程度の厚いゲート絶縁膜を設けることが可能な場合がある。ゲート絶縁膜を厚くすることで、寄生容量を低減することができるので、回路の動作速度を向上できる。またゲート絶縁膜を厚くすることで、ゲート絶縁膜を介したリーク電流が低減されるため、静的消費電流の低減につながる。

[0076]

以上より、半導体装置10は、OSメモリであるメモリ回路21を有することで電源電圧の供給が停止してもデータを保持できる。そのため、半導体装置10のパワーゲーティングが可能となり、消費電力の大幅な低減を図ることができる。

[0077]

メモリ回路21が記憶するデータは、ニューラルネットワークの積和演算に用いられる重みパラメータに対応するデータ（重みデータ）である。重みデータは、デジタルデータとすることで、ノイズに強く、高速で演算可能な半導体装置とすることができる。また、重みデータは、アナログデータでもよい。NOSRAMはアナログ値の電位を保持することができるため、当該データをデジタルデータと適宜変換して用いる構成とすることができる。アナログデータを保持可能なメモリ回路21は、高いビット数の重みデータを表す場合、メモリ回路を増やすことなく保持することができる。

[0078]

切替回路40の一例として図示する切替回路40__1乃至40__4は、複数のメモリ回路部20__1乃至20__4のそれぞれから延びる配線LBL__1乃至LBL__4の電位を選択して、配線GBL（グローバルビット線ともいう）に伝える機能を有する。配線GBLは切替回路40__1乃至40__4の出力端子が接続される。切替回路40は、選択された切替回路40と非選択の切替回路40の出力電位が同時に供給されて貫通電流が発生することを防ぐ必要がある。切替回路40は、例えば制御信号で出力電位の状態が制御されるスリーステートバッファを用いることができる。この構成例では、配線GBLは選択された切替回路が入力電位をバッファ出力し、非選択の切替回路の出力がハイインピーダンスとなるため、出力電位が同時に供給されることを回避できる。なお切替回路40は、Siトランジスタで構成されることが好ましい。当該構成とすることで高速で接続状態の切り替えを行う構成とすることができる。

[0079]

演算回路30の一例として図示する演算回路30__1乃至30__4は、積和演算といった同じ処理を繰り返し実行する機能を有する。演算回路30での積和演算のために入力される入力データお

よび重みデータは、デジタルデータが好ましい。デジタルデータはノイズの影響を受けにくい。そのため演算回路30は、高い精度の演算結果が要求される演算処理を行うのに適している。なお演算回路30は、Siトランジスタで構成されること好ましい。当該構成とすることでOSトランジスタと積層して設けることができる。

[0080]

演算回路30__1乃至30__4は、配線LBL__1乃至LBL__4および配線GBLを介して、メモリ回路21に保持された重みデータが与えられる。また、演算回路30__1乃至30__4は、外部から入力される入力データ(A₁、A₂、A₃、A₄)が与えられる。演算回路30__1乃至30__4は、メモリ回路21に保持された重みデータおよび外部から入力される入力データを用いて、積和演算の演算処理が行われる。

[0081]

演算回路30__1乃至30__4に与えられる重みデータは、複数のメモリ回路部20__1乃至20__4で選択された重みデータが、切替回路40__1乃至40__4で切り替えられて配線GBLを介して与えられる重みデータである。つまり演算回路30__1乃至30__4では、同じ重みデータを用いた演算処理、例えば積和演算を行うことができる。そのため、本発明の一態様における半導体装置10は、畳み込みニューラルネットワークのように、同じ重みデータを用いた処理を効率的に行うことができる。

[0082]

また演算回路30__1乃至30__4に与えられる重みデータは、予め配線LBL__1乃至LBL__4に与えられていたデータを切替回路40__1乃至40__4で切り替えることで配線GBLに与えることができるため、配線GBLに与える重みデータは、Siトランジスタの電気特性に準ずる速度で切り替えることができる。そのため、メモリ回路部20__1乃至20__4から配線LBL__1乃至LBL__4に重みデータを読み出すための期間が長い場合であっても、予め、重みデータを配線LBL__1乃至LBL__4に読み出ししておくことで、重みデータを高速で切り替えて演算処理することができる。

[0083]

なおメモリ回路部20から切替回路40に向けて延びる配線LBLは、図5Bに図示するように重みデータW_{data}を層12から層11に伝えるための配線となる。メモリ回路21から配線LBLへ重みデータW_{data}を高速に読み出すために、配線LBLは、短くすることが好ましい。また、配線LBLは、充放電に伴う消費エネルギーを小さくするために、短くすることが好ましい。つまり切替回路40は、z方向に延びて設けられる配線LBL(図中、z方向に延びる矢印)の近くになるよう、層11のxy平面で分散して配置する構成とすることが好ましい。

[0084]

なお演算回路30__1乃至30__4は、メモリ回路21の読出用のビット線である配線LBL__1乃至LBL__4毎、つまり一列(Column)毎に演算回路30__1乃至30__4を設ける構成とする(Column-Parallel Calculation)。当該構成とすることで、配線LBLの列数分のデータを並列で演算処理することができる。CPUあるいはGPUを用いた積和演算に比べて、データバスサイズ(32ビット、など)に制限されないことから、Column-Parallel Calculationでは、演算の並列度を大幅に上げることができるため、AI技術であるディープニューラルネットワークの学習(深層学習)、浮動小数点演算を行

う科学技術計算などの膨大な演算処理に係る演算効率の向上を図ることができる。加えて演算回路30から出力されるデータの演算を完了させて読み出すことができるため、メモリアクセス（演算回路とメモリ間のデータ転送など）で生じる電力を削減することができ、発熱および消費電力の増加を抑制することができる。さらに、演算回路30とメモリ回路部20の物理的な距離を近づけること、例えば積層によって配線距離が短くできることで、信号線に生じる寄生容量を削減できるため、低消費電力化が可能である。

[0085]

次いで図6Aでは、AIアクセラレータとして機能する半導体装置10、CPU110、およびバス120を含むブロック図について説明する。なお、CPU110、およびバス120は、先の実施の形態で示したものに对应する。

[0086]

図6Aでは、図5A、図5Bで説明した半導体装置10の他、CPU110およびバス120を図示している。CPU110は、CPUコア200およびバックアップ回路222を有する。アクセラレータとして機能する半導体装置10は、駆動回路50、メモリ回路部20_1乃至20_N（Nは2以上の自然数）、メモリ回路21、切替回路40、および演算回路30_1乃至30_Nを図示している。

[0087]

CPU110は、オペレーティングシステムの実行、データの制御、各種演算、及びプログラムの実行など、汎用の処理を行う機能を有する。CPU110は、CPUコア200を有する。CPUコア200は、1つまたは複数のCPUコアに相当する。またCPU110は、電源電圧の供給が停止してもCPUコア200内のデータを保持できるバックアップ回路222を有する。電源電圧の供給は、電源ドメイン（パワードメイン）からのパワースイッチ等による電氣的な切り離しによって制御することができる。なお電源電圧は、駆動電圧という場合がある。バックアップ回路222として、例えば、OSトランジスタを有するOSメモリが好適である。

[0088]

OSトランジスタで構成されるバックアップ回路222は、Siトランジスタで構成することができるCPUコア200と積層して設けることができる。バックアップ回路222の面積はCPUコア200の面積より小さいため、回路面積の増加を招くことなく、CPUコア200上にバックアップ回路222を配置することができる。バックアップ回路222は、CPUコア200が有するレジスタのデータを保持する機能を有する。バックアップ回路222は、データ保持回路ともいう。なおOSトランジスタを有するバックアップ回路222を備えたCPUコア200の構成の詳細については、実施の形態5でも説明する。

[0089]

メモリ回路部20_1乃至20_Nは、それぞれメモリ回路21に保持された重みデータ W_1 乃至 W_N を、配線LBL（図示せず）を介して切替回路40に出力する。切替回路40は、選択された重みデータを、配線GBL（図示せず）を介して重みデータ W_{SEL} として各演算回路30_1乃至30_Nに出力する。駆動回路50は、入力データ線を介して演算回路30_1乃至30_Nに入力データ A_1 乃至 A_N を出力する。

[0090]

駆動回路50は、メモリ回路部20_1乃至20_Nにおける重みデータの書き込みおよび読み

出しを制御するための信号を出力する機能を有する。また駆動回路50は、演算回路30__1乃至30__Nに入力データを与えてニューラルネットワークの積和演算等を実行させるための回路、およびニューラルネットワークの積和演算等で得られる出力データを保持する、などの機能を有する。

[0091]

バス120は、CPU110と半導体装置10とを電氣的に接続する。つまりCPU110と半導体装置10とは、バス120を介してデータ伝送を行うことができる。

[0092]

図6Bでは、図6Aに図示する半導体装置10において、Nを6とした場合の各構成の位置関係を説明するための図である。

[0093]

OSトランジスタで構成されるメモリ回路部20__1乃至20__6と、演算回路30__1乃至30__6とは、駆動回路50、切替回路40および演算回路30__1乃至30__6が設けられる基板表面に対して概略垂直な方向に延在して設けられる配線LBL__1乃至LBL__6を介して電氣的に接続される。なお「概略垂直」とは、85度以上95度以下の角度で配置されている状態をいう。なお本明細書において図6B等に図示するX方向、Y方向、およびZ方向は、それぞれが互いに直交または交差する方向である。また、X方向およびY方向は基板面に対して平行または概略平行であり、Z方向は基板面に対して垂直または概略垂直である。

[0094]

メモリ回路部20__1乃至20__6はそれぞれ、メモリ回路21を有する。メモリ回路部20__1乃至20__6は、デバイスメモリ、共有メモリという場合がある。メモリ回路21は、トランジスタ22を有する。トランジスタ22が有する半導体層23は、酸化物半導体（金属酸化物）とすることで、上述したOSトランジスタで構成されるメモリ回路21とすることができる。

[0095]

メモリ回路部20__1乃至20__6が有する複数のメモリ回路21はそれぞれ、配線LBL__1乃至LBL__6に接続される。配線LBL__1乃至LBL__6は、z方向に伸びる配線を経由して、切替回路40に接続される。切替回路40は、配線LBL__1乃至LBL__6のいずれか一の電位を増幅して配線GBLに伝える構成とする。当該構成とすることで、切替回路40を制御することで配線GBLに与える重みデータを高速で切り替えることができる。

[0096]

演算回路30__1乃至30__6は、配線GBLを介して入力される重みデータと、駆動回路50から入力データ線を介して与えられる入力データ A_{1N} と、に基づいて演算を行う。重みデータを保持するメモリ回路部20__1乃至20__6は、上層に配置することができるため、演算回路30__1乃至30__6を効率的に配置することができる。そのため、駆動回路50から伸びる入力データ線を短くことができ、半導体装置10の低消費電力化および高速化を図ることができる。

[0097]

次いで図6Bの構成とすることによる利点について説明する。図7Aでは、説明のため、図6Bの各構成をブロック図で示したものである。なお6個のメモリ回路部20__1乃至20__6にあるメモリ回路21から重みデータ W_1 乃至 W_6 が配線LBL__1乃至LBL__6に読み出されるとして説明する。また切替回路40は、配線LBL__1乃至LBL__6に接続される切替回路40__1乃至40__6として説明する。また切替回路40で重みデータ W_1 乃至 W_6 から選択され、配線GBL

に与えられる重みデータを重みデータ W_{SEL} として説明する。演算回路30__1乃至30__6にはそれぞれ入力データ A_1 乃至 A_6 が与えられ、出力データ MAC_1 乃至 MAC_6 を得るものとして説明する。

[0098]

配線 LBL_1 乃至 LBL_6 における上層と下層をつなぐ垂直方向に延びる配線 LBL_P は、水平方向に延びる配線と比べて短い。そのため、配線 LBL_1 乃至 LBL_6 の寄生容量を小さくでき、配線の充放電に要する電荷を削減でき、低消費電力化および演算効率の向上を図ることができる。また、メモリ回路21から配線 LBL_1 乃至 LBL_6 への読み出しを高速にできる。

[0099]

配線 GBL を介して、演算回路30__1乃至30__6では同じ重みデータを用いた演算処理を行うことができる。当該構成は、同じ重みデータを用いた演算処理を行う畳み込みニューラルネットワークの演算処理に適している。

[0100]

図7Bは、図7Aに図示する切替回路40に適用可能な回路構成の一例である。図7Bに図示するスリーステートバッファは、配線 LBL の電位を制御信号 EN に応じて配線 GBL に増幅して伝える機能を有する。切替回路40は、マルチプレクサと見做すことができる。複数の入力信号から、1つを選択する機能を有する。

[0101]

図8では、図7Aで説明した構成の動作を説明するためのタイミングチャートを示す。半導体装置10では、クロック信号 CLK のトグル動作（例えば時刻 T_1 乃至 T_7 ）に応じて演算処理を行う。クロック信号 CLK の周波数を高める構成とすることで、演算処理の高速化を図ることができる。

[0102]

入力データ A_1 乃至 A_6 をそれぞれ図示するように A_1a 乃至 A_111 、 A_2a 乃至 A_211 、 A_3a 乃至 A_311 、 A_4a 乃至 A_411 、 A_5a 乃至 A_511 、 A_6a 乃至 A_611 とクロック信号 CLK に応じて高速で切り替える場合、重みデータを与える配線 GBL のデータを高速で切り替える必要がある。

[0103]

本発明の一態様の構成では、切替回路40で配線 LBL から配線 GBL に選択される重みデータをあらかじめ、配線 LBL_1 乃至 LBL_6 に読み出ししておく構成とすることで、重みデータを与える配線 GBL のデータを高速で切り替えることができる。例えば時刻 T_1 で配線 LBL_1 に重みデータ W_1 を読み出しおき、時刻 T_6 で切替回路40を切り替えて配線 LBL_1 から配線 GBL に重みデータ W_1 を出力する構成とすることができる。時刻 T_2 乃至 T_7 、および時刻 T_7 以降においても、配線 LBL への重みデータの読み出しと、配線 GBL での重みデータの選択と、の時刻を異ならせることで、クロック信号 CLK に応じた重みデータの切り替えを行う構成とすることができる。

[0104]

図9Aでは、演算回路の具体的な構成例を示す。図9Aでは、8ビットの重みデータの入力データの積和演算を行うことができる演算回路30の構成例を図示している。図9Aにおいて、乗算回路24、加算回路25およびレジスタ26を図示している。乗算回路24で乗算された16ビット

のデータは加算回路25に入力する。加算回路25の出力がレジスタ26に保持され、乗算回路24で乗算されるデータと加算回路25で足しあわされることで積和演算が行われる。レジスタは、クロック信号CLKおよびリセット信号reset_Bによって制御される。なお図中「 $17 + \alpha$ 」における「 α 」は、乗算データを加算することで生じる桁上りを示したものである。当該構成とすることで重みデータ W_{SEL} と入力データ A_{IN} との積和演算に相当する出力データMACを得ることができる。

[0105]

また図9Aでは、8ビットのデータを用いた演算処理を行う構成として説明したが、1ビットのデータを用いた構成にも本発明の一態様は適用可能である。当該構成について図9Aと同様に図9Bに図示する。1ビットのデータの場合、図9Bに図示するように、ビット数に応じた演算処理を行えばよい。

[0106]

図10Aは、本発明の半導体装置10が有するメモリ回路部20に適用可能な回路構成例について説明する図である。図10Aでは、M行N列（M、Nは2以上の自然数）の行列方向に並べて配置された書込用ワード線WWL_1乃至WWL_M、読出用ワード線RWL_1乃至RWL_M、書込用ビット線WBL_1乃至WBL_N、および配線LBL_1乃至LBL_Nを図示している。また各ワード線およびビット線に接続されたメモリ回路21を図示している。

[0107]

図10Bは、メモリ回路21に適用可能な回路構成例について説明する図である。メモリ回路21は、トランジスタ61、トランジスタ62、トランジスタ63、容量素子64（キャパシタともいう）を有する。

[0108]

トランジスタ61のソースまたはドレインの一方は、書込用ビット線WBLに接続される。トランジスタ61のゲートは、書込用ワード線WWLに接続される。トランジスタ61のソースまたはドレインの他方は、容量素子64の一方の電極およびトランジスタ62のゲートに接続される。トランジスタ62のソースまたはドレインの一方および容量素子64の他方の電極は、固定電位たとえばグラウンド電位を与える配線に接続される。トランジスタ62のソースまたはドレインの他方は、トランジスタ63のソースまたはドレインの一方に接続される。トランジスタ63のゲートは、読出用ワード線RWLに接続される。トランジスタ63のソースまたはドレインの他方は、配線LBLに接続される。配線LBLは切替回路40を介して配線GBLに接続される。配線LBLは、上述したように、演算回路30が設けられる基板表面に対して概略垂直な方向に延在して設けられる配線を介して切替回路40に接続される。

[0109]

図10Bに示すメモリ回路21の回路構成は、3トランジスタ型（3T）ゲインセルのNOSRAMに相当する。トランジスタ61乃至トランジスタ63は、OSトランジスタである。OSトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。NOSRAMは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。

[0110]

図10Aのメモリ回路21に適用可能な回路構成は、図10Bの3T型のNOSRAMに限らな

い。例えば、図11Aに図示するDOSRAMに相当する回路でもよい。図11Aでは、トランジスタ61Aおよび容量素子64Aを有するメモリ回路21Aを図示している。トランジスタ61Aは、OSトランジスタである。メモリ回路21Aは、ビット線BL、ワード線WLおよびバックゲート線BGLに接続される例を図示している。

[0111]

図10Aのメモリ回路21に適用可能な回路構成は、図11Bに図示する2T型のNOSRAMに相当する回路でもよい。図11Bでは、トランジスタ61B、トランジスタ62Bおよび容量素子64Bを有するメモリ回路21Bを図示している。トランジスタ61Bおよびトランジスタ62Bは、OSトランジスタである。トランジスタ61Bおよびトランジスタ62Bは、異なる層に半導体層が配置されるOSトランジスタもよいし、同じ層に半導体層が配置されるOSトランジスタでもよい。メモリ回路21Bは、書込用ビット線WBL、読出用ビット線RBL、書込用ワード線WWL、読出用ワード線RWL、ソース線SLおよびバックゲート線BGLに接続される例を図示している。

[0112]

図10Aのメモリ回路21に適用可能な回路構成は、図11Cに図示する3T型のNOSRAMを組み合わせた回路でもよい。図11Cでは、論理の異なるデータを保持できるメモリ回路21__Pと、メモリ回路21__Nと、を有するメモリ回路21Cを図示している。図11Cでは、トランジスタ61__P、トランジスタ62__P、トランジスタ63__Pおよび容量素子64__Pを有するメモリ回路21__Pと、トランジスタ61__N、トランジスタ62__N、トランジスタ63__Nおよび容量素子64__Nを有するメモリ回路21__Nと、を図示している。メモリ回路21__Pおよびメモリ回路21__Nが有する各トランジスタは、OSトランジスタである。メモリ回路21__Pおよびメモリ回路21__Nが有する各トランジスタは、異なる層に半導体層が配置されるOSトランジスタもよいし、同じ層に半導体層が配置されるOSトランジスタでもよい。メモリ回路21Cは、書込用ビット線WBL__P、配線LBL__P、書込用ビット線WBL__N、配線LBL__N、書込用ワード線WWL、読出用ワード線RWLに接続される例を図示している。メモリ回路21Cは、論理の異なるデータを保持し、論理の異なるデータを配線LBL__Pおよび配線LBL__Nに読出し、図7などと同様に、切替回路40を介して配線GBL__Pおよび配線GBL__Nに出力することができる。

[0113]

なお図11Cの構成において、メモリ回路21__Pと、メモリ回路21__Nとに保持するデータの乗算に相当するデータが配線LBLに出力されるように排他的論理和回路(XOR回路)を設けてもよい。当該構成とすることで、演算回路30における乗算に相当する演算を省略できるため、低消費電力化を図ることができる。

[0114]

図12には、畳み込みニューラルネットワークの演算処理の流れを図示する。図12では、入力層90A、中間層90B(隠れ層ともいう)、出力層90Cを図示している。入力層90Aでは、入力データの入力処理91(図中、Inputと図示)を図示している。中間層90Bでは、畳み込み演算処理92、93、95(図中、Conv.と図示)、複数のプーリング演算処理94、96(図中、Pool.と図示)を図示している。出力層90Cでは、全結合演算処理97(図中、Fullと図示)を図示している。入力層90A、中間層90B、出力層90Cにおける演算処理

の流れは一例であり、実際の畳み込みニューラルネットワークの演算処理では、ソフトマックス演算などの他の演算処理を行うことがあり得る。

[0115]

図12に図示する畳み込みニューラルネットワークでは、図12に図示するように、複数回の畳み込み演算処理92、93、95を行う。畳み込み演算処理では、同じ重みデータを用いた演算処理を行う。そのため、同じ重みデータを用いる演算処理を行う本実施の一態様の構成を適用することで動作速度と、低消費電力化との両立を図ることができる。

[0116]

また、先の実施の形態で示したように、全結合演算処理97については、アナログ演算器102および酸化半導体メモリ104を用いて演算することが好ましい。アナログ演算器102および酸化半導体メモリ104はサブスレッショルド領域で駆動させることができるので、低消費電力化を図ることができる。

[0117]

次に、半導体装置10の詳細なブロック図について図13に示す。

[0118]

図13では、図5Aおよび図5B、並びに図6Aおよび図6Bで説明した、メモリ回路部20、メモリ回路21、演算回路30、切替回路40、層11、層12に相当する構成の他、図6Aおよび図6Bで図示する駆動回路50の構成例について図示している。

[0119]

図13では、図6Aおよび図6Bで説明した駆動回路50に対応する構成として、コントローラ71、ロウデコーダ72、ワード線ドライバ73、カラムデコーダ74、書き込みドライバ75、プリチャージ回路76、入出力バッファ81および演算制御回路82を図示している。

[0120]

図14Aは、図13に図示する各構成について、メモリ回路部20を制御するブロックを抜き出した図である。図14Aでは、コントローラ71、ロウデコーダ72、ワード線ドライバ73、カラムデコーダ74、書き込みドライバ75、プリチャージ回路76を抜き出して図示している。

[0121]

コントローラ71は、外部からの入力信号を処理して、ロウデコーダ72およびカラムデコーダ74の制御信号を生成する。外部からの入力信号は、書き込みイネーブル信号及び読み出しイネーブル信号などのメモリ回路部20を制御するための制御信号である。またコントローラ71は、CPU110と半導体装置10の間でバス120を介してデータの入出力が行われる。

[0122]

ロウデコーダ72は、ワード線ドライバ73を駆動するための信号を生成する。ワード線ドライバ73は、書き込み用ワード線WWL、および読出用ワード線RWLに与える信号を生成する。カラムデコーダ74は、書き込みドライバ75を駆動するための信号を生成する。書き込みドライバ75は、メモリ回路21に与える重みデータを生成する。プリチャージ回路76は、配線LBLなどをプリチャージする機能を有する。メモリ回路部20のメモリ回路21から読み出される重みデータに応じた信号は、図6Aおよび図6B等で説明したように、配線LBLを介して切替回路40に入力される。

[0123]

図14Bは、図13に図示する各構成について、演算回路30および切替回路40を制御するブロックを抜き出した図である。

[0124]

コントローラ71は、外部からの入力信号を処理して、演算制御回路82の制御信号を生成する。またコントローラ71は、演算回路30を制御するためのアドレス信号、およびクロック信号などの各種信号を生成する。演算制御回路82は、コントローラ71の制御および入出力バッファ81の出力に応じて、データ入力線に与えられる入力データ A_1 乃至 A_N を生成する。演算制御回路82は、切替回路40を制御する制御信号を出力する。切替回路40は、図6Aおよび図6B等で説明したように、複数の配線LBLの与えられる重みデータのいずれか一を、配線GBLを介して複数の演算回路30に与える。演算回路30は、与えられる重みデータおよび入力データを切り替えることで、積和演算に応じた出力データMACを生成する。生成された出力データMACは、中間データとして入出力バッファ81を介して演算制御回路82内のSRAMあるいはレジスタなどのメモリに一時的に保持される。保持された中間データは、演算回路30に再入力される。

[0125]

なお本発明の一態様における半導体装置10は、並列数が高められた並列計算を可能にするため、複数組み合わせで用いる構成が好ましい。この場合の構成例について図15A、図15Bを用いて説明する。

[0126]

図15Aでは、上述した半導体装置10に対応する構成として、半導体装置10__1乃至10__n (nは2以上の数)と、半導体装置10__1乃至10__nとの間でデータの入出力および制御を行うコントローラ71Gを図示している。コントローラ71Gは、内部にSRAM等のメモリ回路60を有する。コントローラ71Gは、複数の半導体装置10__1乃至10__nで得られる出力データMACをメモリ回路60に保持する。そしてメモリ回路60に保持した出力データMACを複数の半導体装置10__1乃至10__nにおける入力データ A_{1N} として出力する構成とする。当該構成とすることで複数の半導体装置を用いた、並列数が高められた並列計算を行うことができる。

[0127]

また図15Aとは別の構成例である図15Bでは、コントローラ71Gにおいて、メモリ回路60に保持した出力データに対し、別の演算処理を施した入力データを複数の半導体装置10__1乃至10__nにおける入力データ A_{1N} __1乃至 A_{1N} __nをととして出力する構成とする。当該構成の場合、例えばコントローラ71Gでは、メモリ回路60に保持した出力データに対し、活性化関数に基づく演算処理、プーリング処理、規格化演算処理(ノーマライゼーション)などを行う構成とする。当該構成とすることで複数の半導体装置を用いた、並列数が高められた並列計算に加え、畳み込み演算処理以外の演算処理を効率よく行うことができる。

[0128]

半導体装置10では、入出力バッファ81におけるバッファメモリを利用して演算回路30の演算結果に応じた出力データMACを中間データとして演算制御回路82に入力する。演算制御回路82がこの中間データを再度演算回路30への入力データとして出力できる。そのため、演算途中のデータを半導体装置10の外部にあるメインメモリなどに読み出すことなく、演算処理を実行可能である。また半導体装置10では、メモリ回路部と、演算回路と、の間の電氣的な接続を、絶縁膜等に設ける開口部の配線を介して行うことができるため、配線数をふやすことで並列数を増やす

ことが可能である。そのため半導体装置 10 では、CPU 110 のデータバス幅以上のビット数の並列計算が可能となる。また膨大な数の重みデータを CPU 110 との間で転送する回数を削減できるため、低消費電力化を図ることができる。

[0129]

以上説明したように、本発明の一態様は、小型化が図られた、アクセラレータとして機能する半導体装置を提供することができる。または、本発明の一態様は、演算処理速度の向上が図られた、アクセラレータとして機能する半導体装置を提供することができる。または、本発明の一態様は、演算精度の向上が図られた、アクセラレータとして機能する半導体装置を提供することができる。または、本発明の一態様は、低消費電力化が図られた、アクセラレータとして機能する半導体装置を提供することができる。または、新規な構成の、アクセラレータとして機能する半導体装置を提供することができる。

[0130]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0131]

(実施の形態 3)

本実施の形態では、先の実施の形態に示す半導体装置 100 の一部の構成、および動作等について説明する。本実施の形態に示す半導体装置は、半導体装置 100 の一部であり、先の実施の形態に示す、アナログ演算器 102 と酸化半導体メモリ 104 を有する。

[0132]

<構成例>

図 16A および図 16B は、本発明の一態様の半導体装置である、乗算セルの構成例について示している。当該乗算セルは、一例として、トランスリニア原理を用いて乗算を行う構成となっている。また、当該乗算セルは、一例として、第 1 データを保持する機能を有し、また、当該乗算セルに第 2 データが入力されることによって、第 1 データと第 2 データの積を出力する機能を有する。ここで、第 1 データは図 1B に示す重みデータ W_2 に対応し、第 2 データは図 1B に示す入力データ A_2 に対応する。

[0133]

図 16A に示す回路 MC は、トランジスタ M1 乃至トランジスタ M10 と、容量 C1 と、容量 CG と、を有する。回路 MC は、トランジスタ M5 乃至トランジスタ M10 を有する回路 MC1 と、トランジスタ M1 乃至トランジスタ M4、および容量 C1 を有する回路 MC2 と、に機能的に分けることができる。ここで、回路 MC1 は先の実施の形態に示すアナログ演算器 102 に対応し、回路 MC2 は先の実施の形態に示す酸化半導体メモリ 104 に対応する。

[0134]

回路 MC1 および回路 MC2 は、図 2A および図 2B で示した、アナログ演算器 102 および酸化半導体メモリ 104 と同様に同一の層に設けることができる。図 2A および図 2B では、アナログ演算器 102 の領域と、酸化半導体メモリ 104 の領域を分けて示したが、これに限られることなく、回路 MC1 と回路 MC2 を一つにまとめた回路 MC をアレイ状に設ける構成にしてもよい。

[0135]

回路 MC をアレイ状に設ける場合、図 16B に示すように、回路 MC1 を、図中 $x-y$ 平面にトラ

ンジスタを有する層MCL 1に設け、回路MC 2を、図中x y平面にトランジスタを有する層MCL 2に設ける構成にしてもよい。層MCL 1および層MCL 2は、チャネル形成領域に酸化物半導体を有するトランジスタ（OSトランジスタ）を有する。層MCL 1および層MCL 2は、x y平面に対して概略垂直な方向（図16B中、z方向）で異なる層に設けられる。このような構成にすることで、図16Bに示すように、回路MC 2から回路MC 1に重みデータW 2を伝達する配線を短くすることができる。これにより、重みデータW 2の読み出しの高速化、および読み出しに伴う消費電力の低減を図ることができる。

[0136]

トランジスタM1乃至トランジスタM10としては、例えば、OSトランジスタとすることができる。特に、OSトランジスタのチャネル形成領域に含まれる金属酸化物としては、例えば、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等とすること好ましい。また、トランジスタM1乃至トランジスタM10としては、例えば、チャネル形成領域にシリコンを有するトランジスタ（Siトランジスタ）を適用してもよい。また、シリコンとしては、例えば、単結晶シリコン、非晶質シリコン（水素化アモルファスシリコンという場合がある）、微結晶シリコン、または多結晶シリコン等を用いることができる。また、OSトランジスタ、Siトランジスタ以外のトランジスタとしては、例えば、Geなどがチャネル形成領域に含まれているトランジスタ、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体がチャネル形成領域に含まれているトランジスタ、カーボンナノチューブがチャネル形成領域に含まれるトランジスタ、有機半導体がチャネル形成領域に含まれるトランジスタ等を用いることができる。

[0137]

トランジスタM1、トランジスタM3、及びトランジスタM4のそれぞれは、特に断りのない場合は、例えば、スイッチング素子として機能する場合を含むものとする。すなわち、これらのトランジスタのそれぞれのゲート、ソース、及びドレインには、これらのトランジスタがスイッチング素子として動作する範囲での電圧が適切に入力されている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、これらのトランジスタの少なくとも一は、オン状態のときは飽和領域、又は線形領域で動作することができる。又は、これらのトランジスタに流れる電流量を小さくするために、トランジスタM1、トランジスタM3、及びトランジスタM4の少なくとも一は、サブスレッショルド領域で動作することができる。又は、トランジスタM1、トランジスタM3、及びトランジスタM4の少なくとも一は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在することができる。又は、トランジスタM1、トランジスタM3、及びトランジスタM4の少なくとも一は、線形領域で動作する場合と、飽和領域で動作する場合と、が混在することができ、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在することができ、又は、線形領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在することができる。

[0138]

ところで、本明細書等において、飽和領域とは、ゲートソース間電圧がしきい値電圧よりも大きく、かつゲートソース間電圧としきい値電圧との差がソースドレイン間電圧よりも大きい領

域をいう。又は、飽和領域は、ソースドレイン間電圧を変化させても、トランジスタのドレイン電流がほぼ変わらない領域をいう。又は、飽和領域は、ドレイン電流は、ゲートソース間電圧の2乗に比例する領域をいう。又は、飽和領域とは、前述の各説明の領域をみなせる領域を含むものとする。

[0139]

また、本明細書等において、線形領域とは、ゲートソース間電圧がしきい値電圧よりも大きく、ゲートソース間電圧としきい値電圧との差がソースドレイン間電圧よりも小さい領域をいう。又は、線形領域は、チャネル形成領域が抵抗として働き、ソースドレイン間電圧の変化によって、トランジスタのドレイン電流が線形的に変化するように振る舞う領域をいう。又は、線形領域とは、前述の各説明の領域をみなせる領域を含むものとする。

[0140]

また、本明細書などにおいてサブスレッショルド領域とは、トランジスタのゲート電圧 (V_g) - ドレイン電流 (I_d) 特性を示すグラフにおいて、ゲート電圧がしきい値電圧よりも低い領域をいう。またはサブスレッショルド領域とは、グラデュアルチャネル近似 (ドリフト電流しか考慮しないモデル) から外れた、キャリアの拡散による電流が流れる領域をいう。またはサブスレッショルド領域とは、ゲート電圧の増加に対してドレイン電流が指数関数的に増大する領域をいう。またはサブスレッショルド領域とは、前述の各説明の領域とみなせる領域を含むものとする。

[0141]

また、トランジスタがサブスレッショルド領域で動作する際のドレイン電流を、サブスレッショルド電流という。サブスレッショルド電流は、ドレイン電圧によらず、ゲート電圧に対して指数関数的に増大する。サブスレッショルド電流を用いた回路動作では、ドレイン電圧のばらつきの影響を小さくすることができる。

[0142]

OSトランジスタは、 1×10^{-20} A未満、 1×10^{-22} A未満、あるいは 1×10^{-24} A未満といったチャネル幅 $1 \mu\text{m}$ 当たりのドレイン電流をもつ。またOSトランジスタは、トランジスタのしきい値電圧において、 1.0×10^{-8} A以下、 1.0×10^{-12} A以下、あるいは 1.0×10^{-15} A以下といったチャネル幅 $1 \mu\text{m}$ 当たりのドレイン電流が流れる。つまり、OSトランジスタは、サブスレッショルド領域で動作するゲート電圧の範囲を大きくとることができる。具体的には、OSトランジスタのしきい値電圧を V_{th} としたとき、サブスレッショルド領域では、 $V_{th} - 1.0$ V以上 V_{th} 以下、または $V_{th} - 0.5$ V以上 V_{th} 以下の電圧範囲のゲート電圧を用いた回路動作を行うことができる。

[0143]

一方、Siトランジスタでは、オフ電流が大きく、サブスレッショルド領域で動作するゲート電圧の範囲が狭い。サブスレッショルド電流を利用する場合、OSトランジスタは、Siトランジスタよりも広いゲート電圧の範囲で回路動作を行うことができる。OSトランジスタを、電流値の小さいサブスレッショルド領域で駆動させることで、回路MCの消費電力の低減を図ることができる。

[0144]

なお、本明細書等において、トランジスタのオフ領域とは、ゲートソース間電圧がサブスレッショルド領域の電圧よりも低い領域をいう。また、トランジスタのゲートソース間電圧がオフ領域であるとき、トランジスタはオフ状態をとるものとする。また、本明細書等において、トランジ

スタがオフ状態のときに流れる電流をオフ電流、又はリーク電流と記載する。

[0145]

また、トランジスタM2、トランジスタM5乃至トランジスタM10のそれぞれは、特に断りのない場合は、サブスレッショルド領域で動作する場合を含むものとする。

[0146]

トランジスタM1の第1端子は、配線VDEに電氣的に接続され、トランジスタM1の第2端子は、トランジスタM2の第1端子に電氣的に接続され、トランジスタM1のゲートは、配線WWLBと、容量CGの第1端子と、に電氣的に接続されている。また、トランジスタM3の第1端子は、配線WDLに電氣的に接続され、トランジスタM3の第2端子は、トランジスタM2のゲートと、容量CGの第2端子と、容量C1の第1端子と、に電氣的に接続されている。また、トランジスタM2の第2端子は、トランジスタM4の第1端子と、容量C1の第2端子と、トランジスタM5のゲートと、トランジスタM7の第1端子と、トランジスタM8のゲートと、に電氣的に接続されている。また、トランジスタM4の第2端子は、配線VGEに電氣的に接続され、トランジスタM4のゲートは、配線WWLに電氣的に接続されている。また、トランジスタM5の第1端子は、配線VDEに電氣的に接続され、トランジスタM5の第2端子は、トランジスタM6の第1端子と、トランジスタM7のゲートと、に電氣的に接続されている。トランジスタM6のゲートは、配線XDLに電氣的に接続され、トランジスタM6の第2端子は、配線VGEに電氣的に接続されている。また、トランジスタM7の第2端子は、配線VGEに電氣的に接続されている。また、トランジスタM8の第1端子は、配線VDEに電氣的に接続され、トランジスタM8の第2端子は、トランジスタM9の第1端子と、トランジスタM10のゲートと、に電氣的に接続されている。また、トランジスタM9のゲートは、配線BDLに電氣的に接続され、トランジスタM9の第2端子は、配線VGEに電氣的に接続されている。また、トランジスタM10の第1端子は、配線OLに電氣的に接続され、トランジスタM10の第2端子は、配線VGEに電氣的に接続されている。

[0147]

配線VDEは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、高電源電圧とすることができる。

[0148]

配線VGEは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、低電源電圧、接地電位などとすることができる。

[0149]

配線WWLは、一例として、回路MCに対して、第1データを書き込むための書き込み信号線として機能する。

[0150]

配線WWLBは、一例として、配線WWLに送信される書き込み信号に対する反転信号を送信する配線として機能する。なお、配線WWLBは、当該反転信号ではなく、可変電位（例えば、高レベル電位、低レベル電位など）を供給する配線としてもよい。

[0151]

配線WDLは、一例として、回路MCに第1データに応じた電圧を書き込むための書き込みデータ線として機能する。

[0152]

配線XDLは、一例として、回路MCに第2データに応じた電圧を入力するための信号線として機能する。

[0153]

そのため、配線XDLに電氣的に接続されているゲートを有するトランジスタM6は、電流源として機能する。また、上述したとおり、トランジスタM6は、サブスレッショルド領域で動作する場合を含むため、トランジスタM6の第1端子-第2端子間には、サブスレッショルド領域の電流が流れる。

[0154]

配線BDLは、一例として、回路MCに、第1データと第2データとの演算結果に応じた電流量を調整するための電圧を入力する信号線として機能する。

[0155]

そのため、配線BDLに電氣的に接続されているゲートを有するトランジスタM9は、電流源として機能する。また、上述したとおり、トランジスタM9は、サブスレッショルド領域で動作する場合を含むため、トランジスタM9の第1端子-第2端子間には、サブスレッショルド領域の電流が流れる。

[0156]

なお、トランジスタM9に流れる電流量としては、例えば、後述する回路ACTVに含まれている関数系に従った演算を行う回路に適用する変数、定数などとすることができる。

[0157]

配線OLは、一例として、第1データと、第2データと、の積に応じた電流を出力するための配線として機能する。

[0158]

<動作例>

次に、図16Aの回路MCの動作例について説明する。なお、本動作例において、配線VDEが与える電位を高電源電位とし、配線VGEが与える電位を接地電位 (V_{GND}) とする。

[0159]

<<書き込み動作>>

初めに、回路MCへの第1データを書き込む動作の一例について説明する。

[0160]

配線WWLには、高レベル電位が入力される。これにより、トランジスタM3と、トランジスタM4と、のそれぞれのゲートには、当該高レベル電位が入力されるため、トランジスタM3とトランジスタM4はオン状態となる。

[0161]

このとき、トランジスタM4を介して、配線VGEと、容量C1の第2端子（トランジスタM2の第2端子）と、の間は導通状態となるため、容量C1の第2端子（トランジスタM2の第2端子）の電位は、 V_{GND} となる。

[0162]

また、このとき、トランジスタM3を介して、配線WDLと容量C1の第1端子（容量CGの第2端子、トランジスタM2のゲートなど）の間が導通状態となる。ここで、配線WDLに第1データに応じた信号（以下、電圧 V_w とする。）を送信することで、容量C1の第1端子（容量CGの

第2端子、トランジスタM2のゲートなど)には第1データに応じた電圧 V_w が書き込まれる。

[0163]

また、配線WWLBには、配線WWLに送信される信号の反転信号が入力される。具体的には、配線WWLBには、低レベル電位が入力される。そのため、トランジスタM1のゲート(容量CGの第1端子)には、当該低レベル電位が印加される。これにより、トランジスタM1は、オフ状態となる。

[0164]

容量C1の第1端子(容量CGの第2端子、トランジスタM2のゲートなど)には電圧 V_w が書き込まれたあと、配線WWLには、低レベル電位が入力される。これにより、トランジスタM3と、トランジスタM4と、のそれぞれのゲートには、当該低レベル電位が入力されるため、トランジスタM3とトランジスタM4はオフ状態となる。また、これにより、容量C1の第1端子がフローティング状態となるため、容量C1の第1端子-第2端子間の電圧 $V_w - V_{GND}$ が保持される。

[0165]

厳密には、トランジスタM3のゲートに与えられる電位が高レベル電位から低レベル電位に変化するとき、トランジスタM3のゲート-第2端子間の寄生容量によって、容量C1の第1端子に書き込まれている電圧 V_w が降圧する場合がある。なお、本明細書では、便宜上、トランジスタM3のゲート-第2端子間の寄生容量によって電圧 V_w から降圧した電圧も第1データに応じた電圧とすることができるものとする。図16Aの回路MCには、電圧 V_w の降圧を防ぐため、容量CGを設けている。トランジスタM3のゲートに与えられる電位が高レベル電位から低レベル電位に変化するとき、つまり、配線WWLが与える電位が高レベル電位から低レベル電位に変化するとき、配線WWLBでは、配線WWLに送信される信号の反転信号が入力されるため、配線WWLBの電位は低レベル電位から高レベル電位に変化する。このとき、容量CGの第1端子の電位は、低レベル電位から高レベル電位まで高くなるため、容量CGの第2端子の電位(容量C1の第1端子、トランジスタM2のゲートなど)は、容量CGの容量結合によって、理想的には、高レベル電位と低レベル電位の電位差だけ昇圧する。ここで、昇圧する電位差を、トランジスタM3のゲート-第2端子間の寄生容量による電圧 V_w が降圧した電位差と等しくすることで、トランジスタM3をオフ状態にしたときの電圧 V_w の降圧を防ぐことができる。なお、容量CGの容量結合によって昇圧する電位差を、トランジスタM3のゲート-第2端子間の寄生容量によって降圧する電位差と等しくするための容量CGの構成については、後述する。

[0166]

また、このとき、配線WWLBに、配線WWLに送信される信号の反転信号ではなく、低レベル電位を供給して、トランジスタM1をオフ状態にしてもよい。これにより、回路MCへの第1データの保持と、トランジスタM2の第1端子への高電源電位の供給の停止と、を同時に行うことができる。

[0167]

<<乗算動作>>

次に、回路MCにおいて、第1データと第2データとの乗算動作の一例について説明する。

[0168]

配線WWLBに高レベル電位が入力されることによって、トランジスタM1がオン状態となるため、トランジスタM2の第1端子には高電源電位が入力されて、トランジスタM2の第1端子-第

2端子間には、トランジスタM2のゲートー第2端子間の電圧に応じた電流が流れる。また、ここで、トランジスタM2の第1端子ー第2端子間に流れる電流の量を I_w とする。なお、トランジスタM2がサブスレッショルド領域で動作する場合、 I_w は、サブスレッショルド領域における電流範囲の電流量となる。

[0169]

また、トランジスタM2の第1端子ー第2端子間に流れる電流は、トランジスタM7を介して、配線VGEに流れる。ここで、トランジスタM7もサブスレッショルド領域で動作するものとして、トランジスタM7の第1端子ー第2端子間には、電流量 I_w の電流が流れるものとする。このとき、電流量 I_w は、下記の式で表すことができる。

[0170]

[数1]

$$I_w = I_0 \exp(JV_{M7gs}) \quad \dots(1.1)$$

[0171]

なお、 V_{M7gs} は、トランジスタM7のゲートー第2端子間の電圧である。また、 I_0 は、 V_{M7gs} が0のときに流れる電流値であって、トランジスタM7のしきい値電圧、温度、デバイス構造などによって決められる。また、 J は、温度、デバイス構造などによって定められる補正係数である。

[0172]

また、配線XDLに第2データに応じた電圧として V_x が入力されるものとする。このとき、トランジスタM6のゲートー第2端子間の電圧は $V_x - V_{GND}$ となり、トランジスタM6の第1端子ー第2端子間には、 $V_x - V_{GND}$ に応じた電流が流れる。また、ここで、トランジスタM6の第1端子ー第2端子間に流れる電流の量を I_x とする。なお、トランジスタM6がサブスレッショルド領域で動作する場合、 I_x は、サブスレッショルド領域における電流範囲の電流量となる。

[0173]

また、トランジスタM6の第1端子ー第2端子間に流れる電流は、配線VDEから、トランジスタM5を介して、トランジスタM6の第1端子に流れる電流となる。ここで、トランジスタM5もサブスレッショルド領域で動作するものとして、トランジスタM5の第1端子ー第2端子間には、電流量 I_x の電流が流れるものとする。このとき、電流量 I_x は、下記の式で表すことができる。

[0174]

[数2]

$$I_x = I_0 \exp(JV_{M5gs}) \quad \dots(1.2)$$

[0175]

なお、 V_{M5gs} は、トランジスタM5のゲートー第2端子間の電圧である。また、 I_0 は、 V_{M5gs} が0のときに流れる電流値であって、トランジスタM5のしきい値電圧、温度、デバイス構造などによって決められる。また、 J は、温度、デバイス構造などによって定められる補正係数である。なお、式(1.2)に用いられている、 I_0 及び J のそれぞれは、式(1.1)に用いられている I_0 及び J と等しいものとする。

[0176]

また、配線BDLに出力電流を調整するための電圧として V_B が入力されるものとする。このとき、トランジスタM9のゲートー第2端子間の電圧は $V_B - V_{GND}$ となり、トランジスタM9の第1端子ー第2端子間には、 $V_B - V_{GND}$ に応じた電流が流れる。また、ここで、トランジスタM9の第1端子ー第2端子間に流れる電流の量を I_B とする。なお、トランジスタM9がサブスレッショルド領域で動作する場合、 I_B は、サブスレッショルド領域における電流範囲の電流量となる。

[0177]

また、トランジスタM9の第1端子ー第2端子間に流れる電流は、配線VDEから、トランジスタM8を介して、トランジスタM9の第1端子に流れる電流となる。ここで、トランジスタM8もサブスレッショルド領域で動作するものとして、トランジスタM8の第1端子ー第2端子間には、電流量 I_B の電流が流れるものとする。このとき、電流量 I_B は、下記の式で表すことができる。

[0178]

[数3]

$$I_B = I_0 \exp(JV_{M8gs}) \quad \dots(1.3)$$

[0179]

なお、 V_{M8gs} は、トランジスタM8のゲートー第2端子間の電圧である。また、 I_0 は、 V_{M8gs} が0のときに流れる電流値であって、トランジスタM8のしきい値電圧、温度、デバイス構造などによって決められる。また、 J は、温度、デバイス構造などによって定められる補正係数である。なお、式(1.3)に用いられている、 I_0 及び J のそれぞれは、式(1.1)、及び式(1.2)に用いられている I_0 及び J と等しいものとする。

[0180]

また、トランジスタM10の第1端子ー第2端子間に流れる電流は、トランジスタM10のゲートー第2端子間の電圧に応じて決められる。また、トランジスタM10の第1端子ー第2端子間に流れる電流量を I_Y としたとき、電流量 I_Y は、下記の式で表すことができる。

[0181]

[数4]

$$I_Y = I_0 \exp(JV_{M10gs}) \quad \dots(1.4)$$

[0182]

なお、 V_{M10gs} は、トランジスタM10のゲートー第2端子間の電圧である。また、 I_0 は、 V_{M10gs} が0のときに流れる電流値であって、トランジスタM10のしきい値電圧、温度、デバイス構造などによって決められる。また、 J は、温度、デバイス構造などによって定められる補正係数である。なお、式(1.4)に用いられている、 I_0 及び J のそれぞれは、式(1.1)乃至式(1.3)に用いられている I_0 及び J と等しいものとする。

[0183]

ここで、配線VGE、トランジスタM7の第2端子、トランジスタM7のゲート、トランジスタM5の第2端子、トランジスタM5のゲート、トランジスタM8のゲート、トランジスタM8の第

2端子、トランジスタM10のゲート、トランジスタM10の第2端子、配線VGEという順の閉回路を考える。当該閉回路では、キルヒホッフの第二法則（電圧則）により、下記の式が成り立つ。

[0184]

[数5]

$$V_{M5gs} + V_{M7gs} = V_{M8gs} + V_{M10gs} \quad \dots(1.5)$$

[0185]

また、式(1.5)の各電圧の項を、式(1.1)乃至式(1.4)を用いて書き直すことにより、次の式が得られる。

[0186]

[数6]

$$I_Y = \frac{I_W I_X}{I_B} \quad \dots(1.6)$$

[0187]

つまり、トランジスタM10の第1端子-第2端子間に流れる電流 I_Y は、 I_W と I_X との積で表すことができる。そのため、配線OLから流れる電流量 I_Y を計測することによって、 I_W と I_X との積に応じた値を算出することができる。

[0188]

なお、本発明の一態様の半導体装置に含まれる乗算セルの構成は、図16Aに示す回路MCに限定されない。本発明の一態様の半導体装置に含まれる乗算セルは、状況に応じて、図16Aに示す回路MCを変更した構成とすることができる。

[0189]

また、図16Aに図示しているトランジスタM1乃至トランジスタM10は、一例としては、チャネルの上下にゲートを有する構造のnチャネル型トランジスタとしており、トランジスタM1乃至トランジスタM10のそれぞれは第1ゲートと第2ゲートとを有する。但し、本明細書等において、便宜上、一例として、第1ゲートをゲート（フロントゲートと記載する場合がある。）、第2ゲートをバックゲートとして区別するように記載しているが、第1ゲートと第2ゲートは互いに入れ替えることができる。そのため、本明細書等において、「ゲート」という語句は「バックゲート」という語句と入れ替えて記載することができる。同様に、「バックゲート」という語句は「ゲート」という語句と入れ替えて記載することができる。具体例としては、「ゲートは第1配線に電氣的に接続され、バックゲートは第2配線に電氣的に接続されている」という接続構成は、「バックゲートは第1配線に電氣的に接続され、ゲートは第2配線に電氣的に接続されている」という接続構成として置き換えることができる。

[0190]

また、本発明の一態様の半導体装置は、トランジスタのバックゲートの接続構成に依らない。図16Aに図示されているトランジスタM1乃至トランジスタM10には、バックゲートが図示され、当該バックゲートの接続構成については図示されていないが、当該バックゲートの電氣的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そ

のトランジスタのオン電流を高めるために、ゲートとバックゲートとを電氣的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、または、そのトランジスタのオフ電流を小さくするために、外部回路などと電氣的に接続されている配線を設けて、当該外部回路などによってトランジスタのバックゲートに固定電位、又は可変電位を与えてもよい。

[0191]

<半導体装置の構成例>

ここでは、図16Aに示した回路MCを適用することができる半導体装置の構成例について、説明する。

[0192]

図17Aは、図16Aの回路MCを適用することができる半導体装置の構成例を示した回路図である。図17Aに示す半導体装置SDV1は、一例として、回路WDCと、回路XDCと、回路BDCと、回路WWCと、セルアレイCAと、回路ACTVと、を有する。また、回路ACTVは、一例として、回路ADR[1]乃至回路ADR[n]を有する。

[0193]

セルアレイCAは、一例として、図16Aの回路MCを複数有する。具体的には、セルアレイCAにおいて、複数の回路MCは、 m 行 n 列 (m は1以上の整数であり、 n は1以上の整数である。)のマトリクス状に配置されている。図17Aでは、一例として、セルアレイCA内に、回路MCとして、回路MC[1, 1]、回路MC[m, 1]、回路MC[1, n]、及び回路MC[m, n]を図示している。

[0194]

回路MC[1, 1]は、配線WDL[1]と、配線WWL[1]と、配線WWLB[1]と、配線XDL[1]と、配線BDL[1]と、配線OL[1]と、に電氣的に接続されている。また、回路MC[m, 1]は、配線WDL[1]と、配線WWL[m]と、配線WWLB[m]と、配線XDL[m]と、配線BDL[m]と、配線OL[1]と、に電氣的に接続されている。また、回路MC[1, n]は、配線WDL[n]と、配線WWL[1]と、配線WWLB[1]と、配線XDL[1]と、配線BDL[1]と、配線OL[n]と、に電氣的に接続されている。また、回路MC[m, n]は、配線WDL[n]と、配線WWL[m]と、配線WWLB[m]と、配線XDL[m]と、配線BDL[m]と、配線OL[n]と、に電氣的に接続されている。

[0195]

つまり、 i を1以上 m 以下の整数とし、 j を1以上 n 以下の整数としたとき、回路MC[i , j] (図17Aには図示しない)は、配線WDL[j]と、配線WWL[i]と、配線WWLB[i]と、配線XDL[i]と、配線BDL[i]と、配線OL[j]と、に電氣的に接続されている、ということができる。

[0196]

なお、配線WDL[j]は、図16Aに示した配線WDLに相当する。また、配線WWL[i]は、図16Aに示した配線WWLに相当し、また、配線WWLB[i]は、図16Aに示した配線WWLBに相当する。また、配線XDL[i]は、図16Aに示した配線XDLに相当し、配線BDL[i]は、図16Aに示した配線BDLに相当する。また、配線OL[j]は、図16Aに示した配線OLに相当する。

[0197]

回路WDCは、配線WDL [1] 乃至配線WDL [n] に電氣的に接続されている。また、回路XDCは、配線XDL [1] 乃至配線XDL [m] に電氣的に接続されている。また、回路BDCは、配線BDL [1] 乃至配線BDL [m] に電氣的に接続されている。また、回路WWCは、配線WWL [1] 乃至配線WWL [m]、及び配線WWLB [1] 乃至配線WWLB [m] に電氣的に接続されている。また、回路ADR [1] 乃至回路ADR [n] のそれぞれは、配線OL [1] 乃至配線OL [n] と、配線ZL [1] 乃至配線ZL [n] と、に電氣的に接続されている。

[0198]

回路WDCは、一例として、配線WDL [1] 乃至配線WDL [n] のそれぞれに、セルアレイCAに含まれている回路MCに書き込むための第1データに応じた電圧を与える駆動回路として機能する。

[0199]

回路XDCは、一例として、配線XDL [1] 乃至配線XDL [m] のそれぞれに、セルアレイCAに含まれている回路MCに入力するための第2データに応じた電圧を与える駆動回路として機能する。

[0200]

回路BDCは、一例として、配線BDL [1] 乃至配線BDL [m] のそれぞれに、セルアレイCAに含まれている回路MCに入力するための、配線OLに流れる演算結果に応じた電流量を調整するための電圧を与える駆動回路として機能する。

[0201]

回路WWCは、一例として、配線WWL [1] 乃至配線WWL [m] のそれぞれに、セルアレイCAが有する回路MCに第1データを書き込む際に、第1データの書き込み先となる回路MCを選択する機能を有する。具体的には、例えば、セルアレイCAのi行目に位置する回路MC [i, 1] 乃至回路MC [i, n] に第1データを書き込むとき、回路WWCは、配線WWL [i] に高レベル電位を与え、また、配線WWL [i] 以外の配線WWL [1] 乃至配線WWL [m] に低レベル電位を与えることで、第1データの書き込み先として、回路MC [i, 1] 乃至回路MC [i, n] を選択することができる。

[0202]

また、回路WWCは、一例として、配線WWLB [i] に、配線WWL [i] に送信される選択信号の反転信号を送信する機能を有する。また、回路WWCは、配線WWLB [i] には当該反転信号ではなく、異なる信号を送信してもよい。例えば、回路WWCは、配線WWL [i] に低レベル電位が入力されているとき、配線WWLB [i] にも低レベル電位を入力する機能を有していてもよい。これにより、図16Aの回路MCは、第1データの保持と、トランジスタM2の第1端子への高電源電位の供給の停止と、を同時に行うことができる。

[0203]

ところで、セルアレイCAのj列目に着目すると、配線OLには、電流量として、回路MC [1, j] 乃至回路MC [m, j] のそれぞれが出力する I_Y の和が流れる。ここで、回路MC [i, j] のトランジスタM2に流れる電流を $I_w [i, j]$ とし、回路MC [i, j] のトランジスタM6に流れる電流を $I_x [i]$ とし、配線OLから回路MC [i, j] に流れる電流量を $I_Y [i, j]$ とする。更に、回路MC [1, j] 乃至回路MC [m, j] のそれぞれのトランジスタM9に流れ

る電流量を I_B としたとき、配線 OL に流れる電流量 $I_S [j]$ は、下式で表すことができる。

[0204]

[数7]

$$I_S[j] = \sum_{i=1}^m I_Y[i, j] = \frac{1}{I_B} \sum_{i=1}^m I_W[i, j] I_X[i] \quad \dots(1.7)$$

[0205]

回路 $ADR [j]$ は、一例として、例えば、配線 $OL [j]$ から回路 $ADR [j]$ に流れる電流量に応じた電圧を出力する機能と、当該電圧を用いてあらかじめ定義された関数系に従った演算を行う機能と、当該関数の演算の結果を配線 $ZL [j]$ に出力する機能と、を有する。

[0206]

なお、図17Bに示す半導体装置 $SDV 2$ のように、回路 BGC を設ける構成にしてもよい。回路 BGC は、配線 $BGL [1]$ 乃至配線 $BGL [m]$ に電氣的に接続されている。回路 BGC は、一例として、配線 $BGL [1]$ 乃至配線 $BGL [m]$ のそれぞれに所望の定電圧を入力する機能を有する。つまり、回路 BGC は、回路 $MC [1, 1]$ 乃至回路 $MC [m, n]$ に含まれている各トランジスタのバックゲートに定電圧を供給する回路として機能する。

[0207]

上述したとおり、図16Aに示した回路 MC を用いることによって、第1データに応じた電圧を回路 MC に書き込むことができる。また、回路 MC によって、第1データと第2データとの積に応じた電流 I_Y を配線 OL に出力することができる。また、図17Aの半導体装置 $SDV 1$ 、又は図17Bの半導体装置 $SDV 2$ を用いることによって、複数の第1データと複数の第2データとの積和を演算することができる。

[0208]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0209]

(実施の形態4)

本実施の形態では、上記実施の形態で説明した $CPU 110$ で実行するプログラムの演算の一部を半導体装置 100 として説明したアクセラレータで実行する場合の、動作の一例を説明する。

[0210]

図18は、 CPU で実行するプログラムの演算の一部をアクセラレータで実行する場合の、動作の一例を説明する図である。アクセラレータは、演算の種類に応じて、デジタル演算器 101 またはアナログ演算器 102 を選択することができる。

[0211]

CPU にて、ホストプログラムが実行される (ホストプログラム実行 ; ステップ $S 1$) 。

[0212]

CPU は、アクセラレータを用いて演算を行う際に必要とされるデータ用領域を、メモリ回路部に確保するとの命令を確認した場合 (メモリ確保命令 ; ステップ $S 2$)、該データ用領域を、メモリ回路部に確保する (メモリ確保 ; ステップ $S 3$) 。

[0213]

次に、CPUは、メインメモリあるいは外部記憶装置から上記メモリ回路部へ入力データである重みデータを送信する（データ送信；ステップS4）。上記メモリ回路部は該重みデータを受信し、該重みデータを、ステップS3で確保された領域に格納する（データ受信；ステップS5）。

[0214]

CPUは、カーネルプログラムを起動するとの命令を確認した場合（カーネルプログラムの起動；ステップS6）、アクセラレータは、カーネルプログラムの実行を開始する（演算開始；ステップS7）。

[0215]

アクセラレータがカーネルプログラムの実行を開始した直後、CPUを、演算を行う状態からPG（パワーゲーティング）状態へと切り替えてもよい（PG状態移行；ステップS8）。その場合、アクセラレータがカーネルプログラムの実行を終了する直前に、CPUは、PG状態から演算を行う状態へ切り替えられる（PG状態停止；ステップS9）。ステップS8からステップS9までの期間、CPUをPG状態にすることで、演算処理システム全体として消費電力および発熱を抑制することができる。

[0216]

アクセラレータがカーネルプログラムの実行を終了すると、出力データがアクセラレータ内の演算結果を保持する記憶部に格納される（演算終了；ステップS10）。

[0217]

カーネルプログラムの実行が終了した後、CPUは、記憶部に格納された出力データをメインメモリあるいは外部記憶装置へ送信するとの命令を確認した場合（データ送信リクエスト；ステップS11）、上記の出力データがメインメモリあるいは外部記憶装置へ送信され、メインメモリあるいは外部記憶装置に格納される（データ送信；ステップS12）。

[0218]

以上のステップS1からステップS12までの動作を繰り返すことにより、CPUおよびアクセラレータの消費電力および発熱を抑制しつつ、CPUで実行する演算の一部をアクセラレータで実行することができる。本発明の一態様の半導体装置は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で演算処理を行うことができる。

[0219]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0220]

（実施の形態5）

本実施の形態では、パワーゲーティングが可能なCPUコアを有するCPUの一例について説明する。

[0221]

図19に、CPU110の構成例を示す。CPU110は、CPUコア（CPU Core）200、L1（レベル1）キャッシュメモリ装置（L1 Cache）202、L2キャッシュメモリ装置（L2 Cache）203、バスインターフェース部（Bus I/F）205、パワースイッチ210～212、レベルシフタ（LS）214を有する。CPUコア200はフリップフロップ220を有する。

[0222]

バスインターフェース部205によって、CPUコア200、L1キャッシュメモリ装置202、L2キャッシュメモリ装置203が相互に接続される。

[0223]

外部から入力される割り込み信号 (Interrupts)、CPU110が発行する信号SLEEP1等の信号に応じて、PMU193はクロック信号GCLK1、各種のPG (パワーゲーティング) 制御信号 (PG control signals) の生成を行う。クロック信号GCLK1、PG制御信号はCPU110に入力される。PG制御信号は、パワースイッチ210~212、フリップフロップ220を制御する。

[0224]

パワースイッチ210、211は、仮想電源線V_VDD (以下、V_VDD線と呼ぶ) への電圧VDDD、VDD1の供給をそれぞれ制御する。パワースイッチ212は、レベルシフタ (LS) 214への電圧VDDHの供給を制御する。CPU110およびPMU193には、パワースイッチを介さずに電圧VSSSが入力される。PMU193には、パワースイッチを介さずに電圧VDDが入力される。

[0225]

電圧VDDD、VDD1はCMOS回路用の駆動電圧である。電圧VDD1は電圧VDDDよりも低く、スリープ状態での駆動電圧である。電圧VDDHはOSトランジスタ用の駆動電圧であり、電圧VDDDよりも高い。

[0226]

L1キャッシュメモリ装置202、L2キャッシュメモリ装置203、バスインターフェース部205それぞれは、少なくとも1つパワーゲーティング可能なパワードメインを有する。パワーゲーティング可能なパワードメインには、1または複数のパワースイッチが設けられている。これらのパワースイッチは、PG制御信号によって制御される。

[0227]

フリップフロップ220は、レジスタに用いられる。フリップフロップ220には、バックアップ回路が設けられている。以下、フリップフロップ220について説明する。

[0228]

図20Aにフリップフロップ220 (Flip-flop) の回路構成例を示す。フリップフロップ220はスキャンフリップフロップ (Scan Flip-flop) 221、バックアップ回路 (Backup Circuit) 222を有する。

[0229]

スキャンフリップフロップ221は、ノードD1、Q1、SD、SE、RT、CK、クロックバッファ回路221Aを有する。

[0230]

ノードD1はデータ (data) 入力ノードであり、ノードQ1はデータ出力ノードであり、ノードSDはスキャンテスト用データの入力ノードである。ノードSEは信号SCEの入力ノードである。ノードCKはクロック信号GCLK1の入力ノードである。クロック信号GCLK1はクロックバッファ回路221Aに入力される。スキャンフリップフロップ221のアナログスイッチは、クロックバッファ回路221AのノードCK1、CKB1に接続される。ノードRTはリセット信

号 (reset signal) の入力ノードである。

[0231]

信号SCEは、スキャンイネーブル信号であり、PMU193で生成される。PMU193は信号BK、RCを生成する。レベルシフタ214は信号BK、RCをレベルシフトし、信号BKH、RCHを生成する。信号BKはバックアップ信号、信号RCはリカバリ信号である。

[0232]

スキャンフリップフロップ221の回路構成は、図20に限定されない。標準的な回路ライブラリに用意されているフリップフロップを適用することができる。

[0233]

バックアップ回路222は、ノードSD_IN、SN11、トランジスタM11~M13、容量素子C11を有する。

[0234]

ノードSD_INは、スキャンテストデータの入力ノードであり、スキャンフリップフロップ221のノードQ1に接続される。ノードSN11は、バックアップ回路222の保持ノードである。容量素子C11はノードSN11の電圧を保持するための保持容量である。

[0235]

トランジスタM11はノードQ1とノードSN11間の導通状態を制御する。トランジスタM12はノードSN11とノードSD間の導通状態を制御する。トランジスタM13はノードSD_INとノードSD間の導通状態を制御する。トランジスタM11、M13のオンオフは信号BKHで制御され、トランジスタM12のオンオフは信号RCHで制御される。

[0236]

トランジスタM11~M13は、上述したメモリ回路21が有するトランジスタ61乃至63と同様に、OSトランジスタである。トランジスタM11~M13はバックゲートを有する構成を図示している。トランジスタM11~M13のバックゲートは、電圧VBG1を供給する電源線に接続されている。

[0237]

少なくともトランジスタM11、M12がOSトランジスタであることが好ましい。オフ電流が極めて小さいというOSトランジスタの特長によって、ノードSN11の電圧の低下を抑えることができること、データの保持に電力を殆んど消費しないことから、バックアップ回路222は不揮発性の特性をもつ。容量素子C11の充放電によってデータを書き換えるため、バックアップ回路222は原理的には書き換え回数に制約はなく、低エネルギーで、データの書き込みおよび読み出しが可能である。

[0238]

バックアップ回路222の全てのトランジスタはOSトランジスタであることが非常に好ましい。図20Bに示すように、シリコンCMOS回路で構成されるスキャンフリップフロップ221上にバックアップ回路222を積層することができる。

[0239]

バックアップ回路222は、スキャンフリップフロップ221と比較して素子数が非常に少ないので、バックアップ回路222を積層するためにスキャンフリップフロップ221の回路構成およびレイアウトの変更が必要ない。つまり、バックアップ回路222は、汎用性が非常に高いバック

アップ回路である。また、スキャンフリップフロップ221が形成されている領域内にバックアップ回路222を設けることができるので、バックアップ回路222を組み込んでも、フリップフロップ220の面積オーバーヘッドはゼロにすることが可能である。よって、バックアップ回路222をフリップフロップ220に設けることで、CPUコア200のパワーゲーティングが可能となる。パワーゲーティングに必要なエネルギーが少ないため、CPUコア200を高効率にパワーゲーティングすることが可能である。

[0240]

バックアップ回路222を設けることによって、トランジスタM11による寄生容量がノードQ1に付加されることになるが、ノードQ1に接続される論理回路による寄生容量と比較して小さいので、スキャンフリップフロップ221の動作に影響はない。つまり、バックアップ回路222を設けても、フリップフロップ220の性能は実質的に低下しない。

[0241]

CPUコア200の低消費電力状態として、例えば、クロックゲーティング状態、パワーゲーティング状態、休止状態を設定することができる。PMU193は、割り込み信号、信号SLEEP1等に基づき、CPUコア200の低消費電力モードを選択する。例えば、通常動作状態からクロックゲーティング状態に移行する場合、PMU193はクロック信号CLK1の生成を停止する。

[0242]

例えば、通常動作状態から休止状態に移行する場合は、PMU193は、電圧および／または周波数スケーリングを行う。例えば、電圧スケーリングを行う場合、PMU193は、電圧VDD1をCPUコア200に入力するため、パワースイッチ210をオフにし、パワースイッチ211をオンにする。電圧VDD1は、スキャンフリップフロップ221のデータを消失させない電圧である。周波数スケーリングを行う場合、PMU193はクロック信号CLK1の周波数を低下させる。

[0243]

CPUコア200を通常動作状態からパワーゲーティング状態に移行する場合には、スキャンフリップフロップ221のデータをバックアップ回路222にバックアップする動作が行われる。CPUコア200をパワーゲーティング状態から通常動作状態に復帰する際には、バックアップ回路222のデータをスキャンフリップフロップ221にリカバリする動作が行われる。

[0244]

OSトランジスタを用いたバックアップ回路222は、動的および静的消費電力双方が小さいため、ノーマリオフ・コンピューティングに非常に好適である。なお、OSトランジスタを用いたバックアップ回路222を有するCPUコア200を含むCPU110は、NoFFCPU（登録商標）と呼称することができる。NoFFCPUは、不揮発性メモリを有し、動作が必要ない場合には、電力供給を停止することができる。フリップフロップ220を搭載しても、CPUコア200の性能低下、動的電力の増加をほとんど発生させないようにできる。

[0245]

なお、CPUコア200は複数のパワーゲーティング可能なパワードメインを有してもよい。複数のパワードメインには、電圧の入力を制御するための1または複数のパワースイッチが設けられる。また、CPUコア200は、1または複数のパワーゲーティングが行われないパワードメインを有していてもよい。例えば、パワーゲーティングが行われないパワードメインに、フリップフロ

ップ220、パワースイッチ210～212の制御を行うためのパワーゲーティング制御回路を設けてもよい。

[0246]

なお、フリップフロップ220の適用はCPU110に限定されない。CPU110において、パワーゲーティング可能なパワードメインに設けられるレジスタに、フリップフロップ220を適用できる。

[0247]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0248]

(実施の形態6)

本実施の形態では、上記実施の形態で説明した半導体装置の構成例、及び上記の実施の形態で説明した半導体装置に適用できるトランジスタの構成例について説明する。

[0249]

<半導体装置の構成例>

図21は、上記実施の形態で説明した半導体装置の一例を示し、当該半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有する。また、図22Aにはトランジスタ500のチャンネル長方向の断面図、図22Bにはトランジスタ500のチャンネル幅方向の断面図を示しており、図22Cにはトランジスタ300のチャンネル幅方向の断面図を示している。

[0250]

トランジスタ500は、チャンネル形成領域に金属酸化物を有するトランジスタ(OSトランジスタ)である。トランジスタ500は、オフ電流が小さく、また、高温でも電界効果移動度が変化しにくい特性を有する。トランジスタ500を、先の実施の形態に示すアナログ演算器102、酸化物半導体メモリ103、および酸化物半導体メモリ104などに含まれるトランジスタに適用することにより、高温でも動作能力が低下しにくい半導体装置を実現できる。特に、オフ電流が小さい特性を利用して、トランジスタ500を、酸化物半導体メモリ103、および酸化物半導体メモリ104に含まれるトランジスタに適用することにより、書き込んだ電位を長時間保持することができる。

[0251]

トランジスタ500は、例えば、トランジスタ300の上方に設けられ、容量素子600は、例えば、トランジスタ300、及びトランジスタ500の上方に設けられている。なお、容量素子600は、上記実施の形態で説明した酸化物半導体メモリ103、および酸化物半導体メモリ104などに含まれる容量などとすることができる。なお、回路構成によっては、図21に示す容量素子600は必ずしも設けなくてもよい。

[0252]

トランジスタ300は、基板310上に設けられ、素子分離層312、導電体316、絶縁体315、基板310の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記実施の形態で説明したデジタル演算器101などに含まれるトランジスタなどに適用することができる。なお、図21では、トランジスタ300のゲートが、容量素子600の一对の電極を介して、トランジスタ500のソース又はドレインの一方に電気的に接続されている構成を示してい

るが、デジタル演算器101などの構成によっては、トランジスタ300のソース又はドレインの一方が、容量素子600の一对の電極を介して、トランジスタ500のソース又はドレインの一方に電氣的に接続されている構成としてもよく、また、トランジスタ300のソース又はドレインの一方が、容量素子600の一对の電極を介して、トランジスタ500のゲートに電氣的に接続されている構成としてもよく、また、トランジスタ300の各端子は、トランジスタ500の各端子、容量素子600の各端子のそれぞれに電氣的に接続されない構成としてもよい。

[0253]

上記のような構成にすることで、図2A、図2B、図3A、図3Bに示したように、Siを含む素子層の上にOSを含む素子層を形成することができる。

[0254]

また、基板310としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。

[0255]

トランジスタ300は、図22Cに示すように、半導体領域313の上面及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[0256]

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0257]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）、GaN（窒化ガリウム）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

[0258]

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

[0259]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

[0260]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン及び窒化タン

タルなどの少なくとも一を含む材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン及びアルミニウムなどの少なくとも一を含む金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

[0261]

素子分離層312は、基板310上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、LOCOS (LOCAL Oxidation of Silicon) 法、STI (Shallow Trench Isolation) 法、メサ分離法などを用いて形成することができる。

[0262]

なお、図21に示すトランジスタ300は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いればよい。例えば、トランジスタ300は、図22Cに示すFIN型ではなく、プレーナ型の構造としてもよい。また、例えば、半導体装置をOSトランジスタのみの単極性回路とする場合、図23に示すとおり、トランジスタ300の構成を、酸化物半導体を用いているトランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。なお、本明細書等において、単極性回路とは、nチャネル型トランジスタ又はpチャネル型トランジスタの一方のみの極性のトランジスタを含む回路のことをいう。

[0263]

なお、図23において、トランジスタ300は、基板310A上に設けられているが、この場合、基板310Aとしては、図21の半導体装置の基板310と同様に半導体基板を用いてもよい。また、図23において、基板310Aとして、図21の半導体装置の基板310と同様に半導体基板を用いる場合、当該半導体基板に図21に示すトランジスタ300などを形成してもよい。また、基板310Aとしては、例えば、SOI基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどを用いることができる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES)、ポリテトラフルオロエチレン (PTFE) に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などがある。

[0264]

上記のような構成にすることで、図2B、図3B、図5B、図16Bに示したように、第1のOSを含む素子層の上に、第2のOSを含む素子層を形成することができる。

[0265]

図21に示すトランジスタ300には、絶縁体320、絶縁体322、絶縁体324、絶縁体326が、基板310側から順に積層して設けられている。

[0266]

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0267]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0268]

絶縁体322は、絶縁体320及び絶縁体322に覆われているトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP：Chemical Mechanical Polishing）法等を用いた平坦化処理により平坦化されていてもよい。

[0269]

また、絶縁体324には、基板310、又はトランジスタ300などから、トランジスタ500が設けられる領域に、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0270]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0271]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50°Cから500°Cの範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0272]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0273]

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には容量素子600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電

体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0274]

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン及びモリブデンなどの少なくとも一を含む高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム及び銅などの少なくとも一を含む低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0275]

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図21において、絶縁体350、絶縁体352、及び絶縁体354が、絶縁体326、及び導電体330の上方に、順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0276]

なお、例えば、絶縁体350は、絶縁体324と同様に、水及び水素などの少なくとも一を含む不純物に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体352、及び絶縁体354としては、絶縁体326と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、導電体356は、水及び水素などの少なくとも一を含む不純物に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0277]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[0278]

また、絶縁体354、及び導電体356上には、絶縁体360と、絶縁体362と、絶縁体364が順に積層されている。

[0279]

絶縁体360は、絶縁体324などと同様に、水及び水素などの少なくとも一を含む不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体360としては、例えば、絶縁体324などに適用できる材料を用いることができる。

[0280]

絶縁体362、及び絶縁体364は、層間絶縁膜、及び平坦化膜としての機能を有する。また、絶縁体362、及び絶縁体364は、絶縁体324と同様に、水及び水素などの少なくとも一を含

む不純物に対するバリア性を有する絶縁体を用いることが好ましい。このため、絶縁体362、及び／又は絶縁体364としては、絶縁体324に適用できる材料を用いることができる。

[0281]

また、絶縁体360、絶縁体362、及び絶縁体364のそれぞれの、一部の導電体356と重畳する領域に開口部が形成されて、当該開口部を埋めるように導電体366が設けられている。また、導電体366は、絶縁体362上にも形成されている。導電体366は、一例として、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお、導電体366は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0282]

絶縁体364、及び導電体366上には絶縁体510、絶縁体512、絶縁体514、及び絶縁体516が、順に積層して設けられている。絶縁体510、絶縁体512、絶縁体514、及び絶縁体516のいずれかは、酸素または水素に対してバリア性のある物質を用いることが好ましい。

[0283]

例えば、絶縁体510、及び絶縁体514には、例えば、基板310、又はトランジスタ300を設ける領域などから、トランジスタ500が設けられている領域に、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0284]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0285]

また、水素に対するバリア性を有する膜として、例えば、絶縁体510、及び絶縁体514には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0286]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0287]

また、例えば、絶縁体512、及び絶縁体516には、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、及び絶縁体516として、酸化シリコン膜または酸化窒化シリコン膜などを用いることができる。

[0288]

また、絶縁体510、絶縁体512、絶縁体514、及び絶縁体516には、導電体518、及

びトランジスタ500を構成する導電体（例えば、図22A、及び図22Bに示す導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体518は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0289]

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0290]

絶縁体516の上方には、トランジスタ500が設けられている。

[0291]

図22A、及び図22Bに示すように、トランジスタ500は、絶縁体514上の絶縁体516と、絶縁体514または絶縁体516に埋め込まれるように配置された導電体503（導電体503a、および導電体503b）と、絶縁体516上、および導電体503上の絶縁体522と、絶縁体522上の絶縁体524と、絶縁体524上の酸化物530aと、酸化物530a上の酸化物530bと、酸化物530b上の導電体542aと、導電体542a上の絶縁体571aと、酸化物530b上の導電体542bと、導電体542b上の絶縁体571bと、酸化物530b上の絶縁体552と、絶縁体552上の絶縁体550と、絶縁体550上の絶縁体554と、絶縁体554上に位置し、酸化物530bの一部と重なる導電体560（導電体560a、および導電体560b）と、絶縁体522、絶縁体524、酸化物530a、酸化物530b、導電体542a、導電体542b、絶縁体571a、および絶縁体571b上に配置される絶縁体544と、を有する。ここで、図22A、及び図22Bに示すように、絶縁体552は、絶縁体522の上面、絶縁体524の側面、酸化物530aの側面、酸化物530bの側面および上面、導電体542の側面、絶縁体571の側面、絶縁体544の側面、絶縁体580の側面、および絶縁体550の下面と接する。また、導電体560の上面は、絶縁体554の上部、絶縁体550の上部、絶縁体552の上部、および絶縁体580の上面と高さが概略一致するように配置される。また、絶縁体574は、導電体560の上面、絶縁体552の上部、絶縁体550の上部、絶縁体554の上部、および絶縁体580の上面の少なくともいずれかの一部と接する。

[0292]

絶縁体580、および絶縁体544には、酸化物530bに達する開口が設けられる。当該開口内に、絶縁体552、絶縁体550、絶縁体554、および導電体560が配置されている。また、トランジスタ500のチャンネル長方向において、絶縁体571a、および導電体542aと、絶縁体571b、および導電体542bと、の間に導電体560、絶縁体552、絶縁体550、および絶縁体554が設けられている。絶縁体554は、導電体560の側面と接する領域と、導電体560の底面と接する領域と、を有する。

[0293]

酸化物530は、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、を有することが好ましい。酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を

抑制することができる。

[0294]

なお、トランジスタ500では、酸化物530が、酸化物530a、および酸化物530bの2層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、トランジスタ500は、酸化物530bの単層、または3層以上の積層構造を有する構成とすることができる。又は、酸化物530a、および酸化物530bのそれぞれが積層構造を有する構成とすることができる。

[0295]

導電体560は、第1のゲート（トップゲートともいう。）電極として機能し、導電体503は、第2のゲート（バックゲートともいう。）電極として機能する。また、絶縁体552、絶縁体550、及び絶縁体554は、第1のゲート絶縁体として機能し、絶縁体522、および絶縁体524は、第2のゲート絶縁体として機能する。なお、ゲート絶縁体は、ゲート絶縁層、またはゲート絶縁膜と呼ぶ場合もある。また、導電体542aは、ソースまたはドレインの一方として機能し、導電体542bは、ソースまたはドレインの他方として機能する。また、酸化物530の導電体560と重畳する領域の少なくとも一部はチャンネル形成領域として機能する。

[0296]

ここで、図22Aにおけるチャンネル形成領域近傍の拡大図を図24Aに示す。酸化物530bに酸素が供給されることで、導電体542aと導電体542bの間の領域にチャンネル形成領域が形成される。よって、図24Aに示すように、酸化物530bは、トランジスタ500のチャンネル形成領域として機能する領域530bcと、領域530bcを挟むように設けられ、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbと、を有する。領域530bcは、少なくとも一部が導電体560と重畳している。言い換えると、領域530bcは、導電体542aと導電体542bの間の領域に設けられている。領域530baは、導電体542aに重畳して設けられており、領域530bbは、導電体542bに重畳して設けられている。

[0297]

チャンネル形成領域として機能する領域530bcは、領域530baおよび領域530bbよりも、酸素欠損（本明細書等では、金属酸化物中の酸素欠損を V_O （oxygen vacancy）と呼称する場合がある。）が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって領域530bcは、i型（真性）または実質的にi型であるといえることができる。

[0298]

金属酸化物を用いたトランジスタは、金属酸化物中のチャンネルが形成される領域に不純物または酸素欠損（ V_O ）が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損（ V_O ）近傍の水素が、酸素欠損（ V_O ）に水素が入った欠陥（以下、 V_OH と呼称する場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャンネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャンネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャンネルが形成される領域では、不純物、酸素欠損、および V_OH はできる限り低減されていることが好ましい。

[0299]

また、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbは、

酸素欠損 (V_o) が多く、または水素、窒素、及び金属元素などの少なくとも一の不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域 530ba および領域 530bb は、領域 530bc と比較して、キャリア濃度が高く、低抵抗な n 型の領域である。

[0300]

ここで、チャネル形成領域として機能する領域 530bc のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域 530bc のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0301]

また、領域 530bc と領域 530ba または領域 530bb との間に、キャリア濃度が、領域 530ba および領域 530bb のキャリア濃度と同等、またはそれよりも低く、領域 530bc のキャリア濃度と同等、またはそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域 530bc と領域 530ba または領域 530bb との接合領域として機能する。当該接合領域は、水素濃度が、領域 530ba および領域 530bb の水素濃度と同等、またはそれよりも低く、領域 530bc の水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域 530ba および領域 530bb の酸素欠損と同等、またはそれよりも少なく、領域 530bc の酸素欠損と同等、またはそれよりも多くなる場合がある。

[0302]

なお、図 24A では、領域 530ba、領域 530bb、および領域 530bc が酸化物 530b に形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物 530b だけでなく、酸化物 530a まで形成されてもよい。

[0303]

また、酸化物 530 において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

[0304]

トランジスタ 500 は、チャネル形成領域を含む酸化物 530 (酸化物 530a、および酸化物 530b) に、半導体として機能する金属酸化物 (以下、酸化物半導体ともいう。) を用いることが好ましい。

[0305]

また、半導体として機能する金属酸化物は、バンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0306]

酸化物 530 として、例えば、インジウム、元素 M および亜鉛を有する $In-M-Zn$ 酸化物 (元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、

チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種)等の金属酸化物を用いるとよい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物、インジウム酸化物を用いてもよい。

[0307]

ここで、酸化物530bに用いる金属酸化物における、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0308]

このように、酸化物530bの下に酸化物530aを配置することで、酸化物530aよりも下方に形成された構造物からの、酸化物530bに対する、不純物および酸素の拡散を抑制することができる。

[0309]

また、酸化物530aおよび酸化物530bが、酸素以外に共通の元素を有する(主成分とする)ことで、酸化物530aと酸化物530bの界面における欠陥準位密度を低くすることができる。酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0310]

酸化物530bは、結晶性を有することが好ましい。特に、酸化物530bとして、CAAC-OS(c-axis aligned crystalline oxide semiconductor)を用いることが好ましい。

[0311]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物及び欠陥(例えば、酸素欠損(V_o)など)が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度(例えば、400℃以上600℃以下)で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物または酸素の拡散をより低減することができる。

[0312]

一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0313]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャンネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥(以下、V_oHと呼ぶ場合がある。)を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャンネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性(ゲート電極に電圧を印加しなくてもチャンネルが存在し、トランジスタに電流が流れる特性)となりやすい。したがって、酸化物半導体中のチャンネルが形成される領域では、不純物、酸素欠損、およびV_oHはできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャンネルが形成される領域は、キャ

リア濃度が低減され、i型（真性化）または実質的にi型であることが好ましい。

[0314]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、および V_{OH} を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ500のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素が基板面内ではばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

[0315]

よって、酸化物半導体中において、チャネル形成領域として機能する領域530bcは、キャリア濃度が低減され、i型または実質的にi型であることが好ましいが、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbは、キャリア濃度が高く、n型であることが好ましい。つまり、酸化物半導体の領域530bcの酸素欠損、および V_{OH} を低減し、領域530baおよび領域530bbには過剰な量の酸素が供給されないようにすることが好ましい。

[0316]

そこで、本実施の形態では、酸化物530b上に導電体542aおよび導電体542bを設けた状態で、酸素を含む雰囲気でもマイクロ波処理を行い、領域530bcの酸素欠損、および V_{OH} の低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

[0317]

酸素を含む雰囲気でもマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域530bcに照射することもできる。プラズマ、マイクロ波などの作用により、領域530bcの V_{OH} を分断し、水素Hを領域530bcから除去し、酸素欠損 V_{O} を酸素で補填することができる。つまり、領域530bcにおいて、「 $V_{OH} \rightarrow H + V_{O}$ 」という反応が起きて、領域530bcの水素濃度を低減することができる。よって、領域530bc中の酸素欠損、および V_{OH} を低減し、キャリア濃度を低下させることができる。

[0318]

また、酸素を含む雰囲気でもマイクロ波処理を行う際、マイクロ波、またはRF等の高周波、酸素プラズマなどの作用は、導電体542aおよび導電体542bに遮蔽され、領域530baおよび領域530bbには及ばない。さらに、酸素プラズマの作用は、酸化物530b、および導電体542を覆って設けられている、絶縁体571、および絶縁体580によって、低減することができる。これにより、マイクロ波処理の際に、領域530baおよび領域530bbで、 V_{OH} の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

[0319]

また、絶縁体552となる絶縁膜の成膜後、または絶縁体550となる絶縁膜の成膜後に、酸素を含む雰囲気でもマイクロ波処理を行うことが好ましい。このように絶縁体552、または絶縁体550を介して、酸素を含む雰囲気でもマイクロ波処理を行うことで、効率よく領域530bc中へ酸素を注入することができる。また、絶縁体552を導電体542の側面、および領域530bcの表面と接するように配置することで、領域530bcへ必要量以上の酸素の注入を抑制し、導電

体542の側面の酸化を抑制することができる。また、絶縁体550となる絶縁膜の成膜時に導電体542の側面の酸化を抑制することができる。

[0320]

また、領域530bc中に注入される酸素は、酸素原子、酸素分子、酸素ラジカル（Oラジカルともいう、不対電子をもつ原子または分子、あるいはイオン）など様々な形態がある。なお、領域530bc中に注入される酸素は、上述の形態のいずれか一または複数であれば好ましく、特に酸素ラジカルであると好適である。また、絶縁体552、および絶縁体550の膜質を向上させることができるので、トランジスタ500の信頼性が向上する。

[0321]

このようにして、酸化物半導体の領域530bcで選択的に酸素欠損、およびV_oHを除去して、領域530bcをi型または実質的にi型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbに過剰な酸素が供給されるのを抑制し、n型を維持することができる。これにより、トランジスタ500の電気特性の変動を抑制し、基板面内でトランジスタ500の電気特性のばらつきを少なくすることができる。

[0322]

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

[0323]

また、図22Bに示すように、トランジスタ500のチャンネル幅方向の断面視において、酸化物530bの側面と酸化物530bの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

[0324]

上記湾曲面での曲率半径は、0nmより大きく、導電体542と重なる領域の酸化物530bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0nmより大きく20nm以下、好ましくは1nm以上15nm以下、さらに好ましくは2nm以上10nm以下とする。このような形状にすることで、絶縁体552、絶縁体550、絶縁体554、および導電体560の、酸化物530bへの被覆性を高めることができる。

[0325]

酸化物530は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、I_nに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、I_nに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するI_nの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するI_nの原子数比より大きいことが好ましい。

[0326]

また、酸化物530bは、CAAC-OSなどの結晶性を有する酸化物であることが好ましい。

CAAC-O-Sなどの結晶性を有する酸化物は、不純物及び欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物530bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物530bから酸素が引き抜かれることを低減できるので、トランジスタ500は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0327]

ここで、酸化物530aと酸化物530bの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物530aと酸化物530bの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面に形成される混合層の欠陥準位密度を低くするとよい。

[0328]

具体的には、酸化物530aと酸化物530bが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-M-Zn酸化物の場合、酸化物530aとして、In-M-Zn酸化物、M-Zn酸化物、元素Mの酸化物、In-Zn酸化物、インジウム酸化物などを用いてもよい。

[0329]

具体的には、酸化物530aとして、In:M:Zn=1:3:4 [原子数比] もしくはその近傍の組成、またはIn:M:Zn=1:1:0.5 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物530bとして、In:M:Zn=1:1:1 [原子数比] もしくはその近傍の組成、またはIn:M:Zn=4:2:3 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

[0330]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であつてもよい。

[0331]

また、図22Aなどに示すように、酸化物530の上面および側面に接して、酸化アルミニウムなどにより形成される絶縁体552を設けることにより、酸化物530と絶縁体552の界面およびその近傍に、酸化物530に含まれるインジウムが偏在する場合がある。これにより、酸化物530の表面近傍が、インジウム酸化物に近い原子数比、またはIn-Zn酸化物に近い原子数比になる。このように酸化物530、特に酸化物530bの表面近傍のインジウムの原子数比が大きくなることで、トランジスタ500の電界効果移動度を向上させることができる。

[0332]

酸化物530aおよび酸化物530bを上述の構成とすることで、酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は大きいオン電流、および高い周波数特性を得ることができる。

[0333]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、及

び絶縁体581の少なくとも一は、水、水素などの不純物が、基板側から、または、トランジスタ500の上方からトランジスタ500に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0334]

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

[0335]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581としては、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体を用いることが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体512、絶縁体544、および絶縁体576として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体514、絶縁体571、絶縁体574、および絶縁体581として、水素を捕獲および水素を固着する機能が高い、酸化アルミニウムまたは酸化マグネシウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体512、および絶縁体514を介して、基板側からトランジスタ500側に拡散するのを抑制することができる。または、水、水素などの不純物が絶縁体581よりも外側に配置されている層間絶縁膜などから、トランジスタ500側に拡散するのを抑制することができる。または、絶縁体524などに含まれる酸素が、絶縁体512、および絶縁体514を介して基板側に、拡散するのを抑制することができる。または、絶縁体580などに含まれる酸素が、絶縁体574などを介してトランジスタ500より上方に、拡散するのを抑制することができる。この様に、トランジスタ500を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体512、絶縁体514、絶縁体571、絶縁体544、絶縁体574、絶縁体576、および絶縁体581で取り囲む構造とすることが好ましい。

[0336]

ここで、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581として、アモルファス構造を有する酸化物を用いることが好ましい。例えば、 AlO_x （ x は0より大きい任意数）、または MgO_y （ y は0より大きい任意数）などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。このようなアモルファス構造を有する金属酸化物をトランジスタ500の構成要素として用いる、またはトランジスタ500の周囲に設けることで、トランジスタ500に含まれる水素、またはトランジスタ500の周囲に存在する水素を捕獲または固着することができる。特にトランジスタ500のチャンネル形成領域に含まれる水素を捕獲または固着することが好ましい。

アモルファス構造を有する金属酸化物をトランジスタ500の構成要素として用いる、またはトランジスタ500の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[0337]

また、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581は、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581は、アモルファス構造の層と、多結晶構造の層と、が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

[0338]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいので、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、化学気相成長（CVD：Chemical Vapor Deposition）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザー堆積（PLD：Pulsed Laser Deposition）法、原子層堆積（ALD：Atomic Layer Deposition）法などを適宜用いてもよい。

[0339]

また、絶縁体512、絶縁体544、および絶縁体576の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体512、絶縁体544、および絶縁体576の抵抗率を概略 $1 \times 10^{13} \Omega \text{cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体512、絶縁体544、および絶縁体576が、導電体503、導電体542、導電体560などのチャージアップを緩和することができる場合がある。絶縁体512、絶縁体544、および絶縁体576の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{cm}$ 以上 $1 \times 10^{15} \Omega \text{cm}$ 以下とする。

[0340]

また、絶縁体516、絶縁体574、絶縁体580、および絶縁体581は、絶縁体514よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体516、絶縁体580、および絶縁体581として、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[0341]

また、絶縁体581は、一例として、層間膜、平坦化膜などとして機能する絶縁体とすることが好ましい。

[0342]

導電体503は、酸化物530、および導電体560と、重なるように配置する。ここで、導電体503は、絶縁体516に形成された開口に埋め込まれて設けることが好ましい。また、導電体503の一部が絶縁体514に埋め込まれる場合がある。

[0343]

導電体503は、導電体503a、および導電体503bを有する。導電体503aは、当該開口の底面および側壁に接して設けられる。導電体503bは、導電体503aに形成された凹部に埋め込まれるように設けられる。ここで、導電体503bの上部の高さは、導電体503aの上部の高さおよび絶縁体516の上部の高さと同様である。

[0344]

ここで、導電体503aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0345]

導電体503aに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体503bに含まれる水素などの不純物が、絶縁体524等を介して、酸化物530に拡散するのを防ぐことができる。また、導電体503aに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体503bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体503aとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体503aは、窒化チタンを用いればよい。

[0346]

また、導電体503bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体503bは、タングステンをを用いればよい。

[0347]

導電体503は、第2のゲート電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧(V_{th})を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0348]

また、導電体503の電気抵抗率は、上記の導電体503に印加する電位を考慮して設計され、導電体503の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体516の膜厚は、導電体503とほぼ同じになる。ここで、導電体503の設計が許す範囲で導電体503および絶縁体516の膜厚を薄くすることが好ましい。絶縁体516の膜厚を薄くすることで、絶縁体516中に含まれる水素などの不純物の絶対量を低減することができるので、当該不純物が酸化物530に拡散するのを低減することができる。

[0349]

なお、導電体503は、上面から見て、酸化物530の導電体542aおよび導電体542bと重ならない領域の大きさよりも、大きく設けるとよい。特に、図22Bに示すように、導電体503は、酸化物530aおよび酸化物530bのチャネル幅方向の端部よりも外側の領域においても、

延伸していることが好ましい。つまり、酸化物530のチャンネル幅方向における側面の外側において、導電体503と、導電体560とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体560の電界と、第2のゲート電極として機能する導電体503の電界によって、酸化物530のチャンネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

[0350]

なお、本明細書等において、S-channel構造のトランジスタとは、一对のゲート電極の一方および他方の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等で開示するS-channel構造は、Fin型構造およびプレーナ型構造とは異なる。S-channel構造を採用することで、短チャンネル効果に対する耐性を高める、別言すると短チャンネル効果が発生し難いトランジスタとすることができる。

[0351]

また、図22Bに示すように、導電体503は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体503の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体503は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体503を複数のトランジスタで共有する構成にしてもよい。

[0352]

なお、トランジスタ500では、導電体503は、導電体503a、および導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、または3層以上の積層構造として設ける構成にしてもよい。

[0353]

絶縁体522、および絶縁体524は、ゲート絶縁体として機能する。

[0354]

絶縁体522は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体522は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体522は、絶縁体524よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0355]

絶縁体522は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530から基板側への酸素の放出、及びトランジスタ500の周辺部から酸化物530への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体522を設けることで、水素等の不純物が、トランジスタ500の内側へ拡散することを抑制し、酸化物530中の酸素欠損の生成を抑制することができる。また、導電体503が、絶縁体524及び酸化物530が有する酸素と反応することを抑制することができる。

[0356]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体522は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0357]

また、絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウムなどの、いわゆるhigh-k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、絶縁体522として、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO₃)、(Ba,Sr)TiO₃(BST)などの誘電率が高い物質を用いることができる場合もある。

[0358]

酸化物530と接する絶縁体524は、例えば、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。

[0359]

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上600℃以下、より好ましくは350℃以上550℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損(V_O)の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

[0360]

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「V_O+O→null」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素をH₂Oとして除去する(脱水化する)ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合してV_OHが形成されるのを抑制することができる。

[0361]

なお、絶縁体522、および絶縁体524が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体524は、酸化物530aと重畳して島状に形成してもよい。この場合、絶縁体544が、絶縁体524の側面および絶縁体522の上面に接する構成になる。

[0362]

導電体542a、および導電体542bは酸化物530bの上面に接して設けられる。導電体542aおよび導電体542bは、それぞれトランジスタ500のソース電極またはドレイン電極と

して機能する。

[0363]

導電体542（導電体542a、および導電体542b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0364]

なお、酸化物530bなどに含まれる水素が、導電体542aまたは導電体542bに拡散する場合がある。特に、導電体542aおよび導電体542bに、タンタルを含む窒化物を用いることで、酸化物530bなどに含まれる水素は、導電体542aまたは導電体542bに拡散しやすく、拡散した水素は、導電体542aまたは導電体542bが有する窒素と結合することがある。つまり、酸化物530bなどに含まれる水素は、導電体542aまたは導電体542bに吸い取られる場合がある。

[0365]

また、導電体542の側面と導電体542の上面との間に、湾曲面が形成されないことが好ましい。当該湾曲面が形成されない導電体542とすることで、チャンネル幅方向の断面における、導電体542の断面積を大きくすることができる。これにより、導電体542の導電率を大きくし、トランジスタ500のオン電流を大きくすることができる。

[0366]

絶縁体571aは、導電体542aの上面に接して設けられており、絶縁体571bは、導電体542bの上面に接して設けられている。絶縁体571は、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体571は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体571は、絶縁体580よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体571としては、例えば、窒化シリコンなどのシリコンを含む窒化物を用いればよい。また、絶縁体571は、水素などの不純物を捕獲する機能を有することが好ましい。その場合、絶縁体571としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を用いればよい。特に、絶縁体571として、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[0367]

絶縁体544は、絶縁体524、酸化物530a、酸化物530b、導電体542、および絶縁体571を覆うように設けられる。絶縁体544として、水素を捕獲および水素を固着する機能を有することが好ましい。その場合、絶縁体544としては、窒化シリコンまたは、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を含むことが好ましい。また、例えば、絶縁体544として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[0368]

上記のような絶縁体571および絶縁体544を設けることで、酸素に対するバリア性を有する絶縁体で導電体542を包み込むことができる。つまり、絶縁体524、および絶縁体580に含まれる酸素が、導電体542に拡散するのを防ぐことができる。これにより、絶縁体524、および絶縁体580に含まれる酸素によって、導電体542が直接酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

[0369]

絶縁体552は、ゲート絶縁体の一部として機能する。絶縁体552としては、酸素に対するバリア絶縁膜を用いることが好ましい。絶縁体552としては、上述の絶縁体574に用いることができる絶縁体を用いればよい。絶縁体552として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体552として、酸化アルミニウムを用いる。この場合、絶縁体552は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。

[0370]

図22Bに示すように、絶縁体552は、酸化物530bの上面および側面、酸化物530aの側面、絶縁体524の側面、および絶縁体522の上面に接して設けられる。つまり、酸化物530a、酸化物530b、および絶縁体524の導電体560と重なる領域は、チャネル幅方向の断面において、絶縁体552に覆われている。これにより、熱処理などを行った際に、酸化物530aおよび酸化物530bで酸素が脱離するのを、酸素に対するバリア性を有する絶縁体552でブロックすることができる。よって、酸化物530aおよび酸化物530bに酸素欠損(V_o)が形成されるのを低減することができる。これにより、領域530bcに形成される、酸素欠損(V_o)、および V_oH を低減することができる。よって、トランジスタ500の電気特性を良好にし、信頼性を向上させることができる。

[0371]

また、逆に、絶縁体580および絶縁体550などに過剰な量の酸素が含まれていても、当該酸素が酸化物530aおよび酸化物530bに過剰に供給されるのを抑制することができる。よって、領域530bcを介して、領域530baおよび領域530bbが過剰に酸化され、トランジスタ500のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

[0372]

また、図22Aに示すように、絶縁体552は、導電体542、絶縁体571、絶縁体544、および絶縁体580、それぞれの側面に接して設けられる。よって、導電体542の側面が酸化され、当該側面に酸化膜が形成されるのを低減することができる。これにより、トランジスタ500のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

[0373]

また、絶縁体552は、絶縁体554、絶縁体550、および導電体560と、ともに、絶縁体580などに形成された開口に設ける必要がある。トランジスタ500の微細化を図るにあたって、絶縁体552の膜厚は薄いことが好ましい。絶縁体552の膜厚は、0.1nm以上、0.5nm以上、又は1.0nm以上とすることが好ましく、かつ1.0nm以下、3.0nm以下、又は5.

0 nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体552は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体552の膜厚は絶縁体550の膜厚より薄いことが好ましい。この場合、絶縁体552は、少なくとも一部において、絶縁体550より膜厚が薄い領域を有していればよい。

[0374]

絶縁体552を上記のように膜厚を薄く成膜するには、ALD法を用いて成膜することが好ましい。ALD法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD (Thermal ALD) 法、プラズマ励起されたリアクタントを用いるPEALD (Plasma Enhanced ALD) 法などがある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

[0375]

ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。よって、絶縁体552を絶縁体580などに形成された開口の側面などに被覆性良く、上記のような薄い膜厚で成膜することができる。

[0376]

なお、ALD法で用いるプリカーサには炭素などを含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry)、またはX線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy) を用いて行うことができる。

[0377]

絶縁体550は、ゲート絶縁体の一部として機能する。絶縁体550は、絶縁体552の上面に接して配置することが好ましい。絶縁体550は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁体550は、少なくとも酸素とシリコンと、を有する絶縁体となる。

[0378]

絶縁体550は、絶縁体524と同様に、絶縁体550中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1 nm以上、又は0.5 nm以上とすることが好ましく、かつ15.0 nm以下、又は20 nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体550は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0379]

図22A、及び図22Bなどでは、絶縁体550を単層とする構成について示したが、本発明はこれに限られず、2層以上の積層構造としてもよい。例えば図24Bに示すように、絶縁体550を、絶縁体550aと、絶縁体550a上の絶縁体550bの2層の積層構造にしてもよい。

[0380]

図24Bに示すように、絶縁体550を2層の積層構造とする場合、下層の絶縁体550aは、酸素を透過しやすい絶縁体を用いて形成し、上層の絶縁体550bは、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体550aに含まれる酸素が、導電体560へ拡散するのを抑制することができる。つまり、酸化物530へ供給する酸素量の減少を抑制することができる。また、絶縁体550aに含まれる酸素による導電体560の酸化を抑制することができる。例えば、絶縁体550aは、上述した絶縁体550に用いることができる材料を用いて設け、絶縁体550bは、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体550bとして、酸化ハフニウムを用いる。この場合、絶縁体550bは、少なくとも酸素と、ハフニウムと、を有する絶縁体となる。また、絶縁体550bの膜厚は、0.5nm以上、又は1.0nm以上とすることが好ましく、かつ3.0nm以下、又は5.0nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体550bは、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0381]

なお、絶縁体550aに酸化シリコンまたは酸化窒化シリコンなどを用いる場合、絶縁体550bは、比誘電率が高いhigh-k材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体550aと絶縁体550bとの積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。よって、絶縁体550の絶縁耐圧を高くすることができる。

[0382]

絶縁体554は、ゲート絶縁体の一部として機能する。絶縁体554としては、水素に対するバリア絶縁膜を用いることが好ましい。これにより、導電体560に含まれる水素などの不純物が、絶縁体550、および酸化物530bに拡散するのを防ぐことができる。絶縁体554としては、上述の絶縁体576に用いることができる絶縁体を用いればよい。例えば、絶縁体554としてPEALD法で成膜した窒化シリコンを用いればよい。この場合、絶縁体554は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[0383]

また、絶縁体554が、さらに酸素に対するバリア性を有してもよい。これにより、絶縁体550に含まれる酸素が、導電体560へ拡散するのを抑制することができる。

[0384]

また、絶縁体554は、絶縁体552、絶縁体550、および導電体560と、ともに、絶縁体580などに形成された開口に設ける必要がある。トランジスタ500の微細化を図るにあたって、絶縁体554の膜厚は薄いことが好ましい。絶縁体554の膜厚は、0.1nm以上、0.5nm以上、又は1.0nm以上とすることが好ましく、かつ3.0nm以下、又は5.0nm以下とす

ることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体554は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体554の膜厚は絶縁体550の膜厚より薄いことが好ましい。この場合、絶縁体554は、少なくとも一部において、絶縁体550より膜厚が薄い領域を有していればよい。

[0385]

導電体560は、トランジスタ500の第1のゲート電極として機能する。導電体560は、導電体560aと、導電体560aの上に配置された導電体560bと、を有することが好ましい。例えば、導電体560aは、導電体560bの底面および側面を包むように配置されることが好ましい。また、図22Aおよび図22Bに示すように、導電体560の上部の高さの位置は、絶縁体550の上部の高さの位置と概略一致している。なお、図22Aおよび図22Bでは、導電体560は、導電体560aと導電体560bの2層構造として示しているが、単層構造、又は3層以上の積層構造にすることもできる。

[0386]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0387]

また、導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0388]

また、導電体560は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは、積層構造とすることができる。具体的には、例えば、導電体560bは、チタン、または窒化チタンと上記導電性材料とすることができる。

[0389]

また、トランジスタ500では、導電体560は、絶縁体580などに形成されている開口を埋めるように自己整合的に形成される。導電体560をこのように形成することにより、導電体542aと導電体542bとの間の領域に、導電体560を位置合わせすることなく確実に配置することができる。

[0390]

また、図22Bに示すように、トランジスタ500のチャネル幅方向において、絶縁体522の底面を基準としたときの、導電体560の、導電体560と酸化物530bとが重ならない領域の底面の高さは、酸化物530bの底面の高さより低いことが好ましい。ゲート電極として機能する導電体560が、絶縁体550などを介して、酸化物530bのチャネル形成領域の側面および上面を覆う構成とすることで、導電体560の電界を酸化物530bのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ500のオン電流を増大させ、周波数特性を向上させることができる。絶縁体522の底面を基準としたときの、酸化物530aおよび酸化物530bと、

導電体560とが、重ならない領域における導電体560の底面の高さ、酸化物530bの底面の高さ、の差は、0nm以上、3nm以上、又は5nm以上とすることが好ましく、かつ20nm以下、50nm以下、又は100nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。

[0391]

絶縁体580は、絶縁体544上に設けられ、絶縁体550、および導電体560が設けられる領域に開口が形成されている。また、絶縁体580の上面は、平坦化されていてもよい。

[0392]

層間膜として機能する絶縁体580は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体580は、例えば、絶縁体516と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0393]

絶縁体580は、絶縁体580中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体580は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を適宜用いればよい。

[0394]

絶縁体574は、水、水素などの不純物が、上方から絶縁体580に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。また、絶縁体574は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体574としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムなどの絶縁体を用いればよい。この場合、絶縁体574は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。絶縁体512と絶縁体581に挟まれた領域内で、絶縁体580に接して、水素などの不純物を捕獲する機能を有する、絶縁体574を設けることで、絶縁体580などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。特に、絶縁体574として、アモルファス構造を有する酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[0395]

絶縁体576は、水、水素などの不純物が、上方から絶縁体580に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体576は、絶縁体574の上に配置される。絶縁体576としては、窒化シリコンまたは窒化酸化シリコンなどの、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体576としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体576をスパッタリング法で成膜することで、密度が高い窒化シリコン膜を形成することができる。また、絶縁体576として、スパッタリング法で成膜された窒化シリコンの上に、さらに、PEALD法または、CVD法で成膜された窒化シリコンを積層してもよい。

[0396]

また、トランジスタ500の第1端子、又は第2端子の一方は、プラグとして機能する導電体5

40 aに電氣的に接続され、トランジスタ500の第1端子、又は第2端子の他方は、導電体540 bに電氣的に接続されている。なお、本明細書等では、導電体540 a、及び導電体540 bをまとめて導電体540と呼ぶこととする。

[0397]

導電体540 aは、一例として、導電体542 aと重畳する領域に設けられている。具体的には、導電体542 aと重畳する領域において、図22 Aに示す絶縁体571、絶縁体544、絶縁体580、絶縁体574、絶縁体576、及び絶縁体581、更に図21に示す絶縁体582、及び絶縁体586には開口部が形成されており、導電体540 aは、当該開口部の内側に設けられている。また、導電体540 bは、一例として、導電体542 bと重畳する領域に設けられている。具体的には、導電体542 bと重畳する領域において、図22 Aに示す絶縁体571、絶縁体544、絶縁体580、絶縁体574、絶縁体576、及び絶縁体581、更に図21に示す絶縁体582、及び絶縁体586には開口部が形成されており、導電体540 bは、当該開口部の内側に設けられている。なお、絶縁体582、及び絶縁体586については後述する。

[0398]

さらに、図22 Aに示すとおり、導電体542 aと重畳する領域の開口部の側面と導電体540 aとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体541 aを設けてもよい。同様に、導電体542 bと重畳する領域の開口部の側面と導電体540 bとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体541 bを設けてもよい。なお、本明細書等では、絶縁体541 a、及び絶縁体541 bをまとめて絶縁体541と呼ぶこととする。

[0399]

導電体540 aおよび導電体540 bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体540 aおよび導電体540 bは積層構造としてもよい。

[0400]

また、導電体540を積層構造とする場合、絶縁体574、絶縁体576、絶縁体581、絶縁体580、絶縁体544、および絶縁体571の近傍に配置される第1の導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。また、絶縁体576より上層に含まれる水、水素などの不純物が、導電体540 aおよび導電体540 bを通じて酸化物530に混入することを抑制することができる。

[0401]

絶縁体541 aおよび絶縁体541 bとしては、絶縁体544などに用いることができるバリア絶縁膜を用いればよい。例えば、絶縁体541 aおよび絶縁体541 bとして、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体541 aおよび絶縁体541 bは、絶縁体574、絶縁体576、および絶縁体571に接して設けられるので、絶縁体580などに含まれる水、水素などの不純物が、導電体540 aおよび導電体540 bを通じて酸化物530に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体580に含まれる酸素が導電体540 aおよび導電体540 bに吸収されるのを防ぐことができる。

[0402]

絶縁体541aおよび絶縁体541bを、図22Aに示すように積層構造にする場合、絶縁体580などの開口の内壁に接する第1の絶縁体と、その内側の第2の絶縁体は、酸素に対するバリア絶縁膜と、水素に対するバリア絶縁膜を組み合わせる用いることが好ましい。

[0403]

例えば、第1の絶縁体として、ALD法で成膜された酸化アルミニウムを用い、第2の絶縁体として、PEALD法で成膜された窒化シリコンを用いればよい。このような構成にすることで、導電体540の酸化を抑制し、さらに、導電体540に水素が混入するのを低減することができる。

[0404]

なお、トランジスタ500では、絶縁体541の第1の絶縁体および絶縁体541の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体541を単層、または3層以上の積層構造として設ける構成にしてもよい。また、トランジスタ500では、導電体540の第1の導電体および導電体540の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体540を単層、または3層以上の積層構造として設ける構成にしてもよい。

[0405]

また、図21に示すとおり、導電体540aの上部、および導電体540bの上部に接して配線として機能する導電体610、導電体612などを配置してもよい。導電体610、導電体612は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造とすることができる。具体的には、例えば、当該導電体は、チタン、または窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0406]

なお、本発明の一隊の半導体装置に含まれるトランジスタの構造は、図21、図22A、図22B、及び図23に示したトランジスタ500に限定されない。本発明の一隊の半導体装置に含まれるトランジスタの構造は、状況に応じて、変更してもよい。

[0407]

例えば、図21、図22A、図22B、及び図23に示すトランジスタ500は、図25に示す構成としてもよい。図25のトランジスタは、酸化物543a、及び酸化物543bを有する点で、図21、図22A、図22B、及び図23に示すトランジスタ500と異なっている。なお、本明細書等では、酸化物543a、及び酸化物543bをまとめて酸化物543と呼ぶこととする。また、図25のトランジスタのチャンネル幅方向の断面の構成については、図22B示すトランジスタ500の断面と同様の構成とすることができる。

[0408]

酸化物543aは、酸化物530bと導電体542aの間に設けられ、酸化物543bは、酸化物530bと導電体542bの間に設けられる。ここで、酸化物543aは、酸化物530bの上面、および導電体542aの下面に接することが好ましい。また、酸化物543bは、酸化物530bの上面、および導電体542bの下面に接することが好ましい。

[0409]

酸化物543は、酸素の透過を抑制する機能を有することが好ましい。ソース電極またはドレイ

ン電極として機能する導電体542と酸化物530bとの間に酸素の透過を抑制する機能を有する酸化物543を配置することで、導電体542と、酸化物530bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ500の電気特性、電界効果移動度、および信頼性を向上させることができる場合がある。

[0410]

また、酸化物543として、元素Mを有する金属酸化物を用いてもよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物543は、酸化物530bよりも元素Mの濃度が高いことが好ましい。また、酸化物543として、酸化ガリウムを用いてもよい。また、酸化物543として、 I_n-M-Z_n 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物に用いる金属酸化物において、 I_n に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、 I_n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物543の膜厚は、0.5nm以上、又は1nm以上であることが好ましく、かつ2nm以下、3nm以下、又は5nm以下であることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。また、酸化物543は、結晶性を有すると好ましい。酸化物543が結晶性を有する場合、酸化物530中の酸素の放出を好適に抑制することが出来る。例えば、酸化物543としては、六方晶などの結晶構造であれば、酸化物530中の酸素の放出を抑制できる場合がある。

[0411]

絶縁体581上には、絶縁体582が設けられ、絶縁体582上には絶縁体586が設けられている。

[0412]

絶縁体582は、酸素及び水素の少なくとも一に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0413]

また、絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜または酸化窒化シリコン膜などを用いることができる。

[0414]

続いて、図21、及び図23に示す半導体装置に含まれている。容量素子600、及びその周辺の配線、又はプラグについて説明する。なお、図21、及び図23に示すトランジスタ500の上方には、容量素子600と、配線、及び／又はプラグが設けられている。

[0415]

容量素子600は、一例として、導電体610と、導電体620、絶縁体630とを有する。

[0416]

導電体540a又は導電体540bの一方、導電体546、及び絶縁体586上には、導電体610が設けられている。導電体610は、容量素子600の一对の電極の一方としての機能を有する。

[0417]

また、導電体540a、又は導電体540bの他方、及び絶縁体586上には、導電体612が設けられる。導電体612は、トランジスタ500と、上方の配線または回路素子などと、を電気的に接続するプラグ、配線、端子などとしての機能を有する。具体的には、例えば、導電体612は、実施の形態3で説明する半導体装置SDV1における配線WDLなどとすることができる。

[0418]

なお、導電体612、及び導電体610は、同時に形成してもよい。

[0419]

導電体612、及び導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0420]

図21では、導電体612、及び導電体610は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0421]

絶縁体586、導電体610上には、絶縁体630が設けられている。絶縁体630は、容量素子600の一对の電極に挟まれる誘電体として機能する。

[0422]

絶縁体630としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウムなどを用いることができる。また、絶縁体630は、上述した材料を用いて、積層または単層として設けることができる。

[0423]

また、例えば、絶縁体630には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（high-k）材料との積層構造を用いてもよい。当該構成により、容量素子600は、高誘電率（high-k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子600の静電破壊を抑制することができる。

[0424]

なお、高誘電率（high-k）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0425]

または、絶縁体630は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジ

ルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）または（Ba, Sr）TiO₃（BST）などのhigh-k材料を含む絶縁体を単層または積層で用いてもよい。また、絶縁体630としては、ハフニウムと、ジルコニウムとが含まれる化合物など、例えば、ジルコニウムおよびハフニウムを有する酸化物を用いてもよい。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタ及び容量素子のリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

[0426]

また、絶縁体630として強誘電性を有する材料を用いてもよい。例えば、酸化ハフニウムと酸化ジルコニウムの混晶（「HZO」ともいう。）、または酸化ハフニウムに元素X（元素Xは、シリコン（Si）、アルミニウム（Al）、ガドリニウム（Gd）、イットリウム（Y）、ランタン（La）、ストロンチウム（Sr）など。）を添加した材料などがある。また、絶縁体630として、ペロブスカイト構造を有する圧電性セラミックを用いてもよい。例えば、チタン酸ジルコン酸鉛（PZT）、タンタル酸ビスマス酸ストロンチウム（SBT）、ビスマスフェライト（BFO）、またはチタン酸バリウムを用いてもよい。

[0427]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。導電体610は、容量素子600の一对の電極の一方としての機能を有する。また、例えば、導電体620は、実施の形態3で説明する半導体装置SDV1における配線WWLBなどとすることができる。

[0428]

なお、導電体620は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステン及びモリブデンなどの少なくとも一を含む高融点材料を用いることが好ましく、特にタングステンをを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）及びAl（アルミニウム）等の少なくとも一を用いればよい。また、例えば、導電体620は、導電体610に適用できる材料を用いることができる。また、導電体620は、単層構造ではなく、2層以上の積層構造としてもよい。

[0429]

導電体620、及び絶縁体630上には、絶縁体640が設けられている。絶縁体640としては、例えば、トランジスタ500が設けられている領域に、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0430]

絶縁体640上には、絶縁体650が設けられている。絶縁体650は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。そのため、絶縁体650としては、例えば、絶縁体324に適用できる材料とすることができる。

[0431]

ところで、図21、及び図23に示す容量素子600は、プレーナ型としているが、容量素子の

形状はこれに限定されない。容量素子600は、プレーナ型ではなく、例えば、シリンダ型としてもよい。

[0432]

また、容量素子600の上方には、配線層を設けてもよい。例えば、図21において、絶縁体411、絶縁体412、絶縁体413、及び絶縁体414が、絶縁体650の上方に、順に設けられている。また、絶縁体411、絶縁体412、及び絶縁体413には、プラグ、又は配線として機能する導電体416が設けられている構成を示している。また、導電体416は、一例として、後述する導電体660に重畳する領域に設けることができる。

[0433]

また、絶縁体630、絶縁体640、及び絶縁体650には、導電体612と重畳する領域に開口部が設けられ、当該開口部を埋めるように導電体660が設けられている。導電体660は、上述した配線層に含まれている導電体416に電氣的に接続するプラグ、配線として機能する。

[0434]

絶縁体411、及び絶縁体414は、例えば、絶縁体324などと同様に、水及び水素などの少なくとも一を含む不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体411、及び絶縁体414としては、例えば、絶縁体324などに適用できる材料を用いることができる。

[0435]

絶縁体412、及び絶縁体413は、例えば、絶縁体326と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。

[0436]

また、導電体612、及び導電体416は、例えば、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0437]

酸化半導体を有するトランジスタを用いた半導体装置として、本実施の形態で説明した本構造を適用することにより、当該トランジスタの電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

[0438]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0439]

(実施の形態7)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物（以下、酸化半導体ともいう。）について説明する。

[0440]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[0441]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図26Aを用いて説明を行う。図26Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

[0442]

図26Aに示すように、酸化物半導体は、大きく分けて「Amorphous(無定形)」と、「Crystalline(結晶性)」と、「Crystal(結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、及びCAC(Cloud-Aligned Composite)が含まれる。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる(excluding single crystal and poly crystal)。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

[0443]

なお、図26Aに示す太枠内の構造は、「Amorphous(無定形)」と、「Crystal(結晶)」との間の中間状態であり、新しい境界領域(New crystalline phase)に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous(無定形)」、及び「Crystal(結晶)」とは全く異なる構造と言い換えることができる。

[0444]

なお、膜または基板の結晶構造は、X線回折(XRD:X-Ray Diffraction)スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD(Grazing-Incidence XRD)測定で得られるXRDスペクトルを図26Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図26Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図26Bに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3[原子数比]近傍である。また、図26Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0445]

図26Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図26Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[0446]

また、膜または基板の結晶構造は、極微電子線回折法(NBED:Nano Beam Electron Diffraction)によって観察される回折パターン(極微電子線回折パターンともいう。)にて評価することができる。CAAC-IGZO膜の回折パターンを、図26Cに

示す。図26Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図26Cに示すCAAC-IGZO膜の組成は、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

[0447]

図26Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0448]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図26Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体 (a-like OS : amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

[0449]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0450]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0451]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0452]

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn)層にはインジウムが含まれる場

合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0453]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置(2θ の値)は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

[0454]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点(スポット)が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット(ダイレクトスポットともいう。)を対称中心として、点対称の位置に観測される。

[0455]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリー)を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないこと、及び金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0456]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶(polycrystal)と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0457]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入または欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物及び欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度(所謂サーマルバジェット)に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0458]

[nc-OS]

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下

であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OS及び非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0459]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

[0460]

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0461]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0462]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0463]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[G

a] よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0464]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0465]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0466]

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、Inを主成分とする領域(第1の領域)と、Gaを主成分とする領域(第2の領域)とが、偏在し、混合している構造を有することが確認できる。

[0467]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能(On/Offさせる機能)をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流(I_{on})、高い電界効果移動度(μ)、および良好なスイッチング動作を実現することができる。

[0468]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0469]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0470]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0471]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真

性な酸化物半導体を呼称する場合がある。

[0472]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0473]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0474]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0475]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0476]

酸化物半導体において、第14族元素の一つであるシリコン及び炭素の少なくとも一が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコン及び炭素の少なくとも一の濃度と、酸化物半導体との界面近傍のシリコン及び炭素の少なくとも一の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0477]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0478]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0479]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場

合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0480]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0481]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0482]

(実施の形態8)

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

[0483]

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図27Aを用いて説明する。

[0484]

図27Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

[0485]

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801の薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

[0486]

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインSCL1及びスクライブラインSCL2（ダイシングライン、又は切断ラインと呼称する場合がある）に沿って行われる。なお、スペーシング4803は、ダイシング工程を容易に行うために、複数のスクライブラインSCL1が平行になるように設け、複数のスクライブラインSCL2が平行になるように設け、スクライブラインSCL1とスクライブラインSCL2が垂直になるように設けることが好ましい。

[0487]

ダイシング工程を行うことにより、図27Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくなるようにすることが好ましい。この場合、隣り合う回路部4802の間のスペーシング4803の幅が、スクライブラインSCL1の切りしろと、又はスクライブラインSCL2の切りしろとほぼ同等の長

さであればよい。

[0488]

なお、本発明の一態様の素子基板の形状は、図27Aに図示した半導体ウェハ4800の形状に限定されない。例えば、矩形の形状の半導体ウェハであってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

[0489]

<電子部品>

図27Cに電子部品4700および電子部品4700が実装された基板（実装基板4704）の斜視図を示す。図27Cに示す電子部品4700は、モールド4711内にチップ4800aを有している。なお、図27Cに示すとおり、チップ4800aは、回路部4802が積層された構成としてもよい。図27Cは、電子部品4700の内部を示すために、一部を省略している。電子部品4700は、モールド4711の外側にランド4712を有する。ランド4712は電極パッド4713と電氣的に接続され、電極パッド4713はチップ4800aとワイヤ4714によって電氣的に接続されている。電子部品4700は、例えばプリント基板4702に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板4702上で電氣的に接続されることで実装基板4704が完成する。

[0490]

図27Dに電子部品4730の斜視図を示す。電子部品4730は、SiP (System in package) またはMCM (Multi Chip Module) の一例である。電子部品4730は、パッケージ基板4732（プリント基板）上にインターポーザ4731が設けられ、インターポーザ4731上に半導体装置4735、および複数の半導体装置4710が設けられている。

[0491]

電子部品4730では、半導体装置4710を有する。半導体装置4710としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ (HBM: High Bandwidth Memory) などとすることができる。また、半導体装置4735は、CPU、GPU、FPGA、記憶装置などの集積回路（半導体装置）を用いることができる。

[0492]

パッケージ基板4732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ4731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0493]

インターポーザ4731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ4731は、インターポーザ4731上に設けられた集積回路をパッケージ基板4732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼称する場合がある。また、インターポーザ4731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板4732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることも出来る。

[0494]

インターポーザ4731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0495]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0496]

また、シリコンインターポーザを用いたSiPまたはMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[0497]

また、電子部品4730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ4731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品4730では、半導体装置4710と半導体装置4735の高さを揃えることが好ましい。

[0498]

電子部品4730を他の基板に実装するため、パッケージ基板4732の底部に電極4733を設けてもよい。図27Dでは、電極4733を半田ボールで形成する例を示している。パッケージ基板4732の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極4733を導電性のピンで形成してもよい。パッケージ基板4732の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

[0499]

電子部品4730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、またはQFN（Quad Flat Non-leaded package）などの実装方法を用いることができる。

[0500]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0501]

（実施の形態9）

本実施の形態では、上記実施の形態で説明した半導体装置を有する電子機器の一例について説明する。なお、図28には、当該半導体装置を有する電子部品4700が各電子機器に含まれている様子を図示している。

[0502]

[携帯電話]

図28に示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[0503]

情報端末5500は、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5511に表示するアプリケーション、表示部5511に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5511に表示するアプリケーション、指紋及び声紋などの少なくとも一の生体認証を行うアプリケーションなどが挙げられる。

[0504]

[ウェアラブル端末]

また、図28には、ウェアラブル端末の一例として腕時計型の情報端末5900が図示されている。情報端末5900は、筐体5901、表示部5902、操作ボタン5903、操作子5904、バンド5905などを有する。

[0505]

ウェアラブル端末は、先述した情報端末5500と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、ウェアラブル端末を装着した人の健康状態を管理するアプリケーション、目的地を入力することで最適な道を選択して誘導するナビゲーションシステムなどが挙げられる。

[0506]

[情報端末]

また、図28には、デスクトップ型情報端末5300が図示されている。デスクトップ型情報端末5300は、情報端末の本体5301と、ディスプレイ5302と、キーボード5303と、を有する。

[0507]

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末5300を用いることで、新規の人工知能の開発を行うことができる。

[0508]

なお、上述では、電子機器としてスマートフォン、デスクトップ用情報端末、ウェアラブル端末を例として、それぞれ図28に図示したが、スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末を適用することができる。スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、ノート型情報端末、ワークステーションなどが挙げられる。

[0509]

[電化製品]

また、図28には、電化製品の一例として電気冷凍冷蔵庫5800が図示されている。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0510]

電気冷凍冷蔵庫5800に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能、及び電気冷凍冷蔵庫5800に保存されている食材に合わせた温度に自動的に調節する機能などの少なくとも一を有することができる。

[0511]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH（Induction Heating）調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0512]

[ゲーム機]

また、図28には、ゲーム機の一例である携帯ゲーム機5200が図示されている。携帯ゲーム機5200は、筐体5201、表示部5202、ボタン5203等を有する。

[0513]

更に、図28には、ゲーム機の一例である据え置き型ゲーム機7500が図示されている。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線または有線によってコントローラ7522を接続することができる。また、図28に示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネル、スティック、回転式つまみ、及びスライド式つまみなどの少なくとも一を備えることができる。また、コントローラ7522は、図28に示す形状に限定されず、ゲームのジャンルに応じて、コントローラ7522の形状を様々に変更してもよい。例えば、FPS（First Person Shooter）などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

[0514]

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

[0515]

携帯ゲーム機5200に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機5200を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少

なくすることができる。

[0516]

更に、携帯ゲーム機5200に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する携帯ゲーム機5200を実現することができる。

[0517]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5200に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[0518]

また、携帯ゲーム機5200で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

[0519]

図28では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0520]

[移動体]

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0521]

図28には移動体の一例である自動車5700が図示されている。

[0522]

自動車5700の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、及びエアコンの設定などの少なくとも一を表示することができるインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

[0523]

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

[0524]

上記実施の形態で説明した半導体装置は人工知能の構成要素として適用できるため、例えば、当該半導体装置を自動車5700の自動運転システムに用いることができる。また、当該半導体装置を道路案内、危険予測などを行うシステムに用いることができる。当該表示装置には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0525]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の半導体装置を適用して、人工知能を利用したシステムを付与することができる。

[0526]

[カメラ]

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

[0527]

図28には、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作ボタン6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置、及びビューファインダー等の少なくとも一を別途装着することができる構成としてもよい。

[0528]

デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0529]

更に、デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有するデジタルカメラ6240を実現することができる。人工知能を利用することによって、デジタルカメラ6240は、顔、物体など被写体を自動的に認識する機能、又は当該被写体に合わせたピント調節、環境に合わせて自動的にフラッシュを焚く機能、撮像した画像を調色する機能などを有することができる。

[0530]

[ビデオカメラ]

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

[0531]

図28には、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作キー6304、レンズ6305、接続部6306等を有する。操作キー6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[0532]

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行

う必要がある。人工知能を利用することによって、ビデオカメラ6300は、エンコードの際に、人工知能によるパターン認識を行うことができる。このパターン認識によって、連続する撮像画像データに含まれる人、動物、物体などの差分データを算出して、データの圧縮を行うことができる。

[0533]

[PC用の拡張デバイス]

上記実施の形態で説明した半導体装置は、PC (Personal Computer) などの計算機、情報端末用の拡張デバイスに適用することができる。

[0534]

図29Aは、当該拡張デバイスの一例として、持ち運びのできる、演算処理が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えば、USB (Universal Serial Bus) などでPCに接続することで、当該チップによる演算処理を行うことができる。なお、図29Aは、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[0535]

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、上記実施の形態で説明した半導体装置などを駆動する回路が設けられている。例えば、基板6104には、チップ6105 (例えば、上記実施の形態で説明した半導体装置、電子部品4700、メモリチップなど)、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

[0536]

拡張デバイス6100をPCなどを用いることにより、当該PCの演算処理能力を高くすることができる。これにより、処理能力の足りないPCでも、例えば、人工知能、動画処理などの演算を行うことができる。

[0537]

[放送システム]

上記実施の形態で説明した半導体装置は、放送システムに適用することができる。

[0538]

図29Bは、放送システムにおけるデータ伝送を模式的に示している。具体的には、図29Bは、放送局5680から送信された電波 (放送信号) が、各家庭のテレビジョン受信装置 (TV) 5600に届くまでの経路を示している。TV5600は、受信装置を備え (図示しない。)、アンテナ5650で受信された放送信号は、当該受信装置を介して、TV5600に送信される。

[0539]

図29Bでは、アンテナ5650は、UHF (Ultra High Frequency) アンテナを図示しているが、アンテナ5650としては、BS・110°CSアンテナ、CSアンテナなども適用できる。

[0540]

電波5675A、電波5675Bは地上波放送用の放送信号であり、電波塔5670は受信した電波5675Aを増幅して、電波5675Bの送信を行う。各家庭では、アンテナ5650で電波

5675Bを受信することで、TV5600で地上波放送を視聴することができる。なお、放送システムは、図29Bに示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

[0541]

上述した放送システムは、上記実施の形態で説明した半導体装置を適用して、人工知能を利用した放送システムとしてもよい。放送局5680から各家庭のTV5600に放送データを送信するとき、エンコーダによって放送データの圧縮が行われ、アンテナ5650が当該放送データを受信したとき、TV5600に含まれる受信装置のデコーダによって当該放送データの復元が行われる。人工知能を利用することによって、例えば、エンコーダの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工知能を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度の高いTV5600で当該放送データの表示を行うとき、デコーダによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

[0542]

上述した人工知能を利用した放送システムは、放送データの量が増大する超高精細度テレビジョン(UHDTV:4K、8K)放送に対して好適である。

[0543]

また、TV5600側における人工知能の応用として、例えば、TV5600に人工知能を有する録画装置を設けてもよい。このような構成にすることによって、当該録画装置にユーザの好みを人工知能に学習させることで、ユーザの好みにあった番組を自動的に録画することができる。

[0544]

[認証システム]

上記実施の形態で説明した半導体装置は、認証システムに適用することができる。

[0545]

図29Cは、掌紋認証装置を示しており、筐体6431、表示部6432、掌紋読み取り部6433、配線6434を有している。

[0546]

図29Cには、掌紋認証装置が手6435の掌紋を取得する様子を示している。取得した掌紋は、人工知能を利用したパターン認識の処理が行われ、当該掌紋が本人のものであるかどうかの判別を行うことができる。これにより、セキュリティの高い認証を行うシステムを構築することができる。また、本発明の一態様に係る認証システムは、掌紋認証装置に限定されず、指紋、静脈、顔、虹彩、声紋、遺伝子、体格などの生体情報を取得して生体認証を行う装置であってもよい。

[0547]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0548]

(本明細書等の記載に関する付記)

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

[0549]

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合

は、構成例を適宜組み合わせることが可能である。

[0550]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、および／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことが出来る。

[0551]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

[0552]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

[0553]

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合、または複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

[0554]

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0555]

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

[0556]

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第1電極、または第1端子）、ソースとドレインとの他方を「ソースまたはドレインの他方」（または第2電極、または第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子、またはソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

[0557]

また、本明細書等において「電極」及び「配線」の用語は、これらの構成要素を機能的に限定す

るものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」及び「配線」の用語は、複数の「電極」と「配線」が一体となって形成されている場合なども含む。

[0558]

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0559]

また本明細書等において、ノードは、回路構成またはデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0560]

本明細書等において、AとBとが接続されている、とは、AとBとが電氣的に接続されているものをいう。ここで、AとBとが電氣的に接続されているとは、AとBとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）が存在する場合にAとBとの電気信号の伝達が可能である接続をいう。なおAとBとが電氣的に接続されている場合には、AとBとが直接接続されている場合を含む。ここで、AとBとが直接接続されているとは、上記対象物を介することなく、AとBとの間で配線（または電極）等を介してAとBとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

[0561]

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0562]

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

[0563]

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

[0564]

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[符号の説明]

[0565]

A1 : 入力データ、A2 : 入力データ、C1 : 容量、C11 : 容量素子、CK1 : ノード、D1 : ノード、GCLK1 : クロック信号、LBL_N : 配線、LBL_1 : 配線、LBL_4 : 配線、LBL_6 : 配線、M1 : トランジスタ、M2 : トランジスタ、M3 : トランジスタ、M4 : トランジスタ、M5 : トランジスタ、M6 : トランジスタ、M7 : トランジスタ、M8 : トランジスタ、M9 : トランジスタ、M10 : トランジスタ、M11 : トランジスタ、M12 : トランジスタ、M13 : トランジスタ、MAC1 : 出力データ、MAC2 : 出力データ、MC1 : 回路、MC2 : 回路、MCL1 : 層、MCL2 : 層、Q1 : ノード、RWL_M : 読出用ワード線、RWL_1 : 読出用ワード線、SCL1 : スクライブライン、SCL2 : スクライブライン、SDV1 : 半導体装置、SDV2 : 半導体装置、SLEEP1 : 信号、SN11 : ノード、T1 : 時刻、T2 : 時刻、T6 : 時刻、T7 : 時刻、W1 : データ、W2 : データ、WBL_1 : 書込用ビット線、WBL_N : 書込用ビット線、WWL_M : 書込用ワード線、WWL_1 : 書込用ワード線、10 : 半導体装置、10_n : 半導体装置、10_1 : 半導体装置、11 : 層、12 : 層、20 : メモリ回路部、20_N : メモリ回路部、20_1 : メモリ回路部、20_4 : メモリ回路部、20_6 : メモリ回路部、21 : メモリ回路、21_N : メモリ回路、21_P : メモリ回路、21A : メモリ回路、21B : メモリ回路、21C : メモリ回路、22 : トランジスタ、23 : 半導体層、24 : 乗算回路、25 : 加算回路、26 : レジスタ、30 : 演算回路、30_N : 演算回路、30_1 : 演算回路、30_4 : 演算回路、30_6 : 演算回路、40 : 切替回路、40_1 : 切替回路、40_4 : 切替回路、40_6 : 切替回路、50 : 駆動回路、60 : メモリ回路、61 : トランジスタ、61_N : トランジスタ、61_P : トランジスタ、61A : トランジスタ、61B : トランジスタ、62 : トランジスタ、62_N : トランジスタ、62_P : トランジスタ、62B : トランジスタ、63 : トランジスタ、63_N : トランジスタ、63_P : トランジスタ、64 : 容量素子、64_N : 容量素子、64_P : 容量素子、64A : 容量素子、64B : 容量素子、71 : コントローラ、71G : コントローラ、72 : ロウデコーダ、73 : ワード線ドライバ、74 : カラムデコーダ、75 : ドライバ、76 : プリチャージ回路、81 : 入出力バッファ、82 : 演算制御回路、90A : 入力層、90B : 中間層、90C : 出力層、91 : 入力処理、92 : 演算処理、93 : 演算処理、94 : プーリング演算処理、95 : 演算処理、96 : プーリング演算処理、97 : 全結合演算処理、100 : 半導体装置、101 : デジタル演算器、102 : アナログ演算器、103 : 酸化半導体メモリ、104 : 酸化半導体メモリ、105 : 酸化半導体演算器、106 : 酸化半導体メモリ、107 : シリコン回路、110 : CPU、120 : バス、193 : PMU、200 : CPUコア、202 : キャッシュメモリ装置、203 : キャッシュメモリ装置、205 : バスインターフェース部、210 : パワースイッチ、211 : パワースイッチ、212 : パワースイッチ、214 : レベルシフタ、220 : フリップフロップ、221 : スキャンフリップフロップ、221A : クロックバッファ回路、222 : バックアップ回路、300 : トランジスタ、310 : 基板、310A : 基板、312 : 素子分離層、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、360 : 絶縁体、362 : 絶縁体、364 : 絶縁体、366 : 導電体、411 : 絶縁体、412 : 絶縁体、413 : 絶縁体、414 : 絶縁体、416 : 導電体、500 : トランジスタ、503 : 導電体、503a : 導電体、503b : 導電体、510 : 絶縁体、

512 : 絶縁体、514 : 絶縁体、516 : 絶縁体、518 : 導電体、522 : 絶縁体、524 : 絶縁体、530 : 酸化物、530a : 酸化物、530b : 酸化物、530ba : 領域、530bb : 領域、530bc : 領域、540 : 導電体、540a : 導電体、540b : 導電体、541 : 絶縁体、541a : 絶縁体、541b : 絶縁体、542 : 導電体、542a : 導電体、542b : 導電体、543 : 酸化物、543a : 酸化物、543b : 酸化物、544 : 絶縁体、546 : 導電体、550 : 絶縁体、550a : 絶縁体、550b : 絶縁体、552 : 絶縁体、554 : 絶縁体、560 : 導電体、560a : 導電体、560b : 導電体、571 : 絶縁体、571a : 絶縁体、571b : 絶縁体、574 : 絶縁体、576 : 絶縁体、580 : 絶縁体、581 : 絶縁体、582 : 絶縁体、586 : 絶縁体、600 : 容量素子、610 : 導電体、612 : 導電体、620 : 導電体、630 : 絶縁体、640 : 絶縁体、650 : 絶縁体、660 : 導電体、4700 : 電子部品、4702 : プリント基板、4704 : 実装基板、4710 : 半導体装置、4711 : モールド、4712 : ランド、4713 : 電極パッド、4714 : ワイヤ、4730 : 電子部品、4731 : インターポーザ、4732 : パッケージ基板、4733 : 電極、4735 : 半導体装置、4800 : 半導体ウェハ、4800a : チップ、4801 : ウェハ、4801a : ウェハ、4802 : 回路部、4803 : スペーシング、4803a : スペーシング、5200 : 携帯ゲーム機、5201 : 筐体、5202 : 表示部、5203 : ボタン、5300 : デスクトップ型情報端末、5301 : 本体、5302 : ディスプレイ、5303 : キーボード、5500 : 情報端末、5510 : 筐体、5511 : 表示部、5600 : TV、5650 : アンテナ、5670 : 電波塔、5675A : 電波、5675B : 電波、5680 : 放送局、5700 : 自動車、5800 : 電気冷凍冷蔵庫、5801 : 筐体、5802 : 冷蔵室用扉、5803 : 冷凍室用扉、5900 : 情報端末、5901 : 筐体、5902 : 表示部、5903 : 操作ボタン、5904 : 操作子、5905 : バンド、6100 : 拡張デバイス、6101 : 筐体、6102 : キャップ、6103 : USBコネクタ、6104 : 基板、6105 : チップ、6106 : コントローラチップ、6240 : デジタルカメラ、6241 : 筐体、6242 : 表示部、6243 : 操作ボタン、6244 : シャッターボタン、6246 : レンズ、6300 : ビデオカメラ、6301 : 筐体、6302 : 筐体、6303 : 表示部、6304 : 操作キー、6305 : レンズ、6306 : 接続部、6431 : 筐体、6432 : 表示部、6433 : 掌紋読み取り部、6434 : 配線、6435 : 手、7500 : 据え置き型ゲーム機、7520 : 本体、7522 : コントローラ

請求の範囲

[請求項 1]

デジタル演算器と、アナログ演算器と、第 1 メモリ回路と、第 2 メモリ回路と、を有し、
前記アナログ演算器、前記第 1 メモリ回路、および前記第 2 メモリ回路は、それぞれ、チャンネル形成領域に酸化物半導体を有するトランジスタを含み、

前記第 1 メモリ回路は、第 1 重みデータをデジタルデータとして、前記デジタル演算器に供給する機能を有し、

前記デジタル演算器は、前記第 1 重みデータを用いて積和演算を行う機能を有し、

前記第 2 メモリ回路は、第 2 重みデータをアナログデータとして、前記アナログ演算器に供給する機能を有し、

前記アナログ演算器は、前記第 2 重みデータを用いて積和演算を行う機能を有し、

前記アナログ演算器、および前記第 2 メモリ回路が含む、チャンネル形成領域に酸化物半導体を有するトランジスタの少なくとも一において、

ソースドレイン間に流れる電流量は、当該トランジスタがサブスレッショルド領域で動作するときに流れる電流量である、

半導体装置。

[請求項 2]

請求項 1 において、

前記デジタル演算器は、前記アナログ演算器の動作中は、非動作状態となり、

前記アナログ演算器は、前記デジタル演算器の動作中は、非動作状態となる、

半導体装置。

[請求項 3]

請求項 1 または請求項 2 において、

前記デジタル演算器は、畳み込み演算を行う、

半導体装置。

[請求項 4]

請求項 1 乃至請求項 3 のいずれか一項において、

前記アナログ演算器は、全結合演算を行う、

半導体装置。

[請求項 5]

請求項 1 乃至請求項 4 のいずれか一項において、

前記デジタル演算器は、チャンネル形成領域にシリコンを有するトランジスタを含む、

半導体装置。

[請求項 6]

請求項 5 において、

前記デジタル演算器は、第 1 の層に設けられ、

前記アナログ演算器、前記第 1 メモリ回路、および前記第 2 メモリ回路は、第 2 の層に設けられ、

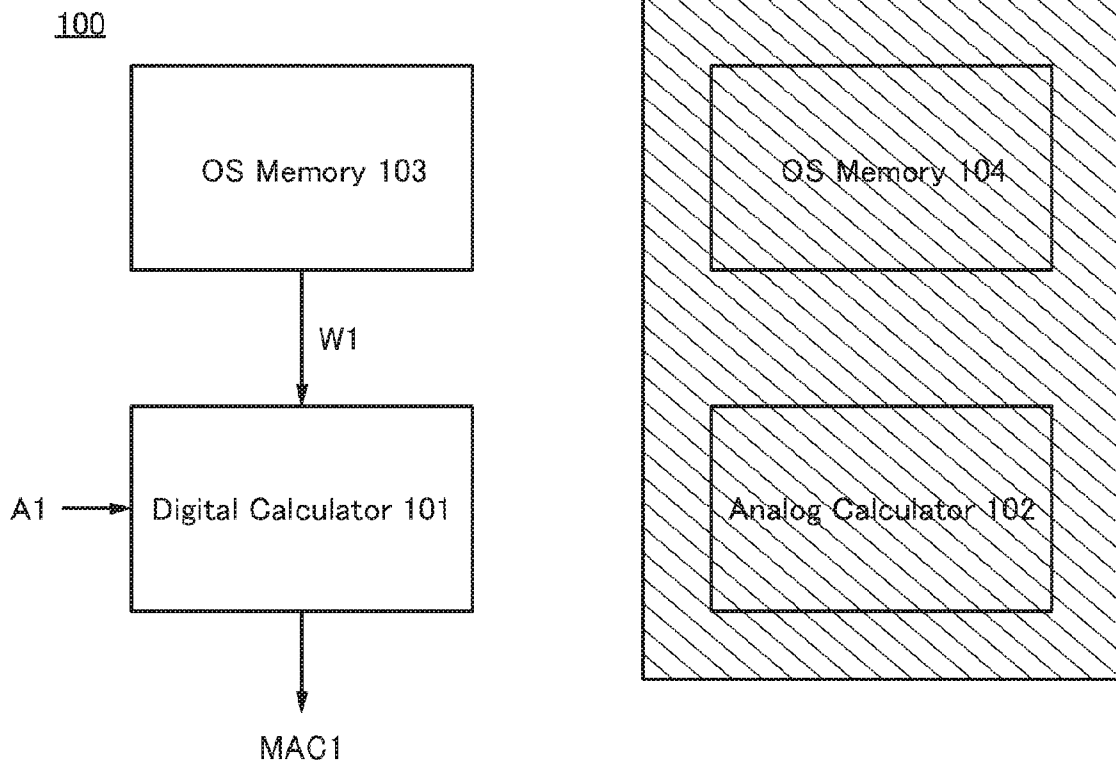
前記第 2 の層は、前記第 1 の層の上に設けられる、

半導体装置。

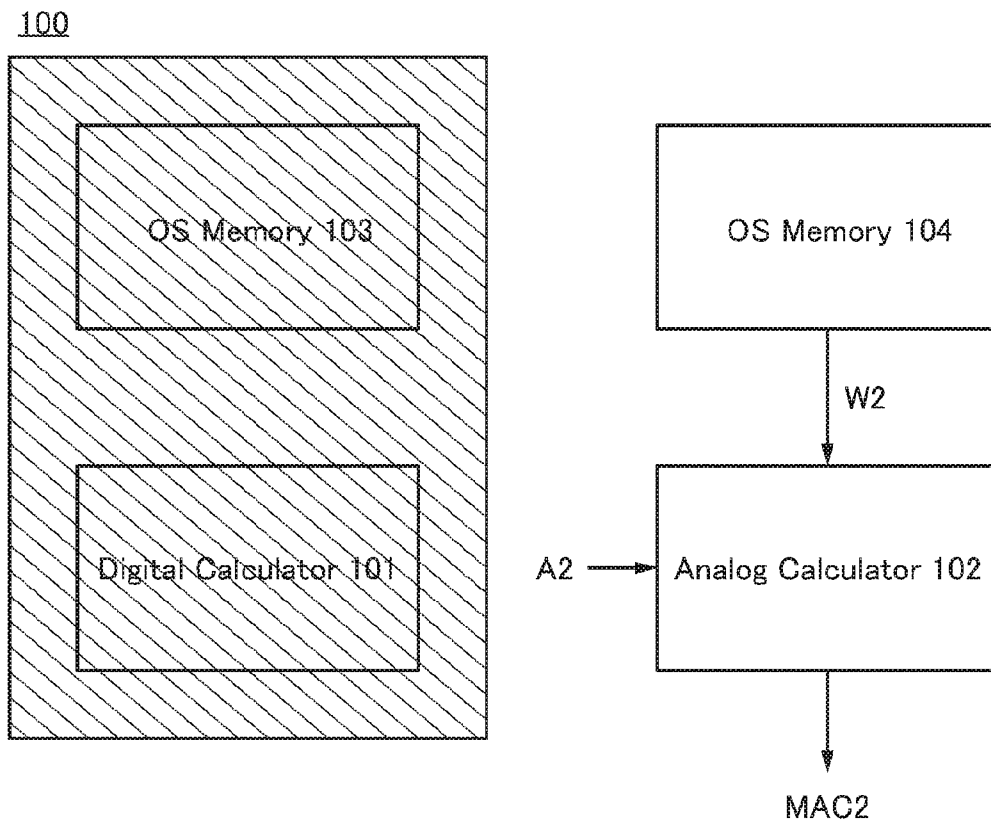
[請求項 7]

請求項 6 において、
前記第 1 メモリ回路は、前記デジタル演算器に重畳して設けられる、
半導体装置。

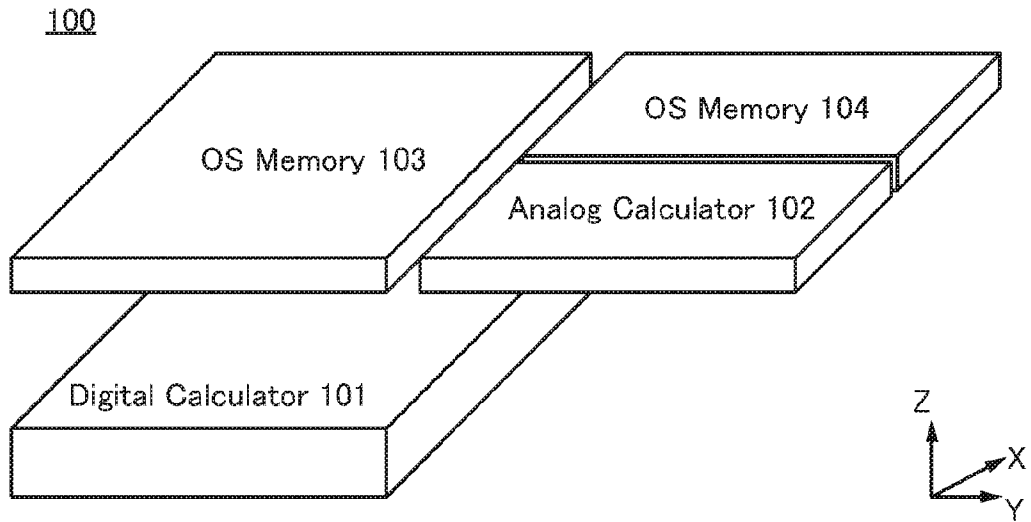
1A



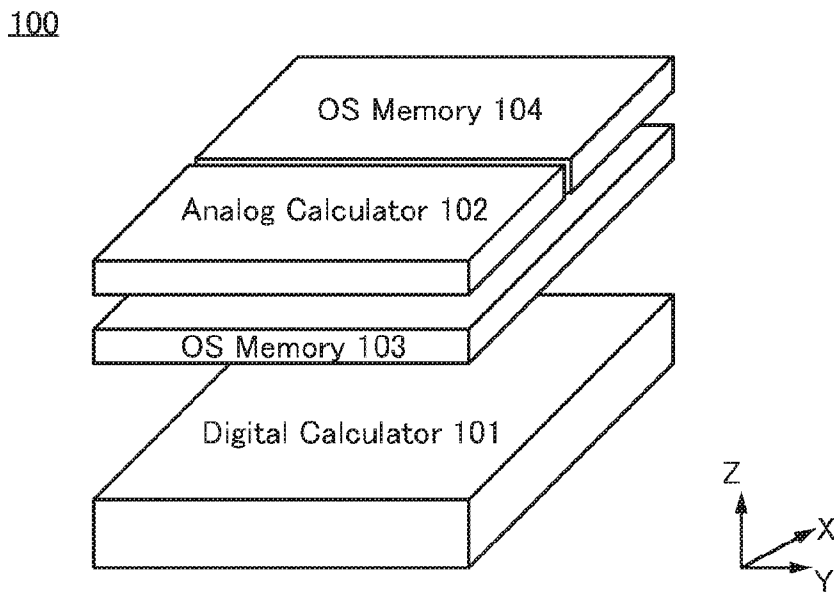
1B



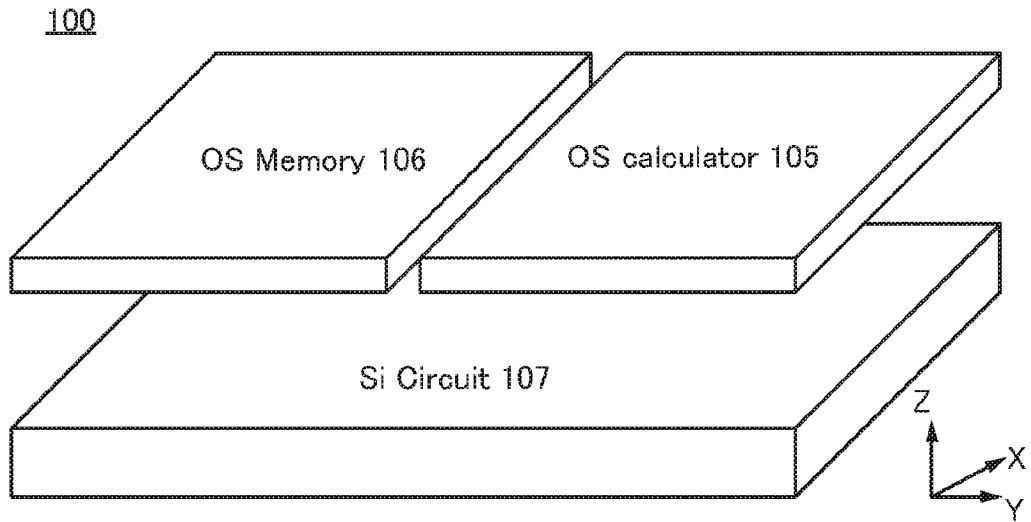
2A



2B



3A



3B

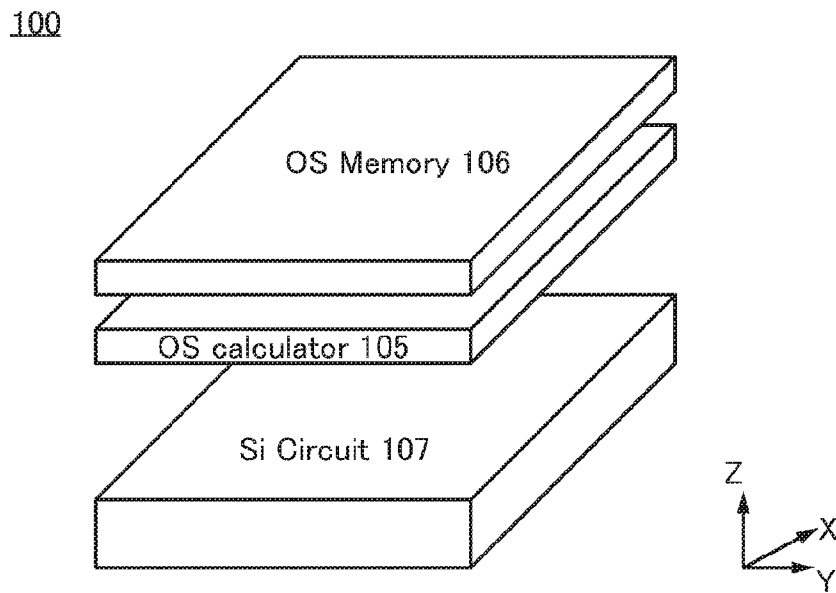
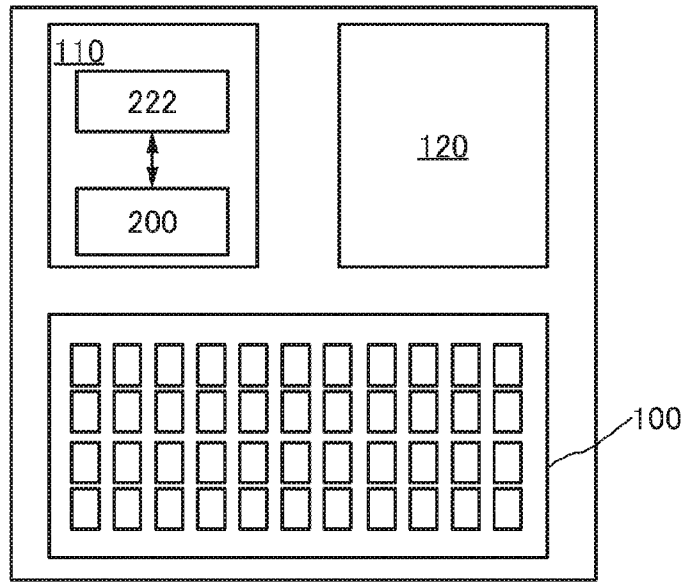


図4



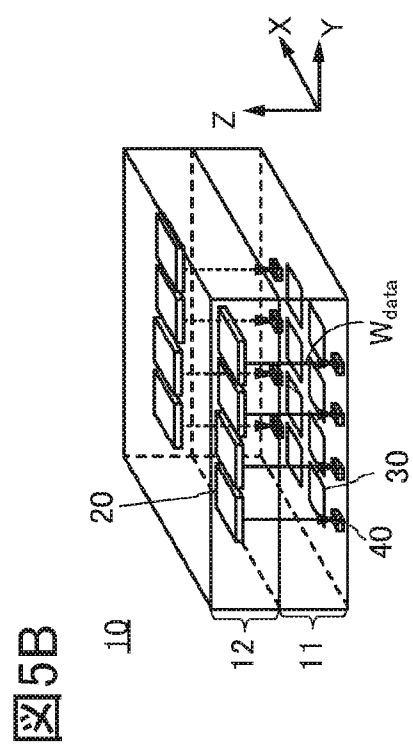
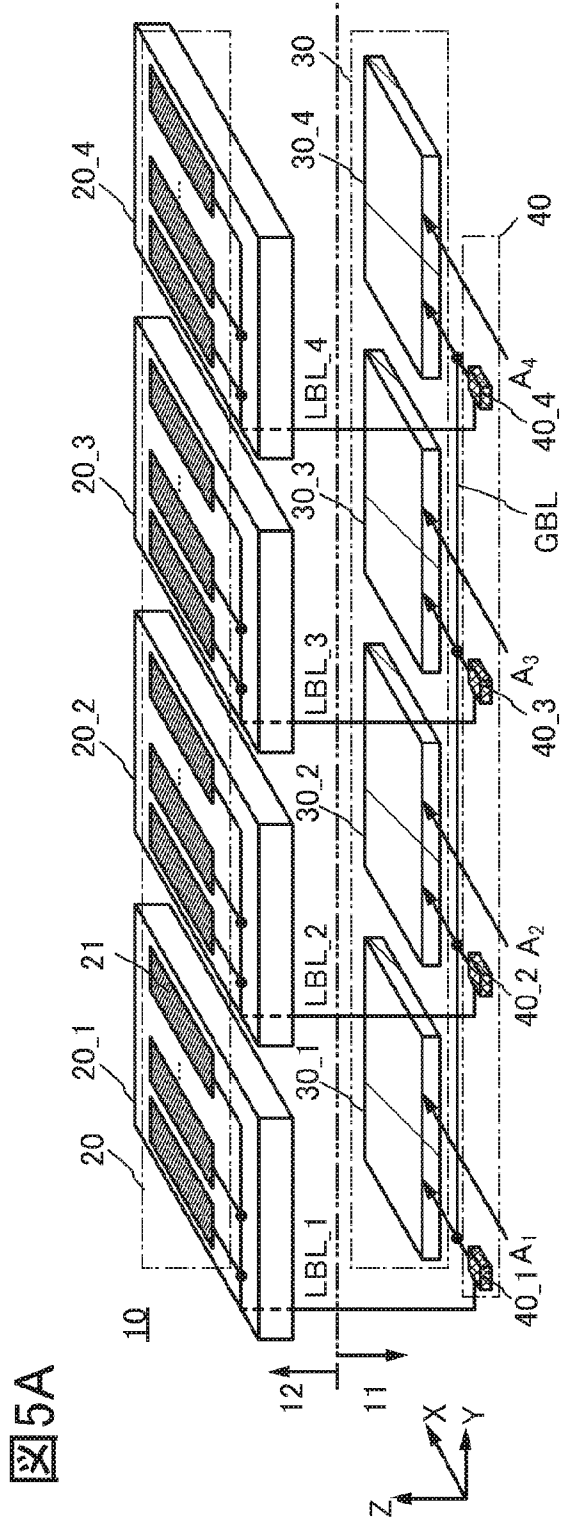


図6A

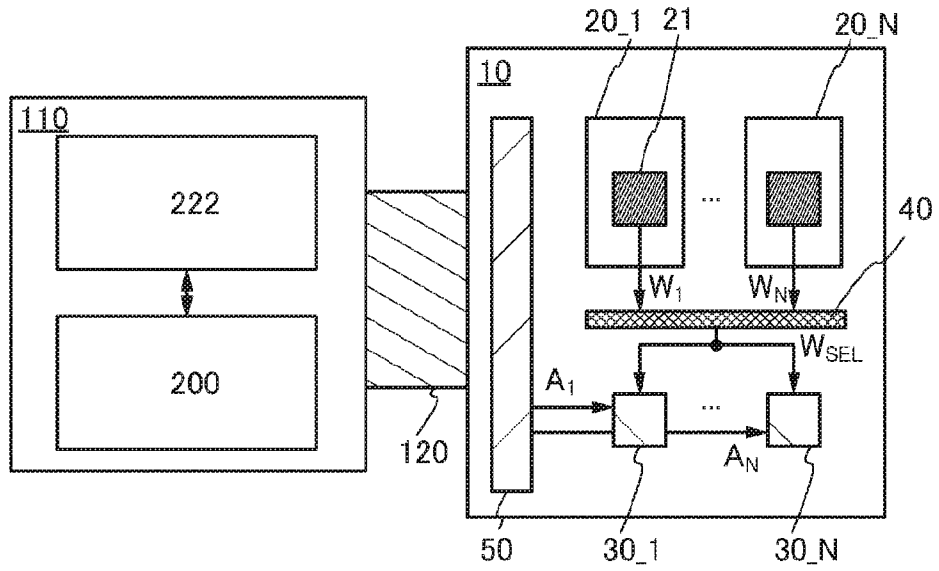


図6B

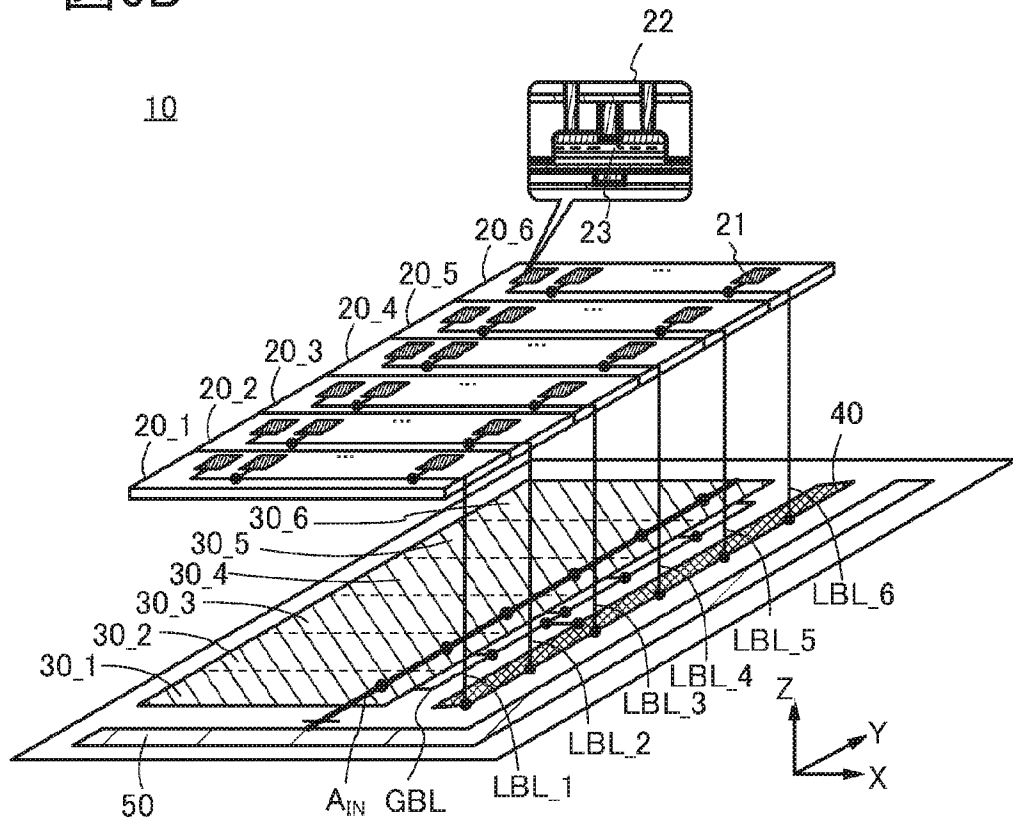


图7A

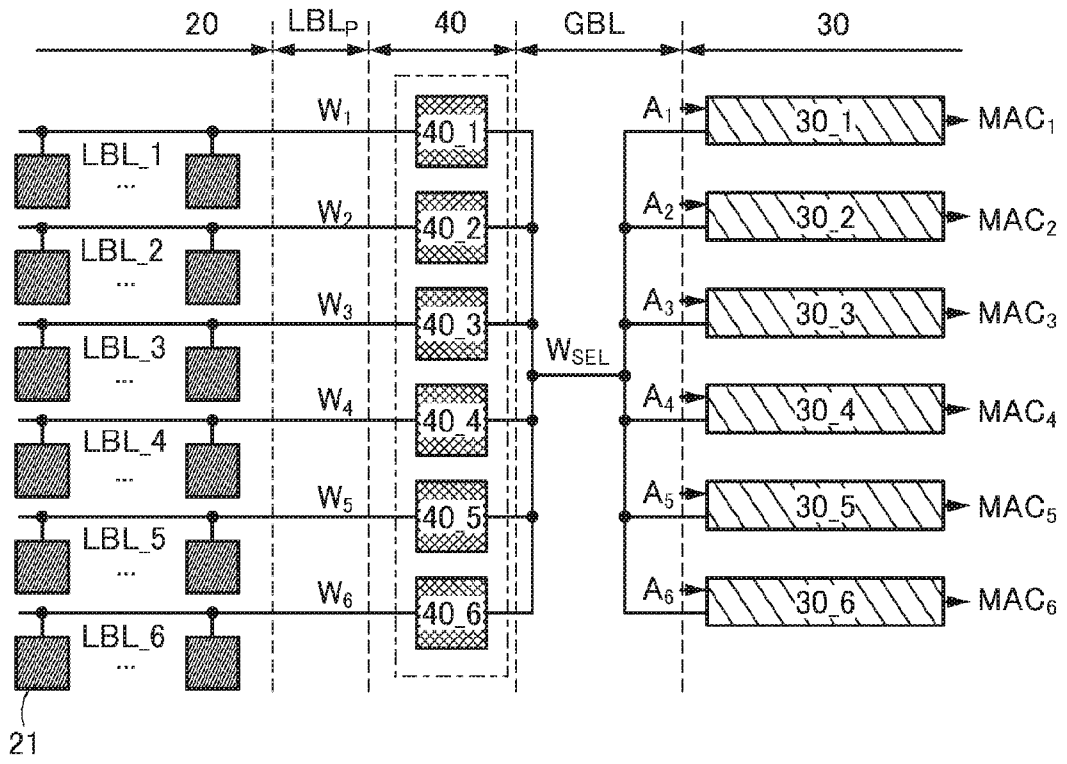
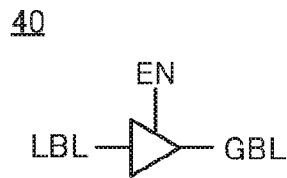
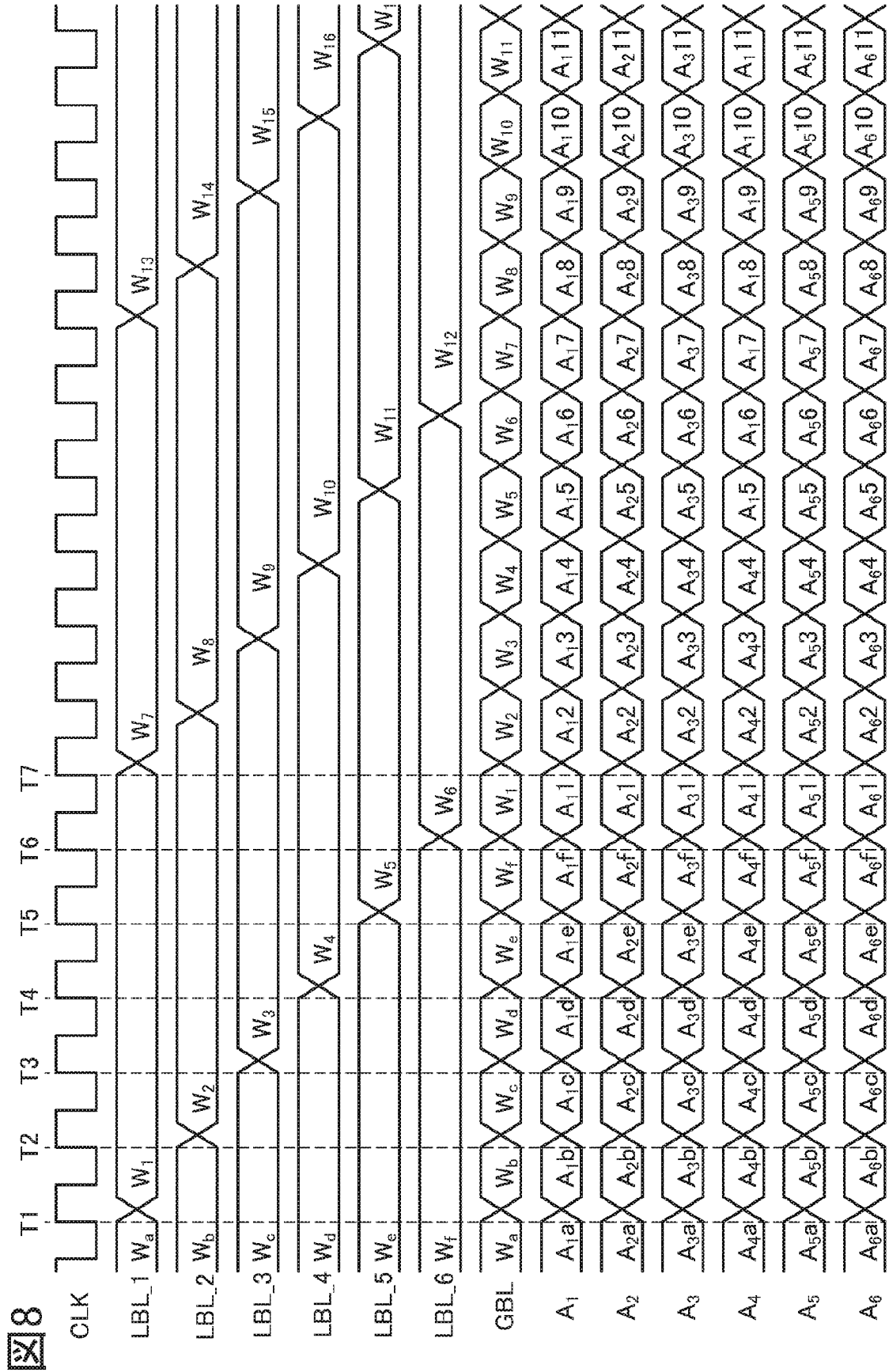
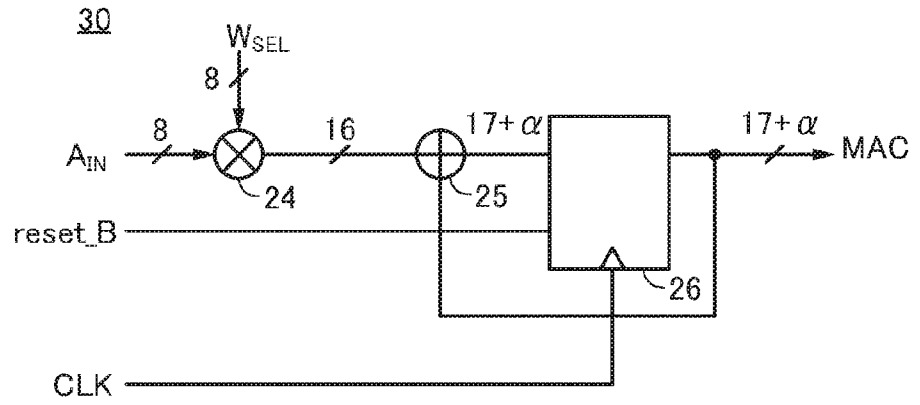


图7B





9A



9B

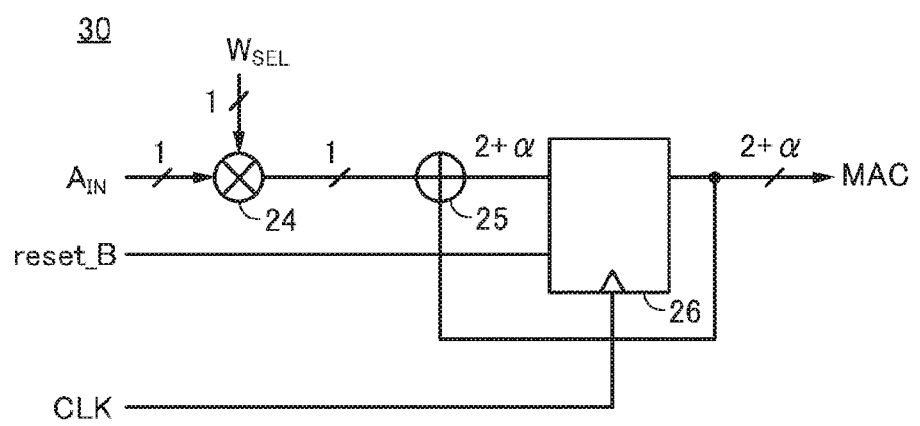


図 10A

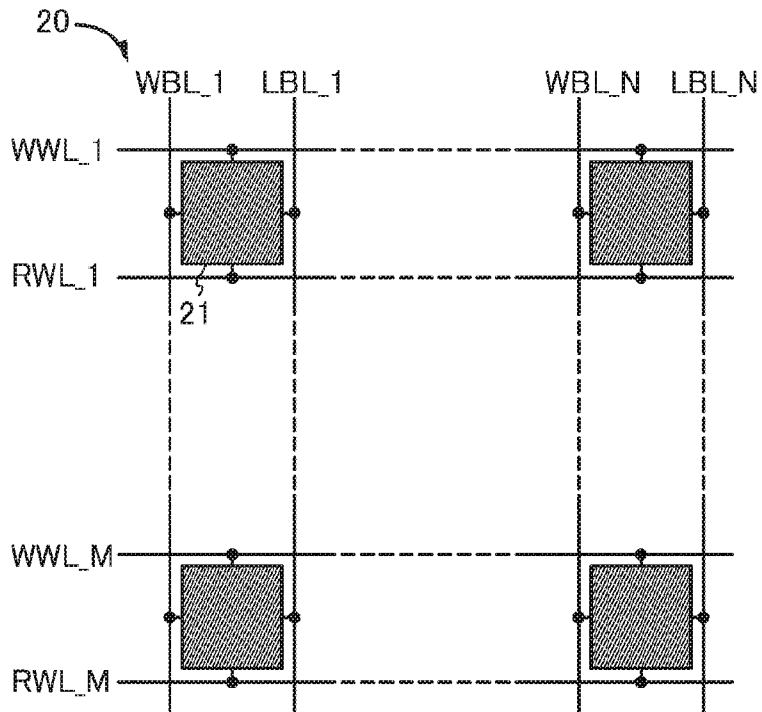
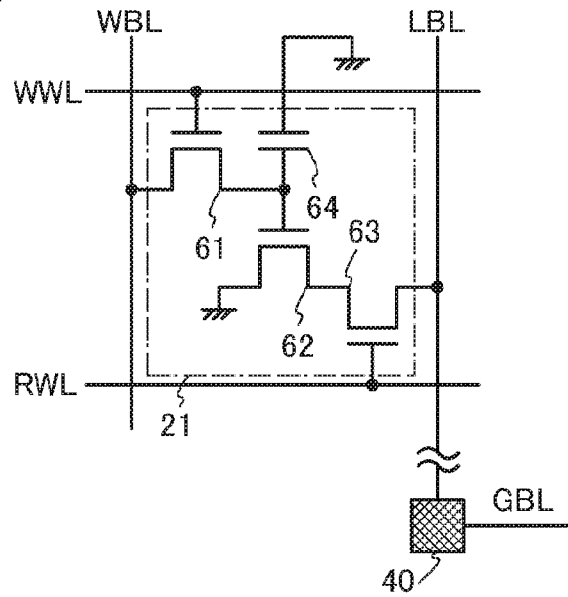
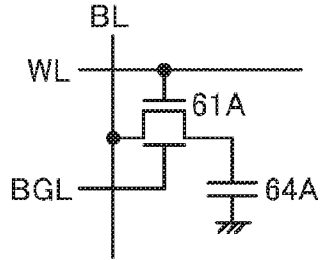


図 10B



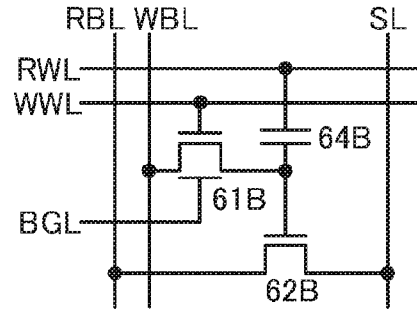
11A

21A



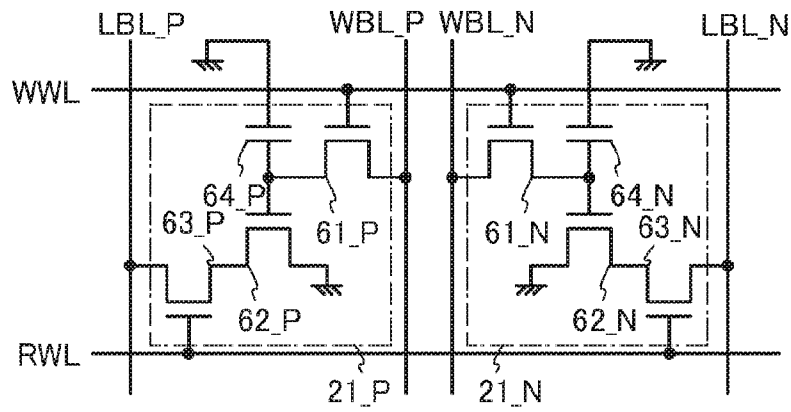
11B

21B



11C

21C



12

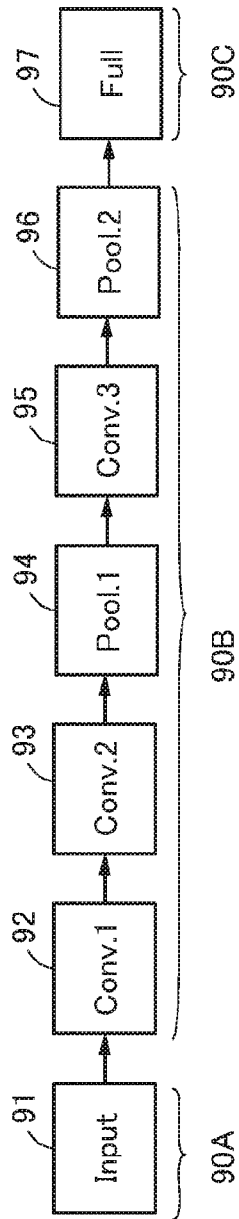
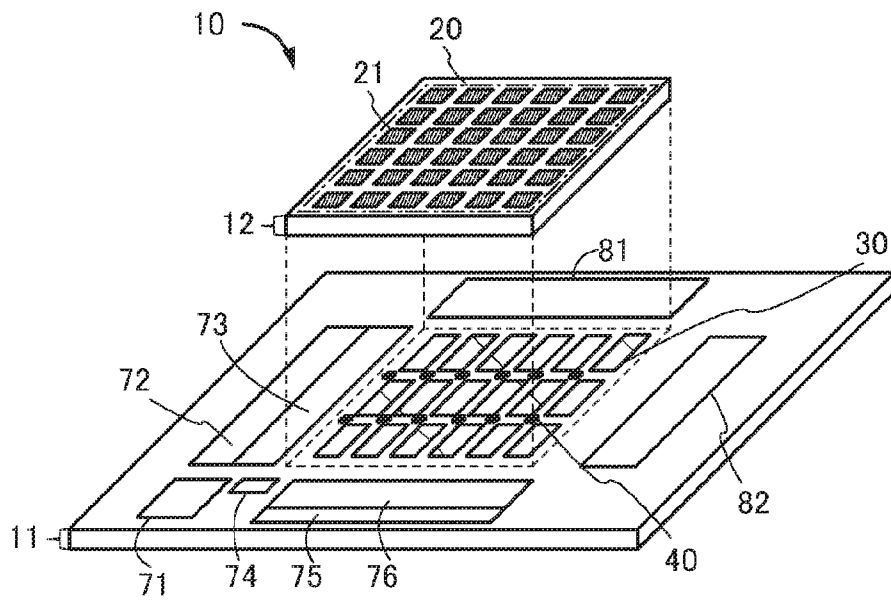
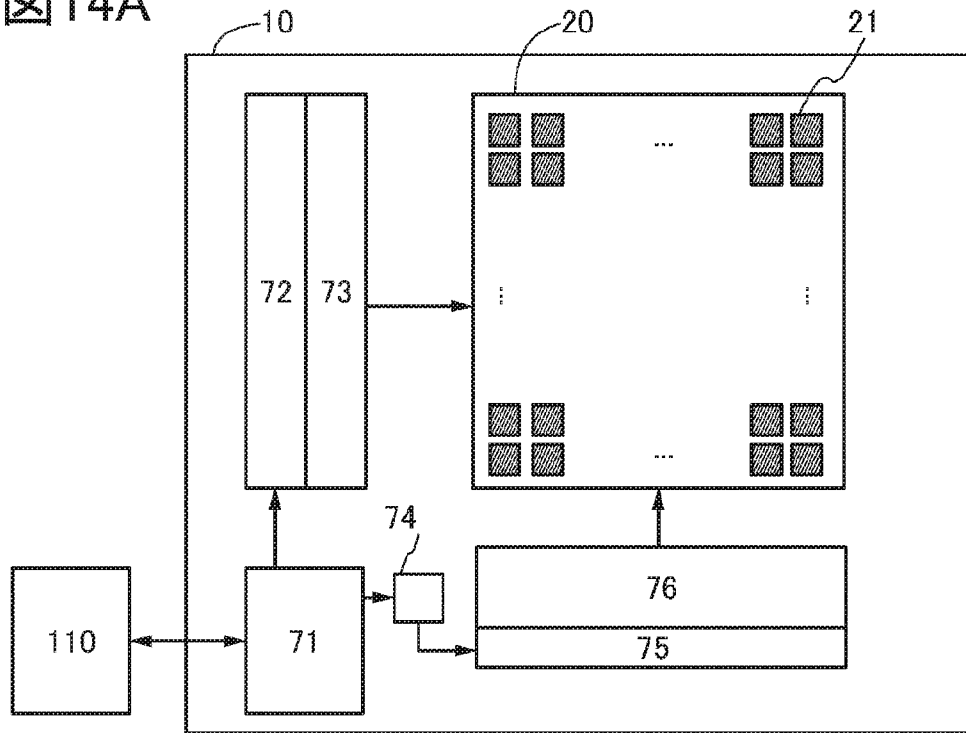


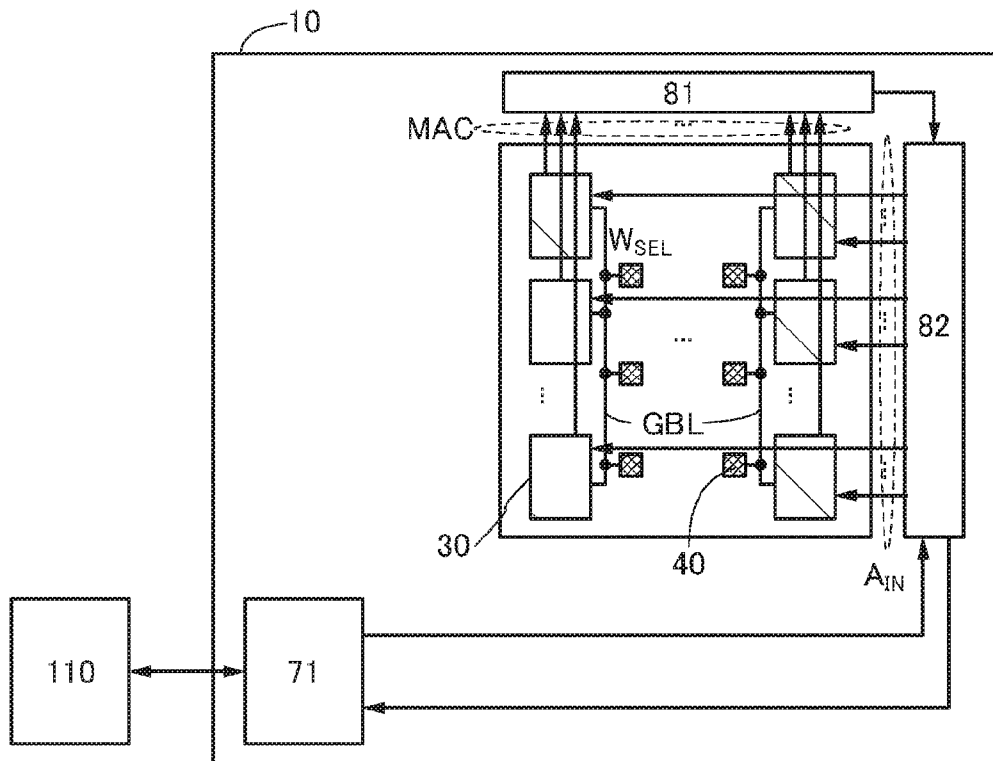
図13



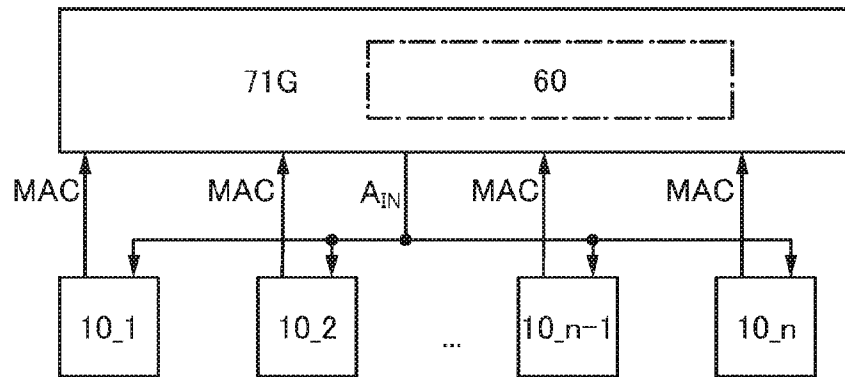
14A



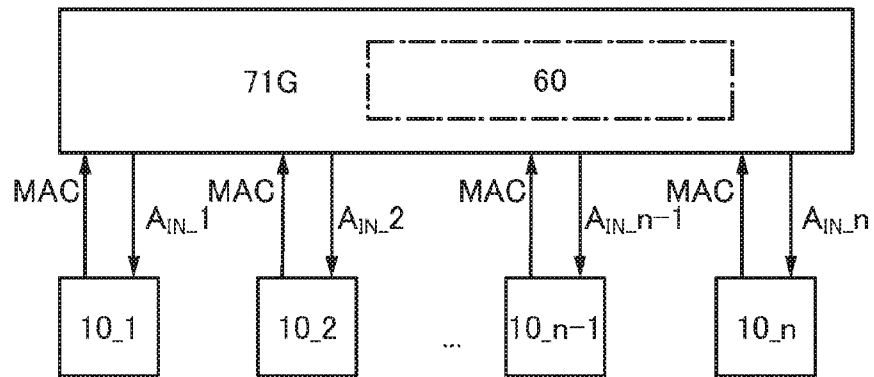
14B



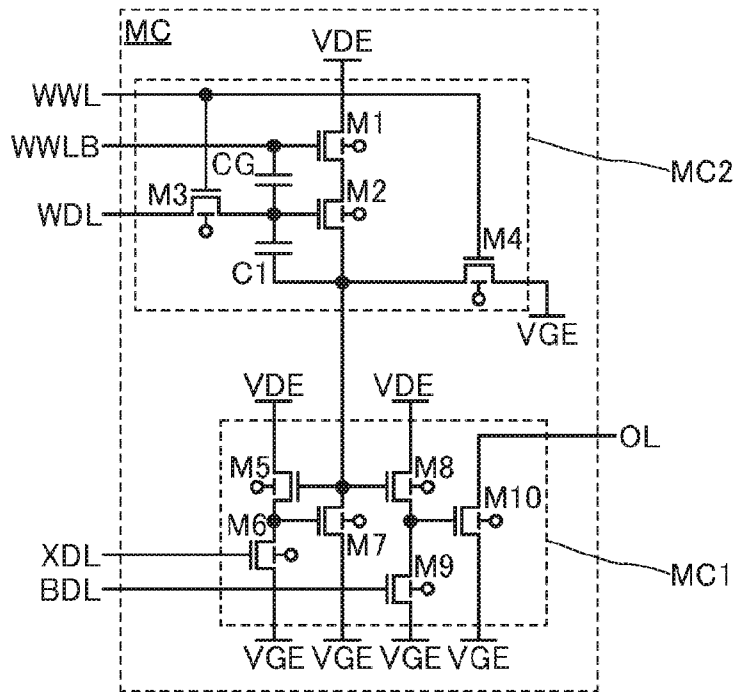
15A



15B



16A



16B

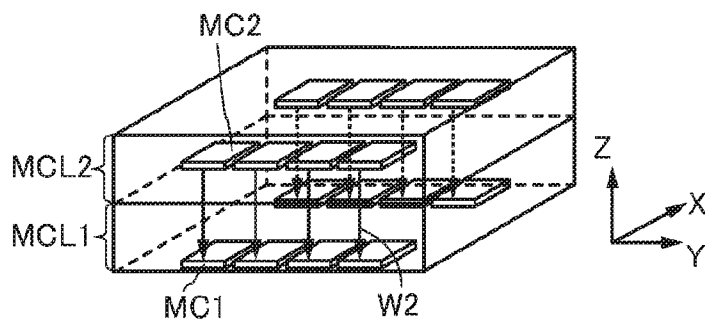


図18

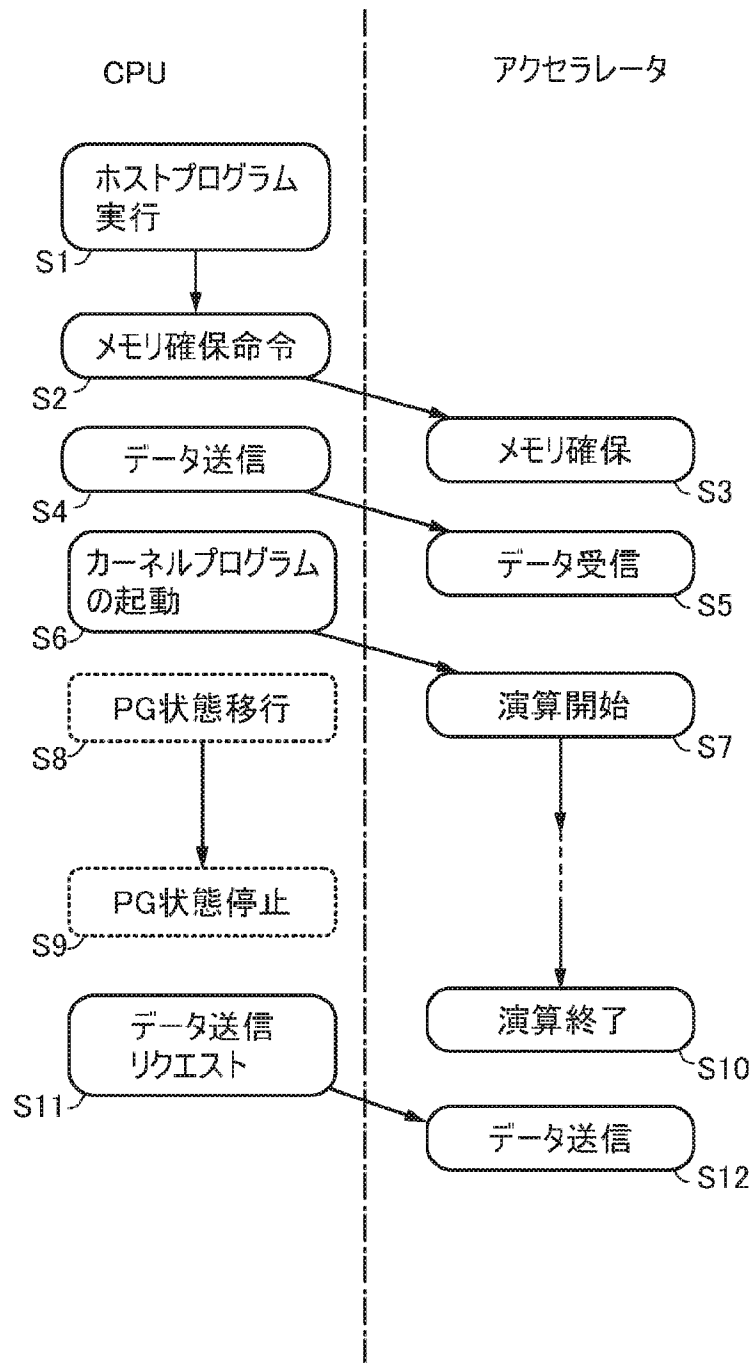
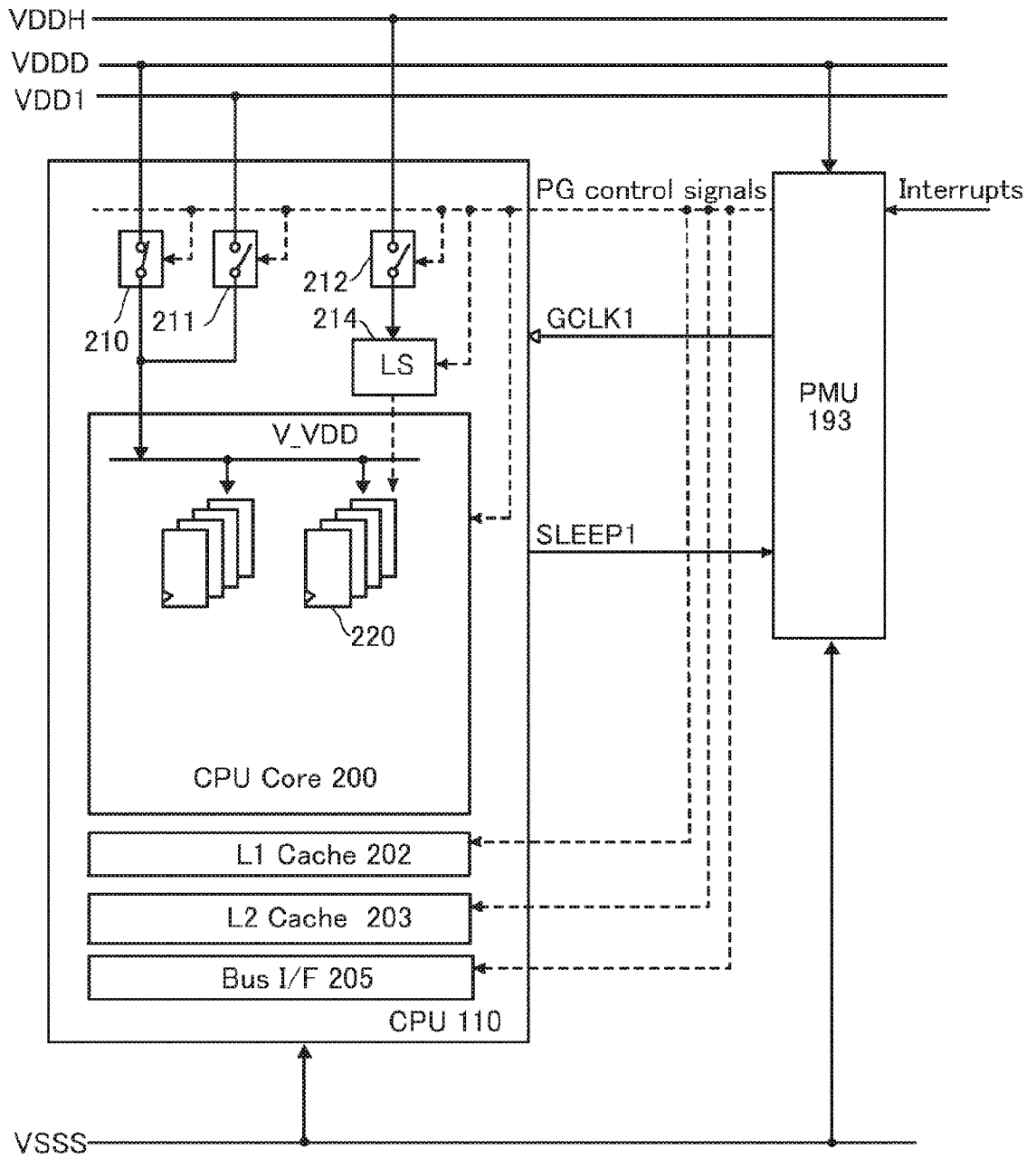


图 19



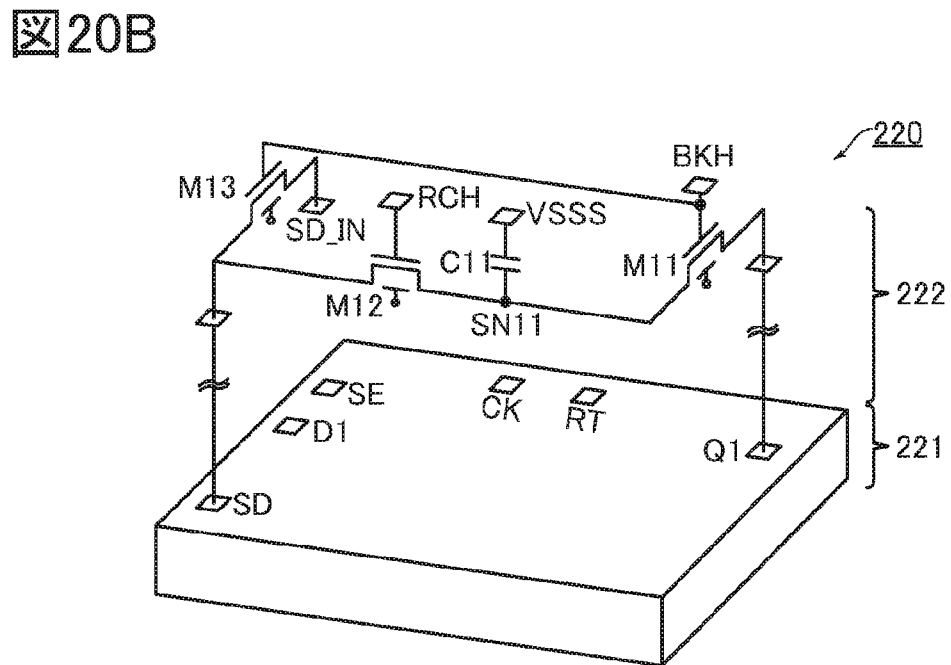
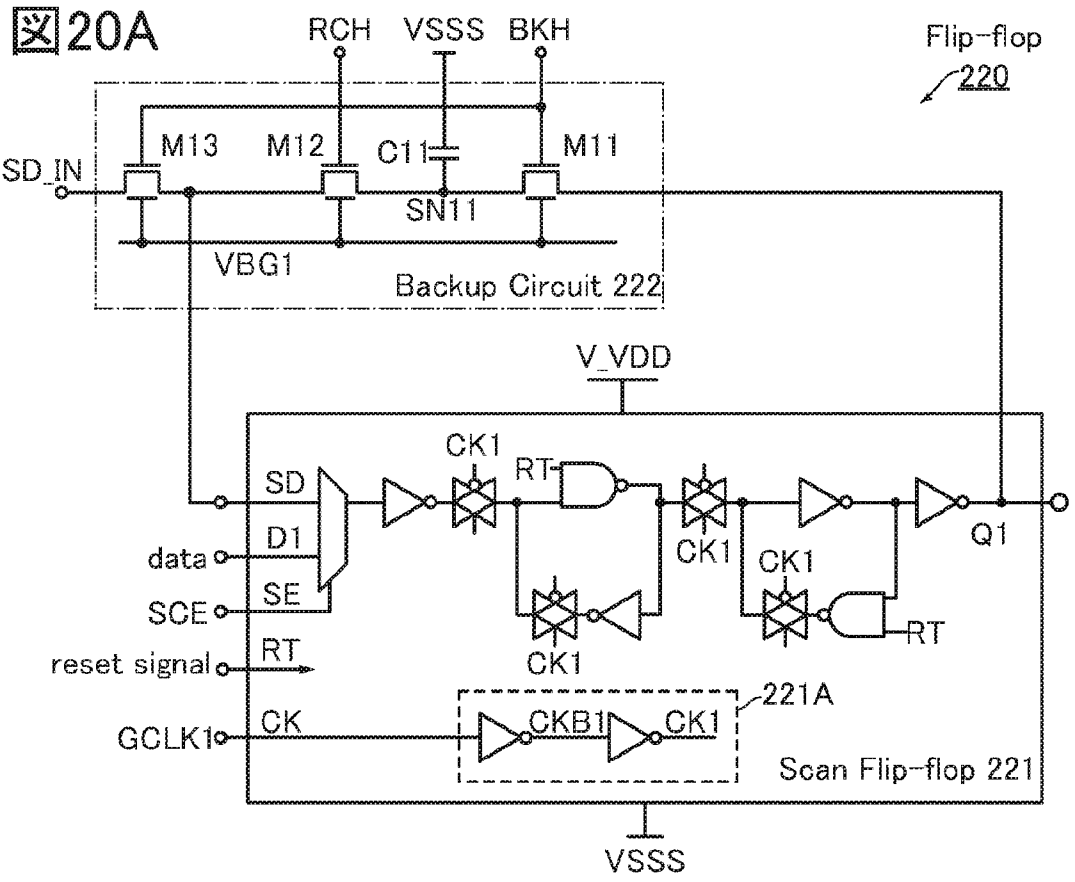
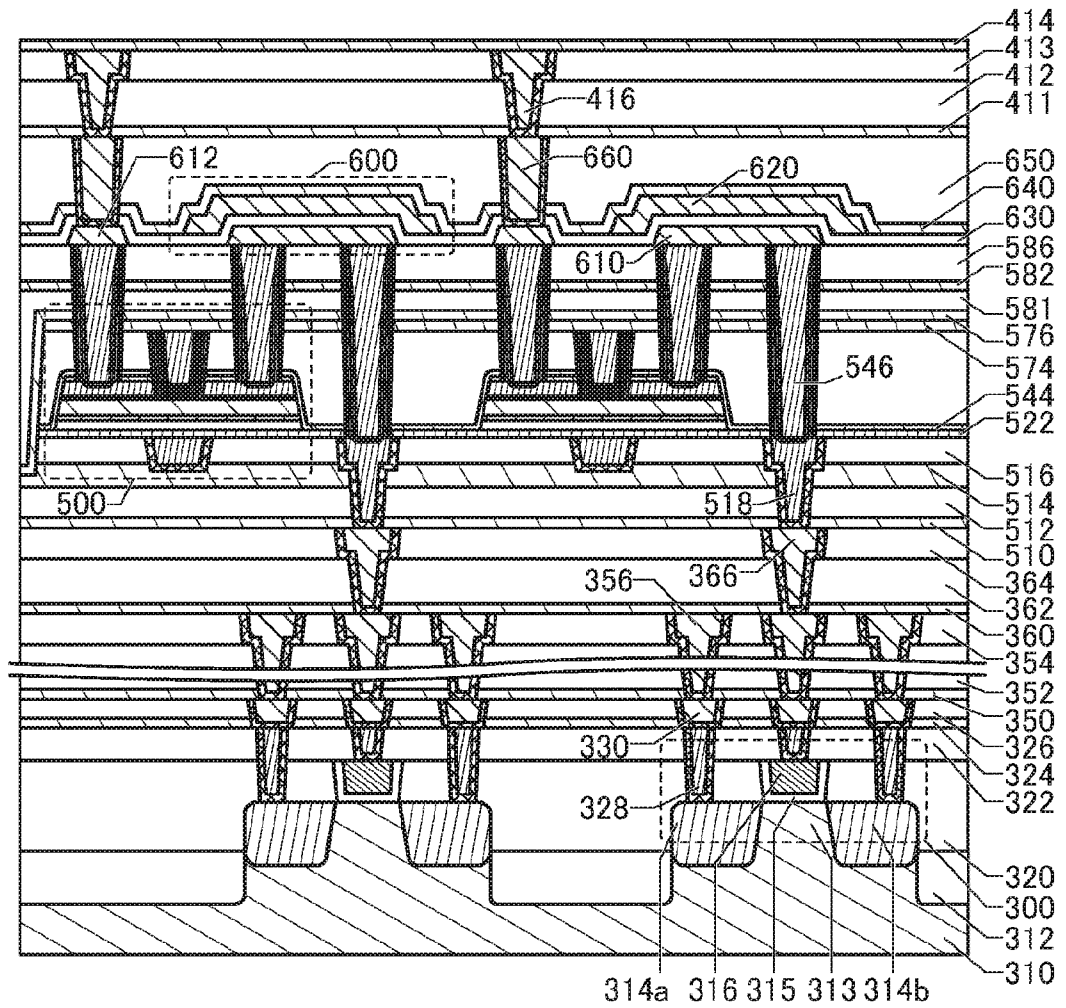
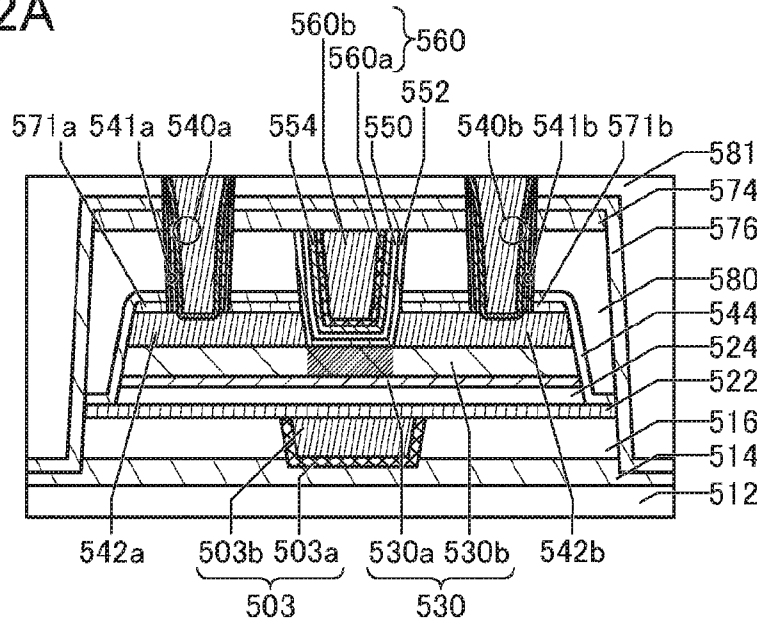


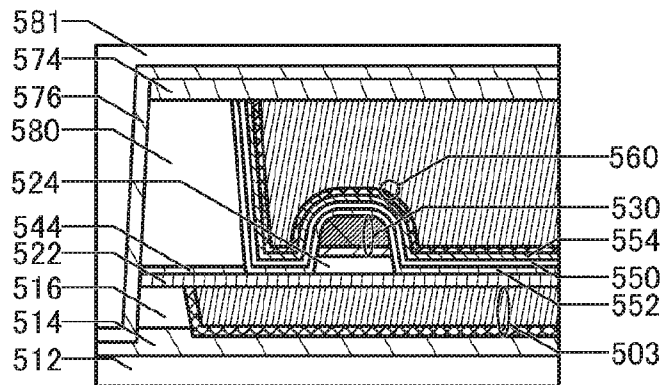
図21



22A



22B



22C

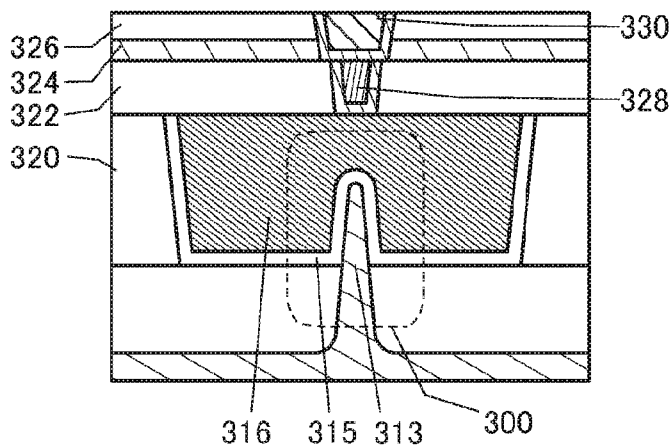
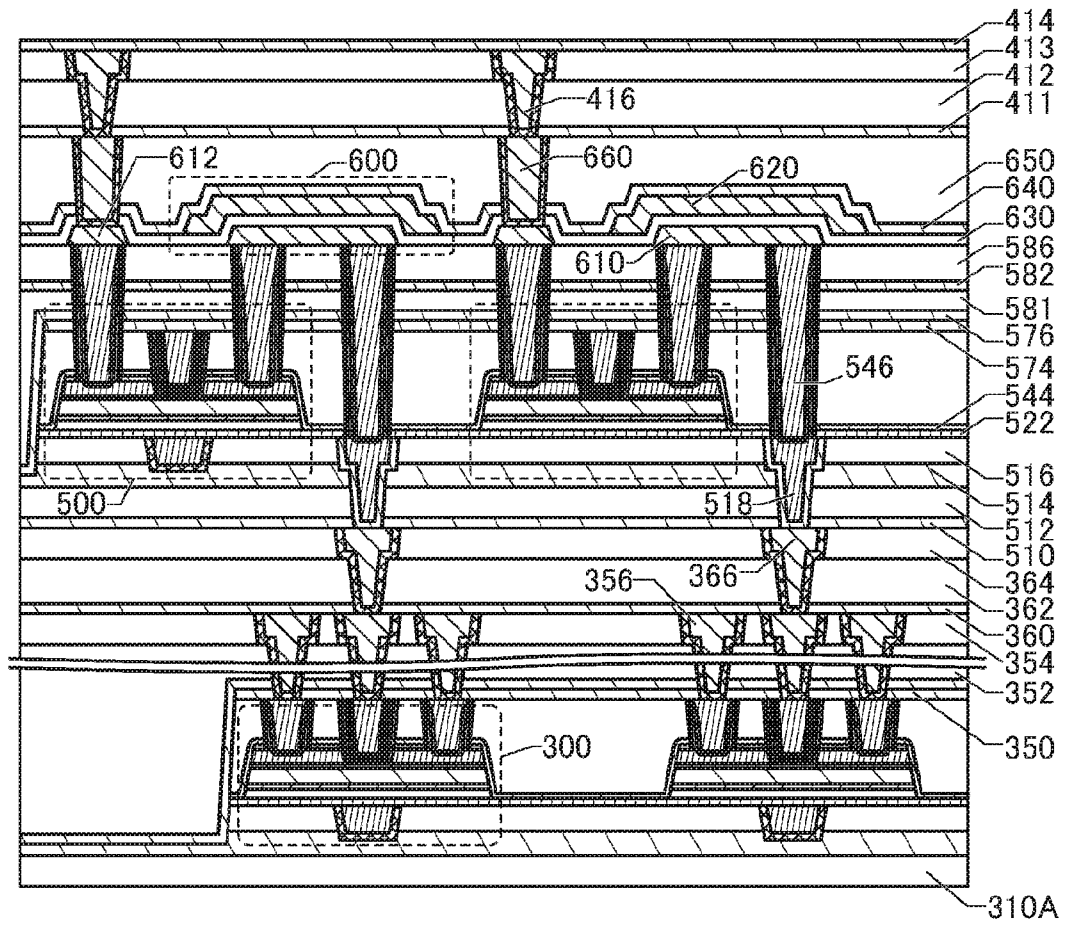
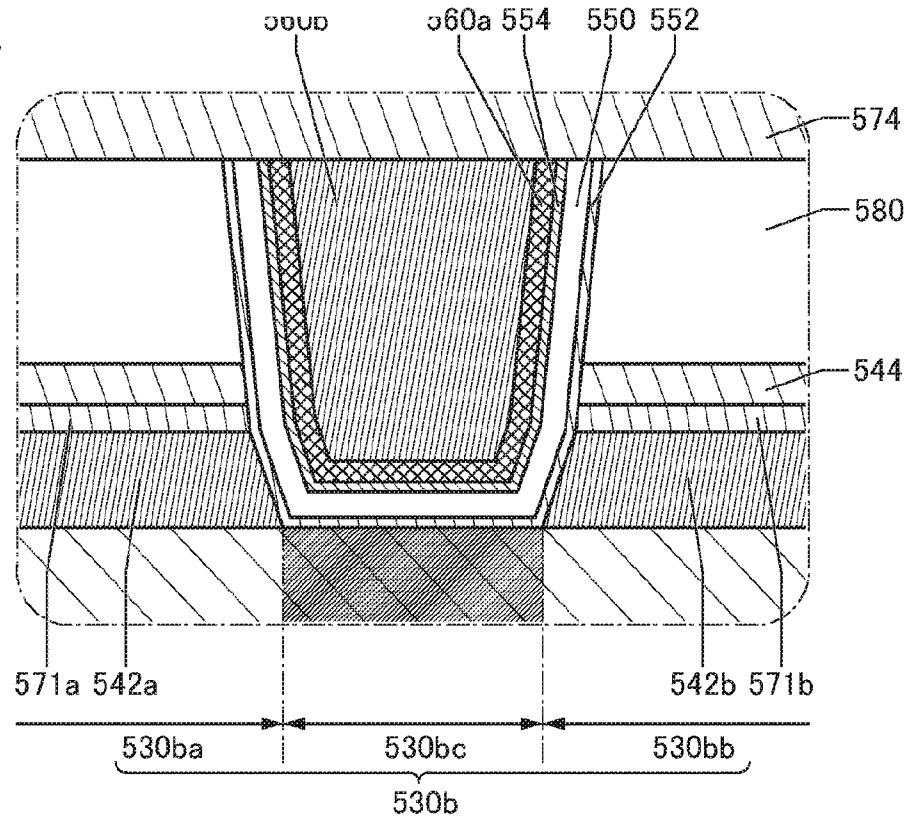


图 23



24A



24B

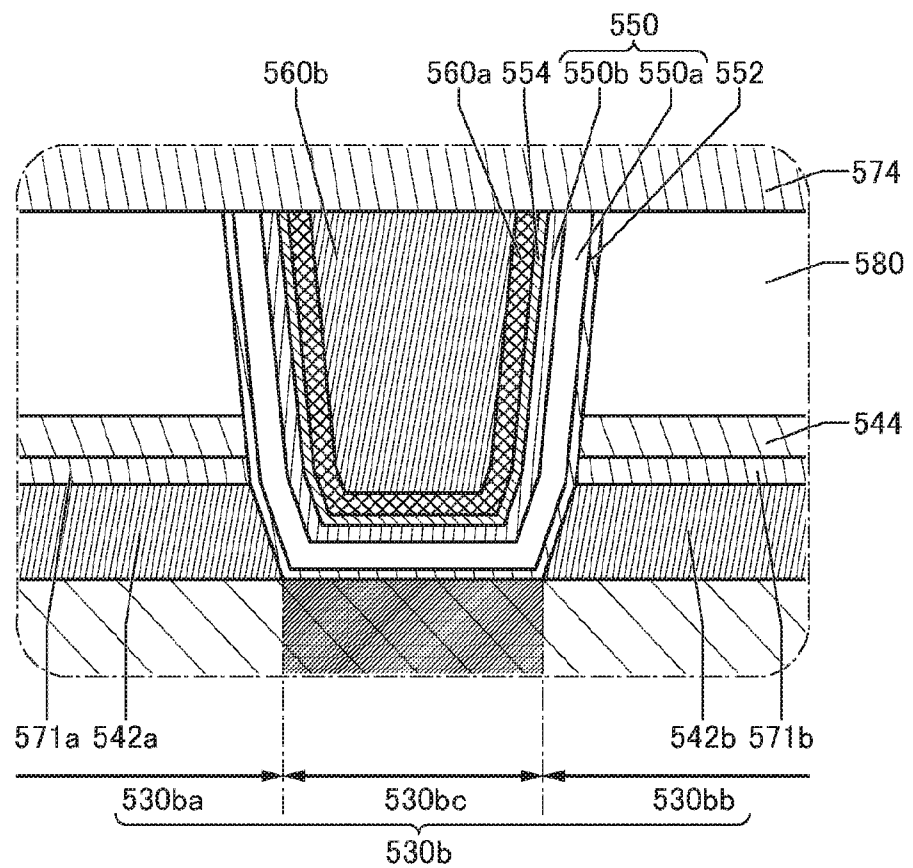


図25

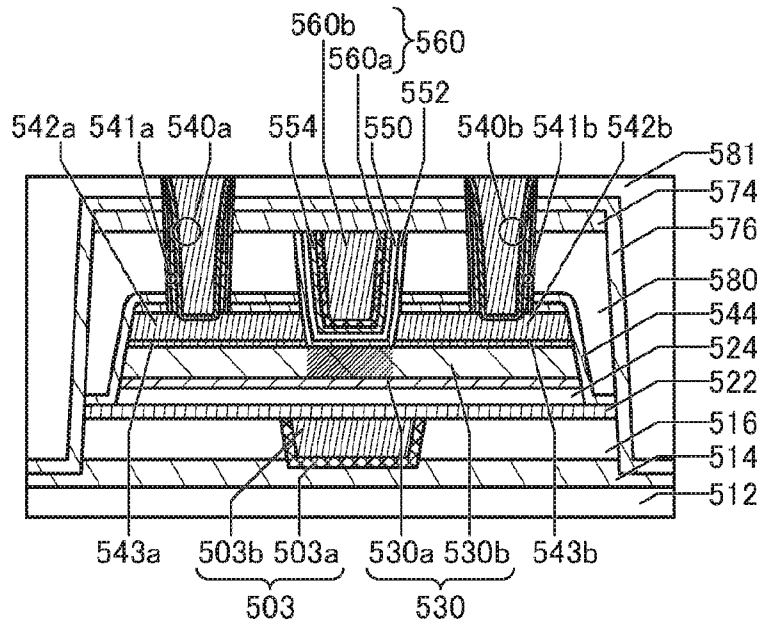


図26A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
<ul style="list-style-type: none"> completely amorphous 	<ul style="list-style-type: none"> CAAC nc CAC excluding single crystal and poly crystal	<ul style="list-style-type: none"> single crystal poly crystal

図26B

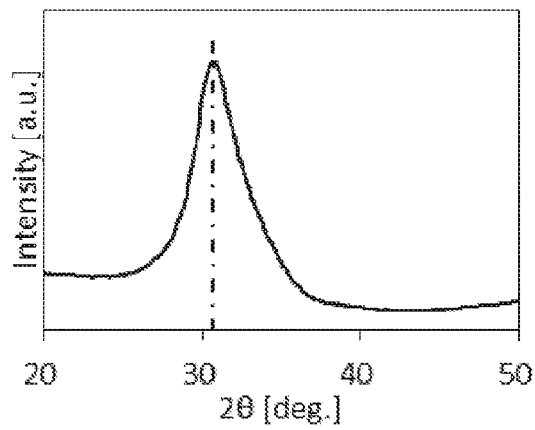
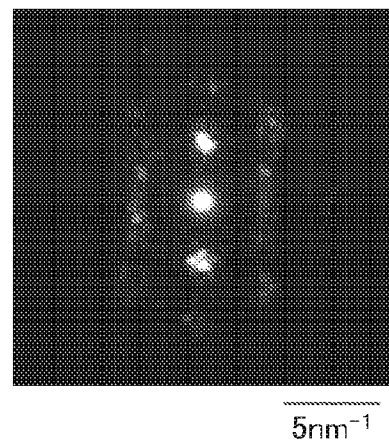


図26C



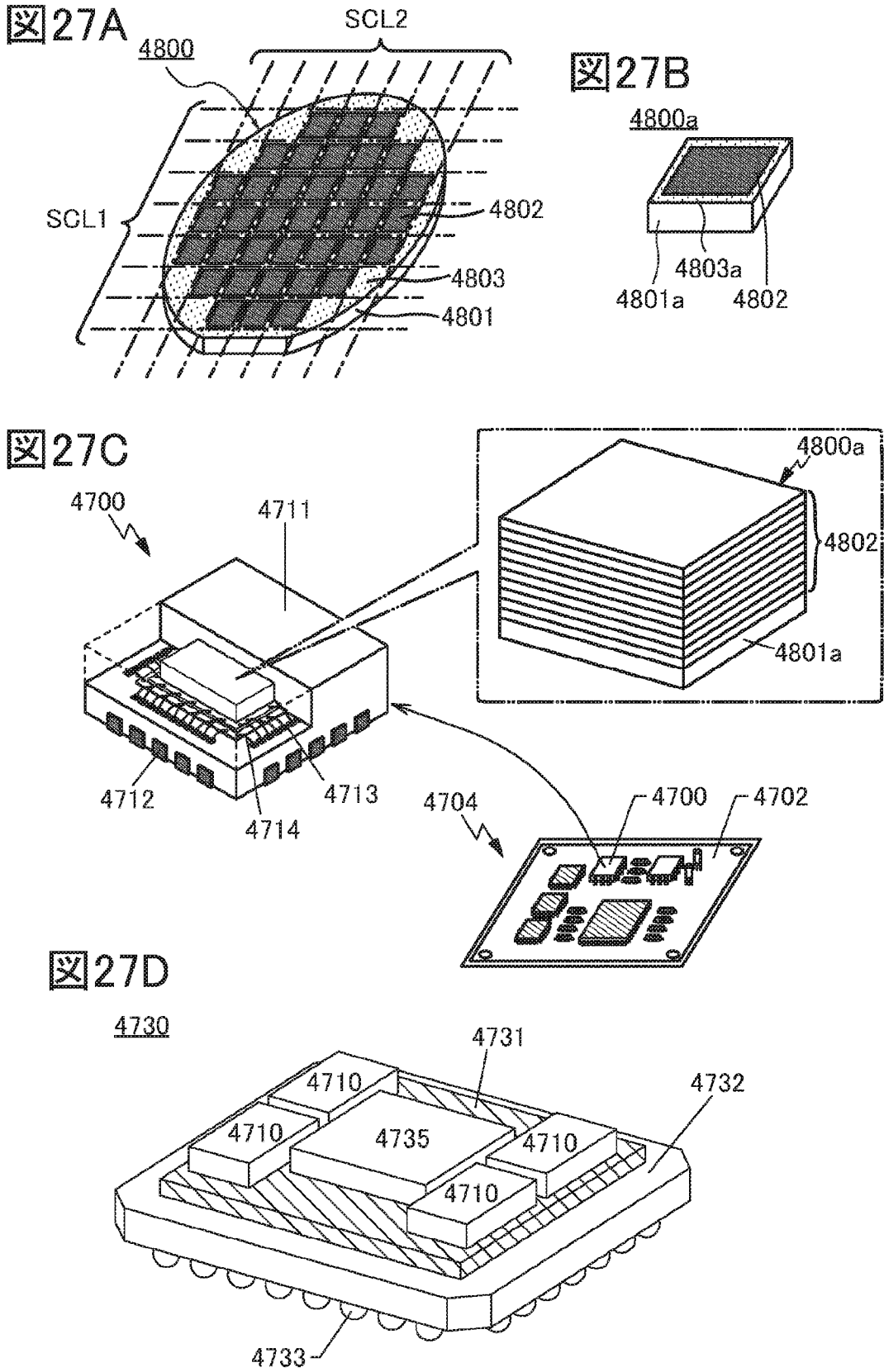


図28

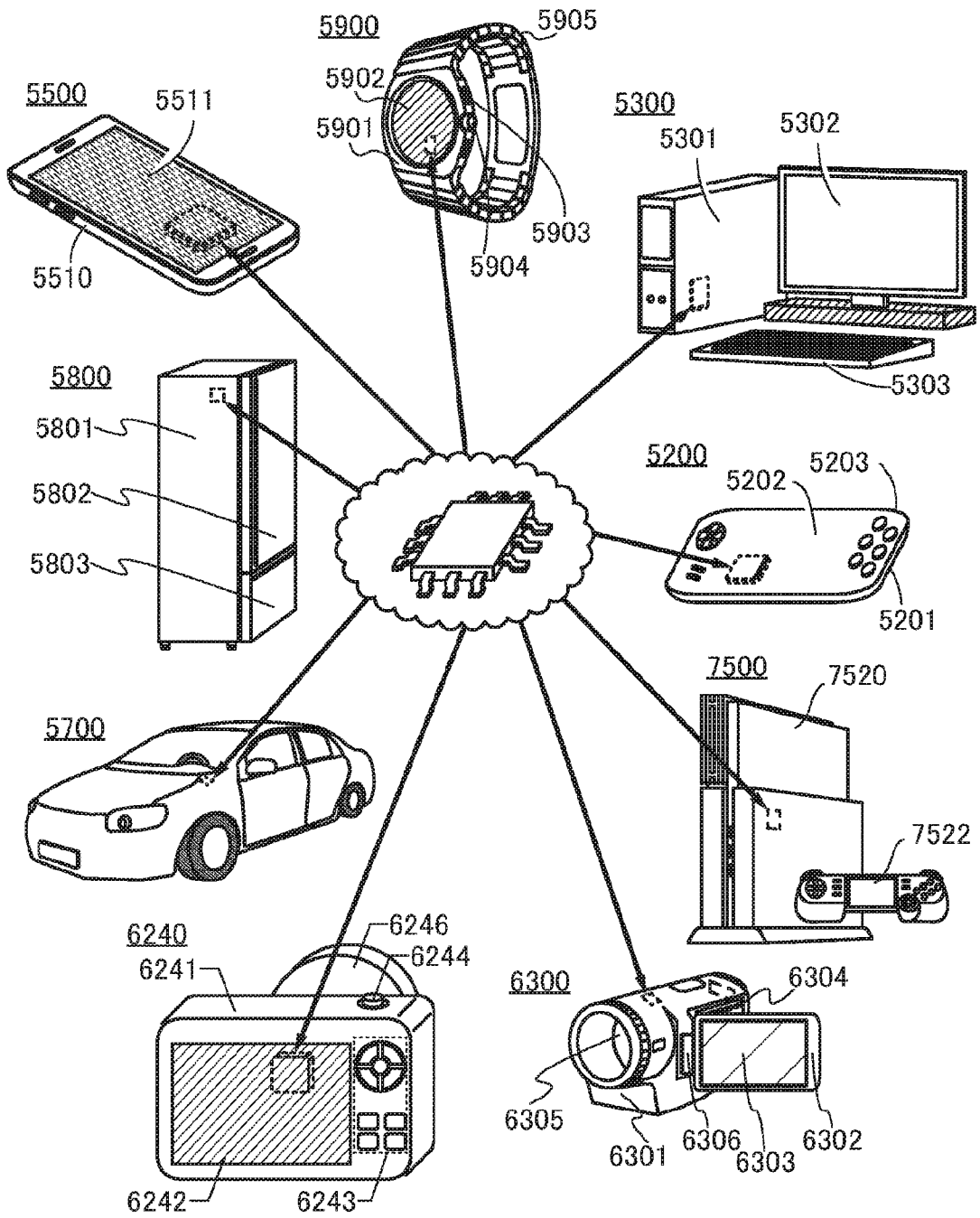


图 29A

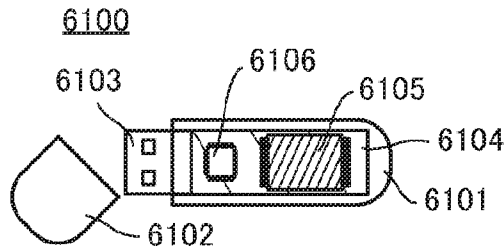


图 29B

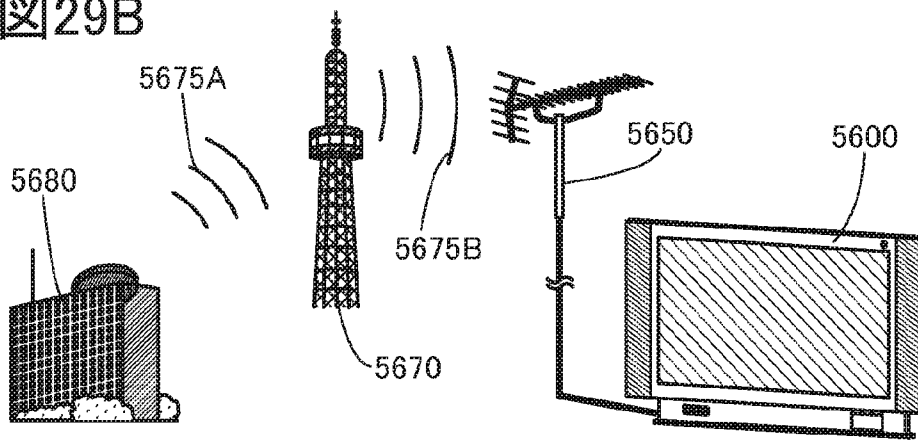
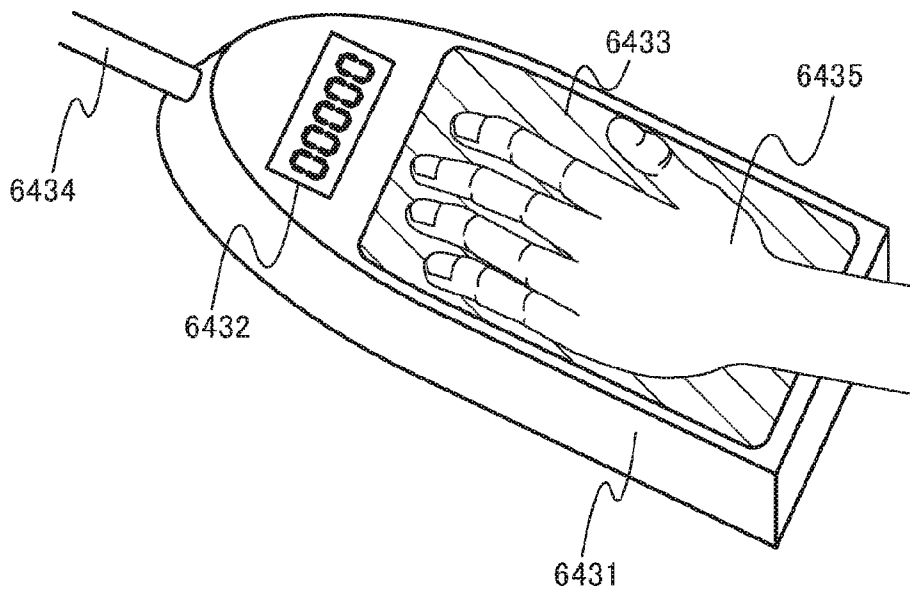


图 29C



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2021/056692

A. CLASSIFICATION OF SUBJECT MATTER		
Int.Cl. G06F12/00(2006.01)i, G06G7/60(2006.01)i, G06N3/063(2006.01)i, G11C5/04(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i FI: G06F12/00560F, G11C5/04220, G06G7/60, G06N3/063, H01L27/108671Z According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl. G06F12/00, G06G7/60, G06N3/063, G11C5/04, H01L21/8242, H01L27/108		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-57053 A (TOSHIBA MEMORY CORP.) 11 April 2019 (2019-04-11), paragraphs [0010]-[0027], fig. 1, 2	1-7
A	JP 2019-36280 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 07 March 2019 (2019-03-07), paragraphs [0054]-[0066], [0156]-[0178], [0188], [0189], fig. 2, 3, 13	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 September 2021		Date of mailing of the international search report 21 September 2021
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2021/056692

JP 2019-57053 A	11 April 2019	US 2019/0088339 A1 paragraphs [0016]-[0033], fig. 1, 2
JP 2019-36280 A	07 March 2019	(Family: none)

<p>A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 12/00(2006.01)i; G06G 7/60(2006.01)i; G06N 3/063(2006.01)i; G11C 5/04(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i FI: G06F12/00 560F; G11C5/04 220; G06G7/60; G06N3/063; H01L27/108 671Z</p>										
<p>B. 調査を行った分野</p>										
<p>調査を行った最小限資料（国際特許分類（IPC）） G06F12/00; G06G7/60; G06N3/063; G11C5/04; H01L21/8242; H01L27/108</p>										
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2021年									
日本国実用新案登録公報	1996 - 2021年									
日本国登録実用新案公報	1994 - 2021年									
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>										
<p>C. 関連すると認められる文献</p>										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2019-57053 A（東芝メモリ株式会社）11.04.2019（2019-04-11） 段落[0010]-[0027], 図1,2	1-7								
A	JP 2019-36280 A（株式会社半導体エネルギー研究所）07.03.2019（2019-03-07） 段落[0054]-[0066], [0156]-[0178], [0188]-[0189], 図2, 3, 13	1-7								
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>										
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p>	<p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>									
<p>国際調査を完了した日</p> <p>13. 09. 2021</p>	<p>国際調査報告の発送日</p> <p>21. 09. 2021</p>									
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>後藤 彰 5N 4226</p> <p>電話番号 03-3581-1101 内線 3586</p>									

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/IB2021/056692

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-57053 A	11.04.2019	US 2019/0088339 A1 段落[0016]-[0033], 図1,2	
JP 2019-36280 A	07.03.2019	(ファミリーなし)	