



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0148835
(43) 공개일자 2024년10월11일

- (51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)
- (52) CPC특허분류
H01L 27/14603 (2013.01)
H01L 27/1461 (2013.01)
- (21) 출원번호 10-2024-7026705
- (22) 출원일자(국제) 2023년02월14일
심사청구일자 없음
- (85) 번역문제출일자 2024년08월08일
- (86) 국제출원번호 PCT/JP2023/004902
- (87) 국제공개번호 WO 2023/157819
국제공개일자 2023년08월24일
- (30) 우선권주장
63/310,267 2022년02월15일 미국(US)

- (71) 출원인
소니 세미컨덕터 솔루션즈 가부시키키가이샤
일본국 가나가와켄 아즈기시 아사히쵸 4-14-1
- (72) 발명자
요네다 가즈히로
일본 2430014 가나가와켄 아즈기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤 내
- 다이초 아키라
일본 2430014 가나가와켄 아즈기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤 내
(뒷면에 계속)
- (74) 대리인
양영준, 김승식, 이중희

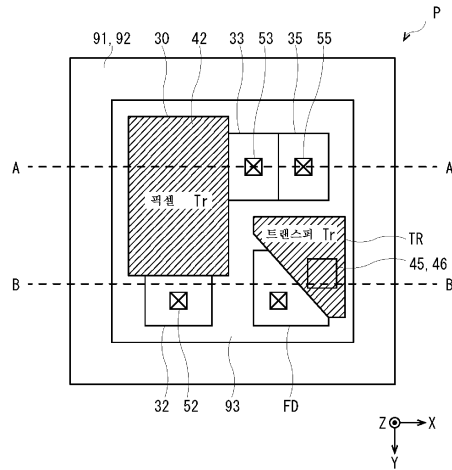
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 **광 검출 장치 및 전자 기기**

(57) 요약

본 개시의 일 실시 형태의 광 검출 장치는, 반도체층과, 상기 반도체층에 마련되는 광전 변환 소자를 갖는 제1 화소를 포함하는 복수의 화소와, 상기 반도체층에 있어서, 인접하는 복수의 상기 화소 사이에 마련되는 트렌치를 구비한다. 상기 제1 화소는, 상기 반도체층의 제1 면측에 마련되는 트랜지스터와, 상기 반도체층의 상기 제1 면측에 마련되는 제1 도전형의 제1 반도체 영역과, 상기 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함한다. 상기 제1 반도체 영역은, 상기 트랜지스터에 접하고 있다.

대표도 - 도5



(52) CPC특허분류

H01L 27/14612 (2013.01)

H01L 27/14621 (2013.01)

H01L 27/14625 (2013.01)

H01L 27/1463 (2013.01)

H01L 27/14636 (2013.01)

H01L 27/1464 (2013.01)

(72) 발명자

후쿠나가 히로시

일본 2430014 가나가와켄 아츠기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

오타케 유스케

일본 2430014 가나가와켄 아츠기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

엔도 스즈노리

일본 2430014 가나가와켄 아츠기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

나카자와 게이이치

일본 2430014 가나가와켄 아츠기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

오이시 히데토시

일본 2430014 가나가와켄 아츠기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

명세서

청구범위

청구항 1

반도체층과,

상기 반도체층에 마련되는 광전 변환 소자를 갖는 제1 화소를 포함하는 복수의 화소와,

상기 반도체층에 있어서, 인접하는 복수의 상기 화소 사이에 마련되는 트렌치

를 구비하고,

상기 제1 화소는, 상기 반도체층의 제1 면측에 마련되는 트랜지스터와, 상기 반도체층의 상기 제1 면측에 마련되는 제1 도전형의 제1 반도체 영역과, 상기 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함하고,

상기 제1 반도체 영역은, 상기 트랜지스터에 접하고 있는

광 검출 장치.

청구항 2

제1항에 있어서,

상기 트랜지스터는, 상기 반도체층에 마련된 제2 도전형의 소스 영역 및 드레인 영역을 갖고,

상기 제1 반도체 영역은, 상기 트랜지스터의 상기 소스 영역 또는 상기 드레인 영역에 접하고 있는, 광 검출 장치.

청구항 3

제2항에 있어서,

상기 제1 반도체 영역은, p형의 반도체 영역이고,

상기 소스 영역 및 상기 드레인 영역은, 각각 n형의 반도체 영역인, 광 검출 장치.

청구항 4

제1항에 있어서,

상기 트랜지스터는, 게이트 전극 및 게이트 절연막을 갖고,

상기 제1 반도체 영역은, 상기 트랜지스터의 상기 게이트 전극 및 상기 게이트 절연막의 적어도 한쪽에 인접하도록 마련되어 있는, 광 검출 장치.

청구항 5

제1항에 있어서,

상기 반도체층에 마련되는 상기 제1 도전형의 제1 웰을 갖고,

상기 제1 반도체 영역은, 상기 제1 웰에 마련되고,

상기 제1 콘택트는, 상기 제1 반도체 영역을 통해 상기 제1 웰과 전기적으로 접속되어 있는, 광 검출 장치.

청구항 6

제1항에 있어서,

상기 제1 반도체 영역의 일부와 접하고, 상기 트렌치의 내부에 마련되는 도체 영역을 갖고,

상기 제1 콘택트는, 상기 도체 영역 상에 마련되고, 상기 도체 영역을 통해 상기 제1 반도체 영역에 전기적으로

접속되어 있는, 광 검출 장치.

청구항 7

제6항에 있어서,

상기 도체 영역은, 상기 반도체층 내에 마련되어 있는, 광 검출 장치.

청구항 8

제1항에 있어서,

상기 복수의 화소는, 상기 제1 화소와 인접하는 제2 화소를 포함하고,

상기 제1 화소 및 상기 제2 화소는, 각각 상기 광전 변환 소자와, 플로팅 디퓨전과, 상기 트랜지스터와, 상기 제1 반도체 영역을 갖는, 광 검출 장치.

청구항 9

제8항에 있어서,

상기 제1 화소의 상기 제1 반도체 영역과 상기 제2 화소의 상기 제1 반도체 영역을 전기적으로 접속하는 도체 영역을 갖는, 광 검출 장치.

청구항 10

제8항에 있어서,

상기 제1 화소의 상기 플로팅 디퓨전과 상기 제2 화소의 상기 플로팅 디퓨전을 전기적으로 접속하는 제2 반도체 영역과,

상기 제2 반도체 영역에 전기적으로 접속되는 제2 콘택트를 갖는, 광 검출 장치.

청구항 11

제1항에 있어서,

상기 트랜지스터를 포함하고, 상기 광전 변환 소자로 광전 변환된 전하에 기초한 신호를 출력 가능한 읽어내기 회로를 갖는, 광 검출 장치.

청구항 12

제11항에 있어서,

상기 트랜지스터는, 증폭 트랜지스터, 선택 트랜지스터, 리셋 트랜지스터, 전환 트랜지스터 또는 더미 트랜지스터인, 광 검출 장치.

청구항 13

제1항에 있어서,

광이 입사하는 렌즈를 갖고,

상기 광전 변환 소자로서, 상기 렌즈를 투과한 광을 광전 변환하는 제1 광전 변환 소자와, 상기 제1 광전 변환 소자의 옆에 마련되고, 상기 렌즈를 투과한 광을 광전 변환하는 제2 광전 변환 소자를 갖는, 광 검출 장치.

청구항 14

제13항에 있어서,

상기 트랜지스터로서, 제1 트랜지스터와, 상기 제1 트랜지스터의 옆에 마련되는 제2 트랜지스터를 갖고,

상기 제1 반도체 영역은, 상기 제1 트랜지스터와 상기 제2 트랜지스터에 접하고 있는, 광 검출 장치.

청구항 15

제14항에 있어서,

상기 제1 트랜지스터는, 상기 제1 광전 변환 소자층에 마련되고, 제2 도전형의 소스 영역 및 드레인 영역을 갖고,

상기 제2 트랜지스터는, 상기 제2 광전 변환 소자층에 마련되고, 상기 제2 도전형의 소스 영역 및 드레인 영역을 갖고,

상기 제1 반도체 영역은, 상기 제1 트랜지스터의 상기 소스 영역 또는 상기 드레인 영역과, 상기 제2 트랜지스터의 상기 소스 영역 또는 상기 드레인 영역에 접하고 있는, 광 검출 장치.

청구항 16

제14항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는, 각각 게이트 전극 및 게이트 절연막을 갖고,

상기 제1 반도체 영역은, 상기 제1 트랜지스터의 상기 게이트 전극 및 상기 게이트 절연막의 적어도 한쪽과, 상기 제2 트랜지스터의 상기 게이트 전극 및 상기 게이트 절연막의 적어도 한쪽에 인접하도록 마련되어 있는, 광 검출 장치.

청구항 17

제16항에 있어서,

상기 제1 콘택트는, 상기 제1 트랜지스터의 소스 영역 또는 드레인 영역과, 상기 제2 트랜지스터의 소스 영역 또는 드레인 영역 사이에 마련되어 있는, 광 검출 장치.

청구항 18

제14항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터를 포함하고, 상기 제1 광전 변환 소자로 광전 변환된 전하에 기초한 신호와, 상기 제2 광전 변환 소자로 광전 변환된 전하에 기초한 신호를 출력 가능한 읽어내기 회로를 갖는, 광 검출 장치.

청구항 19

제13항에 있어서,

상기 렌즈는, 상기 반도체층의 제1 면과는 반대인 제2 면측에 마련되는, 광 검출 장치.

청구항 20

반도체층에 마련된 제1 화소와,

상기 제1 화소와 인접하는 화소를 분리하는 제1 영역과, 상기 제1 화소 내에 마련된 광전 변환 소자가 평면으로 보아 차단된 제2 영역을 갖는 트렌치

를 구비하고,

상기 제2 영역은, 상기 평면으로 보아 상기 제1 화소에 마련된 제1 플로팅 디퓨전 영역과 제2 플로팅 디퓨전 영역 사이에 제1 분리부를 갖고,

상기 제2 영역은, 상기 평면으로 보아 상기 제1 화소에 마련된 제1 트랜지스터와 제2 트랜지스터 사이에 제2 분리부를 갖고,

상기 제1 화소는, 제1 도전형의 제1 반도체 영역과, 상기 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함하고,

상기 평면으로 보아 상기 제1 분리부와 상기 제2 분리부 사이에 상기 제1 반도체 영역이 마련되고,

상기 제1 반도체 영역은, 상기 제1 트랜지스터와 상기 제2 트랜지스터에 접하고 있는,

광 검출 장치.

청구항 21

제20항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는, 게이트 전극 및 게이트 절연막을 갖고,

상기 제1 반도체 영역은, 상기 게이트 전극 및 상기 게이트 절연막의 적어도 한쪽에 인접하도록 마련되어 있는, 광 검출 장치.

청구항 22

제20항에 있어서,

상기 제1 반도체 영역은, 상기 평면으로 보아 상기 제1 트랜지스터 및 상기 제2 트랜지스터와 수평 방향으로 접하는 제1 부분과, 상기 제1 부분과 수직 방향으로 접하는 제2 부분을 갖는, 광 검출 장치.

청구항 23

제22항에 있어서,

상기 제1 콘택트는, 상기 제1 반도체 영역의 상기 제2 부분 위에 마련되어 있는, 광 검출 장치.

청구항 24

제22항에 있어서,

상기 제1 부분의 불순물 농도는, 상기 제2 부분의 불순물 농도보다 낮은, 광 검출 장치.

청구항 25

제20항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는, 상기 반도체층에 마련된 제2 도전형의 소스 영역 및 드레인 영역을 갖고,

상기 제1 반도체 영역은, 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 상기 소스 영역 또는 상기 드레인 영역에 접하고 있는, 광 검출 장치.

청구항 26

제25항에 있어서,

상기 제1 반도체 영역은, p형의 반도체 영역이고,

상기 소스 영역 및 상기 드레인 영역은, 각각 n형의 반도체 영역인, 광 검출 장치.

청구항 27

광학계와,

상기 광학계를 투과한 광을 수광하는 광 검출 장치

를 구비하고,

상기 광 검출 장치는,

반도체층과,

상기 반도체층에 마련되는 광전 변환 소자를 갖는 제1 화소를 포함하는 복수의 화소와,

상기 반도체층에 있어서, 인접하는 복수의 상기 화소 사이에 마련되는 트렌치

를 갖고,

상기 제1 화소는, 상기 반도체층의 제1 면측에 마련되는 트랜지스터와, 상기 반도체층의 상기 제1 면측에 마련

되는 제1 도전형의 제1 반도체 영역과, 상기 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함하고, 상기 제1 반도체 영역은, 상기 트랜지스터에 접하고 있는, 전자 기기.

청구항 28

광학계와,

상기 광학계를 투과한 광을 수광하는 광 검출 장치

를 구비하고,

상기 광 검출 장치는,

반도체층에 마련된 제1 화소와,

상기 제1 화소와 인접하는 화소를 분리하는 제1 영역과, 상기 제1 화소 내에 마련된 광전 변환 소자가 평면으로 보아 차단된 제2 영역을 갖는 트렌치

를 갖고,

상기 제2 영역은, 상기 평면으로 보아 상기 제1 화소에 마련된 제1 플로팅 디퓨전 영역과 제2 플로팅 디퓨전 영역 사이에 제1 분리부를 갖고,

상기 제2 영역은, 상기 평면으로 보아 상기 제1 화소에 마련된 제1 트랜지스터와 제2 트랜지스터 사이에 제2 분리부를 갖고,

상기 제1 화소는, 제1 도전형의 제1 반도체 영역과, 상기 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함하고,

상기 평면으로 보아 상기 제1 분리부와 상기 제2 분리부 사이에 상기 제1 반도체 영역이 마련되고,

상기 제1 반도체 영역은, 상기 제1 트랜지스터와 상기 제2 트랜지스터에 접하고 있는,

전자 기기.

발명의 설명

기술 분야

[0001] 본 개시는 광 검출 장치 및 전자 기기에 관한 것이다.

배경 기술

[0002] 화소마다 GND(그라운드) 콘택트를 갖고, 입사한 광을 광전 변환하는 장치가 제안되어 있다(특허문헌 1).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 국제 공개 제2019/220945호

발명의 내용

해결하려는 과제

[0004] 광을 검출하는 장치에서는, 미세화에 대응 가능한 것이 바람직하다.

[0005] 미세화에 유리한 광 검출 장치를 제공할 것이 요망된다.

[0006] 본 개시의 일 실시 형태의 광 검출 장치는 반도체층과, 반도체층에 마련되는 광전 변환 소자를 갖는 제1 화소를

포함하는 복수의 화소와, 반도체층에 있어서, 인접하는 복수의 화소 사이에 마련되는 트렌치를 구비한다. 제1 화소는 반도체층의 제1 면측에 마련되는 트랜지스터와, 반도체층의 제1 면측에 마련되는 제1 도전형의 제1 반도체 영역과, 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함한다. 제1 반도체 영역은 트랜지스터에 접하고 있다.

[0007] 본 개시의 일 실시 형태의 광 검출 장치는, 반도체층에 마련된 제1 화소와, 제1 화소와 인접하는 화소를 분리하는 제1 영역과, 제1 화소 내에 마련된 광전 변환 소자가 평면으로 보아 차단된 제2 영역을 갖는 트렌치를 구비한다. 제2 영역은 평면으로 보아 제1 화소에 마련된 제1 플로팅 디퓨전 영역과 제2 플로팅 디퓨전 영역 사이에 제1 분리부를 갖는다. 제2 영역은 평면으로 보아 제1 화소에 마련된 제1 트랜지스터와 제2 트랜지스터 사이에 제2 분리부를 갖는다. 제1 화소는, 제1 도전형의 제1 반도체 영역과, 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함한다. 평면으로 보아 제1 분리부와 제2 분리부 사이에 제1 반도체 영역이 마련된다. 제1 반도체 영역은, 제1 트랜지스터와 제2 트랜지스터에 접하고 있다.

[0008] 본 개시의 일 실시 형태의 전자 기기는, 광학계와, 광학계를 투과한 광을 수광하는 광 검출 장치를 구비한다. 광 검출 장치는, 반도체층과, 반도체층에 마련되는 광전 변환 소자를 갖는 제1 화소를 포함하는 복수의 화소와, 반도체층에 있어서, 인접하는 복수의 화소 사이에 마련되는 트렌치를 갖는다. 제1 화소는 반도체층의 제1 면측에 마련되는 트랜지스터와, 반도체층의 제1 면측에 마련되는 제1 도전형의 제1 반도체 영역과, 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함한다. 제1 반도체 영역은, 트랜지스터에 접하고 있다.

[0009] 본 개시의 일 실시 형태의 전자 기기는, 광학계와, 광학계를 투과한 광을 수광하는 광 검출 장치를 구비한다. 광 검출 장치는, 반도체층에 마련된 제1 화소와, 제1 화소와 인접하는 화소를 분리하는 제1 영역과, 제1 화소 내에 마련된 광전 변환 소자가 평면으로 보아 차단된 제2 영역을 갖는 트렌치를 구비한다. 제2 영역은, 평면으로 보아 제1 화소에 마련된 제1 플로팅 디퓨전 영역과 제2 플로팅 디퓨전 영역 사이에 제1 분리부를 갖는다. 제2 영역은, 평면으로 보아 제1 화소에 마련된 제1 트랜지스터와 제2 트랜지스터 사이에 제2 분리부를 갖는다. 제1 화소는, 제1 도전형의 제1 반도체 영역과, 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함한다. 평면으로 보아 제1 분리부와 제2 분리부 사이에 제1 반도체 영역이 마련된다. 제1 반도체 영역은, 제1 트랜지스터와 제2 트랜지스터에 접하고 있다.

도면의 간단한 설명

[0010] 도 1은 본 개시의 제1 실시 형태에 따른 광 검출 장치의 일레인 활상 장치의 개략 구성의 일례를 도시하는 블록도이다.

도 2는 본 개시의 제1 실시 형태에 따른 활상 장치의 화소의 배치 예를 도시하는 도면이다.

도 3은 본 개시의 제1 실시 형태에 따른 활상 장치의 화소의 회로 구성의 일례를 설명하기 위한 도면이다.

도 4a는 본 개시의 제1 실시 형태에 따른 활상 장치의 화소의 회로 구성의 다른 예를 설명하기 위한 도면이다.

도 4b는 본 개시의 제1 실시 형태에 따른 활상 장치의 화소의 회로 구성의 다른 예를 설명하기 위한 도면이다.

도 5는 본 개시의 제1 실시 형태에 따른 활상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다.

도 6은 본 개시의 제1 실시 형태에 따른 활상 장치의 화소의 단면 구성의 일례를 설명하기 위한 도면이다.

도 7은 본 개시의 제1 실시 형태에 따른 활상 장치의 화소의 단면 구성의 일례를 설명하기 위한 도면이다.

도 8은 본 개시의 제1 실시 형태에 따른 활상 장치의 화소 트랜지스터의 배치 예를 도시하는 도면이다.

도 9는 본 개시의 제1 실시 형태에 따른 활상 장치의 화소 트랜지스터의 다른 배치 예를 도시하는 도면이다.

도 10은 본 개시의 제1 실시 형태에 따른 활상 장치의 화소 트랜지스터의 다른 배치 예를 도시하는 도면이다.

도 11은 본 개시의 제1 실시 형태에 따른 활상 장치의 단면 구성의 일례를 도시하는 도면이다.

도 12는 본 개시의 변형예 1에 관한 활상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다.

도 13은 본 개시의 변형예 1에 관한 활상 장치의 화소의 단면 구성의 일례를 설명하기 위한 도면이다.

도 14는 본 개시의 변형예 1에 관한 활상 장치의 평면 구성의 일례를 설명하기 위한 도면이다.

도 15는 본 개시의 변형예 1에 관한 활상 장치의 단면 구성의 일례를 설명하기 위한 도면이다.

- 도 16은 본 개시의 변형예 1에 관한 촬상 장치의 화소의 단면 구성의 다른 예를 설명하기 위한 도면이다.
- 도 17은 본 개시의 변형예 1에 관한 촬상 장치의 화소의 단면 구성의 다른 예를 설명하기 위한 도면이다.
- 도 18은 본 개시의 변형예 2에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다.
- 도 19는 본 개시의 변형예 2에 관한 촬상 장치의 평면 구성의 일례를 설명하기 위한 도면이다.
- 도 20은 본 개시의 변형예 3에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다.
- 도 21은 본 개시의 변형예 3에 관한 촬상 장치의 화소의 단면 구성의 일례를 설명하기 위한 도면이다.
- 도 22는 본 개시의 변형예 3에 관한 촬상 장치의 화소의 평면 구성의 다른 예를 도시하는 도면이다.
- 도 23은 본 개시의 변형예 3에 관한 촬상 장치의 화소의 단면 구성의 다른 예를 설명하기 위한 도면이다.
- 도 24는 본 개시의 변형예 3에 관한 촬상 장치의 화소의 단면 구성의 다른 예를 설명하기 위한 도면이다.
- 도 25는 본 개시의 변형예 3에 관한 촬상 장치의 화소의 평면 구성의 다른 예를 도시하는 도면이다.
- 도 26은 본 개시의 변형예 3에 관한 촬상 장치의 화소의 단면 구성의 다른 예를 설명하기 위한 도면이다.
- 도 27은 본 개시의 변형예 3에 관한 촬상 장치의 화소의 단면 구성의 다른 예를 설명하기 위한 도면이다.
- 도 28은 본 개시의 변형예 4에 관한 촬상 장치의 화소 트랜지스터의 배치 예를 설명하기 위한 도면이다.
- 도 29는 본 개시의 변형예 4에 관한 촬상 장치의 화소 트랜지스터의 다른 배치 예를 설명하기 위한 도면이다.
- 도 30은 본 개시의 변형예 4에 관한 촬상 장치의 화소 트랜지스터의 다른 배치 예를 설명하기 위한 도면이다.
- 도 31은 본 개시의 변형예 4에 관한 촬상 장치의 화소 트랜지스터의 다른 배치 예를 설명하기 위한 도면이다.
- 도 32는 본 개시의 변형예 4에 관한 촬상 장치의 화소 트랜지스터의 다른 배치 예를 설명하기 위한 도면이다.
- 도 33은 본 개시의 변형예 4에 관한 촬상 장치의 화소 트랜지스터의 다른 배치 예를 설명하기 위한 도면이다.
- 도 34는 본 개시의 변형예 4에 관한 촬상 장치의 화소 트랜지스터의 다른 배치 예를 설명하기 위한 도면이다.
- 도 35는 본 개시의 변형예 4에 관한 촬상 장치의 화소 트랜지스터의 다른 배치 예를 설명하기 위한 도면이다.
- 도 36은 본 개시의 제2 실시 형태에 따른 촬상 장치의 화소의 배치 예를 도시하는 도면이다.
- 도 37은 본 개시의 제2 실시 형태에 따른 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다.
- 도 38은 본 개시의 제2 실시 형태에 따른 촬상 장치의 화소의 평면 구성의 다른 예를 도시하는 도면이다.
- 도 39는 본 개시의 변형예 5에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다.
- 도 40은 본 개시의 변형예 5에 관한 촬상 장치의 화소의 단면 구성의 일례를 설명하기 위한 도면이다.
- 도 41은 본 개시의 변형예 5에 관한 촬상 장치의 화소의 단면 구성의 다른 예를 설명하기 위한 도면이다.
- 도 42는 본 개시의 변형예 5에 관한 촬상 장치의 화소의 평면 구성의 다른 예를 설명하기 위한 도면이다.
- 도 43a는 본 개시의 변형예 6에 관한 촬상 장치의 화소의 구성예를 설명하기 위한 도면이다.
- 도 43b는 본 개시의 변형예 6에 관한 촬상 장치의 화소의 구성예를 설명하기 위한 도면이다.
- 도 44는 본 개시의 변형예 7에 관한 촬상 장치의 화소의 구성예를 설명하기 위한 도면이다.
- 도 45는 본 개시의 변형예 7에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다.
- 도 46은 본 개시의 변형예 8에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다.
- 도 47은 본 개시의 변형예 8에 관한 촬상 장치의 화소의 평면 구성의 다른 예를 도시하는 도면이다.
- 도 48은 본 개시의 변형예 9에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다.
- 도 49는 본 개시의 변형예 9에 관한 촬상 장치의 화소의 단면 구성의 일례를 설명하기 위한 도면이다.
- 도 50은 본 개시의 변형예 9에 관한 촬상 장치의 화소의 평면 구성의 다른 예를 설명하기 위한 도면이다.

- 도 51은 본 개시의 변형예 10에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다.
- 도 52는 본 개시의 변형예 10에 관한 촬상 장치의 화소의 평면 구성의 다른 예를 도시하는 도면이다.
- 도 53은 본 개시의 변형예 10에 관한 촬상 장치의 화소의 평면 구성의 다른 예를 도시하는 도면이다.
- 도 54는 촬상 장치를 갖는 전자 기기의 구성예를 나타내는 블록도이다.
- 도 55는 차량 제어 시스템의 개략적인 구성의 일례를 도시하는 블록도이다.
- 도 56은 차외 정보 검출부 및 촬상부의 설치 위치의 일례를 도시하는 설명도이다.
- 도 57은 내시경 수술 시스템의 개략적인 구성의 일례를 도시하는 도면이다.
- 도 58은 카메라 헤드 및 CCU의 기능 구성의 일례를 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 본 개시의 실시 형태에 대해서, 도면을 참조하여 상세히 설명한다. 또한, 설명은 이하의 순서로 행한다.
- [0012] 1. 제1 실시 형태
- [0013] 2. 제2 실시 형태
- [0014] 3. 적용예
- [0015] 4. 응용예
- [0016] <1. 제1 실시 형태>
- [0017] 도 1은 본 개시의 제1 실시 형태에 따른 광 검출 장치의 일례인 촬상 장치의 개략 구성의 일례를 도시하는 블록도이다. 광 검출 장치는 입사하는 광을 검출 가능한 장치이다. 광 검출 장치인 촬상 장치(1)는 광전 변환부(광전 변환 소자)를 갖는 복수의 화소 P를 갖고, 입사한 광을 광전 변환해서 신호를 생성하도록 구성된다. 촬상 장치(1)(광 검출 장치)는 광학 렌즈를 포함하는 광학계(도시하지 않음)를 투과한 광을 수광해서 신호를 생성할 수 있다.
- [0018] 촬상 장치(1)는, 예를 들어 복수의 화소 P가 마련된 반도체 기판(예를 들어 실리콘 기판)을 사용해서 구성된다. 촬상 장치(1)의 각 화소 P의 광전 변환부는, 예를 들어 포토다이오드(PD)이고, 광을 광전 변환 가능하도록 구성된다. 촬상 장치(1)는 복수의 화소 P가 행렬상으로 2차원 배치된 영역(화소부(100))을, 촬상 에어리어로서 갖는다. 화소부(100)는 복수의 화소 P가 배치되는 화소 어레이라고도 할 수 있다.
- [0019] 촬상 장치(1)는 광학 렌즈를 포함하는 광학계를 통하여, 피사체로부터의 입사광(상광(像光))을 도입한다. 촬상 장치(1)는 광학 렌즈에 의해 형성되는 피사체의 상을 촬상한다. 촬상 장치(1)는 수광한 광을 광전 변환해서 화소 신호를 생성할 수 있다. 촬상 장치(1)는, 예를 들어 CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서이다. 촬상 장치(1)는, 예를 들어 디지털 스틸 카메라, 비디오 카메라, 휴대 전화 등의 전자 기기에 이용 가능하다.
- [0020] 촬상 장치(1)는 도 1에 도시한 예와 같이, 화소부(100)(화소 어레이)의 주변 영역에, 예를 들어 화소 구동부(111), 신호 처리부(112), 제어부(113), 처리부(114) 등을 갖는다. 또한, 촬상 장치(1)에는, 복수의 제어선 L1과, 복수의 신호선 L2가 마련된다.
- [0021] 제어선 L1은 화소 P를 제어하는 신호를 전달하는 것이 가능한 신호선이고, 화소 구동부(111)와 화소부(100)의 화소 P에 접속된다. 도 1에 도시한 예에서는, 화소부(100)에서는, 수평 방향(행 방향)으로 배열되는 복수의 화소 P에 의해 구성되는 화소행마다, 복수의 제어선 L1이 배선된다. 제어선 L1은 화소 P로부터의 신호 읽어내기를 위한 제어 신호를 전송하도록 구성된다.
- [0022] 촬상 장치(1)의 화소행마다의 복수의 제어선 L1에는, 일례로서, 전송 트랜지스터를 제어하는 신호를 전송하는 배선, 선택 트랜지스터를 제어하는 신호를 전송하는 배선, 리셋 트랜지스터를 제어하는 신호를 전송하는 배선 등이 포함된다. 제어선 L1은 화소 P를 구동하는 신호를 전송하는 구동선(화소 구동선)이라고도 할 수 있다.
- [0023] 신호선 L2는, 화소 P로부터의 신호를 전달하는 것이 가능한 신호선이고, 화소부(100)의 화소 P와 신호 처리부(112)에 접속된다. 화소부(100)에는, 예를 들어 수직 방향(열 방향)으로 배열되는 복수의 화소 P에 의해 구성

되는 화소 열마다, 신호선 L2가 배선된다. 신호선 L2는 수직 신호선이고, 화소 P로부터 출력되는 신호를 전송 하도록 구성된다.

- [0024] 화소 구동부(111)는 화소부(100)의 각 화소 P를 구동 가능하도록 구성된다. 화소 구동부(111)는 구동 회로이며, 예를 들어 버퍼, 시프트 레지스터, 어드레스 디코더 등을 포함하는 복수의 회로에 의해 구성된다. 화소 구동부(111)는 화소 P를 구동하기 위한 신호를 생성하여, 제어선 L1을 통해 화소부(100)의 각 화소 P에 출력한다. 화소 구동부(111)는 제어부(113)에 의해 제어되고, 화소부(100)의 화소 P의 제어를 행한다.
- [0025] 화소 구동부(111)는, 예를 들어 화소 P의 전송 트랜지스터를 제어하는 신호, 선택 트랜지스터를 제어하는 신호 및 리셋 트랜지스터를 제어하는 신호 등의 화소 P를 제어하기 위한 신호를 생성하여, 제어선 L1에 의해 각 화소 P에 공급한다. 화소 구동부(111)는 각 화소 P로부터 화소 신호를 읽어내는 제어를 행할 수 있다. 화소 구동부(111)는 각 화소 P를 제어 가능하도록 구성된 화소 제어부라고도 할 수 있다. 또한, 화소 구동부(111)와 제어부(113)를 합쳐, 화소 제어부라고 할 수도 있다.
- [0026] 신호 처리부(112)는 입력되는 화소의 신호의 신호 처리를 실행 가능하도록 구성된다. 신호 처리부(112)는 신호 처리 회로이며, 예를 들어 부하 회로부, AD(Analog Digital) 변환부, 수평 선택 스위치 등을 갖는다. 또한, 신호 처리부(112)는 신호선 L2를 통해 화소 P로부터 읽어내지는 신호를 증폭하도록 구성된 증폭 회로부를 갖고 있어도 된다.
- [0027] 화소 구동부(111)에 의해 선택 주사된 각 화소 P로부터 출력되는 신호는, 신호선 L2를 통해 신호 처리부(112)에 입력된다. 신호 처리부(112)는, 예를 들어 화소 P의 신호의 AD 변환, CDS(Correlated Double Sampling: 상관 이중 샘플링) 등의 신호 처리를 행할 수 있다. 신호선 L2의 각각을 통해서 전송되는 각 화소 P의 신호는, 신호 처리부(112)에 의해 신호 처리가 실시되어, 처리부(114)에 출력된다.
- [0028] 처리부(114)는 입력되는 신호에 대하여 신호 처리를 실행 가능하도록 구성된다. 처리부(114)는 신호 처리 회로이며, 예를 들어 화소 신호에 대하여 각종 신호 처리를 실시하는 회로에 의해 구성된다. 처리부(114)는 프로세서 및 메모리를 포함하고 있어도 된다. 처리부(114)는 신호 처리부(112)로부터 입력되는 화소의 신호에 대하여 신호 처리를 행하여, 처리 후의 화소 신호를 출력한다. 처리부(114)는, 예를 들어 노이즈 저감 처리, 계조 보정 처리 등의 각종 신호 처리를 행할 수 있다.
- [0029] 제어부(113)는 촬상 장치(1)의 각 부를 제어 가능하도록 구성된다. 제어부(113)는 외부로부터 부여되는 클럭, 동작 모드를 지령하는 데이터 등을 수취하고, 또한 촬상 장치(1)의 내부 정보 등의 데이터를 출력할 수 있다. 제어부(113)는 제어 회로이며, 예를 들어 각종 타이밍 신호를 생성 가능하도록 구성된 타이밍 제너레이터를 갖는다.
- [0030] 제어부(113)는 타이밍 제너레이터에서 생성된 각종 타이밍 신호(펄스 신호, 클럭 신호 등)에 기초하여, 화소 구동부(111) 및 신호 처리부(112) 등의 구동 제어를 행한다. 또한, 제어부(113) 및 처리부(114)는, 일체적으로 구성되어 있어도 된다.
- [0031] 화소 구동부(111), 신호 처리부(112), 제어부(113), 처리부(114) 등은, 1개의 반도체 기판에 마련되어 있어도 되고, 복수의 반도체 기판에 나누어서 마련되어 있어도 된다. 촬상 장치(1)는 복수의 기판을 적층해서 구성된 구조(적층 구조)를 갖고 있어도 된다.
- [0032] 도 2는 제1 실시 형태에 따른 촬상 장치의 화소의 배치 예를 도시하는 도면이다. 촬상 장치(1)의 화소 P는, 광전 변환부(12)와, 렌즈(21)를 갖는다. 또한, 도 2에 도시한 바와 같이, 피사체로부터의 광의 입사 방향을 Z축 방향, Z축 방향에 직교하는 지면 좌우 방향을 X축 방향, Z축 방향 및 X축 방향에 직교하는 지면 상하 방향을 Y축 방향으로 한다. 이후의 도에 있어서, 도 2의 화살표 방향을 기준으로 해서 방향을 표기하는 경우도 있다.
- [0033] 렌즈(21)는 온 칩 렌즈라고도 불리는 광학 부재이다. 렌즈(21)는, 예를 들어 화소 P마다 또는 복수의 화소 P마다, 광전 변환부(12)의 상방에 마련된다. 렌즈(21)에는, 촬상 렌즈 등의 광학계를 통해 피사체로부터의 광이 입사한다. 광전 변환부(12)는 렌즈(21)를 통해 입사하는 광을 광전 변환한다.
- [0034] 또한, 화소 P는 필터(22)(후술하는 도 11도 참조)를 가질 수 있다. 필터(22)는 입사하는 광 중의 특정한 파장역의 광을 선택적으로 투과시키도록 구성된다. 필터(22)는, 예를 들어 RGB의 컬러 필터, 적외광을 투과시키는 필터 등이다.
- [0035] 촬상 장치(1)의 화소부(100)에 마련된 복수의 화소 P에는, 적(R)의 광을 투과시키는 필터(22)가 마련된 복수의 화소(R 화소)와, 녹(G)의 광을 투과시키는 필터(22)가 마련된 복수의 화소(G 화소)와, 청(B)의 광을 투과시키는

필터(22)가 마련된 복수의 화소(B 화소)가 포함된다. 화소부(100)에서는, 복수의 R 화소, 복수의 G 화소 및 복수의 B 화소가 반복해서 배치된다. R 화소, G 화소 및 B 화소는, 예를 들어 베이어 배열에 따라서 배치된다.

- [0036] 일례로서, R 화소, G 화소 및 B 화소는, 각각 2×2화소 단위로 배치될 수 있다. 예를 들어, 화소부(100)에서는, 인접하는 4개의 R 화소와, 인접하는 4개의 G 화소와, 인접하는 4개의 B 화소가 반복해서 배치된다. R 화소와 G 화소와 B 화소는, 각각 2행×2열로 주기적으로 배치된다고도 할 수 있다.
- [0037] R 화소, G 화소 및 B 화소는, 각각 R 성분의 화소 신호, G 성분의 화소 신호 및 B 성분의 화소 신호를 생성한다. 촬상 장치(1)는 RGB의 화소 신호를 얻을 수 있다. 또한, 화소의 배치는, 상술한 예에 한정되지 않고, 임의로 설정 가능하다.
- [0038] 화소부(100)의 화소 P에 마련되는 필터(22)는, 원색계(RGB)의 컬러 필터에 한정되지 않고, 예를 들어 Cy(시안), Mg(마젠타), Ye(옐로우) 등의 보색계의 컬러 필터여도 된다. W(화이트)에 대응한 필터, 즉 입사광의 전파장 영역의 광을 투과시키는 필터를 배치하도록 해도 된다.
- [0039] 또한, 촬상 장치(1)에서는, 필요에 따라, 필터(22)를 생략해도 된다. 예를 들어, 백(W)의 광을 수광해서 광전 변환을 행하는 화소 P에서는, 필터(22)를 마련하지 않아도 된다. 또한, 촬상 장치(1)의 일부 또는 전부 화소 P에 필터(22)를 마련하지 않아도 된다.
- [0040] 도 3은 제1 실시 형태에 따른 촬상 장치의 화소의 회로 구성의 일례를 설명하기 위한 도면이다. 촬상 장치(1)의 화소 P는, 광전 변환부(12)(광전 변환 소자)와, 전송 트랜지스터 TR과, 플로팅 디퓨전 FD와, 읽어내기 회로(20)를 갖는다. 광전 변환부(12)는 광을 수광해서 신호를 생성하도록 구성된다. 광전 변환부(12)는 수광부(수광 소자)이며, 광전 변환에 의해 전하를 생성 가능하도록 구성된다.
- [0041] 읽어내기 회로(20)는 광전 변환된 전하에 기초한 신호를 출력 가능하도록 구성된다. 촬상 장치(1)에서는, 읽어내기 회로(20)는 복수의 화소 P에 대하여 마련된다. 촬상 장치(1)는 복수의 화소 P가 1개의 읽어내기 회로(20)를 공유하는 구성을 갖는다. 이에 의해, 1개의 화소 P(또는 1개의 광전 변환부(12))당 소자수(예를 들어 트랜지스터수)를 저감하는 것이 가능해진다. 촬상 장치(1)는 화소의 미세화에 유리한 구조를 가질 수 있다.
- [0042] 도 3에 도시한 예에서는, 4개의 화소 P(화소 Pa 내지 화소 Pd라고 칭한다)마다, 읽어내기 회로(20)가 배치된다. 화소 Pa와 화소 Pb와 화소 Pc와 화소 Pd가, 1개의 읽어내기 회로(20)를 공유한다. 예를 들어, 인접하는 화소 Pa 내지 화소 Pd에 의해 구성되는 2×2화소가, 1개의 읽어내기 회로(20)를 공유한다. 촬상 장치(1)는 읽어내기 회로(20)를 시분할로 동작시킴으로써, 2×2화소의 각각의 화소 신호를 읽어낼 수 있다. 또한, 촬상 장치(1)는 2×2화소의 각각의 신호가 가산된 화소 신호를 읽어내는 것도 가능하다.
- [0043] 도 3에 도시한 예에서는, 광전 변환부(12)는 포토다이오드(PD)이고, 입사하는 광을 전하로 변환한다. 광전 변환부(12)(도 3에서는, 화소 Pa의 포토다이오드(PD) 내지 화소 Pd의 포토다이오드(PD))는 광전 변환을 행하여 수광량에 따른 전하를 생성한다.
- [0044] 전송 트랜지스터 TR(도 3에서는, 화소 Pa의 전송 트랜지스터 TR 내지 화소 Pd의 전송 트랜지스터 TR)는 광전 변환부(12)에서 광전 변환된 전하를 플로팅 디퓨전 FD에 전송 가능하도록 구성된다. 전송 트랜지스터 TR은 신호 STR에 의해 제어되고, 광전 변환부(12)와 플로팅 디퓨전 FD를 전기적으로 접속 또는 절단한다. 전송 트랜지스터 TR은 광전 변환부(12)에서 광전 변환되어 축적된 전하를 플로팅 디퓨전 FD에 전송할 수 있다.
- [0045] 도 3에 도시한 예에서는, 화소 Pa 내지 화소 Pd의 각각의 전송 트랜지스터 TR은 서로 상이한 신호에 의해 온/오프 제어된다. 화소 Pa의 전송 트랜지스터 TR은 신호 STR1에 의해 제어되고, 화소 Pb의 전송 트랜지스터 TR은 신호 STR2에 의해 제어된다. 또한, 화소 Pc의 전송 트랜지스터 TR은 신호 STR3에 의해 제어되고, 화소 Pd의 전송 트랜지스터 TR은 신호 STR4에 의해 제어된다.
- [0046] 플로팅 디퓨전 FD는 축적부이며, 전송된 전하를 축적 가능하도록 구성된다. 플로팅 디퓨전 FD는 광전 변환부(12)에서 광전 변환된 전하를 축적할 수 있다. 플로팅 디퓨전 FD는 전송된 전하를 보유 가능한 보유부라고도 할 수 있다. 플로팅 디퓨전 FD는 전송된 전하를 축적하고, 플로팅 디퓨전 FD의 용량에 따른 전압으로 변환한다.
- [0047] 읽어내기 회로(20)는, 일례로서, 도 3에 도시한 바와 같이, 증폭 트랜지스터 AMP와, 선택 트랜지스터 SEL과, 리셋 트랜지스터 RST를 갖는다. 증폭 트랜지스터 AMP는 플로팅 디퓨전 FD에 축적된 전하에 기초한 신호를 생성해서 출력하도록 구성된다. 도 3에 도시한 바와 같이, 증폭 트랜지스터 AMP의 게이트는, 각 화소 P의 플로팅 디

퓨전 FD와 전기적으로 접속되고, 플로팅 디퓨전 FD로 변환된 전압이 입력된다.

- [0048] 증폭 트랜지스터 AMP의 드레인은 전원 전압 VDD가 공급되는 전원선에 접속되고, 증폭 트랜지스터 AMP의 소스는, 선택 트랜지스터 SEL를 통해 신호선 L2에 접속된다. 증폭 트랜지스터 AMP는, 플로팅 디퓨전 FD에 축적된 전하에 기초한 신호, 즉 플로팅 디퓨전 FD의 전압에 기초한 신호를 생성하여, 신호선 L2로 출력할 수 있다.
- [0049] 선택 트랜지스터 SEL는 화소의 신호 출력을 제어 가능하도록 구성된다. 선택 트랜지스터 SEL는 신호 SSEL에 의해 제어되고, 증폭 트랜지스터 AMP로부터의 신호를 신호선 L2로 출력 가능하도록 구성된다. 선택 트랜지스터 SEL는 화소의 신호 출력 타이밍을 제어할 수 있다. 또한, 선택 트랜지스터 SEL는 전원 전압 VDD가 부여되는 전원선과 증폭 트랜지스터 AMP 사이에 마련되어도 된다. 또한, 필요에 따라, 선택 트랜지스터 SEL를 생략해도 된다.
- [0050] 리셋 트랜지스터 RST는 플로팅 디퓨전 FD의 전압을 리셋 가능하도록 구성된다. 도 3에 도시한 예에서는, 리셋 트랜지스터 RST는 전원 전압 VDD가 부여되는 전원선과 전기적으로 접속되고, 화소 P의 전하의 리셋을 행하도록 구성된다.
- [0051] 리셋 트랜지스터 RST는, 신호 SRST에 의해 제어되고, 플로팅 디퓨전 FD에 축적된 전하를 리셋하고, 플로팅 디퓨전 FD의 전압을 리셋할 수 있다. 또한, 리셋 트랜지스터 RST는, 전송 트랜지스터 TR을 통해, 광전 변환부(12)에 축적된 전하를 배출할 수 있다.
- [0052] 도 4a는 제1 실시 형태에 따른 촬상 장치의 화소의 회로 구성의 다른 예를 설명하기 위한 도면이다. 읽어내기 회로(20)는, 도 4a에 나타내는 예와 같이, 트랜지스터 FDG를 갖고 있어도 된다. 트랜지스터 FDG는, 일례로서, 플로팅 디퓨전 FD와, 리셋 트랜지스터 RST를 전기적으로 접속 가능하도록 구성된다. 예를 들어, 트랜지스터 FDG는, 신호 SFDG에 의해 제어되고, 플로팅 디퓨전 FD와 리셋 트랜지스터 RST를 전기적으로 접속 또는 절단한다.
- [0053] 트랜지스터 FDG가 온 상태가 됨으로써, 화소 P의 플로팅 디퓨전 FD에 부가되는 용량이 커지고, 전하를 전압으로 변환할 때의 변환 효율(게인)을 변경하는 것이 가능해진다. 트랜지스터 FDG는 증폭 트랜지스터 AMP의 게이트에 접속되는 용량을 전환하고, 변환 효율을 변경하는 전환 트랜지스터이다.
- [0054] 트랜지스터 FDG는 리셋 트랜지스터 RST에 직렬로 접속되어 있어도 되고, 리셋 트랜지스터 RST에 병렬로 접속되어 있어도 된다. 트랜지스터 FDG는, 도 4b에 나타내는 예와 같이, 플로팅 디퓨전 FD와, 용량 소자 C1을 전기적으로 접속 가능하도록 구성되어 있어도 된다. 예를 들어, 트랜지스터 FDG는, 신호 SFDG에 의해 제어되고, 플로팅 디퓨전 FD와 용량 소자 C1을 전기적으로 접속 또는 절단한다. 용량 소자 C1의 접속 상태를 전환함으로써, 변환 효율을 변경하는 것이 가능해진다.
- [0055] 상술한 전송 트랜지스터 TR과, 증폭 트랜지스터 AMP와, 선택 트랜지스터 SEL과, 트랜지스터 FDG(전환 트랜지스터)와, 리셋 트랜지스터 RST는, 각각 게이트, 소스, 드레인의 단자를 갖는 MOS 트랜지스터(MOSFET)이다.
- [0056] 도 3 및 도 4a, 도 4b에 나타내는 예에서는, 전송 트랜지스터 TR, 증폭 트랜지스터 AMP, 선택 트랜지스터 SEL, 트랜지스터 FDG 및 리셋 트랜지스터 RST는, 각각 NMOS 트랜지스터에 의해 구성된다. 또한, 화소 P의 트랜지스터는, PMOS 트랜지스터에 의해 구성되어도 된다. 화소 P의 트랜지스터(전송 트랜지스터 TR, 증폭 트랜지스터 AMP, 선택 트랜지스터 SEL, 트랜지스터 FDG, 리셋 트랜지스터 RST 등)는 3D 트랜지스터, 예를 들어 Fin형 트랜지스터(Fin FET)여도 된다.
- [0057] 화소 구동부(111)(도 1 참조)는 상술한 제어선 L1을 통해, 각 화소 P의 전송 트랜지스터 TR, 선택 트랜지스터 SEL, 트랜지스터 FDG, 리셋 트랜지스터 RST 등의 게이트에 제어 신호를 공급하고, 트랜지스터를 온 상태(도통 상태) 또는 오프 상태(비도통 상태)로 한다.
- [0058] 촬상 장치(1)의 복수의 제어선 L1에는, 전송 트랜지스터 TR을 제어하는 신호 STR를 전송하는 배선, 선택 트랜지스터 SEL를 제어하는 신호 SSEL을 전송하는 배선, 트랜지스터 FDG를 제어하는 신호 SFDG를 전송하는 배선, 리셋 트랜지스터 RST를 제어하는 신호 SRST를 전송하는 배선 등이 포함된다.
- [0059] 전송 트랜지스터 TR, 선택 트랜지스터 SEL, 트랜지스터 FDG, 리셋 트랜지스터 RST 등은, 화소 구동부(111)에 의해 온/오프 제어된다. 화소 구동부(111)는 각 화소 P의 읽어내기 회로(20)를 제어함으로써, 각 화소 P로부터 화소 신호를 신호선 L2로 출력시킨다. 화소 구동부(111)는 각 화소 P의 화소 신호를 신호선 L2에 읽어내는 제어를 행할 수 있다.

- [0060] 도 5는 제1 실시 형태에 따른 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다. 도 6 및 도 7은 촬상 장치의 화소의 단면 구성의 일례를 설명하기 위한 도면이다. 도 6은 도 5에 나타낸 A-A'선의 방향에 있어서의 화소의 구성예를 나타내고 있다. 또한, 도 7은 도 5에 나타낸 B-B' 선의 방향에 있어서의 화소의 구성예를 나타내고 있다.
- [0061] 촬상 장치(1)의 각 화소 P는, 예를 들어 도 5 내지 도 7에 도시한 구조를 갖는다. 화소 P는, 광전 변환부(12)와, 전송 트랜지스터 TR과, 플로팅 디퓨전 FD와, 화소 트랜지스터(30)와, 반도체 영역(35)을 갖는다. 화소 트랜지스터(30)는, 예를 들어 상술한 읽어내기 회로(20)의 트랜지스터이다.
- [0062] 화소 트랜지스터(30)는, 증폭 트랜지스터 AMP, 선택 트랜지스터 SEL, 트랜지스터 FDG, 또는 리셋 트랜지스터 RST 등으로서 사용된다. 또한, 일부의 화소 P의 화소 트랜지스터(30)는, 더미 트랜지스터여도 된다. 읽어내기 회로(20)는, 화소 트랜지스터(30)로서, 더미 트랜지스터를 포함하고 있어도 된다.
- [0063] 읽어내기 회로(20)의 증폭 트랜지스터 AMP, 선택 트랜지스터 SEL, 트랜지스터 FDG, 리셋 트랜지스터 RST 등의 각 트랜지스터는, 예를 들어 복수의 화소 P에 화소 트랜지스터(30)로서 나누어서 마련되고, 복수의 화소 P에서 공유된다. 이와 같이 촬상 장치(1)를 구성함으로써, 1개의 화소 P에 있어서의 트랜지스터의 수를 저감시키는 것이 가능해진다.
- [0064] 촬상 장치(1)는 반도체층(110)을 포함하는 기판(101)을 사용해서 구성된다. 기판(101)은, 예를 들어 반도체 기판, 예를 들어 Si(실리콘) 기판에 의해 구성된다. 반도체층(110)을 포함하는 기판(101)에는, 예를 들어 상술한 광전 변환부(12) 및 읽어내기 회로(20) 등이 형성된다.
- [0065] 또한, 기판(101)은 SOI(Silicon On Insulator) 기판, SiGe(실리콘게르마늄) 기판, 다른 화합물 반도체 재료 등을 사용해서 구성되어도 된다. 도 5 내지 도 7에 도시한 예에서는, 기판(101)은 반도체층(110) 및 배선층(120)을 포함하여 구성된다.
- [0066] 반도체층(110)은, 도 6 및 도 7에 도시한 바와 같이, 대향하는 제1 면(11S1) 및 제2 면(11S2)을 갖는다. 제2 면(11S2)은, 제1 면(11S1)과는 반대측의 면이다. 반도체층(110)의 제1 면(11S1)은, 트랜지스터 등의 소자가 형성되는 소자 형성면이다. 반도체층(110)의 제1 면(11S1)에는, 게이트 전극, 게이트 산화막 등이 마련된다. 반도체층(110)의 제2 면(11S2)은, 수광면(광 입사면)이다.
- [0067] 반도체층(110)에서는, 반도체층(110)의 제1 면(11S1) 및 제2 면(11S2)을 따라, 복수의 광전 변환부(12)(광전 변환 소자)가 마련된다. 반도체층(110)에는, 예를 들어 복수의 광전 변환부(12)가 매립되어 형성된다.
- [0068] 반도체층(110)은 도 6 및 도 7에 도시한 바와 같이, 웰(25)을 갖는다. 웰(25)은, 예를 들어 p형의 반도체 영역이고, p형의 웰(p웰)이다. 도 6 및 도 7에 도시한 예에서는, 반도체층(110)에는, p형의 웰 영역인 웰(25)이 마련된다. 광전 변환부(12)는, 웰(25) 내에 마련된 반도체 영역(15)을 포함하여 구성된다. 반도체 영역(15)은, 예를 들어 n형의 반도체 영역이다.
- [0069] 반도체층(110)의 제1 면(11S1) 측에는, 전송 트랜지스터 TR, 플로팅 디퓨전 FD, 화소 트랜지스터(30), 반도체 영역(35) 등이 마련된다. 플로팅 디퓨전 FD는 도 7에 도시한 바와 같이, 예를 들어 n형의 반도체 영역을 포함하여 구성된다.
- [0070] 촬상 장치(1)에는, 도 5 내지 도 7에 도시한 바와 같이, 트렌치(91) 및 트렌치(92)가 마련된다. 트렌치(91) 및 트렌치(92)는, 각각 반도체층(110)에 있어서, 인접하는 복수의 화소 P의 사이에 마련된다. 트렌치(91) 및 트렌치(92)는, 인접하는 복수의 화소 P의 각 광전 변환부(12) 사이에 마련되고, 화소 P(또는 광전 변환부(12)) 사이를 분리한다. 화소 P는, 트렌치(91) 및 트렌치(92)에 의해 구획된 구조를 갖는다고도 할 수 있다.
- [0071] 트렌치(91) 및 트렌치(92)는, 각각 분리부(홈부)이며, 예를 들어 절연 재료를 사용해서 구성된다. 트렌치(91) 및 트렌치(92)의 각각의 적어도 일부는, 인접하는 화소 P의 경계에 마련된다. 트렌치(91)는 STI(Shallow Trench Isolation) 구조를 갖고, 반도체층(110)의 제1 면(11S1) 측에 마련된다. 트렌치(92)는 FTI(Full Trench Isolation) 구조를 갖고, 반도체층(110)을 관통하도록 마련된다.
- [0072] 도 5 내지 도 7에 도시한 예에서는, 트렌치(91)은, 반도체층(110)에 있어서, 전송 트랜지스터 TR, 플로팅 디퓨전 FD, 화소 트랜지스터(30) 및 반도체 영역(35)등을 둘러싸도록 마련된다. 또한, 트렌치(92)는, 반도체층(110)에 있어서, 광전 변환부(12)를 둘러싸도록 마련된다. 트렌치(91) 및 트렌치(92)는, 평면으로 보아, 각 화소 P의 각각의 광전 변환부(12)를 둘러싸도록 격자상으로 마련된다. 트렌치(91) 및 트렌치(92)는, 화소간 분리

부 또는 화소간 분리벽이라고도 할 수 있다.

- [0073] 트렌치(91) 내 및 트렌치(92) 내에는, 일례로서, 산화막(예를 들어 실리콘 산화막), 질화막(예를 들어 실리콘 질화막) 등의 절연막(절연체)이 마련된다. 트렌치(91) 및 트렌치(92)에는, 폴리실리콘, 금속 재료 등이 매립되어 있어도 된다. 또한, 트렌치(91) 내 및 트렌치(92) 내에는, 공극(공동)이 마련되어 있어도 된다. 트렌치(92)는, 트렌치(91) 내에 형성되어 있어도 된다. 예를 들어, 트렌치(92)는, 반도체층(110)의 제1 면(11S1) 측에 마련된 트렌치(91) 내에서, 반도체층(110)의 제2 면(11S2)까지 마련되어 있어도 된다.
- [0074] 또한, 활상 장치(1)에는, 트렌치(93)가 마련된다. 트렌치(93)는, STI 구조를 갖는 분리부(홈부)이다. 트렌치(93) 내에는, 예를 들어 산화막(예를 들어 실리콘 산화막), 질화막(예를 들어 실리콘 질화막) 등의 절연막이 마련된다. 트렌치(93)는, 반도체층(110)의 제1 면(11S1) 측에 마련되고, 소자간을 분리한다. 트렌치(93)는 화소 트랜지스터(30)와 플로팅 디퓨전 FD 사이, 전송 트랜지스터 TR과 반도체 영역(35) 사이 등에 형성될 수 있다.
- [0075] 반도체 영역(35)은 반도체층(110)의 제1 면(11S1) 측에 마련된다. 반도체 영역(35)은 웰(25)과 같은 도전형의 반도체 영역이다. 반도체 영역(35)은 웰(25)에 마련되고, 웰(25)과 전기적으로 접속된다. 반도체 영역(35)은, 예를 들어 p형의 반도체 영역이고, p형의 불순물을 사용해서 형성되는 영역이다.
- [0076] 반도체 영역(35)은, 예를 들어 웰(25)의 불순물 농도보다 높은 불순물 농도를 갖고, p+형의 반도체 영역이 된다. p+영역인 반도체 영역(35)은 p+형의 확산 영역이고, p+형의 도전 영역이라고도 할 수 있다. 또한, 반도체 영역(35)은 배선층(120)에 마련된 콘택트(55)와 전기적으로 접속된다.
- [0077] 도 6에 도시한 예에서는, 반도체 영역(35)은 반도체 영역(35) 상에 마련된 콘택트(55)에 접속되고, 콘택트(55)를 통해 배선층(120)의 배선(도시하지 않음)과 전기적으로 접속된다. 콘택트(55)는 반도체 영역(35)에 의해 웰(25)과 전기적으로 접속된다.
- [0078] 콘택트(55)는, 예를 들어 반도체 영역(35)과 오믹 접속되고, 반도체 영역(35)을 통해 웰(25)에 전기적으로 접속된다. 반도체 영역(35)과 전기적으로 접속되는 웰(25)의 영역에는, 배선층(120)의 배선 및 콘택트(55) 등에 의해, 소정의 전위(전압)이 공급된다.
- [0079] 콘택트(55)는, 웰 콘택트이며, 반도체 영역(35)은 웰 콘택트 영역이다. 콘택트(55) 및 반도체 영역(35)은, 예를 들어 화소 P마다 배치된다. 또한, 반도체 영역(35)과 콘택트(55)를 합쳐, 웰 콘택트 영역이라고 할 수도 있다.
- [0080] 반도체 영역(35)은, 예를 들어 콘택트(55)를 통해 배선층(120) 내의 기준 전위선과 전기적으로 접속되고, 반도체 영역(35) 및 웰(25)에는, 기준 전위가 부여된다. 일례로서, 반도체 영역(35) 및 웰(25)에는, 콘택트(55)를 통해, GND 전위(접지 전위)가 부여된다.
- [0081] 화소 트랜지스터(30)는 반도체 영역(31)과, 반도체 영역(32)과, 반도체 영역(33)과, 게이트 절연막(41)과, 게이트 전극(42)을 갖는다. 반도체 영역(31) 내지 반도체 영역(33)은 각각 웰(25)에 마련된다. 웰(25)의 일부에 치환되어, 반도체 영역(32, 33) 등이 배치된다고도 할 수 있다. 반도체 영역(31)과, 반도체 영역(32)(또는 반도체 영역(33))은 서로 다른 도전형을 갖는다.
- [0082] 반도체 영역(31)은, 채널이 형성되는 영역(채널 영역)이다. 예를 들어, 반도체 영역(31)은, p형의 반도체 영역이고, p형의 불순물을 사용해서 형성된 영역이다. 반도체 영역(31)은, p형 확산 영역이고, p형의 도전 영역이라고도 할 수 있다.
- [0083] 반도체 영역(32) 및 반도체 영역(33)은, 화소 트랜지스터(30)의 소스 영역 및 드레인 영역이다. 반도체 영역(32, 33)의 한쪽은, 화소 트랜지스터(30)의 소스 영역이고, 반도체 영역(32, 33)의 다른 쪽은, 화소 트랜지스터(30)의 드레인 영역이다.
- [0084] 반도체 영역(32) 및 반도체 영역(33)은, 각각 예를 들어 n형의 반도체 영역이고, n형의 불순물을 사용해서 형성되는 영역이다. 반도체 영역(32) 및 반도체 영역(33)은, 예를 들어 반도체층(110)의 영역에, n형의 불순물이 도프(첨가)됨으로써 형성된다. 반도체 영역(32), 반도체 영역(33)은, 각각 n형 확산 영역이고, n형의 도전 영역이라고도 할 수 있다.
- [0085] 반도체 영역(32)은, 반도체 영역(32) 상에 마련된 콘택트(52)에 접속되고, 콘택트(52)를 통해 배선층(120)의 배선(도시하지 않음)과 전기적으로 접속된다. 반도체 영역(33)은, 반도체 영역(33) 상에 마련된 콘택트(53)에 접속되고, 콘택트(53)를 통해 배선층(120)의 배선과 전기적으로 접속된다.

- [0086] 화소 트랜지스터(30)의 게이트 전극(42) 주위에, 반도체 영역(32) 및 반도체 영역(33)이 배치된다. 반도체 영역(32, 33)을 갖는 화소 트랜지스터(30)는, 전송 트랜지스터 TR의 둘레의 영역에 형성된다. 도 5에 도시한 예에서는, 화소 트랜지스터(30)는, 평면으로 보아, L자상의 형상을 갖는다. 또한, 화소 트랜지스터(30)의 형상은, 도 5 등에 나타내는 예에 한정되지 않고, 적절히 변경 가능하다.
- [0087] 화소 트랜지스터(30)의 게이트 절연막(41)은, 반도체층(110)의 채널 영역(반도체 영역31) 상에 마련된다. 게이트 절연막(41)(예를 들어 게이트 산화막)은, 채널 영역인 반도체 영역(31)과 게이트 전극(42) 사이에 마련된다. 게이트 전극(42)은 게이트 절연막(41) 상에 마련된다. 게이트 전극(42)은 게이트 절연막(41)을 통해, 반도체층(110)의 반도체 영역(31)의 상방에 마련된다.
- [0088] 전송 트랜지스터 TR은 게이트 절연막(45) 및 게이트 전극(46)을 갖는다. 전송 트랜지스터 TR의 게이트 절연막(45) 및 게이트 전극(46)의 각각의 적어도 일부는, 반도체층(110) 내에 마련된다. 게이트 절연막(45)과 게이트 전극(46)의 각각의 적어도 일부는, 예를 들어 도 7 등에 나타내는 예와 같이, 반도체층(110)을 파 들어가 마련된다. 전송 트랜지스터 TR은 일례로서, 중형 게이트 구조를 갖는다. 전송 트랜지스터 TR은 중형 트랜지스터라고도 할 수 있다. 전송 트랜지스터 TR은 평면 게이트 구조를 갖고 있어도 된다. 전송 트랜지스터 TR은 플래너형의 트랜지스터여도 된다.
- [0089] 도 7에 도시한 예에서는, 전송 트랜지스터 TR의 게이트 전극(46)과 게이트 절연막(45)의 각각의 일부는, 예를 들어 반도체층(110)에 매립되도록 배치된다. 게이트 전극(46)은, 반도체층(110)에 있어서, 플로팅 디퓨전 FD와 트렌치(91) 사이에서, 광전 변환부(12)의 영역까지 마련될 수 있다. 게이트 절연막(45)은, 반도체층(110) 내에 있어서, 게이트 전극(46)을 따라 형성된다.
- [0090] 화소 트랜지스터(30)의 게이트 절연막(41)과, 전송 트랜지스터 TR의 게이트 절연막(45)은, 예를 들어 산화 실리콘(SiO), 산질화 실리콘(SiON), 산화하프늄(HfO) 등 중의 1종으로 이루어지는 단층막, 혹은 이들 중의 2종 이상으로 이루어지는 적층막에 의해 형성된다. 게이트 절연막(41, 45)은 하프늄계 절연막 등, 산화 실리콘의 유전율보다 높은 유전율을 갖는 고유전율 재료에 의해 구성될 수 있다.
- [0091] 화소 트랜지스터(30)의 게이트 전극(42)과, 전송 트랜지스터 TR의 게이트 전극(46)은, 예를 들어 폴리실리콘(Poly-Si)을 사용해서 구성된다. 게이트 전극(42, 46)은, 금속 재료 또는 금속 화합물을 사용해서 구성되어도 된다. 게이트 전극(42, 46)은, 예를 들어 질화티타늄(TiN), 질화탄탈(TaN), 텅스텐 등에 의해 구성되어도 된다.
- [0092] 콘택트(52), 콘택트(53) 및 콘택트(55)는, 각각 도전 재료를 사용해서 구성된다. 예를 들어, 콘택트(52, 53, 55)는, 각각 텅스텐(W) 등의 도전 재료를 콘택트 홀에 매립(충전)함으로써 형성된다. 또한, 콘택트(52, 53, 55)의 각각은, 알루미늄(Al), 구리(Cu) 등의 금속 재료에 의해 구성되어도 되고, 기타 재료를 사용해서 구성되어도 된다.
- [0093] 촬상 장치(1)에서는, 반도체 영역(35)은 화소 트랜지스터(30)에 접해서 마련된다. 반도체 영역(35)은, 예를 들어 화소 P에 있어서, 화소 트랜지스터(30)의 소스 영역 또는 드레인 영역에 접해서 배치된다. 도 5 내지 도 7 등에 나타내는 예에서는, 반도체 영역(35)은 반도체층(110)의 제1 면(11S1) 측에 있어서, 화소 트랜지스터(30)의 반도체 영역(33)에 접해서 배치된다.
- [0094] 또한, 본 개시에 있어서 「접한다」란, 직접 접하는 경우, 자연 산화막 등을 통해 접하는 경우를 포함한다. 「반도체 영역(35)과 반도체 영역(33)이 접하고 있다」란, 자연 산화막이 개재하고 있는 경우를 포함하고, 반도체 영역(35)이 얇은 자연 산화막을 통해 반도체 영역(33)에 접하고 있는 경우를 포함한다. 또한 「접한다」란, 반도체 영역 사이에 STI(Shallow Trench Isolation)로서 기능하는 절연막이나, 채널 스톱 영역으로서 기능하는 불순물 영역(반도체 영역(33)이나 반도체 영역(35)과는 다른 기능)이나 웰 영역이 없는 것을 나타낸다. 단, N형의 반도체 영역(33)과 P형의 반도체 영역(35)이 접하는 경우, 계면에는 PN 접합에 의해 공핍화된 층이 형성된다.
- [0095] 반도체 영역(35)은, 예를 들어 화소 트랜지스터(30)의 소스 영역 또는 드레인 영역인 반도체 영역(33)의 측면(측부)에 접해서 마련된다. 또한, 반도체 영역(35)은 반도체 영역(32)에 접해서 마련되어도 된다. 반도체 영역(35)은 화소 트랜지스터(30)의 게이트에 인접하도록 마련되어도 된다.
- [0096] 이와 같이, 본 실시 형태에서는, 반도체 영역(35)은 화소 트랜지스터(30)에 접해서 마련된다. 이 때문에, 촬상 장치(1)는 미세화에 유리한 구조를 가질 수 있다. 반도체 영역(35)과 화소 트랜지스터(30)가 이격되어 마련되

는 경우와 비교하여, 화소 P에 있어서 트랜지스터 등을 배치하는 영역의 면적을 증가시킬 수 있다. 화소 P에 배치하는 트랜지스터의 사이즈를 크게 하는 것이 가능해진다.

- [0097] 본 실시 형태에서는, 도 5에 도시한 예와 같이, 화소 트랜지스터(30)의 면적을 크게 하는 것이 가능해진다. 읽어들이기 회로(20)의 트랜지스터, 예를 들어 증폭 트랜지스터 AMP의 사이즈를 크게 할 수 있고, 화소의 신호에 혼입되는 노이즈를 억제하는 것이 가능해진다.
- [0098] 특히 미세 화소에 있어서의 면적 효율을 향상시킬 수 있고, 화소 트랜지스터(30)의 사이즈(예를 들어 게이트 길이, 게이트 폭 등)를 크게 할 수 있다. 이 때문에, 읽어들이기 회로(20)의 트랜지스터(증폭 트랜지스터 AMP, 선택 트랜지스터 SEL, 트랜지스터 FDG, 리셋 트랜지스터 RST 등)의 특성을 향상시키는 것이 가능해진다. 이에 의해, 화소 신호의 품질이 저하되는 것을 억제할 수 있고, 화상의 화질 저하를 억제하는 것이 가능해진다.
- [0099] 도 8은 제1 실시 형태에 따른 촬상 장치의 화소 트랜지스터의 배치 예를 도시하는 도면이다. 도 8에 있어서는, 읽어들이기 회로(20)를 공유하는 4개의 화소 P를 화소 Pa 내지 화소 Pd로서, 2×2화소를 도시하고 있다. 촬상 장치(1)에 있어서의 다른 복수의 화소 P도, 도 8에 도시한 구성과 마찬가지로 구성을 가질 수 있다.
- [0100] 도 8에 도시한 예에서는, 화소 Pa에는, 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP가 마련된다. 화소 Pb에는, 화소 트랜지스터(30)로서, 선택 트랜지스터 SEL이 마련된다. 화소 Pc에는, 화소 트랜지스터(30)로서, 리셋 트랜지스터 RST가 마련된다. 또한, 화소 Pd에는, 화소 트랜지스터(30)로서, 더미 트랜지스터가 마련된다.
- [0101] 촬상 장치(1)에서는, 예를 들어 도 8에 도시한 예와 같이, 배선 L3이 마련된다. 읽어들이기 회로(20)를 공유하는 복수의 화소 P의 각각의 플로팅 디퓨전 FD는 배선 L3을 통해, 읽어들이기 회로(20)의 트랜지스터에 전기적으로 접속된다. 도 8에 도시한 예에서는, 화소 Pa 내지 화소 Pd의 각각의 플로팅 디퓨전 FD는 배선 L3을 통해, 화소 Pa의 화소 트랜지스터(30)인 증폭 트랜지스터 AMP의 게이트 전극과 전기적으로 접속된다.
- [0102] 배선 L3은, 4개의 화소 Pa 내지 화소 Pd에서 공유되는 배선이 된다. 배선 L3은, 예를 들어 알루미늄(Al), 텅스텐(W) 등의 금속 재료를 사용해서 형성된다. 또한, 배선 L3은, 폴리실리콘(Poly-Si), 다른 도전 재료를 사용해서 구성되어도 된다.
- [0103] 도 9 및 도 10은 제1 실시 형태에 따른 촬상 장치의 화소 트랜지스터의 다른 배치 예를 도시하는 도면이다. 읽어들이기 회로(20)의 각 트랜지스터를, 도 9 또는 도 10에 도시한 바와 같이 배치해도 된다. 도 9에 도시한 예에서는, 읽어들이기 회로(20)는, 증폭 트랜지스터 AMP, 선택 트랜지스터 SEL, 리셋 트랜지스터 RST 및 트랜지스터 FDG를 갖는다.
- [0104] 도 9에 도시한 예에서는, 화소 Pa는, 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP를 갖는다. 화소 Pb는, 화소 트랜지스터(30)로서, 선택 트랜지스터 SEL를 갖는다. 화소 Pc는, 화소 트랜지스터(30)로서, 리셋 트랜지스터 RST를 갖는다. 또한, 화소 Pd는, 화소 트랜지스터(30)로서, 트랜지스터 FDG를 갖는다.
- [0105] 읽어들이기 회로(20)는, 서로 병렬 접속된 복수의 증폭 트랜지스터 AMP(도 10에서는, 증폭 트랜지스터 AMP1, 증폭 트랜지스터 AMP2)를 갖고 있어도 된다. 도 10에 도시한 예에서는, 화소 Pa에 증폭 트랜지스터 AMP1이 배치되고, 화소 Pb에 증폭 트랜지스터 AMP2가 배치된다. 읽어들이기 회로(20)는, 서로 병렬 접속된 증폭 트랜지스터 AMP1, AMP2에 의해 화소 신호를 생성해서 출력할 수 있다. 이 때문에, 화소 신호에 혼입되는 노이즈를 저감시키는 것이 가능해진다.
- [0106] 도 11은 제1 실시 형태에 따른 촬상 장치의 단면 구성의 일례를 도시하는 도면이다. 촬상 장치(1)는, 예를 들어 도 11에 도시한 바와 같이, 도광부(90)와, 반도체층(110)과, 배선층(120)이 Z축 방향으로 적층된 구성을 갖는다.
- [0107] 도 11에 도시한 예에서는, 반도체층(110)의 제1 면(11S1) 측에, 배선층(120)이 마련된다. 반도체층(110)의 제2 면(11S2) 측에는, 도광부(90)가 마련된다. 광학계로부터의 광이 입사하는 측에 도광부(90)가 마련되고, 광이 입사하는 측과는 반대측에 배선층(120)이 마련된다. 촬상 장치(1)는, 소위 이면 조사형의 촬상 장치이다.
- [0108] 배선층(120)은, 예를 들어 도체막 및 절연막을 포함하고, 복수의 배선 및 비아(VIA) 등을 갖는다. 배선층(120)은, 예를 들어 2층 이상의 배선을 포함한다. 배선층(120)은, 5층 이상의 배선을 포함하고 있어도 된다. 배선층(120)은, 복수의 배선이 절연막을 사이에 적층된 구성을 갖는다. 배선층(120)의 절연막은, 층간 절연막(층간 절연층)이라고도 할 수 있다.
- [0109] 배선층(120)의 배선은, 예를 들어 알루미늄(Al), 구리(Cu), 텅스텐(W) 등의 금속 재료를 사용해서 형성된다.

배선층(120)의 배선은, 폴리실리콘(Poly-Si), 기타 도전 재료를 사용해서 구성되어도 된다. 층간 절연막은, 예를 들어 산화 실리콘(SiO₂), 질화 실리콘(SiN), 산질화 실리콘(SiON) 등을 사용해서 형성된다.

- [0110] 반도체층(110) 및 배선층(120)에는, 예를 들어 상술한 바와 같이, 광전 변환부(12), 읽어내기 회로(20) 등이 마련된다. 또한, 상술한 화소 구동부(111), 신호 처리부(112), 제어부(113) 및 처리부(114) 등은, 반도체층(110)과는 다른 기판, 또는, 반도체층(110) 및 배선층(120)에 마련될 수 있다.
- [0111] 트렌치(91) 및 트렌치(92)는, 인접하는 광전 변환부(12) 사이에 마련되고, 광전 변환부(12) 사이를 분리한다. 트렌치(91) 및 트렌치(92)는, 반도체층(110)에 있어서 광전 변환부(12)를 둘러싸도록 마련된다. 트렌치(91) 및 트렌치(92)는, 도 8 등에 나타내는 바와 같이, 평면으로 보아 격자상으로 형성되고, 복수의 광전 변환부(12)의 각각을 둘러싸도록 배치된다.
- [0112] 도 11에 도시한 도광부(90)는, 반도체층(110)의 제2 면(11S2)과 직교하는 두께 방향에 있어서, 반도체층(110)에 적층된다. 도광부(90)는 렌즈(21)와 필터(22)를 갖고, 입사하는 광을 반도체층(110) 측으로 유도한다.
- [0113] 렌즈(21)는, 예를 들어 화소 P마다 또는 복수의 화소 P마다, 필터(22) 상에 마련된다. 렌즈(21)에는, 촬상 렌즈 등의 광학계를 통해 피사체로부터의 광이 입사한다. 광전 변환부(12)는 렌즈(21) 및 필터(22)를 통해 입사하는 광을 광전 변환한다.
- [0114] 촬상 장치(1)에는, 도 11에 도시한 바와 같이, 차광부(23)가 마련된다. 차광부(23)(차광막)는, 광을 차단하는 부재에 의해 구성되고, 인접하는 복수의 화소 P의 경계에 마련된다. 차광부(23)(차광 부재)는, 예를 들어 인접하는 필터(22) 사이에 마련되고, 인접하는 필터(22)의 경계에 위치할 수 있다.
- [0115] 차광부(23)는, 예를 들어 광을 차광하는 금속 재료(알루미늄(Al), 텅스텐(W), 구리(Cu) 등)에 의해 구성된다. 차광부(23)는 광을 흡수하는 재료에 의해 구성되어도 된다. 차광부(23)가 마련됨으로써, 주위의 화소 P에 광이 누설되는 것이 억제된다. 불필요한 광이 주위에 누설되는 것을 억제하여, 혼색이 발생하는 것을 억제할 수 있다.
- [0116] 또한, 촬상 장치(1)는 반사 방지막 및 고정 전하막을 갖고 있어도 된다. 고정 전하막은, 예를 들어 반도체층(110)과 필터(22) 사이에 마련된다. 고정 전하막은, 일례로서, 금속 화합물(금속 산화물, 금속 질화물 등)에 의해 구성된다. 고정 전하막은, 예를 들어 부의 고정 전하를 갖는 막이며, 반도체층(110)의 계면에 있어서의 암전류의 발생을 억제한다.
- [0117] 반사 방지막은, 예를 들어 질화 실리콘(SiN), 산화 실리콘(SiO₂) 등의 절연 재료를 사용해서 구성된다. 반사 방지막은, 예를 들어 반도체층(110)과 필터(22) 사이에 마련되고, 반사를 저감(억제)한다.
- [0118] [작용·효과]
- [0119] 본 실시 형태에 따른 광 검출 장치는, 반도체층(반도체층(110))과, 반도체층에 마련되는 광전 변환 소자(광전 변환부(12))를 갖는 제1 화소(예를 들어 화소 Pa)을 포함하는 복수의 화소와, 반도체층에 있어서, 인접하는 복수의 화소 사이에 마련되는 트렌치(트렌치(91), 트렌치(92))를 구비한다. 제1 화소는 반도체층의 제1 면측에 마련되는 트랜지스터(화소 트랜지스터(30))와, 반도체층의 제1 면측에 마련되는 제1 도전형의 제1 반도체 영역(반도체 영역(35))과, 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트(콘택트(55))를 포함한다. 제1 반도체 영역은 트랜지스터에 접하고 있다.
- [0120] 본 실시 형태에 따른 광 검출 장치(촬상 장치(1))에서는, 반도체 영역(35)은 화소 트랜지스터(30)에 접하고 있다. 반도체 영역(35)은 화소 트랜지스터(30)의 소스 영역 또는 드레인 영역인 반도체 영역(33)에 접해서 마련된다. 이 때문에, 촬상 장치(1)는 화소의 미세화에 유리한 구조를 가질 수 있다. 화소 트랜지스터의 사이즈를 크게 할 수 있고, 화소 트랜지스터의 특성을 향상시키는 것이 가능해진다. 미세화에 유리한 광 검출 장치를 실현하는 것이 가능해진다.
- [0121] 이어서, 본 개시의 변형예에 대해서 설명한다. 이하에서는, 상기 실시 형태와 마찬가지로 구성 요소에 대해서는 동일한 부호를 붙이고, 적절히 설명을 생략한다.
- [0122] (1-1. 변형예 1)
- [0123] 도 12는 본 개시의 변형예 1에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다. 도 13은 촬상 장치의 화소의 단면 구성의 일례를 설명하기 위한 도면이다. 도 13은 도 12에 나타낸 A-A'선의 방향에 있어서의 화소의 구성예를 모식적으로 도시하고 있다.

- [0124] 본 변형예에 관한 촬상 장치(1)에서는, 도 12 및 도 13에 도시한 바와 같이, 도체 영역(36)이 마련된다. 도체 영역(36)은, 반도체 영역(35)의 주위에 마련된다. 도체 영역(36)의 적어도 일부는, 반도체 영역(35)에 접해서 마련된다. 도체 영역(36)은, 반도체층(110)의 제1 면(11S1) 측에 있어서, 반도체 영역(35)에 인접해서 형성된다. 도 13에 도시한 예에서는, 도체 영역(36)은 트렌치(91, 92) 내부의 상방에 위치하고 있다.
- [0125] 도체 영역(36)은, 예를 들어 불순물이 도프(첨가)된 폴리실리콘에 의해 구성된다. 또한, 도체 영역(36)(도전부)은 다른 도전 재료(예를 들어 금속 재료 등)를 사용해서 구성되어도 된다. 도체 영역(36)은, 예를 들어 웰(25)의 불순물 농도보다 높은 불순물 농도를 갖고 있다.
- [0126] 콘택트(55)는, 도체 영역(36) 상에 마련된다. 콘택트(55)는, 도체 영역(36)을 통해, 반도체 영역(35) 및 웰(25)에 전기적으로 접속된다. 본 변형예에 관한 촬상 장치(1)에서는, 도체 영역(36)을 통해, 웰(25) 내에 마련된 반도체 영역(35)과 콘택트(55)가 전기적으로 접속된다. 이 때문에, 콘택트(55)와 전기적으로 접속하기 위해서 필요한 반도체 영역(35)의 불순물 농도를 저감하는 것이 가능해진다.
- [0127] 반도체 영역(35)의 불순물 농도를 저감함으로써, 반도체 영역(35)과 화소 트랜지스터(30)의 소스 영역 또는 드레인 영역(도 13에서는 반도체 영역(33)) 사이에 있어서의 전계(전위 구배)를 작게 하는 것이 가능해진다. 이 때문에, 화소 트랜지스터(30)에 결함이 발생하는 것을 억제할 수 있다. 화소 신호에 혼입되는 노이즈가 증대하는 것을 방지하는 것이 가능해진다.
- [0128] 도 14는 변형예 1에 관한 촬상 장치의 평면 구성의 일례를 도시하는 도면이다. 도 15는 촬상 장치의 단면 구성의 일례를 설명하기 위한 도면이다. 도 14 및 도 15에 도시한 예와 같이, 도체 영역(36)을 마련하도록 해도 된다. 도체 영역(36)의 적어도 일부는, 인접하는 복수의 화소 P의 경계에 마련된다.
- [0129] 인접하는 복수의 화소 P의 각각의 반도체 영역(33)은, 공통의 도체 영역(36)을 통해, 콘택트(55)에 전기적으로 접속된다. 도체 영역(36)은, 상술한 바와 같이, 반도체층(110) 내에 마련된다. 도 13, 도 15 등에 나타내는 예에서는, 도체 영역(36)은, 트렌치(91) 내의 상방에 배치된다. 이 때문에, 촬상 장치(1)에 있어서 불필요한 기생 용량이 발생하는 것을 방지하는 것이 가능해진다. 예를 들어, 읽어내기 회로(20)의 트랜지스터에, 불필요한 기생 용량이 부가되는 것을 회피하는 것이 가능해진다.
- [0130] 도 16 및 도 17은 변형예 1에 관한 촬상 장치의 화소의 단면 구성의 다른 예를 설명하기 위한 도면이다. 도 16에 도시한 바와 같이, 도체 영역(36)을, 반도체층(110)의 제1 면(11S1) 상에 마련하도록 해도 된다. 도 16에 도시한 예에서는, 도체 영역(36)은 배선층(120) 내에 마련된다. 또한, 도 17에 도시한 예와 같이, 도체 영역(36)의 일부가, 반도체층(110) 내에 마련되어 있어도 된다. 도체 영역(36)의 일부가, 트렌치(91) 내에 형성되어 있어도 된다.
- [0131] (1-2. 변형예 2)
- [0132] 도 18은 변형예 2에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다. 도 19는 변형예 2에 관한 촬상 장치의 평면 구성의 일례를 설명하기 위한 도면이다. 촬상 장치(1)는 도 18 및 도 19에 도시한 바와 같이, 반도체 영역(37)을 갖고 있어도 된다. 반도체 영역(37)은 반도체층(110)에 있어서, 플로팅 디퓨전 FD의 주위에 마련된다.
- [0133] 반도체 영역(37)은, 일례로서, 불순물이 도프된 폴리실리콘에 의해 구성된다. 또한, 반도체 영역(37)은 다른 도전 재료를 사용해서 구성되어도 된다. 반도체 영역(37)의 적어도 일부는, 플로팅 디퓨전 FD에 접해서 마련된다.
- [0134] 읽어내기 회로(20)를 공유하는 복수의 화소 P(도 19에서는 화소 Pa 내지 화소 Pd)의 각각의 플로팅 디퓨전 FD는 반도체 영역(37)을 통해, 서로 전기적으로 접속된다. 화소 Pa 내지 화소 Pd의 각각의 플로팅 디퓨전 FD는 반도체 영역(37)을 통해, 읽어내기 회로(20)의 증폭 트랜지스터 AMP, 리셋 트랜지스터 RST 등과 전기적으로 접속된다.
- [0135] (1-3. 변형예 3)
- [0136] 도 20은 변형예 3에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다. 도 21은 촬상 장치의 화소의 단면 구성의 일례를 설명하기 위한 도면이다. 도 21은 도 20에 나타난 A-A'선의 방향에 있어서의 화소의 구성예를 모식적으로 도시하고 있다.
- [0137] 반도체 영역(35)은 화소 P에 있어서, 화소 트랜지스터(30)의 게이트 전극(42) 및 게이트 절연막(41)의 적어도

한쪽에 인접하도록 마련되어도 된다. 도 20 및 도 21에 나타내는 예에서는, 반도체 영역(35)은 반도체층(110)의 제1 면(11S1) 측에 있어서, 화소 트랜지스터(30)의 게이트 절연막(41) 및 게이트 전극(42)에 인접하도록 배치된다. 또한, 본 개시에 있어서 「인접한다」란, 접하고 있지 않은 경우를 포함한다. 「인접한다」란, 직접 접하고 있는 경우, 자연 산화막 등을 통해 인접하고 있는 경우를 포함한다.

[0138] 본 변형예의 경우에도, 활상 장치(1)는 미세화에 유리한 구조를 가질 수 있다. 반도체 영역(35)과 화소 트랜지스터(30)가 이격되어 배치되는 경우와 비교하여, 화소 P에 있어서 트랜지스터 등을 배치하는 영역의 면적을 증가시킬 수 있다. 화소 P에 배치하는 화소 트랜지스터(30)의 사이즈를 크게 할 수 있고, 읽어내기 회로(20)의 증폭 트랜지스터 AMP 등의 특성을 향상시키는 것이 가능해진다.

[0139] 도 22는 변형예 3에 관한 활상 장치의 화소의 평면 구성의 다른 예를 도시하는 도면이다. 도 23 및 도 24는, 활상 장치의 화소의 단면 구성의 다른 예를 설명하기 위한 도면이다. 도 23 및 도 24는, 각각 도 22에 나타낸 A-A'선의 방향에 있어서의 화소의 구성예를 모식적으로 도시하고 있다. 활상 장치(1)는 도 22 및 도 23에 나타내는 바와 같이, 콘택트(55)와 반도체 영역(35)을 전기적으로 접속하는 도체 영역(36)을 갖고 있어도 된다. 또한, 도체 영역(36)은, 도 24에 나타내는 예와 같이, 반도체층(110) 상에 형성되어도 된다. 도체 영역(36)의 일부를, 반도체층(110) 내에 마련하도록 해도 된다.

[0140] 도 25는 변형예 3에 관한 활상 장치의 화소의 평면 구성의 다른 예를 도시하는 도면이다. 도 26 및 도 27은 활상 장치의 화소의 단면 구성의 다른 예를 설명하기 위한 도면이다. 도 26 및 도 27은 각각 도 25에 나타낸 A-A'선의 방향에 있어서의 화소의 구성예를 모식적으로 도시하고 있다. 활상 장치(1)는 도 25 및 도 26에 나타내는 바와 같이, 복수의 화소 P의 각각의 플로팅 디퓨전 FD를 전기적으로 접속하는 반도체 영역(37)을 갖고 있어도 된다. 또한, 반도체 영역(37)은, 도 27에 나타내는 예와 같이, 반도체층(110) 상에 형성되어도 된다. 반도체 영역(37)의 일부는, 반도체층(110) 내에 마련되어도 된다.

[0141] (1-4. 변형예 4)

[0142] 상술한 실시 형태에서는, 화소 P의 트랜지스터의 배치 예에 대해서 설명했지만, 트랜지스터의 배치는 상술한 예에 제한하지 않는다. 또한, 읽어내기 회로(20)의 구성은, 상술한 예에 한정되지 않고, 적절히 변경 가능하다.

[0143] 도 28 내지 도 35는, 변형예 4에 관한 활상 장치의 화소 트랜지스터의 배치 예를 설명하기 위한 도면이다. 도 28 내지 도 35는, 2×4 화소가 1개의 읽어내기 회로(20)를 공유하는 경우의 예를 나타내고 있다. 도 28 내지 도 35에 있어서는, 읽어내기 회로(20)를 공유하는 8개의 화소 P를 화소 Pa 내지 화소 Ph로서, 2×4 화소를 도시하고 있다.

[0144] 읽어내기 회로(20)는, 서로 병렬 접속된 복수의 증폭 트랜지스터 AMP(증폭 트랜지스터 AMP1 내지 증폭 트랜지스터 AMP6 등)를 갖고 있어도 된다. 또한, 읽어내기 회로(20)는, 서로 병렬 접속된 복수의 선택 트랜지스터 SEL(예를 들어 선택 트랜지스터 SEL1, 선택 트랜지스터 SEL2)을 갖고 있어도 된다.

[0145] 예를 들어, 도 28에 나타내는 예에서는, 화소 Pa에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP1이 마련된다. 화소 Pb에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP2가 마련된다. 화소 Pc에는 화소 트랜지스터(30)로서, 리셋 트랜지스터 RST가 마련된다. 또한, 화소 Pd에는 화소 트랜지스터(30)로서, 선택 트랜지스터 SEL이 마련된다.

[0146] 또한, 도 28에 나타내는 예에서는, 화소 Pe에는 화소 트랜지스터(30)로서, 트랜지스터 FDG가 마련된다. 화소 Pf 내지 화소 Ph에는, 각각 화소 트랜지스터(30)로서, 더미 트랜지스터가 마련된다.

[0147] 도 29에 나타내는 예에서는, 화소 Pa에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP1이 마련된다. 화소 Pb에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP2가 마련된다. 화소 Pc에는 화소 트랜지스터(30)로서, 선택 트랜지스터 SEL1이 마련된다. 또한, 화소 Pd에는 화소 트랜지스터(30)로서, 선택 트랜지스터 SEL2가 마련된다.

[0148] 또한, 도 29에 나타내는 예에서는, 화소 Pe, Pg, Ph에는 각각 화소 트랜지스터(30)로서, 더미 트랜지스터가 마련된다. 화소 Pf에는 화소 트랜지스터(30)로서, 리셋 트랜지스터 RST가 마련된다.

[0149] 도 30에 나타내는 예에서는, 화소 Pe에는 화소 트랜지스터(30)로서, 트랜지스터 FDG가 마련된다. 화소 Pf에는 화소 트랜지스터(30)로서, 리셋 트랜지스터 RST가 마련된다. 화소 Pg 및 화소 Ph에는 각각 화소 트랜지스터(30)로서, 더미 트랜지스터가 마련된다.

- [0150] 도 31에 나타내는 예에서는, 화소 Pe에는 화소 트랜지스터(30)로서, 선택 트랜지스터 SEL3이 마련된다. 화소 Pf에는 화소 트랜지스터(30)로서, 리셋 트랜지스터 RST가 마련된다. 화소 Pg에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP3이 마련된다. 화소 Ph에는 화소 트랜지스터(30)로서, 더미 트랜지스터가 마련된다. 또한, 도 32에 나타내는 바와 같이, 화소 Ph의 화소 트랜지스터(30)로서, 트랜지스터 FDG를 배치해도 된다.
- [0151] 도 33에 나타내는 예에서는, 화소 Pa에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP1이 마련된다. 화소 Pb에는 화소 트랜지스터(30)로서, 선택 트랜지스터 SEL1이 마련된다. 화소 Pc에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP2가 마련된다. 또한, 화소 Pd에는 화소 트랜지스터(30)로서, 더미 트랜지스터가 마련된다.
- [0152] 또한, 도 33에 나타내는 예에서는, 화소 Pe에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP3이 마련된다. 화소 Pf에는 화소 트랜지스터(30)로서, 리셋 트랜지스터 RST가 마련된다. 화소 Pg에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP4가 마련된다. 화소 Ph에는 화소 트랜지스터(30)로서, 선택 트랜지스터 SEL2가 마련된다. 또한, 도 34에 나타내는 바와 같이, 화소 Pd의 화소 트랜지스터(30)로서, 트랜지스터 FDG를 배치해도 된다.
- [0153] 도 35에 나타내는 예에서는, 화소 Pa에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP1이 마련된다. 화소 Pb에는 화소 트랜지스터(30)로서, 선택 트랜지스터 SEL이 마련된다. 화소 Pc에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP2가 마련된다. 또한, 화소 Pd에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP5가 마련된다.
- [0154] 또한, 도 35에 나타내는 예에서는, 화소 Pe에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP3이 마련된다. 화소 Pf에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP6이 마련된다. 또한, 화소 Pg에는 화소 트랜지스터(30)로서, 증폭 트랜지스터 AMP4가 마련된다. 화소 Ph에는 화소 트랜지스터(30)로서, 리셋 트랜지스터 RST가 마련된다.
- [0155] <2. 제2 실시 형태>
- [0156] 이어서, 본 개시의 제2 실시 형태에 대해서 설명한다. 이하에서는, 상술한 실시 형태와 마찬가지로 구성 부분에 대해서는 동일한 부호를 붙이고, 적절히 설명을 생략한다.
- [0157] 도 36은 본 개시의 제2 실시 형태에 따른 촬상 장치의 화소의 배치 예를 도시하는 도면이다. 촬상 장치(1)의 화소 P는, 복수의 광전 변환부(12)(도 36에 나타내는 예에서는, 광전 변환부(12a), 광전 변환부(12b))를 갖는다. 광전 변환부(12b)는 광전 변환부(12a)의 옆에 마련된다. 광전 변환부(12a)를 갖는 화소와, 광전 변환부(12b)를 갖는 화소가 마련된다고도 할 수 있다.
- [0158] 본 실시 형태에서는, 복수의 광전 변환부(12), 예를 들어 2개의 광전 변환부(12)(광전 변환부(12a), 광전 변환부(12b))에 대하여, 1개의 렌즈(21)(렌즈부)가 마련된다. 광전 변환부(12a) 및 광전 변환부(12b)에 의해, 촬상 렌즈 등의 광학계의 서로 다른 영역을 통과한 광이 수광되어, 픽셀 분할이 행해진다.
- [0159] 광전 변환부(12a)에서 광전 변환된 전하에 기초한 제1 화소 신호와, 광전 변환부(12b)에서 광전 변환된 전하에 기초한 제2 화소 신호를 사용함으로써 위상차 데이터(위상차 정보)를 얻을 수 있다. 위상차 데이터를 사용함으로써 위상차 AF(Auto Focus)를 행할 수 있다.
- [0160] 읽어내기 회로(20)는, 읽어내기 회로(20)를 공유하는 각 화소 P의 제1 화소 신호와 제2 화소 신호를 출력 가능하도록 구성된다. 또한, 읽어내기 회로(20)는, 광전 변환부(12a)에서 변환된 전하와 광전 변환부(12b)에서 변환된 전하를 가산한 전하에 따른 화소 신호를 읽어낼 수 있다.
- [0161] 도 37은, 제2 실시 형태에 따른 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다. 촬상 장치(1)의 화소 P는, 전송 트랜지스터 TRa, TRb와, 플로팅 디퓨전 FDa, FDb와, 화소 트랜지스터(30a, 30b)와, 반도체 영역(35)을 포함하여 구성된다.
- [0162] 전송 트랜지스터 TRa는 광전 변환부(12a)에서 광전 변환된 전하를 플로팅 디퓨전 FDa에 전송 가능하도록 구성된다. 전송 트랜지스터(TRb)는 광전 변환부(12b)에서 광전 변환된 전하를 플로팅 디퓨전 FDb에 전송 가능하도록 구성된다. 플로팅 디퓨전 FDa는, 광전 변환부(12a)에서 광전 변환된 전하를 축적할 수 있다. 또한, 플로팅 디퓨전 FDb는, 광전 변환부(12b)에서 광전 변환된 전하를 축적할 수 있다.
- [0163] 읽어내기 회로(20)는, 예를 들어 플로팅 디퓨전 FDa에 축적된 전하에 기초한 화소 신호, 플로팅 디퓨전 FDb에 축적된 전하에 기초한 화소 신호 등을 출력 가능하도록 구성된다. 또한, 예를 들어 읽어내기 회로(20)는, 플로

팅 디퓨전 FDa에 축적된 전하와, 플로팅 디퓨전 FDb에 축적된 전하를 가산한 전하에 따른 화소 신호를 출력 가능하도록 구성된다.

- [0164] 화소 트랜지스터(30a) 및 화소 트랜지스터(30b)는, 예를 들어 읽어내기 회로(20)의 트랜지스터이다. 반도체 영역(32a) 및 반도체 영역(33a)는 화소 트랜지스터(30a)의 소스 영역 및 드레인 영역이다. 반도체 영역(32a, 33a)의 한쪽은 화소 트랜지스터(30a)의 소스 영역이고, 반도체 영역(32a, 33a)의 다른 쪽은 화소 트랜지스터(30a)의 드레인 영역이다.
- [0165] 또한, 반도체 영역(32b) 및 반도체 영역(33b)는 화소 트랜지스터(30b)의 소스 영역 및 드레인 영역이다. 반도체 영역(32b, 33b)의 한쪽은 화소 트랜지스터(30b)의 소스 영역이고, 반도체 영역(32b, 33b)의 다른 쪽은 화소 트랜지스터(30b)의 드레인 영역이다.
- [0166] 화소 트랜지스터(30a, 30b)는, 각각 증폭 트랜지스터 AMP, 선택 트랜지스터 SEL, 트랜지스터 FDG, 또는 리셋 트랜지스터 RST 등으로서 사용된다. 또한, 일부의 화소 P의 화소 트랜지스터(30a) 또는 화소 트랜지스터(30b)는 더미 트랜지스터여도 된다. 읽어내기 회로(20)는 화소 트랜지스터(30a) 또는 화소 트랜지스터(30b)로서, 더미 트랜지스터를 포함하고 있어도 된다.
- [0167] 본 실시 형태에 따른 촬상 장치(1)에서는, 반도체 영역(35)은 화소 트랜지스터(30a) 및 화소 트랜지스터(30b)에 접해서 마련된다. 반도체 영역(35)은, 예를 들어 화소 P에 있어서, 화소 트랜지스터(30a)의 소스 영역 또는 드레인 영역과, 화소 트랜지스터(30b)의 소스 영역 또는 드레인 영역에 접해서 배치된다.
- [0168] 도 37에 나타내는 예에서는, 반도체 영역(35)은 화소 트랜지스터(30a)의 반도체 영역(33a)과, 화소 트랜지스터(30b)의 반도체 영역(33b)에 접해서 마련된다. 또한, 반도체 영역(35)은 반도체 영역(32a, 32b)에 접해서 마련되어도 된다. 반도체 영역(35)은 화소 트랜지스터(30a, 30b)의 각각의 게이트에 인접하도록 마련되어도 된다.
- [0169] 이와 같이, 본 실시 형태에서는, 반도체 영역(35)은 화소 트랜지스터(30a) 및 화소 트랜지스터(30b)에 접해서 마련된다. 이 때문에, 촬상 장치(1)는 미세화에 유리한 구조를 가질 수 있다. 반도체 영역(35)과 화소 트랜지스터(30a, 30b)가 이격되어 마련되는 경우와 비교하여, 화소 P에 있어서 트랜지스터 등을 배치하는 영역의 면적을 증가시킬 수 있다. 화소 P에 배치하는 트랜지스터의 사이즈를 크게 하는 것이 가능해진다.
- [0170] 도 38은 제2 실시 형태에 따른 촬상 장치의 화소의 평면 구성의 다른 예를 도시하는 도면이다. 도 38에 나타내는 예와 같이, 광전 변환부(12a, 12b)에 대하여, 1개의 화소 트랜지스터(30)를 마련하도록 해도 된다. 화소 트랜지스터(30)는, 예를 들어 읽어내기 회로(20)의 트랜지스터이며, 화소 P마다 배치된다. 또한, 일부의 화소 P의 화소 트랜지스터(30)는, 더미 트랜지스터여도 된다.
- [0171] 반도체 영역(35)은, 예를 들어 화소 P에 있어서, 화소 트랜지스터(30)의 소스 영역 또는 드레인 영역에 접해서 마련된다. 도 38에 나타내는 예에서는, 반도체 영역(35)은 화소 트랜지스터(30)의 반도체 영역(33)에 접해서 마련된다. 이 경우도, 화소 P에 배치하는 트랜지스터의 사이즈를 크게 할 수 있고, 읽어내기 회로(20)의 증폭 트랜지스터 AMP 등의 특성을 향상시키는 것이 가능해진다.
- [0172] 특히 미세 화소에 있어서의 면적 효율을 향상시킬 수 있고, 화소 트랜지스터(30)의 사이즈를 크게 할 수 있다. 이 때문에, 읽어내기 회로(20)의 트랜지스터 특성을 향상시키는 것이 가능해진다. 화소 신호의 품질이 저하되는 것을 억제할 수 있고, 화상의 화질 저하를 억제하는 것이 가능해진다.
- [0173] [작용·효과]
- [0174] 본 실시 형태에 따른 광 검출 장치는, 반도체층(반도체층(110))과, 광전 변환 소자를 갖는 제1 화소를 포함하는 복수의 화소와, 트렌치(트렌치(91), 트렌치(92))를 구비한다. 제1 화소는 트랜지스터(화소 트랜지스터(30))와, 제1 도전형의 제1 반도체 영역(반도체 영역(35))과, 제1 콘택트(콘택트(55))를 포함한다. 제1 반도체 영역은 트랜지스터에 접하고 있다. 광 검출 장치는 광이 입사하는 렌즈(렌즈(21))를 갖는다. 광 검출 장치는 광전 변환 소자로서, 렌즈를 투과한 광을 광전 변환하는 제1 광전 변환 소자(광전 변환부(12a))와, 제1 광전 변환 소자의 옆에 마련되고, 렌즈를 투과한 광을 광전 변환하는 제2 광전 변환 소자(광전 변환부(12b))를 갖는다.
- [0175] 본 실시 형태에 따른 광 검출 장치(촬상 장치(1))에서는, 반도체 영역(35)은 화소 트랜지스터(30)에 접하고 있다. 이 때문에, 촬상 장치(1)는 화소의 미세화에 유리한 구조를 가질 수 있다. 화소 트랜지스터의 사이즈를 크게 할 수 있고, 화소 트랜지스터의 특성을 향상시키는 것이 가능해진다. 미세화에 유리한 광 검출 장치를 실현하는 것이 가능해진다.

- [0176] 이어서, 본 개시의 변형예에 대해서 설명한다. 이하에서는, 상기 실시 형태와 마찬가지로 구성 요소에 대해서는 동일한 부호를 붙이고, 적절히 설명을 생략한다.
- [0177] (2-1. 변형예 5)
- [0178] 도 39는 본 개시의 변형예 5에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다. 도 40은 촬상 장치의 화소의 단면 구성의 일례를 설명하기 위한 도면이다. 도 40은 도 39에 나타낸 A-A'선의 방향에 있어서의 화소의 구성예를 모식적으로 도시하고 있다.
- [0179] 촬상 장치(1)에서는, 도 39 및 도 40에 나타내는 바와 같이, 콘택트(55)와 반도체 영역(35)을 전기적으로 접속하는 도체 영역(36)을 갖고 있어도 된다. 콘택트(55)는 도체 영역(36)을 통해, 화소 트랜지스터(30a)의 반도체 영역(33a)과, 화소 트랜지스터(30b)의 반도체 영역(33b)에 전기적으로 접속된다.
- [0180] 도체 영역(36)은, 예를 들어 반도체층(110) 내에 마련된다. 도체 영역(36)은, 일례로서, 불순물이 도프된 폴리실리콘에 의해 구성된다. 또한, 도체 영역(36)은, 다른 도전 재료를 사용해서 구성되어도 된다.
- [0181] 도체 영역(36)은, 도 41에 나타내는 예와 같이, 반도체층(110) 상에 형성되어도 된다. 도체 영역(36)의 일부를, 반도체층(110) 내에 마련하도록 해도 된다. 또한, 촬상 장치(1)에서는, 도 42에 나타내는 예와 같이, 화소 P마다, 1개의 화소 트랜지스터(30)와, 도체 영역(36)이 마련되어도 된다.
- [0182] 도체 영역(36)은, 예를 들어 제1 실시 형태의 경우와 마찬가지로, 인접하는 복수의 화소 P에 대하여 마련되어도 된다. 복수의 화소 P의 각각의 반도체 영역(33)은, 공통의 도체 영역(36)을 통해, 서로 전기적으로 접속된다. 또한, 복수의 화소 P의 각각의 반도체 영역(32)이, 공통의 도체 영역(36)을 통해, 서로 전기적으로 접속되어 있어도 된다.
- [0183] (2-2. 변형예 6)
- [0184] 도 43a 및 도 43b는, 변형예 6에 관한 촬상 장치의 화소의 구성예를 설명하기 위한 도면이다. 촬상 장치(1)는 도 43a 또는 도 43b에 나타내는 예와 같이, 분리부(95)를 갖고 있어도 된다. 분리부(95)는, 예를 들어 트렌치를 포함하여 구성된다. 분리부(95)는 반도체층(110)에 있어서 광전 변환부(12a)와 광전 변환부(12b) 사이에 마련된다. 또한, 분리부(95)는 절연 재료를 사용해서 구성되어도 되고, 이온 주입에 의해 형성된 반도체 영역에 의해 구성되어도 된다. 분리부(95)는 p형의 반도체 영역 또는 n형의 반도체 영역에 의해 구성될 수 있다.
- [0185] (2-3. 변형예 7)
- [0186] 도 44 및 도 45는 변형예 7에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다. 촬상 장치(1)에서는, 도 44 또는 도 45에 나타내는 바와 같이, 복수의 플로팅 디퓨전 FD를 전기적으로 접속하는 반도체 영역(37)을 갖고 있어도 된다. 예를 들어, 플로팅 디퓨전 FDa와, 플로팅 디퓨전 FDb는, 반도체 영역(37)을 통해, 서로 전기적으로 접속된다.
- [0187] 반도체 영역(37)은, 예를 들어 반도체층(110) 내에 마련된다. 반도체 영역(37)은, 일례로서, 불순물이 도프된 폴리실리콘에 의해 구성된다. 또한, 반도체 영역(37)은 다른 도전 재료를 사용해서 구성되어도 된다. 반도체 영역(37)은 반도체층(110) 상에 형성되어도 된다. 반도체 영역(37)의 일부를, 반도체층(110) 내에 마련하도록 해도 된다.
- [0188] 또한, 반도체 영역(37)은, 예를 들어 제1 실시 형태의 경우와 마찬가지로, 인접하는 복수의 화소 P에 대하여 마련되어도 된다. 복수의 화소 P의 각각의 플로팅 디퓨전 FD는 공통의 반도체 영역(37)을 통해, 서로 전기적으로 접속된다.
- [0189] (2-4. 변형예 8)
- [0190] 도 46 및 도 47은, 변형예 8에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다. 반도체 영역(35)은 화소 P에 있어서, 인접하는 복수의 화소 트랜지스터(30)의 각각의 게이트 전극 및 게이트 절연막의 적어도 한쪽에 인접하도록 마련되어도 된다. 반도체 영역(35)은, 예를 들어 반도체층(110)의 제1 면(11S1) 측에 있어서, 화소 트랜지스터(30a, 30b)의 게이트 전극 및 게이트 절연막의 적어도 한쪽에 인접하도록 배치될 수 있다.
- [0191] 도 46 또는 도 47에 나타내는 예에서는, 반도체 영역(35)은 화소 트랜지스터(30a)의 게이트 전극 및 게이트 절연막의 적어도 한쪽과, 화소 트랜지스터(30b)의 게이트 전극 및 게이트 절연막의 적어도 한쪽에 인접하도록 배

치된다. 이 때문에, 활상 장치(1)는 미세화에 유리한 구조를 가질 수 있다.

- [0192] 본 변형예에서는, 반도체 영역(35)과 화소 트랜지스터(30)가 이격되어 배치되는 경우와 비교하여, 화소 P에 있어서 트랜지스터 등을 배치하는 영역의 면적을 증가시킬 수 있다. 화소 P에 배치하는 트랜지스터의 사이즈를 크게 할 수 있고, 읽어내기 회로(20)의 증폭 트랜지스터 AMP 등의 특성을 향상시키는 것이 가능해진다.
- [0193] 또한, 도 47에 나타내는 바와 같이, 반도체 영역(35)을, 화소 트랜지스터(30a)의 소스 영역 또는 드레인 영역인 반도체 영역(32a)과, 화소 트랜지스터(30b)의 소스 영역 또는 드레인 영역인 반도체 영역(32b) 사이에 마련하도록 해도 된다. 콘택트(55)와 화소 트랜지스터(30a, 30b)의 채널 영역의 거리를 확보할 수 있다.
- [0194] 콘택트(55)를 채널 영역으로부터 이격하는(멀리 떨어뜨리는) 것으로, 화소 트랜지스터(30a, 30b)에 대하여 악영향을 미치는 것을 방지할 수 있다. 화소 트랜지스터(30a, 30b)의 특성이 악화되는 것을 억제하는 것이 가능해진다. 노이즈가 화소 신호에 혼입되는 것을 억제하고, 위상차 검출의 정밀도가 저하되는 것을 억제하는 것이 가능해진다. 또한, 화상의 화질 저하를 억제하는 것을 기대할 수 있다. 또한, 콘택트(55)를 채널 영역으로부터 이격하는 것으로, 채널 영역과 반도체 영역(35)이 접하는 부분 부근의 불순물 농도를 낮게 할 수도 있다. 이에 의해 강전계의 발생을 완화한 설계가 가능해진다.
- [0195] (2-5. 변형예 9)
- [0196] 도 48은 변형예 9에 관한 활상 장치의 화소의 평면 구성의 일례를 설명하기 위한 도면이다. 도 49는 활상 장치의 화소의 단면 구성의 일례를 설명하기 위한 도면이다. 도 49는 도 48에 나타낸 A-A'선의 방향에 있어서의 화소의 구성예를 나타내고 있다. 활상 장치(1)는 도 48에 나타내는 바와 같이, 영역(201)과 영역(205)에 마련되는 트렌치(210)를 갖는다.
- [0197] 트렌치(210)는, 예를 들어 상술한 트렌치(91, 92), 분리부(95a), 분리부(95b) 등을 포함한다. 분리부(95a) 및 분리부(95b)는, 상술한 분리부(95)와 마찬가지로 구성을 갖고, 각각 트렌치를 포함하여 구성된다. 트렌치(91, 92), 분리부(95a) 및 분리부(95b)의 일부 또는 전부는, 트렌치(210)로서 일체적으로 구성되어 있어도 된다.
- [0198] 영역(201)은 트렌치(91, 92)를 갖는 영역이고, 화소와 인접하는 화소를 분리한다. 영역(205)은, 도 48에 나타내는 바와 같이, 분리부(95a)를 갖는 영역(202)과, 분리부(95b)를 갖는 영역(203)을 포함한다. 영역(202) 및 영역(203)에서는, 분리부(95a, 95b)가 마련되고, 평면으로 보아 광전 변환부(12a)와 광전 변환부(12b)가 차단된다.
- [0199] 분리부(95a)는 인접하는 복수의 플로팅 디퓨전 FD 사이와, 인접하는 복수의 광전 변환부(12) 사이에 마련된다. 도 48 및 도 49에 나타내는 예에서는, 분리부(95a)는, 플로팅 디퓨전 FDa와 플로팅 디퓨전 FDb 사이 및 광전 변환부(12a)와 광전 변환부(12b) 사이에 형성된다.
- [0200] 분리부(95b)는 인접하는 복수의 화소 트랜지스터(30) 사이와, 인접하는 복수의 광전 변환부(12) 사이에 마련된다. 도 48 및 도 49에 나타내는 예에서는, 분리부(95b)는 화소 트랜지스터(30a)와 화소 트랜지스터(30b) 사이 및 광전 변환부(12a)와 광전 변환부(12b) 사이에 형성된다.
- [0201] 반도체 영역(35)은 도 48에 나타내는 바와 같이, 평면으로 보아, 분리부(95a)와 분리부(95b) 사이에 마련된다. 반도체 영역(35)은 제1 부분(61)과, 제2 부분(62)을 갖는다. 제1 부분(61)은 평면으로 보아, 화소 트랜지스터(30a) 및 화소 트랜지스터(30b)와 수평 방향(X축 방향)으로 접한다.
- [0202] 또한, 제2 부분(62)은 제1 부분(61)과 수직 방향(Y축 방향)으로 접한다. 콘택트(55)는 반도체 영역(35)의 제2 부분(62)에 마련된다. 콘택트(55)는 제2 부분(62) 상에 마련되어 있다. 제1 부분(61)은, 예를 들어 제2 부분(62)의 불순물 농도보다 낮은 불순물 농도를 갖고 있다.
- [0203] 반도체 영역(35)은 화소 트랜지스터(30a)의 게이트 절연막 및 게이트 전극의 적어도 한쪽과, 화소 트랜지스터(30b)의 게이트 절연막 및 게이트 전극의 적어도 한쪽에 인접하도록 마련된다. 이 때문에, 활상 장치(1)는 미세화에 유리한 구조를 가질 수 있다.
- [0204] 반도체 영역(35)은 분리부(95a)와 분리부(95b) 사이에 위치하고, 콘택트(55)는 화소 트랜지스터(30a, 30b)의 각각의 채널 영역으로부터 이격되어 있다. 이 때문에, 노이즈가 화소 신호에 혼입되는 것을 억제하고, 위상차 검출의 정밀도가 저하되는 것을 억제할 수 있다. 또한, 화상의 화질 저하를 억제하는 것을 기대할 수 있다. 또한, 콘택트(55)를 채널 영역으로부터 이격하는 것으로, 채널 영역과 반도체 영역(35)이 접하는 부분 부근의 불순물 농도를 낮게 할 수도 있다. 이에 의해, 강전계의 발생을 완화한 설계가 가능해진다.

- [0205] 또한, 상술한 바와 같이, 제1 부분(61)은 콘택트(55)에 접속되는 제2 부분(62)의 불순물 농도보다 낮은 불순물 농도를 갖는다. 제1 부분(61)의 불순물 농도를 낮게 하는 것으로, 반도체 영역(35)의 제1 부분(61)과 채널 영역 사이에 있어서 강전계가 발생하는 것을 억제할 수 있다. 이 때문에, 화소 신호에 혼입되는 노이즈를 저감시키는 것을 기대할 수 있다.
- [0206] 본 변형예에 관한 광 검출 장치는, 반도체층에 마련된 제1 화소(화소 P)와, 제1 화소와 인접하는 화소를 분리하는 제1 영역(영역(201))과, 제1 화소 내에 마련된 광전 변환 소자가 평면으로 보아 차단된 제2 영역(영역(203, 203))을 포함하는 영역(205))을 갖는 트렌치(트렌치(210))를 구비한다. 제2 영역(영역(202))은 평면으로 보아 제1 화소에 마련된 제1 플로팅 디퓨전 영역과 제2 플로팅 디퓨전 영역 사이에 제1 분리부(분리부(95a))를 갖는다. 제2 영역(영역(203))은, 평면으로 보아 제1 화소에 마련된 제1 트랜지스터와 제2 트랜지스터 사이에 제2 분리부(분리부(95b))를 갖는다. 제1 화소는 제1 도전형의 제1 반도체 영역(반도체 영역(35))과, 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트(콘택트(55))를 포함한다. 평면으로 보아 제1 분리부와 제2 분리부 사이에 제1 반도체 영역이 마련된다. 제1 반도체 영역은 제1 트랜지스터와 제2 트랜지스터에 접하고 있다.
- [0207] 본 실시 형태에 따른 광 검출 장치(촬상 장치(1))에서는, 반도체 영역(35)은 화소 트랜지스터(30a, 30b)에 접하고 있다. 이 때문에, 촬상 장치(1)는 화소의 미세화에 유리한 구조를 가질 수 있다. 화소 트랜지스터의 사이즈를 크게 할 수 있고, 화소 트랜지스터의 특성을 향상시키는 것이 가능해진다. 미세화에 유리한 광 검출 장치를 실현하는 것이 가능해진다.
- [0208] 또한, 도 50에 나타내는 바와 같이, 반도체 영역(35)은 화소 트랜지스터(30a)의 소스 영역 또는 드레인 영역인 반도체 영역(32a)과, 화소 트랜지스터(30b)의 소스 영역 또는 드레인 영역인 반도체 영역(32b)에 접해서 마련되어 있어도 된다. 또한, 반도체 영역(35)은 화소 트랜지스터(30a)의 반도체 영역(33a)과, 화소 트랜지스터(30b)의 반도체 영역(33b)에 접해서 마련되어도 된다.
- [0209] (2-6. 변형예 10)
- [0210] 도 51 내지 도 53은, 변형예 10에 관한 촬상 장치의 화소의 평면 구성의 일례를 도시하는 도면이다. 촬상 장치(1)의 각 화소 P는, 도 51에 나타내는 구성을 갖고 있어도 된다. 광전 변환부(12a, 12b)에 대하여, 1개의 화소 트랜지스터(30)와, 반도체 영역(35)이 마련되어도 된다. 또한, 촬상 장치(1)는 도 52에 나타내는 바와 같이, 콘택트(55)와 반도체 영역(35)을 전기적으로 접속하는 도체 영역(36)을 갖고 있어도 된다. 도 53에 나타내는 예와 같이, 촬상 장치(1)는 복수의 플로팅 디퓨전 FD를 전기적으로 접속하는 반도체 영역(37)을 갖고 있어도 된다.
- [0211] <3. 적용예>
- [0212] 상기 촬상 장치(1) 등은, 예를 들어 디지털 스틸 카메라나 비디오 카메라 등의 카메라 시스템이나, 촬상 기능을 갖는 휴대 전화 등, 촬상 기능을 구비한 모든 타입의 전자 기기에 적용할 수 있다. 도 54는 전자 기기(1000)의 개략 구성을 나타낸 것이다.
- [0213] 전자 기기(1000)는, 예를 들어 렌즈군(1001)과, 촬상 장치(1)와, DSP(Digital Signal Processor) 회로(1002)와, 프레임 메모리(1003)와, 표시부(1004)와, 기록부(1005)와, 조작부(1006)와, 전원부(1007)를 갖고, 버스 라인(1008)을 통해 서로 접속되어 있다.
- [0214] 렌즈군(1001)은 피사체로부터의 입사광(상광)을 도입해서 촬상 장치(1)의 촬상면 상에 결상하는 것이다. 촬상 장치(1)는 렌즈군(1001)에 의해 촬상면 상에 결상된 입사광의 광량을 화소 단위로 전기 신호로 변환해서 화소 신호로서 DSP 회로(1002)에 공급한다.
- [0215] DSP 회로(1002)는 촬상 장치(1)로부터 공급되는 신호를 처리하는 신호 처리 회로이다. DSP 회로(1002)는 촬상 장치(1)로부터의 신호를 처리해서 얻어지는 화상 데이터를 출력한다. 프레임 메모리(1003)는 DSP 회로(1002)에 의해 처리된 화상 데이터를 프레임 단위로 일시적으로 보유하는 것이다.
- [0216] 표시부(1004)는, 예를 들어 액정 패널이나 유기 EL(Electro Luminescence) 패널 등의 패널형 표시 장치로 이루어지고, 촬상 장치(1)에서 촬상된 동화상 또는 정지 화상의 화상 데이터를, 반도체 메모리나 하드 디스크 등의 기록 매체에 기록한다.
- [0217] 조작부(1006)는 유저에 의한 조작에 따라, 전자 기기(1000)가 소유하는 각종 기능에 관한 조작 신호를 출력한다. 전원부(1007)는 DSP 회로(1002), 프레임 메모리(1003), 표시부(1004), 기록부(1005) 및 조작부

(1006)의 동작 전원이 되는 각종 전원을, 이들 공급 대상에 대하여 적절히 공급하는 것이다.

- [0218] <4. 응용예>
- [0219] (이동체에의 응용예)
- [0220] 본 개시에 관한 기술(본 기술)은, 여러가지 제품에 응용할 수 있다. 예를 들어, 본 개시에 관한 기술은 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동 이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등의 어느 종류의 이동체에 탑재되는 장치로서 실현되어도 된다.
- [0221] 도 55는, 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 일례인 차량 제어 시스템의 개략적인 구성예를 도시하는 블록도이다.
- [0222] 차량 제어 시스템(12000)은, 통신 네트워크(12001)를 통해 접속된 복수의 전자 제어 유닛을 구비한다. 도 55에 나타난 예에서는, 차량 제어 시스템(12000)은, 구동계 제어 유닛(12010), 보디계 제어 유닛(12020), 차외 정보 검출 유닛(12030), 차내 정보 검출 유닛(12040) 및 통합 제어 유닛(12050)을 구비한다. 또한, 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로컴퓨터(12051), 음성 화상 출력부(12052) 및 차량 탑재 네트워크 I/F(interface)(12053)가 도시되어 있다.
- [0223] 구동계 제어 유닛(12010)은, 각종 프로그램에 따라서 차량의 구동계에 관한 장치의 동작을 제어한다. 예를 들어, 구동계 제어 유닛(12010)은, 내연 기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜에 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구 및 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.
- [0224] 보디계 제어 유닛(12020)은 각종 프로그램에 따라서 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들어, 보디계 제어 유닛(12020)은 키리스 엔트리 시스템, 스마트키 시스템, 파워 윈도우 장치, 혹은 헤드 램프, 백 램프, 브레이크 램프, 방향 지시등 또는 안개등 등의 각종 램프의 제어 장치로서 기능한다. 이 경우, 보디계 제어 유닛(12020)에는, 키를 대체하는 휴대기로부터 발신되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 보디계 제어 유닛(12020)은, 이들의 전파 또는 신호의 입력을 접수하여, 차량의 도어록 장치, 파워 윈도우 장치, 램프 등을 제어한다.
- [0225] 차외 정보 검출 유닛(12030)은 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들어, 차외 정보 검출 유닛(12030)에는, 촬상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은 촬상부(12031)에 차외의 화상을 촬상시킴과 함께, 촬상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은, 수신한 화상에 기초하여, 사람, 차, 장애물, 표지 또는 노면 상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 된다.
- [0226] 촬상부(12031)는 광을 수광하고, 그 광의 수광량에 따른 전기 신호를 출력하는 광 센서이다. 촬상부(12031)는 전기 신호를 화상으로 해서 출력할 수도 있고, 측거의 정보로서 출력할 수도 있다. 또한, 촬상부(12031)가 수광하는 광은 가시광이어도 되고, 적외선 등의 비가시광이어도 된다.
- [0227] 차내 정보 검출 유닛(12040)은 차내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는, 예를 들어 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는, 예를 들어 운전자를 촬상하는 카메라를 포함하고, 차내 정보 검출 유닛(12040)은, 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 기초하여, 운전자의 피로 정도 또는 집중 정도를 산출해도 되고, 운전자가 졸고 있지 않는지를 판별해도 된다.
- [0228] 마이크로컴퓨터(12051)는 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차내외의 정보에 기초하여, 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표값을 연산하고, 구동계 제어 유닛(12010)에 대하여 제어 지령을 출력할 수 있다. 예를 들어, 마이크로컴퓨터(12051)는 차량의 충돌 회피 혹은 충격 완화, 차간 거리에 기초한 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 레인 이탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할 수 있다.
- [0229] 또한, 마이크로컴퓨터(12051)는 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차량의 주위의 정보에 기초하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함으로써, 운전자의 조작에 따르지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.
- [0230] 또한, 마이크로컴퓨터(12051)는 차외 정보 검출 유닛(12030)에서 취득되는 차외의 정보에 기초하여, 보디계 제어 유닛(12020)에 대하여 제어 지령을 출력할 수 있다. 예를 들어, 마이크로컴퓨터(12051)는 차외 정보 검출

유닛(12030)에서 검지한 선행차 또는 대향차의 위치에 따라서 헤드 램프를 제어하고, 하이 빔을 로우 빔으로 전환하는 등의 방현을 도모하는 것을 목적으로 한 협조 제어를 행할 수 있다.

- [0231] 음성 화상 출력부(12052)는 차량의 탑승자 또는 차외에 대하여, 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력 장치에 음성 및 화상 중 적어도 한쪽 출력 신호를 송신한다. 도 55의 예에서는, 출력 장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되어 있다. 표시부(12062)는, 예를 들어 온보드 디스플레이 및 헤드업 디스플레이의 적어도 하나를 포함하고 있어도 된다.
- [0232] 도 56은 촬상부(12031)의 설치 위치의 예를 나타내는 도이다.
- [0233] 도 56에서는, 차량(12100)은 촬상부(12031)로서, 촬상부(12101, 12102, 12103, 12104, 12105)를 갖는다.
- [0234] 촬상부(12101, 12102, 12103, 12104, 12105)는, 예를 들어 차량(12100)의 프론트 노즈, 사이드 미러, 리어 범퍼, 백 도어 및 차실 내의 프론트 글래스의 상부 등의 위치에 마련된다. 프론트 노즈에 구비되는 촬상부(12101) 및 차실 내의 프론트 글래스의 상부에 구비되는 촬상부(12105)는 주로 차량(12100)의 전방 화상을 취득한다. 사이드 미러에 구비되는 촬상부(12102, 12103)은, 주로 차량(12100)의 측방 화상을 취득한다. 리어 범퍼 또는 백 도어에 구비되는 촬상부(12104)는 주로 차량(12100)의 후방 화상을 취득한다. 촬상부(12101 및 12105)에서 취득되는 전방의 화상은, 주로 선행 차량 또는, 보행자, 장애물, 신호기, 교통 표지 또는 차선 등의 검출에 사용된다.
- [0235] 또한, 도 56에는, 촬상부(12101 내지 12104)의 촬영 범위의 일례가 도시되어 있다. 촬상 범위(12111)는 프론트 노즈에 마련된 촬상부(12101)의 촬상 범위를 나타내고, 촬상 범위(12112, 12113)는, 각각 사이드 미러에 마련된 촬상부(12102, 12103)의 촬상 범위를 나타내고, 촬상 범위(12114)는 리어 범퍼 또는 백 도어에 마련된 촬상부(12104)의 촬상 범위를 나타낸다. 예를 들어, 촬상부(12101 내지 12104)에서 촬상된 화상 데이터를 중첩할 수 있는 것에 의해, 차량(12100)을 상방으로부터 본 부감 화상이 얻어진다.
- [0236] 촬상부(12101 내지 12104)의 적어도 하나는, 거리 정보를 취득하는 기능을 갖고 있어도 된다. 예를 들어, 촬상부(12101 내지 12104)의 적어도 하나는, 복수의 촬상 소자로 이루어지는 스테레오 카메라여도 되고, 위상차 검출용 화소를 갖는 촬상 소자여도 된다.
- [0237] 예를 들어, 마이크로컴퓨터(12051)는 촬상부(12101 내지 12104)에서 얻어진 거리 정보를 기초로, 촬상 범위(12111 내지 12114) 내에 있어서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대 속도)를 구함으로써, 특히 차량(12100)의 진행로 상에 있는 가장 가까운 입체물이고, 차량(12100)과 대략 동일한 방향으로 소정의 속도(예를 들어, 0km/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한, 마이크로컴퓨터(12051)는 선행차의 직전에 미리 확보해야 할 차간 거리를 설정하고, 자동 브레이크 제어(추종 정지 제어도 포함한다)나 자동 가속 제어(추종 발진 제어도 포함한다) 등을 행할 수 있다. 이와 같이 운전자의 조작에 따르지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.
- [0238] 예를 들어, 마이크로컴퓨터(12051)는 촬상부(12101 내지 12104)에서 얻어진 거리 정보를 바탕으로, 입체물에 관한 입체물 데이터를, 이륜차, 보통 차량, 대형 차량, 보행자, 전주 등 기타 입체물로 분류해서 추출하여, 장애물의 자동 회피에 사용할 수 있다. 예를 들어, 마이크로컴퓨터(12051)는 차량(12100)의 주변 장애물을, 차량(12100)의 드라이버가 시인 가능한 장애물과 시인 곤란한 장애물로 식별한다. 그리고, 마이크로컴퓨터(12051)는 각 장애물과의 충돌의 위험도를 나타내는 충돌 리스크를 판단하여, 충돌 리스크가 설정값 이상으로 충돌 가능성이 있는 상황일 때에는, 오디오 스피커(12061)나 표시부(12062)를 통해 드라이버에 경보를 출력하는 것이나, 구동계 제어 유닛(12010)을 통해 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.
- [0239] 촬상부(12101 내지 12104)의 적어도 하나는, 적외선을 검출하는 적외선 카메라이어도 된다. 예를 들어, 마이크로컴퓨터(12051)는 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재하는지의 여부를 판정함으로써 보행자를 인식할 수 있다. 이러한 보행자의 인식은, 예를 들어 적외선 카메라로서의 촬상부(12101 내지 12104)의 촬상 화상에 있어서의 특징점을 추출하는 수순과, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지 아닌지를 판별하는 수순에 의해 행해진다. 마이크로컴퓨터(12051)가, 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재한다고 판정하여, 보행자를 인식하면, 음성 화상 출력부(12052)는, 당해 인식된 보행자에 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한, 음성 화상 출력부(12052)는, 보행자를 나타내는 아이콘 등을 원하는 위치에 표시하도록 표시부(12062)를 제어해도 된다.
- [0240] 이상, 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 일례에 대해서 설명했다. 본 개시에 관한

기술은, 이상 설명한 구성 중, 예를 들어 촬상부(12031)에 적용될 수 있다. 구체적으로는, 예를 들어 촬상 장치(1) 등은, 촬상부(12031)에 적용할 수 있다. 촬상부(12031)에 본 개시에 관한 기술을 적용함으로써, 고정밀의 촬영 화상을 얻는 것이 가능해진다. 이동체 제어 시스템에 있어서 촬영 화상을 이용한 고정밀도의 제어를 행하는 것이 가능해진다.

- [0241] (내시경 수술 시스템에의 응용예)
- [0242] 본 개시에 관한 기술(본 기술)은 다양한 제품에 응용할 수 있다. 예를 들어, 본 개시에 관한 기술은 내시경 수술 시스템에 적용되어도 된다.
- [0243] 도 57은 본 개시에 관한 기술(본 기술)이 적용될 수 있는 내시경 수술 시스템의 개략적인 구성의 일례를 도시하는 도면이다.
- [0244] 도 57에서는, 수술자(의사)(11131)가, 내시경 수술 시스템(11000)을 사용하여, 환자 침대(11133) 위의 환자(11132)에게 수술을 행하고 있는 모습이 도시되어 있다. 도시한 바와 같이, 내시경 수술 시스템(11000)은 내시경(11100)과, 기복 튜브(11111)나 에너지 처치구(11112) 등의, 기타 수술 도구(11110)와, 내시경(11100)을 지지하는 지지 암 장치(11120)와, 내시경 하 수술을 위한 각종 장치가 탑재된 카트(11200)로 구성된다.
- [0245] 내시경(11100)은 선단으로부터 소정의 길이의 영역이 환자(11132)의 체강 안에 삽입되는 경통(11101)과, 경통(11101)의 기단에 접속되는 카메라 헤드(11102)로 구성된다. 도시하는 예에서는, 경성의 경통(11101)을 갖는 소위 경성경으로서 구성되는 내시경(11100)을 도시하고 있지만, 내시경(11100)은 연성의 경통을 갖는 소위 연성경으로서 구성되어도 된다.
- [0246] 경통(11101)의 선단에는, 대물 렌즈가 끼워 넣어진 개구부가 마련되어 있다. 내시경(11100)에는 광원 장치(11203)가 접속되어 있고, 당해 광원 장치(11203)에 의해 생성된 광이, 경통(11101)의 내부에 연장 설치되는 라이트 가이드에 의해 당해 경통의 선단까지 도광되고, 대물 렌즈를 통해 환자(11132)의 체강 내의 관찰 대상을 향해서 조사된다. 또한, 내시경(11100)은 직시경이어도 되고, 사시경 또는 측시경이어도 된다.
- [0247] 카메라 헤드(11102)의 내부에는 광학계 및 촬상 소자가 마련되어 있고, 관찰 대상으로부터의 반사광(관찰광)은 당해 광학계에 의해 당해 촬상 소자에 집광된다. 당해 촬상 소자에 의해 관찰광이 광전 변환되어, 관찰광에 대응하는 전기 신호, 즉 관찰상에 대응하는 화상 신호가 생성된다. 당해 화상 신호는, RAW 데이터로서 카메라 컨트롤 유닛(CCU: Camera Control Unit)(11201)에 송신된다.
- [0248] CCU(11201)는 CPU(Central Processing Unit)나 GPU(Graphics Processing Unit) 등으로 구성되고, 내시경(11100) 및 표시 장치(11202)의 동작을 통괄적으로 제어한다. 또한, CCU(11201)는, 카메라 헤드(11102)로부터 화상 신호를 수취하고, 그 화상 신호에 대하여, 예를 들어 현상 처리(디모자이크 처리) 등의, 당해 화상 신호에 기초한 화상을 표시하기 위한 각종 화상 처리를 실시한다.
- [0249] 표시 장치(11202)는 CCU(11201)로부터의 제어에 의해, 당해 CCU(11201)에 의해 화상 처리가 실시된 화상 신호에 기초한 화상을 표시한다.
- [0250] 광원 장치(11203)는, 예를 들어 LED(Light Emitting Diode) 등의 광원으로 구성되어, 수술부 등을 촬영할 때의 조사광을 내시경(11100)에 공급한다.
- [0251] 입력 장치(11204)는, 내시경 수술 시스템(11000)에 대한 입력 인터페이스이다. 유저는, 입력 장치(11204)를 통해, 내시경 수술 시스템(11000)에 대하여 각종 정보의 입력이나 지시 입력을 행할 수 있다. 예를 들어, 유저는, 내시경(11100)에 의한 촬상 조건(조사광의 종류, 배율 및 초점 거리 등)을 변경하는 취지의 지시 등을 입력한다.
- [0252] 처치구 제어 장치(11205)는 조직의 소작, 절개 또는 혈관의 밀봉 등을 위한 에너지 처치구(11112)의 구동을 제어한다. 기복 장치(11206)는 내시경(11100)에 의한 시야의 확보 및 수술자의 작업 공간의 확보의 목적으로, 환자(11132)의 체강을 부풀리기 위해서, 기복 튜브(11111)를 통해 당해 체강 안으로 가스를 보낸다. 레코더(11207)는 수술에 관한 각종 정보를 기록 가능한 장치이다. 프린터(11208)는 수술에 관한 각종 정보를, 텍스트, 화상 또는 그래프 등 각종 형식으로 인쇄 가능한 장치이다.
- [0253] 또한, 내시경(11100)에 수술부를 촬영할 때의 조사광을 공급하는 광원 장치(11203)는, 예를 들어 LED, 레이저 광원 또는 이들의 조합에 의해 구성되는 백색광원으로 구성할 수 있다. RGB 레이저 광원의 조합에 의해 백색 광원이 구성되는 경우에는, 각 색(각 파장)의 출력 강도 및 출력 타이밍을 고정밀도로 제어할 수 있기 때문에,

광원 장치(11203)에 있어서 촬상 화상의 화이트 밸런스 조정을 행할 수 있다. 또한, 이 경우에는, RGB 레이저 광원 각각으로부터의 레이저광을 시분할로 관찰 대상으로 조사하고, 그 조사 타이밍에 동기해서 카메라 헤드(11102)의 촬상 소자 구동을 제어함으로써, RGB 각각에 대응한 화상을 시분할로 촬상하는 것도 가능하다. 당해 방법에 의하면, 당해 촬상 소자에 컬러 필터를 마련하지 않아도, 컬러 화상을 얻을 수 있다.

[0254] 또한, 광원 장치(11203)는, 출력하는 광의 강도를 소정의 시간마다 변경하도록 그 구동이 제어되어도 된다. 그 광의 강도의 변경 타이밍에 동기해서 카메라 헤드(11102)의 촬상 소자 구동을 제어해서 시분할로 화상을 취득하고, 그 화상을 합성함으로써, 소위 흑색 몽개짐 및 화이트아웃이 없는 고다이내믹 레인지의 화상을 생성할 수 있다.

[0255] 또한, 광원 장치(11203)는, 특수광 관찰에 대응한 소정의 파장 대역의 광을 공급 가능하도록 구성되어도 된다. 특수광 관찰에서는, 예를 들어 체조직에 있어서의 광의 흡수 파장 의존성을 이용하여, 통상의 관찰 시에 있어서의 조사광(즉, 백색광)에 비하여 협대역의 광을 조사함으로써, 점막 표층의 혈관 등의 소정의 조직을 고콘트라스트로 촬영하는, 소위 협대역 광 관찰(Narrow Band Imaging)이 행해진다. 혹은, 특수광 관찰에서는, 여기광을 조사함으로써 발생하는 형광에 의해 화상을 얻는 형광 관찰이 행해져도 된다. 형광 관찰에서는, 체조직에 여기광을 조사해 당해 체조직으로부터의 형광을 관찰하는 것(자가 형광 관찰), 또는 인도시아닌 그린(ICG) 등의 시약을 체조직에 국소 주사함과 함께 당해 체조직에 그 시약의 형광 파장에 대응한 여기광을 조사하여 형광상을 얻는 것 등을 행할 수 있다. 광원 장치(11203)는, 이러한 특수광 관찰에 대응한 협대역광 및/또는 여기광을 공급 가능하도록 구성될 수 있다.

[0256] 도 58은, 도 57에 나타내는 카메라 헤드(11102) 및 CCU(11201)의 기능 구성의 일례를 도시하는 블록도이다.

[0257] 카메라 헤드(11102)는 렌즈 유닛(11401)과, 촬상부(11402)와, 구동부(11403)와, 통신부(11404)와, 카메라 헤드 제어부(11405)를 갖는다. CCU(11201)는 통신부(11411)와, 화상 처리부(11412)와, 제어부(11413)를 갖는다. 카메라 헤드(11102)와 CCU(11201)는, 전송 케이블(11400)에 의해 서로 통신 가능하게 접속되어 있다.

[0258] 렌즈 유닛(11401)은 경통(11101)과의 접속부에 마련되는 광학계이다. 경통(11101)의 선단으로부터 도입된 관찰 광은, 카메라 헤드(11102)까지 도광되어, 당해 렌즈 유닛(11401)에 입사한다. 렌즈 유닛(11401)은 줌 렌즈 및 포커스 렌즈를 포함하는 복수의 렌즈가 조합되어 구성된다.

[0259] 촬상부(11402)는 촬상 소자로 구성된다. 촬상부(11402)를 구성하는 촬상 소자는, 1개(소위 단판식)여도 되고, 복수(소위 다판식)여도 된다. 촬상부(11402)가 다판식으로 구성되는 경우에는, 예를 들어 각 촬상 소자에 의해 RGB 각각에 대응하는 화상 신호가 생성되고, 그들이 합성됨으로써 컬러 화상이 얻어져도 된다. 혹은, 촬상부(11402)는 3D(Dimensional) 표시에 대응하는 우안용 및 좌안용 화상 신호를 각각 취득하기 위한 한 쌍의 촬상 소자를 갖도록 구성되어도 된다. 3D 표시가 행해짐으로써, 수술자(11131)는 술부에 있어서의 생체 조직의 깊이를 보다 정확하게 파악하는 것이 가능해진다. 또한, 촬상부(11402)가 다판식으로 구성되는 경우에는, 각 촬상 소자에 대응하여, 렌즈 유닛(11401)도 복수 계통 마련될 수 있다.

[0260] 또한, 촬상부(11402)는, 반드시 카메라 헤드(11102)에 마련되지는 않아도 된다. 예를 들어, 촬상부(11402)는, 경통(11101)의 내부에, 대물 렌즈의 직후에 마련되어도 된다.

[0261] 구동부(11403)는, 액추에이터에 의해 구성되고, 카메라 헤드 제어부(11405)로부터의 제어에 의해, 렌즈 유닛(11401)의 줌 렌즈 및 포커스 렌즈를 광축을 따라 소정의 거리만큼 이동시킨다. 이에 의해, 촬상부(11402)에 의한 촬상 화상의 배율 및 초점이 적절히 조정될 수 있다.

[0262] 통신부(11404)는 CCU(11201)와의 사이에서 각종 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11404)는 촬상부(11402)에서 얻은 화상 신호를 RAW 데이터로서 전송 케이블(11400)을 통해 CCU(11201)에 송신한다.

[0263] 또한, 통신부(11404)는, CCU(11201)로부터, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 수신하여, 카메라 헤드 제어부(11405)에 공급한다. 당해 제어 신호에는, 예를 들어 촬상 화상의 프레임 레이트를 지정하는 취지의 정보, 촬상 시의 노출값을 지정하는 취지의 정보, 그리고/또는 촬상 화상의 배율 및 초점을 지정하는 취지의 정보 등, 촬상 조건에 관한 정보가 포함된다.

[0264] 또한, 상기의 프레임 레이트나 노출값, 배율, 초점 등의 촬상 조건은, 유저에 따라 적절히 지정되어도 되고, 취득된 화상 신호에 기초하여 CCU(11201)의 제어부(11413)에 의해 자동적으로 설정되어도 된다. 후자의 경우에는, 소위 AE(Auto Exposure) 기능, AF(Auto Focus) 기능 및 AWB(Auto White Balance) 기능이 내시경

(11100)에 탑재되어 있게 된다.

- [0265] 카메라 헤드 제어부(11405)는 통신부(11404)를 통해 수신한 CCU(11201)로부터의 제어 신호에 기초하여, 카메라 헤드(11102)의 구동을 제어한다.
- [0266] 통신부(11411)는, 카메라 헤드(11102)와의 사이에서 각종 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11411)는, 카메라 헤드(11102)로부터, 전송 케이블(11400)을 통해 송신되는 화상 신호를 수신한다.
- [0267] 또한, 통신부(11411)는, 카메라 헤드(11102)에 대하여, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 송신한다. 화상 신호나 제어 신호는, 전기 통신이나 광통신 등에 의해 송신할 수 있다.
- [0268] 화상 처리부(11412)는 카메라 헤드(11102)로부터 송신된 RAW 데이터인 화상 신호에 대하여 각종 화상 처리를 실시한다.
- [0269] 제어부(11413)는 내시경(11100)에 의한 술부 등의 촬상 및 술부 등의 촬상에 의해 얻어지는 촬상 화상의 표시에 관한 각종 제어를 행한다. 예를 들어, 제어부(11413)는 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 생성한다.
- [0270] 또한, 제어부(11413)는 화상 처리부(11412)에 의해 화상 처리가 실시된 화상 신호에 기초하여, 술부 등이 비친 촬상 화상을 표시 장치(11202)에 표시시킨다. 이때, 제어부(11413)는 각종 화상 인식 기술을 사용해서 촬상 화상 내에 있어서의 각종 물체를 인식해도 된다. 예를 들어, 제어부(11413)는 촬상 화상에 포함되는 물체의 에지 형상이나 색 등을 검출함으로써, 겸자 등의 수술 도구, 특정한 생체 부위, 출혈, 에너지 처치구(11112)의 사용 시 미스트 등을 인식할 수 있다. 제어부(11413)는 표시 장치(11202)에 촬상 화상을 표시시킬 때, 그 인식 결과를 사용하여, 각종 수술 지원 정보를 당해 술부의 화상에 중첩 표시시켜도 된다. 수술 지원 정보가 중첩 표시되고, 수술자(11131)에게 제시됨으로써, 수술자(11131)의 부담을 경감하는 것이나, 수술자(11131)가 확실하게 수술을 진행시키는 것이 가능해진다.
- [0271] 카메라 헤드(11102) 및 CCU(11201)를 접속하는 전송 케이블(11400)은, 전기 신호의 통신에 대응한 전기 신호 케이블, 광통신에 대응한 광 파이버, 또는 이들의 복합 케이블이다.
- [0272] 여기서, 도시하는 예에서는, 전송 케이블(11400)을 사용해서 유선으로 통신이 행해지고 있었지만, 카메라 헤드(11102)와 CCU(11201) 사이의 통신은 무선으로 행해져도 된다.
- [0273] 이상, 본 개시에 관한 기술이 적용될 수 있는 내시경 수술 시스템의 일례에 대해서 설명했다. 본 개시에 관한 기술은, 이상 설명한 구성 중, 예를 들어 내시경(11100)의 카메라 헤드(11102)에 마련된 촬상부(11402)에 적합하게 적용될 수 있다. 촬상부(11402)에 본 개시에 관한 기술을 적용함으로써, 고정밀의 내시경(11100)을 제공하는 것이 가능해진다.
- [0274] 이상, 실시 형태, 변형예 및 적용예 그리고 응용예를 들어 본 개시를 설명했지만, 본 기술은 상기 실시 형태 등에 한정되는 것은 아니고, 다양한 변형이 가능하다. 예를 들어, 상술한 변형예는, 상기 실시 형태의 변형예로서 설명했지만, 각변형예의 구성을 적절히 조합할 수 있다. 예를 들어 본 개시는, 이면 조사형 이미지 센서에 한정되는 것은 아니고, 표면 조사형 이미지 센서에도 적용 가능하다.
- [0275] 상기 실시 형태 등에서는, 촬상 장치를 예시해서 설명한 바와 같이 하였지만, 본 개시의 광 검출 장치는, 예를 들어 입사하는 광을 수광하고, 광을 전하로 변환하는 것이면 된다. 출력되는 신호는, 화상 정보의 신호여도 되고, 측거 정보의 신호여도 된다. 광 검출 장치(촬상 장치)는 이미지 센서, 측거 센서 등에 적용될 수 있다.
- [0276] 본 개시에 관한 광 검출 장치는, TOF(Time Of Flight) 방식의 거리 측정이 가능한 측거 센서로서도 적용될 수 있다. 광 검출 장치(촬상 장치)는 이벤트를 검출 가능한 센서, 예를 들어 이벤트 구동형의 센서(EVS(Event Vision Sensor), EDS(Event Driven Sensor), DVS(Dynamic Vision Sensor) 등이라고 불린다)로서도 적용될 수 있다.
- [0277] 본 개시의 일 실시 형태의 광 검출 장치는, 반도체층과, 반도체층에 마련되는 광전 변환 소자를 갖는 제1 화소를 포함하는 복수의 화소와, 반도체층에 있어서 인접하는 복수의 화소 사이에 마련되는 트렌치를 구비한다. 제1 화소는 반도체층의 제1 면측에 마련되는 트랜지스터와, 반도체층의 제1 면측에 마련되는 제1 도전층의 제1 반도체 영역과, 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함한다. 제1 반도체 영역은 트랜지스터에 접하고 있다. 이 때문에, 광 검출 장치는, 화소의 미세화에 유리한 구조를 가질 수 있다. 미세화에 유리한 광 검출 장치를 실현하는 것이 가능해진다.

- [0278] 또한, 본 명세서 중에 기재된 효과는 어디까지나 예시이며 그 기재에 한정되는 것은 아니고, 다른 효과가 있어도 된다. 또한, 본 개시는 이하와 같은 구성을 취하는 것도 가능하다.
- [0279] (1)
- [0280] 반도체층과,
- [0281] 상기 반도체층에 마련되는 광전 변환 소자를 갖는 제1 화소를 포함하는 복수의 화소와,
- [0282] 상기 반도체층에 있어서, 인접하는 복수의 상기 화소 사이에 마련되는 트렌치
- [0283] 를 구비하고,
- [0284] 상기 제1 화소는, 상기 반도체층의 제1 면측에 마련되는 트랜지스터와, 상기 반도체층의 상기 제1 면측에 마련되는 제1 도전형의 제1 반도체 영역과, 상기 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함하고,
- [0285] 상기 제1 반도체 영역은, 상기 트랜지스터에 접하고 있는
- [0286] 광 검출 장치.
- [0287] (2)
- [0288] 상기 트랜지스터는, 상기 반도체층에 마련된 제2 도전형의 소스 영역 및 드레인 영역을 갖고,
- [0289] 상기 제1 반도체 영역은, 상기 트랜지스터의 상기 소스 영역 또는 상기 드레인 영역에 접하고 있는
- [0290] 상기 (1)에 기재된 광 검출 장치.
- [0291] (3)
- [0292] 상기 제1 반도체 영역은, p형의 반도체 영역이고,
- [0293] 상기 소스 영역 및 상기 드레인 영역은, 각각 n형의 반도체 영역인
- [0294] 상기 (1) 또는 (2)에 기재된 광 검출 장치.
- [0295] (4)
- [0296] 상기 트랜지스터는, 게이트 전극 및 게이트 절연막을 갖고,
- [0297] 상기 제1 반도체 영역은, 상기 트랜지스터의 상기 게이트 전극 및 상기 게이트 절연막의 적어도 한쪽에 인접하도록 마련되어 있는
- [0298] 상기 (1) 내지 (3)의 어느 하나에 기재된 광 검출 장치.
- [0299] (5)
- [0300] 상기 반도체층에 마련되는 상기 제1 도전형의 제1 웰을 갖고,
- [0301] 상기 제1 반도체 영역은, 상기 제1 웰에 마련되고,
- [0302] 상기 제1 콘택트는, 상기 제1 반도체 영역을 통해 상기 제1 웰과 전기적으로 접속되어 있는
- [0303] 상기 (1) 내지 (4)의 어느 하나에 기재된 광 검출 장치.
- [0304] (6)
- [0305] 상기 제1 반도체 영역의 일부와 접하고, 상기 트렌치의 내부에 마련되는 도체 영역을 갖고,
- [0306] 상기 제1 콘택트는, 상기 도체 영역 상에 마련되고, 상기 도체 영역을 통해 상기 제1 반도체 영역에 전기적으로 접속되어 있는
- [0307] 상기 (1) 내지 (5)의 어느 하나에 기재된 광 검출 장치.
- [0308] (7)
- [0309] 상기 도체 영역은, 상기 반도체층 내에 마련되어 있는
- [0310] 상기 (6)에 기재된 광 검출 장치.

- [0311] (8)
- [0312] 상기 복수의 화소는, 상기 제1 화소와 인접하는 제2 화소를 포함하고,
- [0313] 상기 제1 화소 및 상기 제2 화소는, 각각 상기 광전 변환 소자와, 플로팅 디퓨전과, 상기 트랜지스터와, 상기 제1 반도체 영역을 갖는
- [0314] 상기 (1) 내지 (7)의 어느 하나에 기재된 광 검출 장치.
- [0315] (9)
- [0316] 상기 제1 화소의 상기 제1 반도체 영역과 상기 제2 화소의 상기 제1 반도체 영역을 전기적으로 접속하는 도체 영역을 갖는
- [0317] 상기 (8)에 기재된 광 검출 장치.
- [0318] (10)
- [0319] 상기 제1 화소의 상기 플로팅 디퓨전과 상기 제2 화소의 상기 플로팅 디퓨전을 전기적으로 접속하는 제2 반도체 영역과,
- [0320] 상기 제2 반도체 영역에 전기적으로 접속되는 제2 콘택트를 갖는
- [0321] 상기 (8) 또는 (9)에 기재된 광 검출 장치.
- [0322] (11)
- [0323] 상기 트랜지스터를 포함하고, 상기 광전 변환 소자로 광전 변환된 전하에 기초한 신호를 출력 가능한 읽어내기 회로를 갖는
- [0324] 상기 (1) 내지 (10)의 어느 하나에 기재된 광 검출 장치.
- [0325] (12)
- [0326] 상기 트랜지스터는, 증폭 트랜지스터, 선택 트랜지스터, 리셋 트랜지스터, 전환 트랜지스터 또는 더미 트랜지스터인
- [0327] 상기 (11)에 기재된 광 검출 장치.
- [0328] (13)
- [0329] 광이 입사하는 렌즈를 갖고,
- [0330] 상기 광전 변환 소자로서, 상기 렌즈를 투과한 광을 광전 변환하는 제1 광전 변환 소자와, 상기 제1 광전 변환 소자의 옆에 마련되고, 상기 렌즈를 투과한 광을 광전 변환하는 제2 광전 변환 소자를 갖는
- [0331] 상기 (1) 내지 (12)의 어느 하나에 기재된 광 검출 장치.
- [0332] (14)
- [0333] 상기 트랜지스터로서, 제1 트랜지스터와, 상기 제1 트랜지스터의 옆에 마련되는 제2 트랜지스터를 갖고,
- [0334] 상기 제1 반도체 영역은, 상기 제1 트랜지스터와 상기 제2 트랜지스터에 접하고 있는
- [0335] 상기 (13)에 기재된 광 검출 장치.
- [0336] (15)
- [0337] 상기 제1 트랜지스터는, 상기 제1 광전 변환 소자측에 마련되고, 제2 도전형의 소스 영역 및 드레인 영역을 갖고,
- [0338] 상기 제2 트랜지스터는, 상기 제2 광전 변환 소자측에 마련되고, 상기 제2 도전형의 소스 영역 및 드레인 영역을 갖고,
- [0339] 상기 제1 반도체 영역은, 상기 제1 트랜지스터의 상기 소스 영역 또는 상기 드레인 영역과, 상기 제2 트랜지스터의 상기 소스 영역 또는 상기 드레인 영역에 접하고 있는

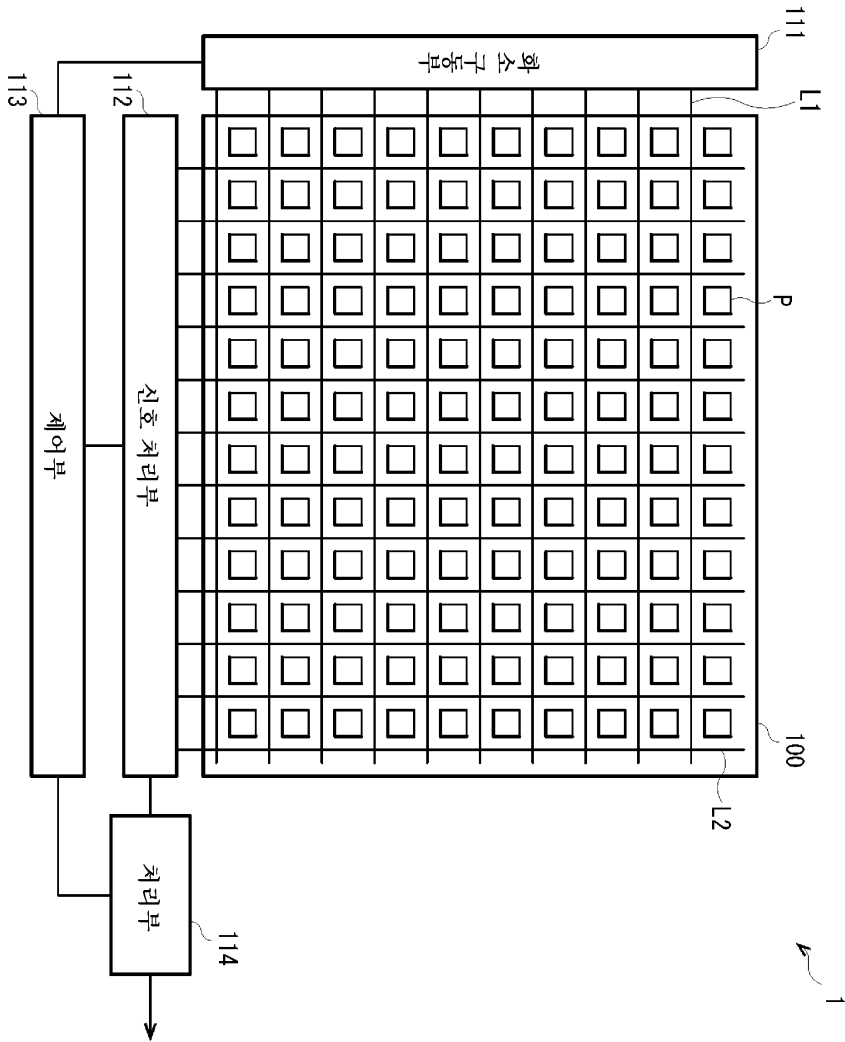
- [0340] 상기 (14)에 기재된 광 검출 장치.
- [0341] (16)
- [0342] 상기 제1 트랜지스터 및 상기 제2 트랜지스터는, 각각 게이트 전극 및 게이트 절연막을 갖고,
- [0343] 상기 제1 반도체 영역은, 상기 제1 트랜지스터의 상기 게이트 전극 및 상기 게이트 절연막의 적어도 한쪽과, 상기 제2 트랜지스터의 상기 게이트 전극 및 상기 게이트 절연막의 적어도 한쪽에 인접하도록 마련되어 있는
- [0344] 상기 (14) 또는 (15)에 기재된 광 검출 장치.
- [0345] (17)
- [0346] 상기 제1 콘택트는, 상기 제1 트랜지스터의 소스 영역 또는 드레인 영역과, 상기 제2 트랜지스터의 소스 영역 또는 드레인 영역 사이에 마련되어 있는
- [0347] 상기 (14) 내지 (16)의 어느 하나에 기재된 광 검출 장치.
- [0348] (18)
- [0349] 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 포함하고, 상기 제1 광전 변환 소자로 광전 변환된 전하에 기초한 신호와, 상기 제2 광전 변환 소자로 광전 변환된 전하에 기초한 신호를 출력 가능한 읽어들이기 회로를 갖는
- [0350] 상기 (14) 내지 (17)의 어느 하나에 기재된 광 검출 장치.
- [0351] (19)
- [0352] 상기 렌즈는, 상기 반도체층의 제1 면과는 반대인 제2 면측에 마련되는
- [0353] 상기 (13) 내지 (18)의 어느 하나에 기재된 광 검출 장치.
- [0354] (20)
- [0355] 반도체층에 마련된 제1 화소와,
- [0356] 상기 제1 화소와 인접하는 화소를 분리하는 제1 영역과, 상기 제1 화소 내에 마련된 광전 변환 소자가 평면으로 보아 차단된 제2 영역을 갖는 트렌치
- [0357] 를 구비하고,
- [0358] 상기 제2 영역은, 상기 평면으로 보아 상기 제1 화소에 마련된 제1 플로팅 디퓨전 영역과 제2 플로팅 디퓨전 영역 사이에 제1 분리부를 갖고,
- [0359] 상기 제2 영역은, 상기 평면으로 보아 상기 제1 화소에 마련된 제1 트랜지스터와 제2 트랜지스터 사이에 제2 분리부를 갖고,
- [0360] 상기 제1 화소는, 제1 도전형의 제1 반도체 영역과, 상기 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함하고,
- [0361] 상기 평면으로 보아 상기 제1 분리부와 상기 제2 분리부 사이에 상기 제1 반도체 영역이 마련되고,
- [0362] 상기 제1 반도체 영역은, 상기 제1 트랜지스터와 상기 제2 트랜지스터에 접하고 있는
- [0363] 광 검출 장치.
- [0364] (21)
- [0365] 상기 제1 트랜지스터 및 상기 제2 트랜지스터는, 게이트 전극 및 게이트 절연막을 갖고,
- [0366] 상기 제1 반도체 영역은, 상기 게이트 전극 및 상기 게이트 절연막의 적어도 한쪽에 인접하도록 마련되어 있는
- [0367] 상기 (20)에 기재된 광 검출 장치.
- [0368] (22)
- [0369] 상기 제1 반도체 영역은, 상기 평면으로 보아 상기 제1 트랜지스터 및 상기 제2 트랜지스터와 수평 방향으로 접하는 제1 부분과, 상기 제1 부분과 수직 방향으로 접하는 제2 부분을 갖는

- [0370] 상기 (20) 또는 (21)에 기재된 광 검출 장치.
- [0371] (23)
- [0372] 상기 제1 콘택트는, 상기 제1 반도체 영역의 상기 제2 부분 위에 마련되어 있는
- [0373] 상기 (22)에 기재된 광 검출 장치.
- [0374] (24)
- [0375] 상기 제1 부분의 불순물 농도는, 상기 제2 부분의 불순물 농도보다 낮은
- [0376] 상기 (22) 또는 (23)에 기재된 광 검출 장치.
- [0377] (25)
- [0378] 상기 제1 트랜지스터 및 상기 제2 트랜지스터는, 상기 반도체층에 마련된 제2 도전형의 소스 영역 및 드레인 영역을 갖고,
- [0379] 상기 제1 반도체 영역은, 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 상기 소스 영역 또는 상기 드레인 영역에 접하고 있는
- [0380] 상기 (20)에 기재된 광 검출 장치.
- [0381] (26)
- [0382] 상기 제1 반도체 영역은, p형의 반도체 영역이고,
- [0383] 상기 소스 영역 및 상기 드레인 영역은, 각각 n형의 반도체 영역인
- [0384] 상기 (25)에 기재된 광 검출 장치.
- [0385] (27)
- [0386] 광학계와,
- [0387] 상기 광학계를 투과한 광을 수광하는 광 검출 장치
- [0388] 를 구비하고,
- [0389] 상기 광 검출 장치는,
- [0390] 반도체층과,
- [0391] 상기 반도체층에 마련되는 광전 변환 소자를 갖는 제1 화소를 포함하는 복수의 화소와,
- [0392] 상기 반도체층에 있어서, 인접하는 복수의 상기 화소 사이에 마련되는 트렌치
- [0393] 를 갖고,
- [0394] 상기 제1 화소는, 상기 반도체층의 제1 면측에 마련되는 트랜지스터와, 상기 반도체층의 상기 제1 면측에 마련되는 제1 도전형의 제1 반도체 영역과, 상기 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함하고,
- [0395] 상기 제1 반도체 영역은, 상기 트랜지스터에 접하고 있는
- [0396] 전자 기기.
- [0397] (28)
- [0398] 광학계와,
- [0399] 상기 광학계를 투과한 광을 수광하는 광 검출 장치
- [0400] 를 구비하고,
- [0401] 상기 광 검출 장치는,
- [0402] 반도체층에 마련된 제1 화소와,
- [0403] 상기 제1 화소와 인접하는 화소를 분리하는 제1 영역과, 상기 제1 화소 내에 마련된 광전 변환 소자가 평면으로

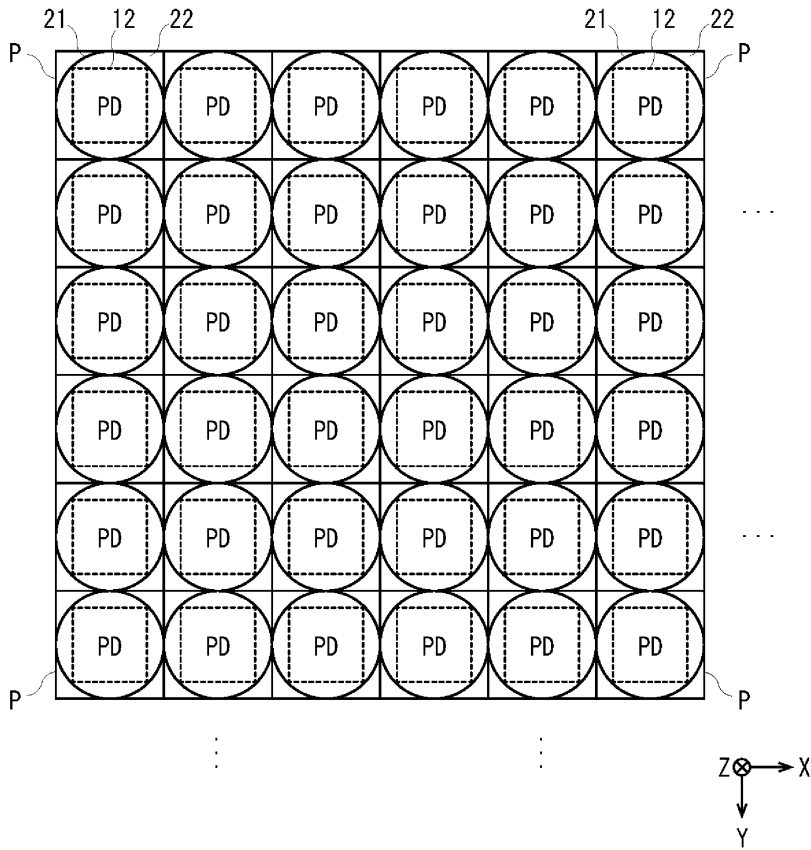
보아 차단된 제2 영역을 갖는 트렌치

- [0404] 를 갖고,
- [0405] 상기 제2 영역은, 상기 평면으로 보아 상기 제1 화소에 마련된 제1 플로팅 디퓨전 영역과 제2 플로팅 디퓨전 영역 사이에 제1 분리부를 갖고,
- [0406] 상기 제2 영역은, 상기 평면으로 보아 상기 제1 화소에 마련된 제1 트랜지스터와 제2 트랜지스터 사이에 제2 분리부를 갖고,
- [0407] 상기 제1 화소는, 제1 도전형의 제1 반도체 영역과, 상기 제1 반도체 영역에 전기적으로 접속되는 제1 콘택트를 포함하고,
- [0408] 상기 평면으로 보아 상기 제1 분리부와 상기 제2 분리부 사이에 상기 제1 반도체 영역이 마련되고,
- [0409] 상기 제1 반도체 영역은, 상기 제1 트랜지스터와 상기 제2 트랜지스터에 접하고 있는
- [0410] 전자 기기.
- [0411] 본 출원은 미국 특허 상표청에 있어서 2022년 2월 15일에 출원된 미국 가특허 출원번호 제63/310267호를 기초로 해서 우선권을 주장하는 것이며, 이 출원의 모든 내용을 참조에 의해 본 출원에 원용한다.
- [0412] 당업자라면 설계상의 요건이나 다른 요인에 따라, 여러가지의 수정, 콤비네이션, 서브 콤비네이션 및 변경을 상도할 수 있지만, 그들은 첨부된 청구범위나 그 균등물의 범위에 포함되는 것임이 이해된다.

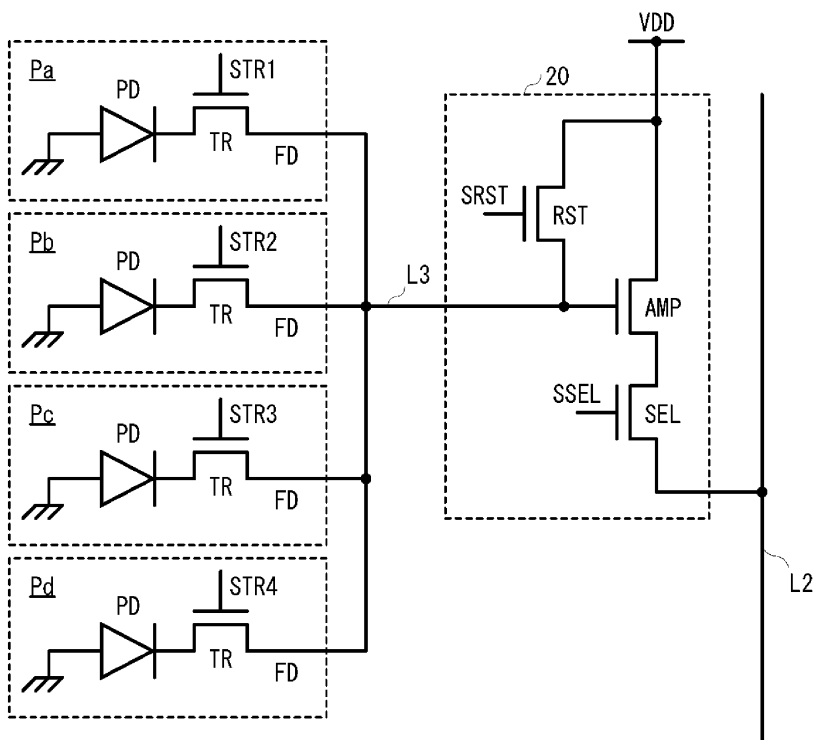
도면
도면1



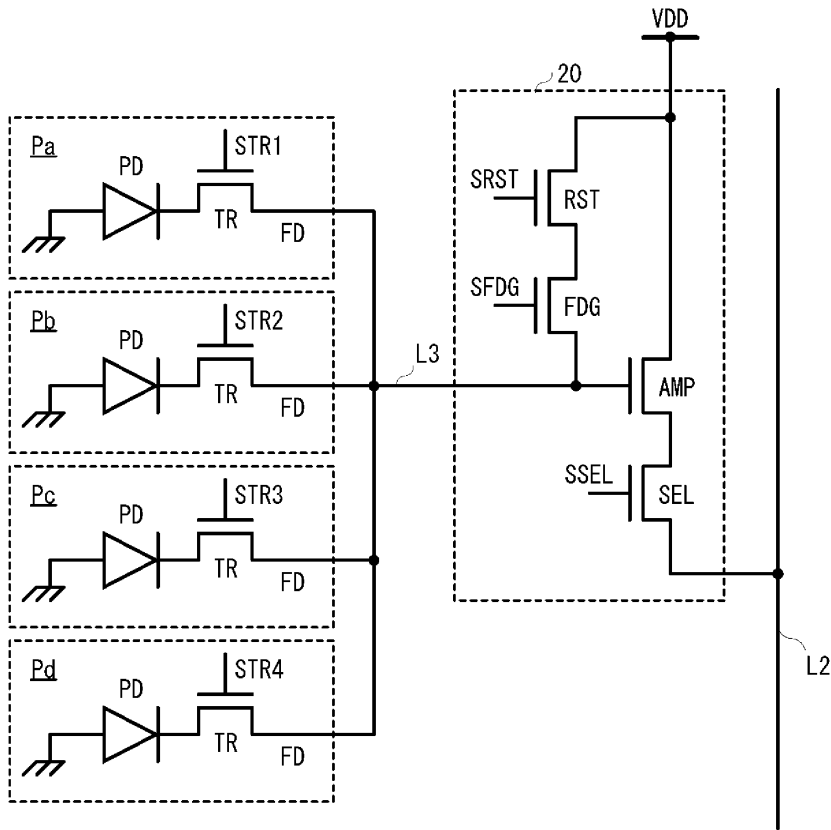
도면2



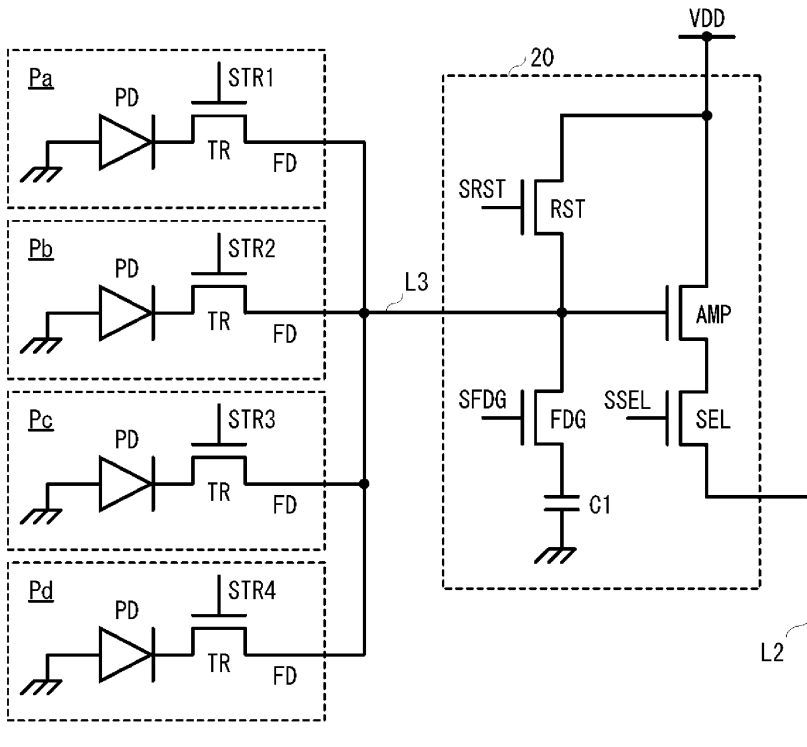
도면3



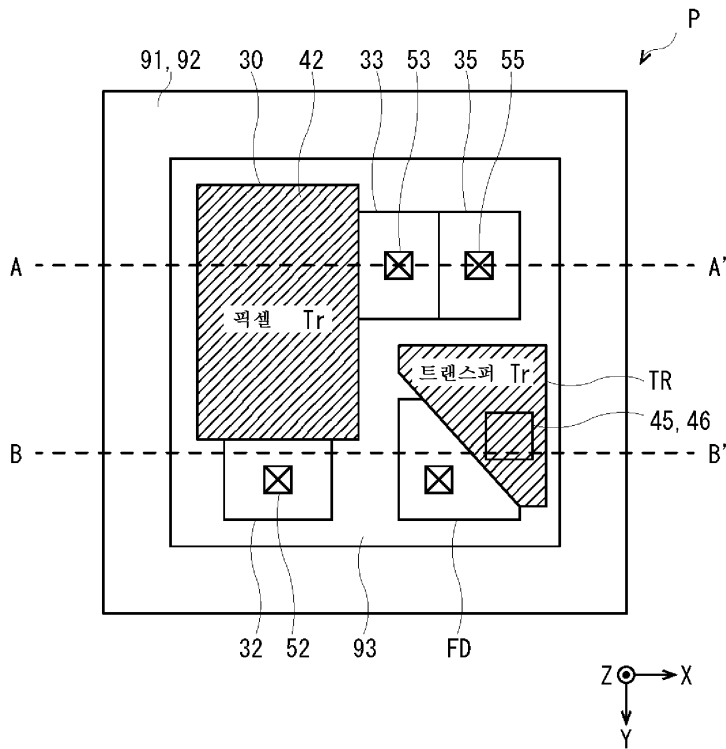
도면4a



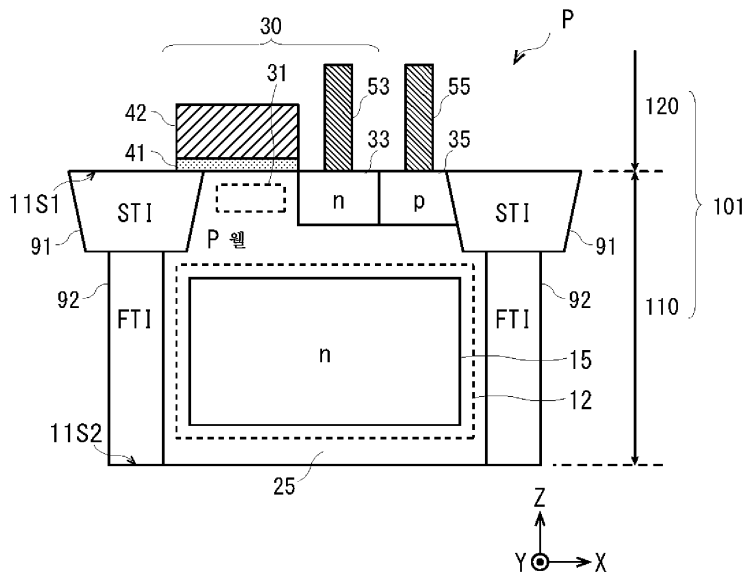
도면4b



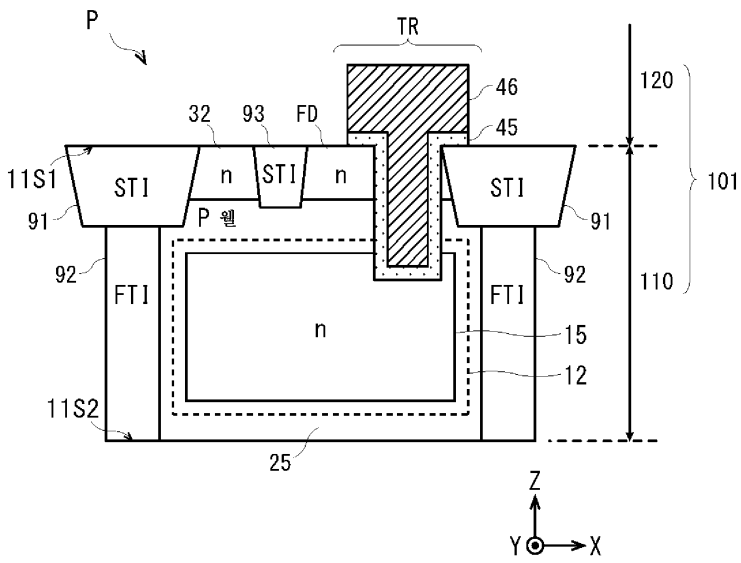
도면5



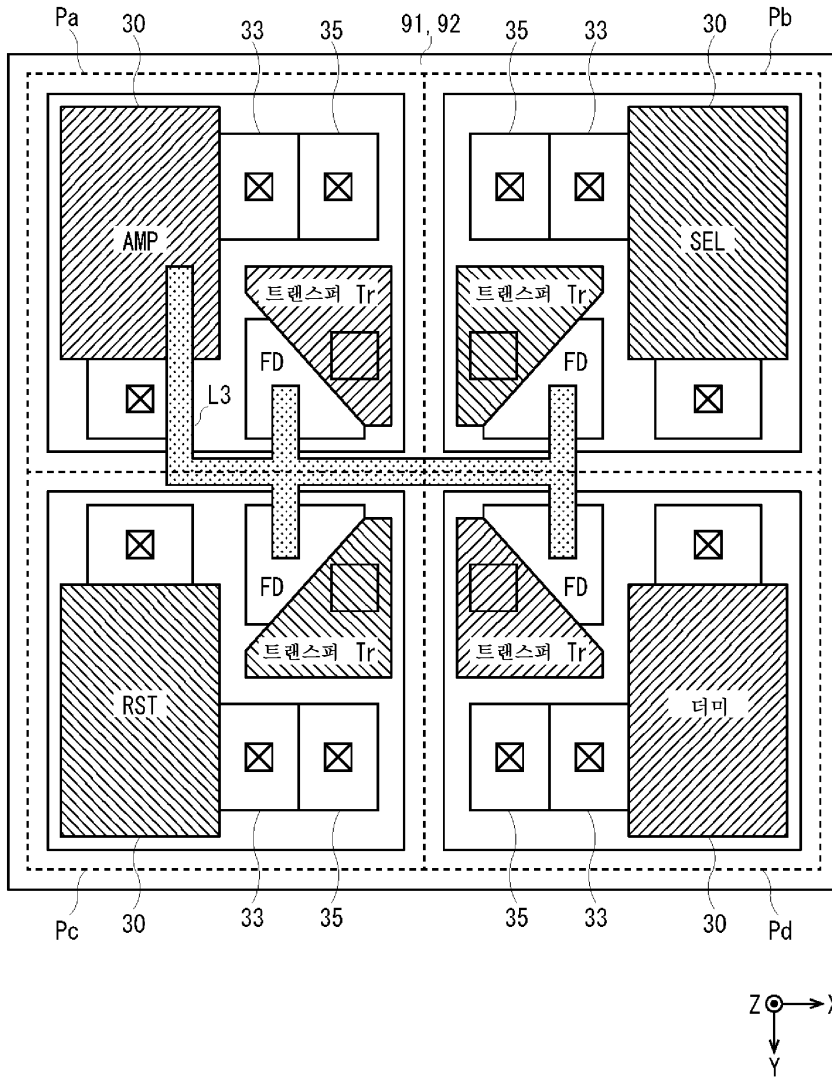
도면6



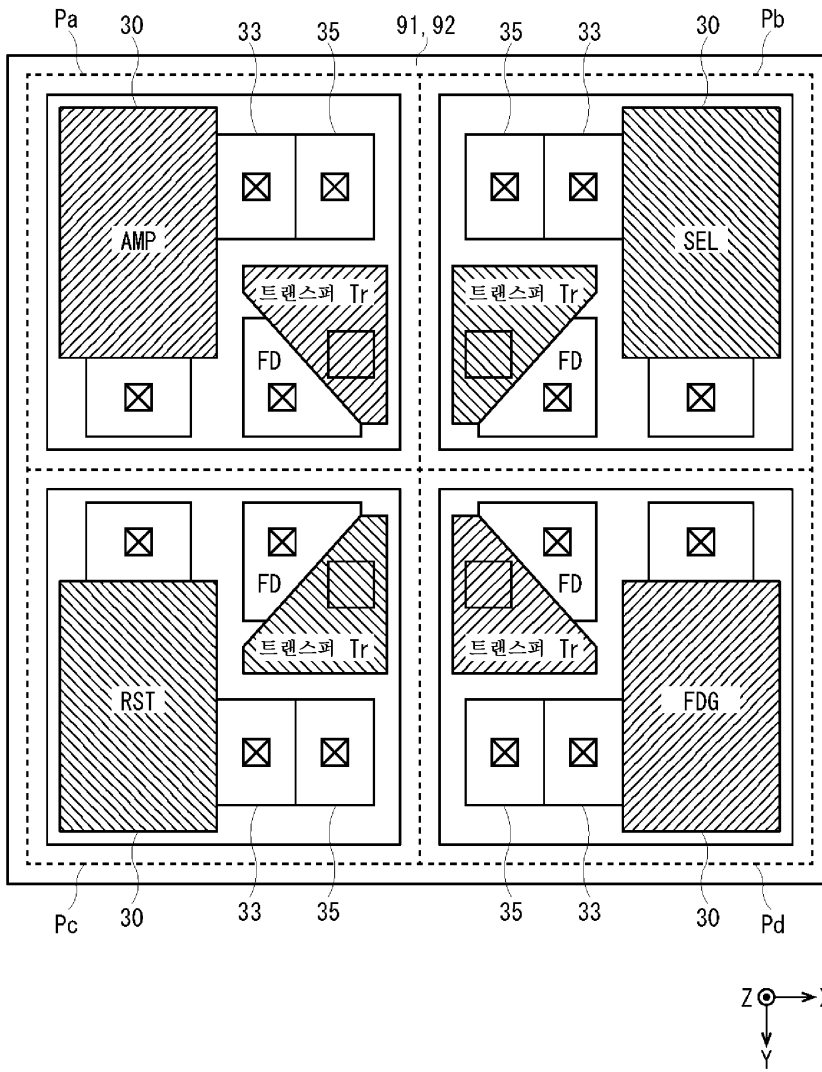
도면7



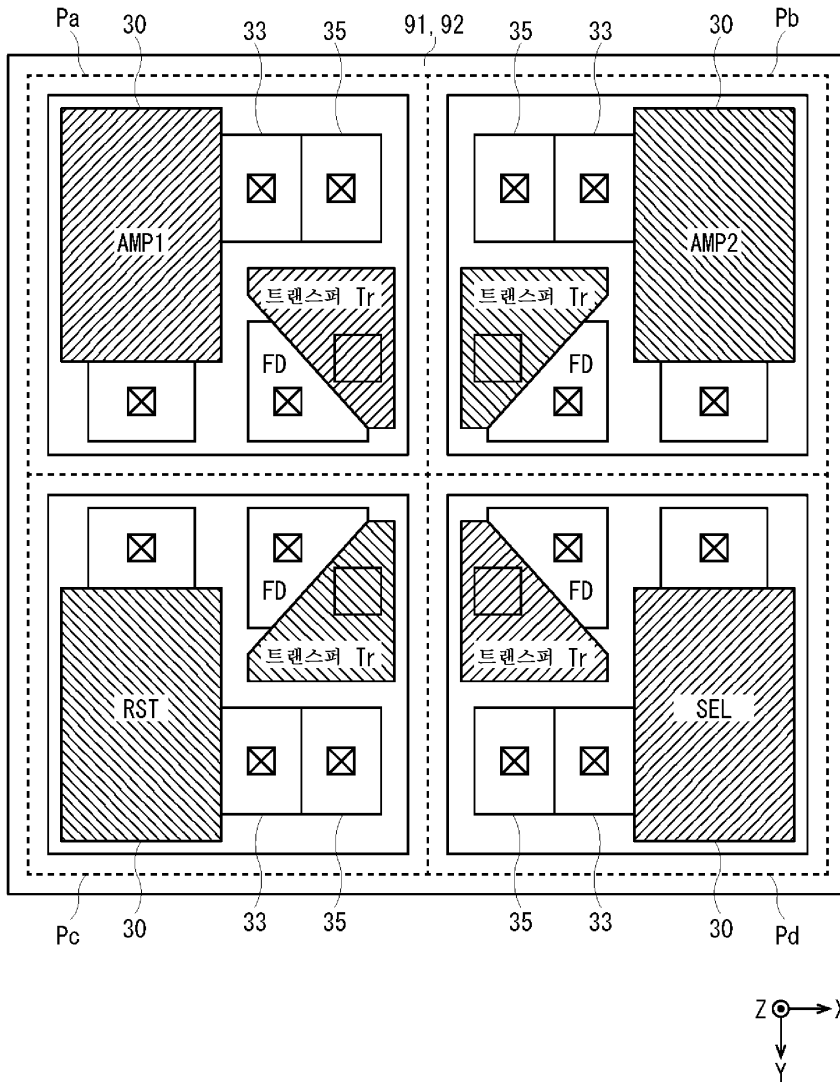
도면8



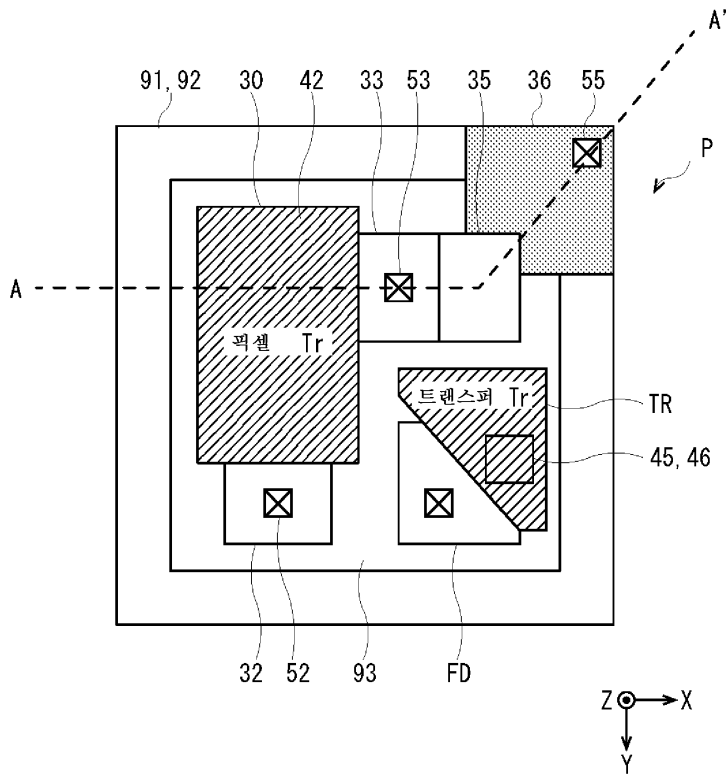
도면9



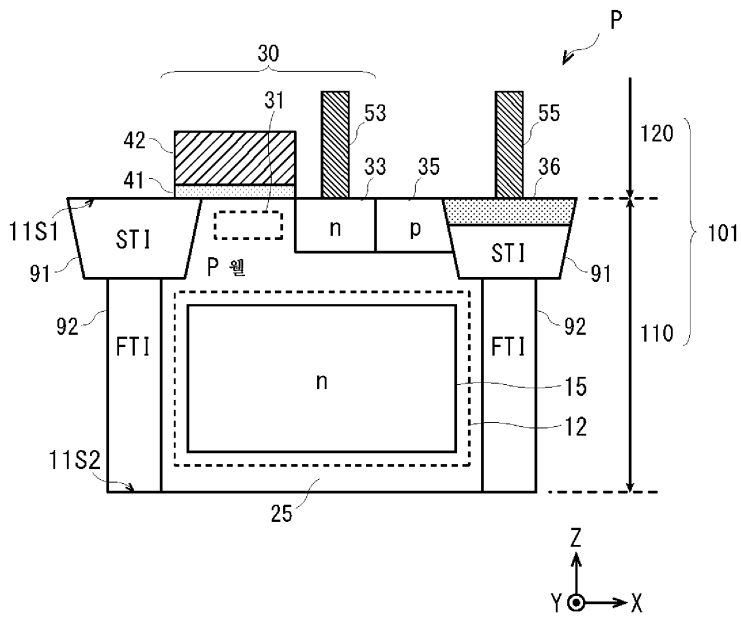
도면10



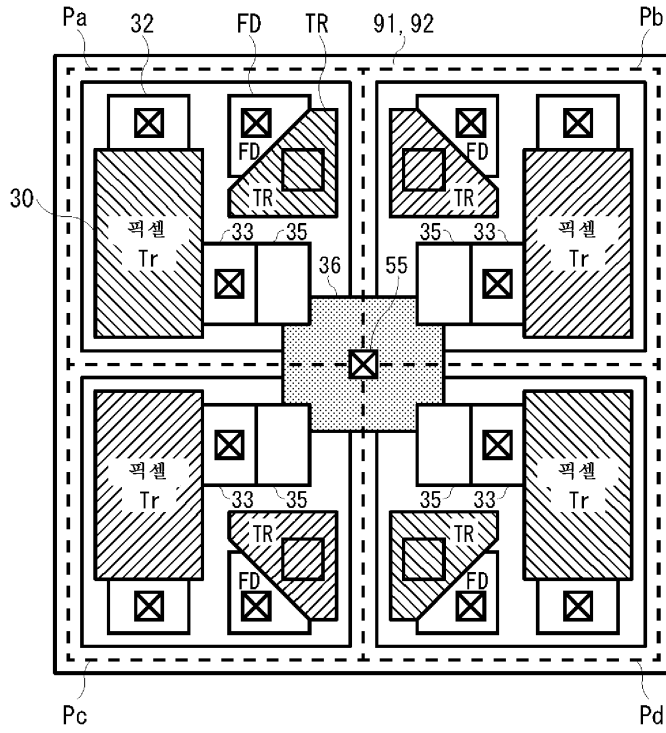
도면12



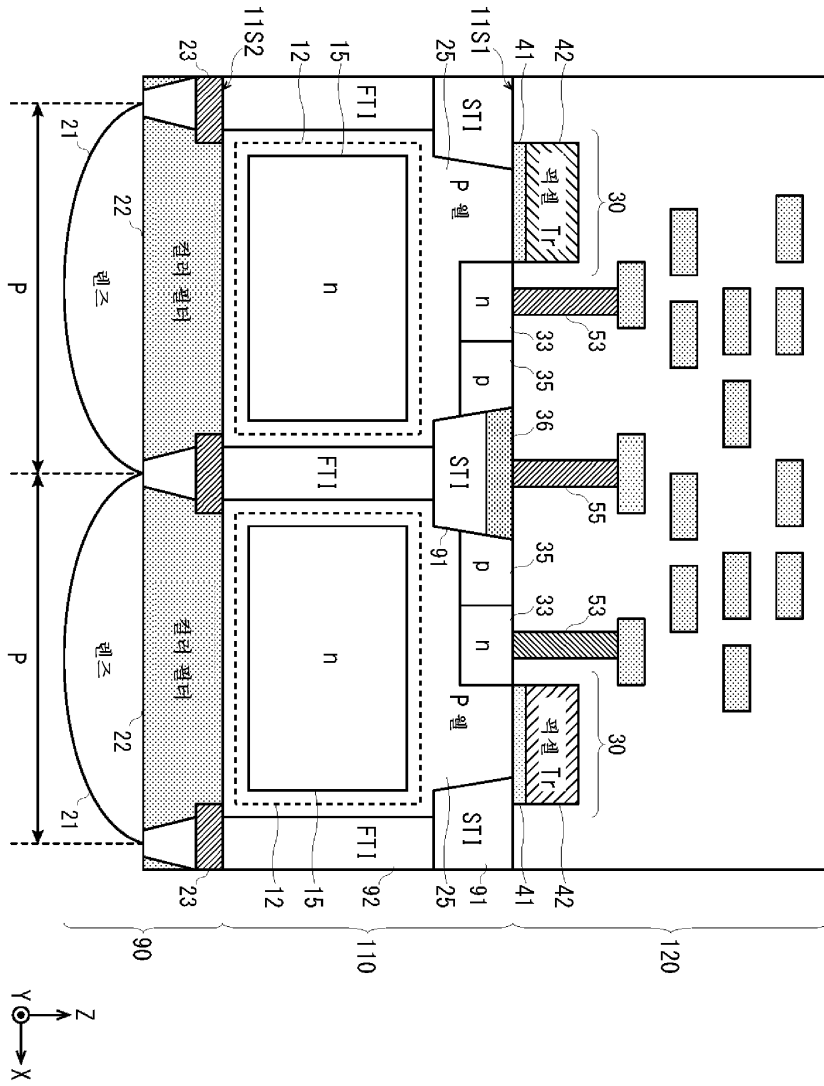
도면13



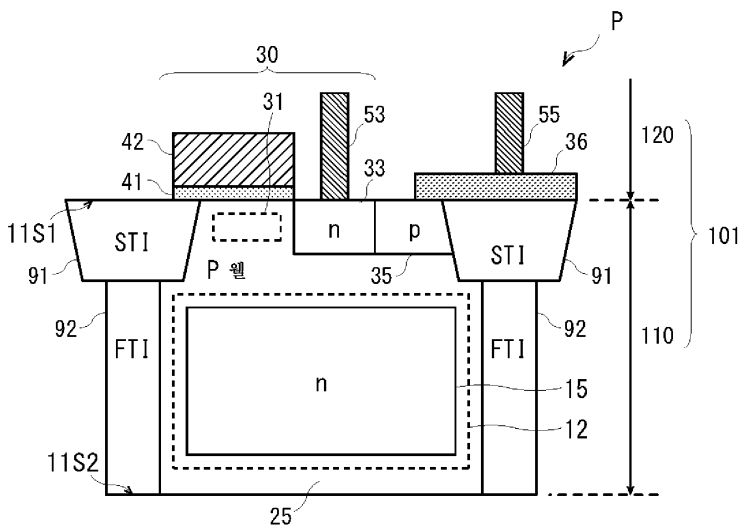
도면14



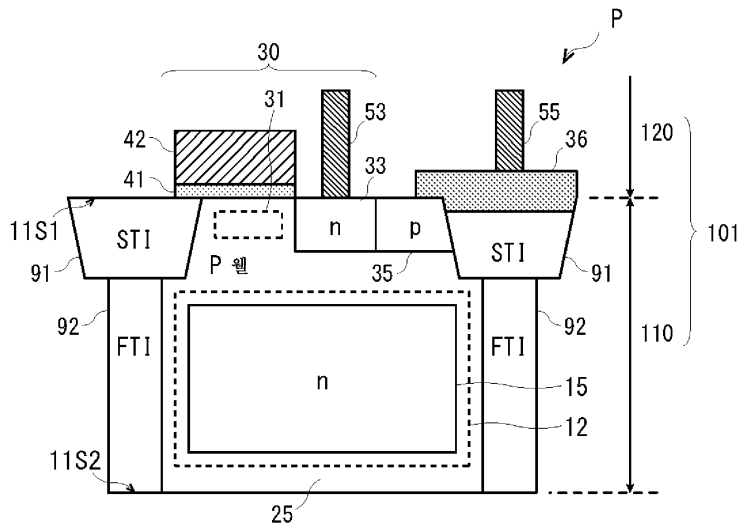
도면15



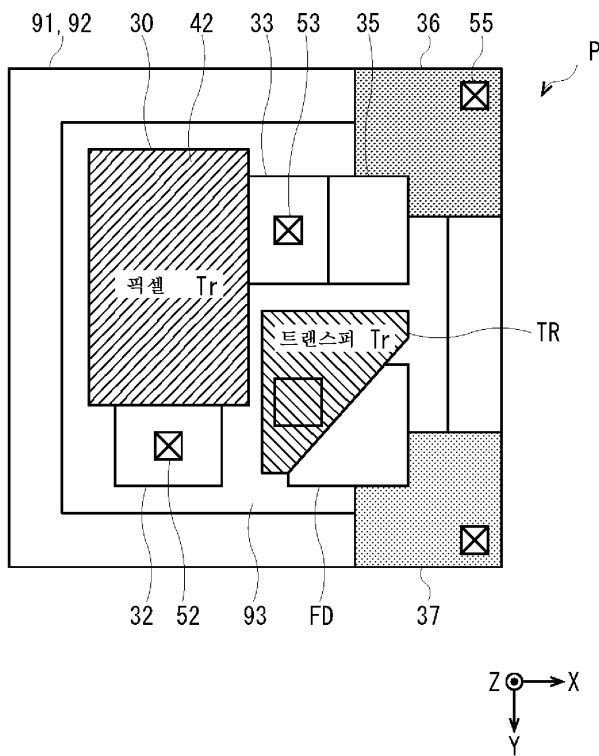
도면16



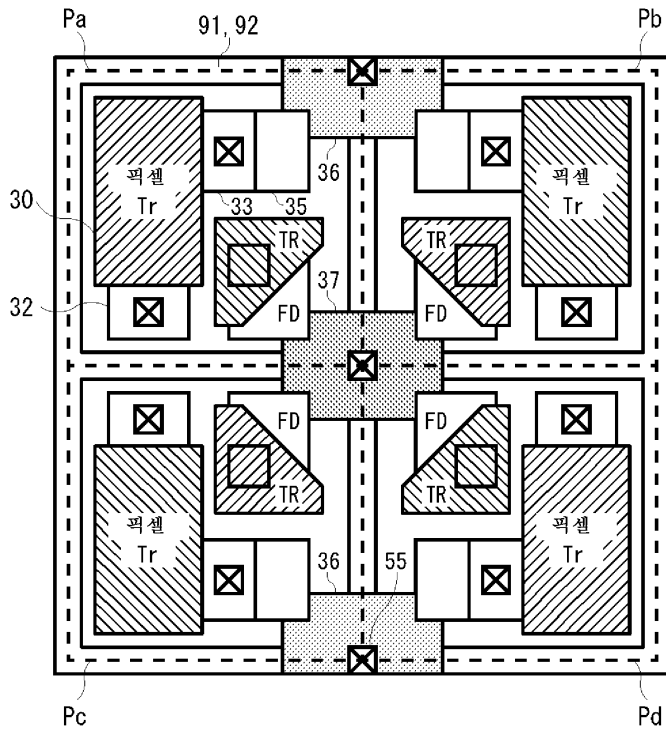
도면17



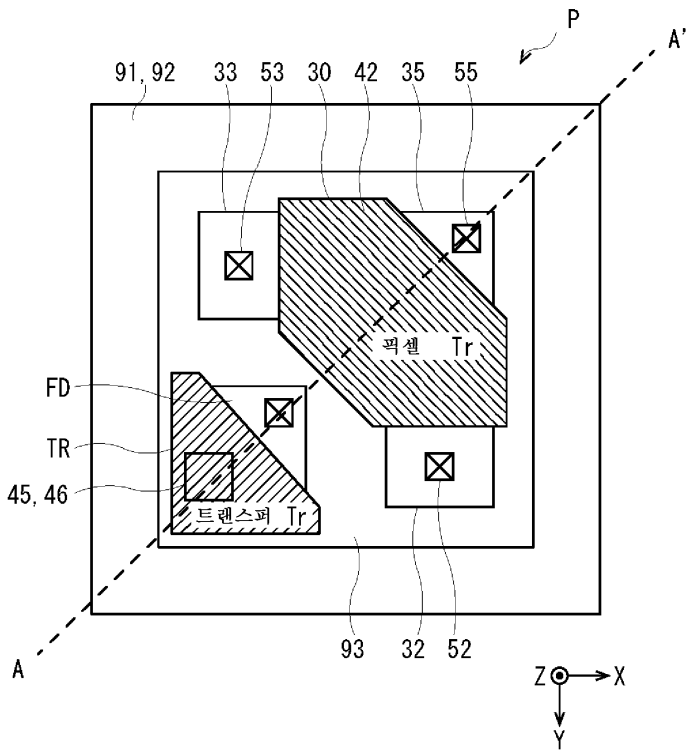
도면18



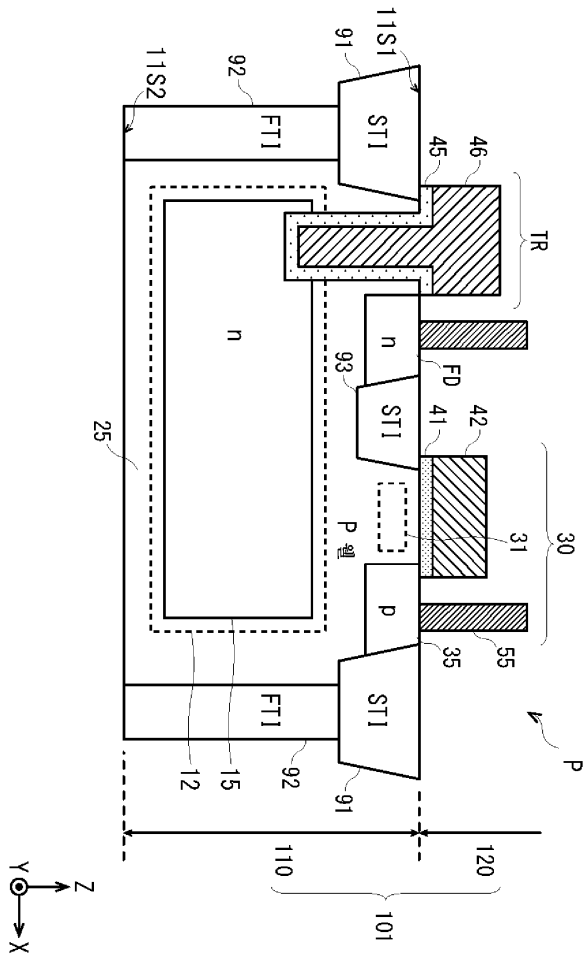
도면19



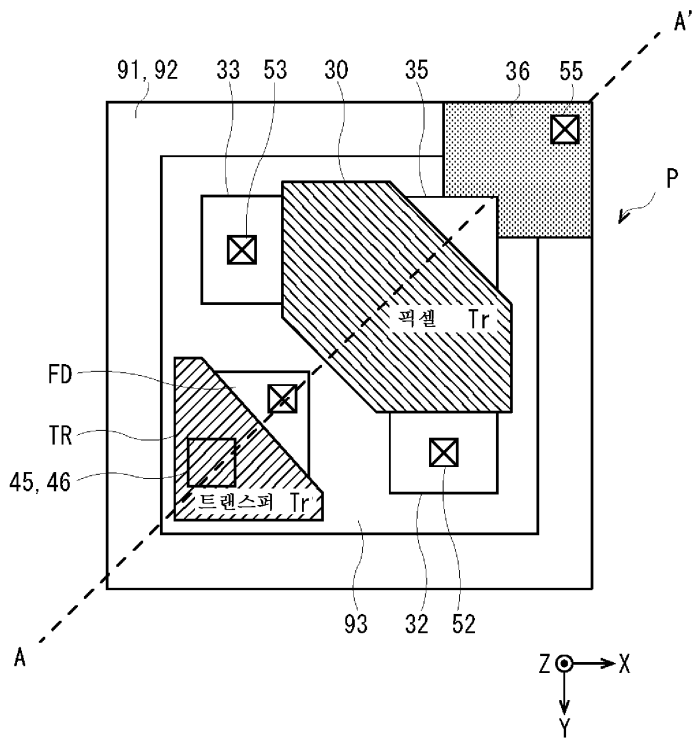
도면20



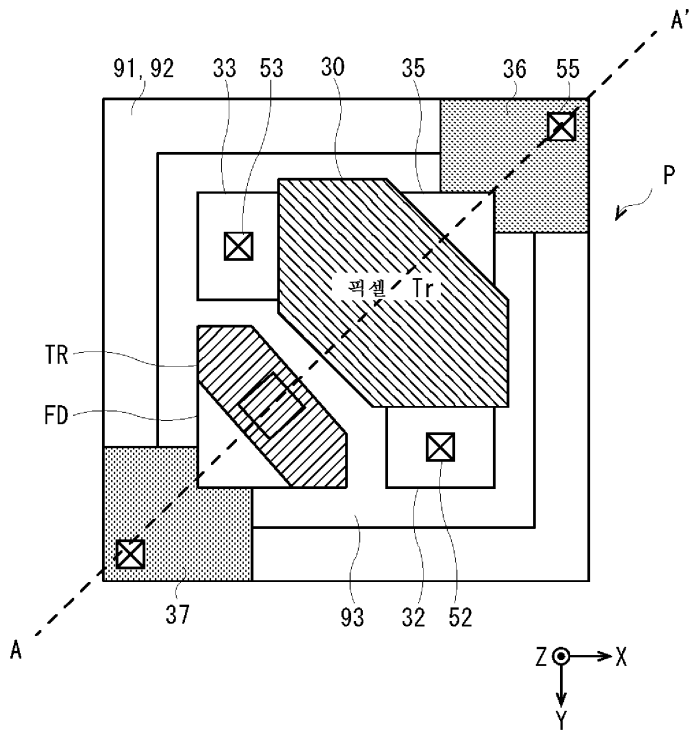
도면21



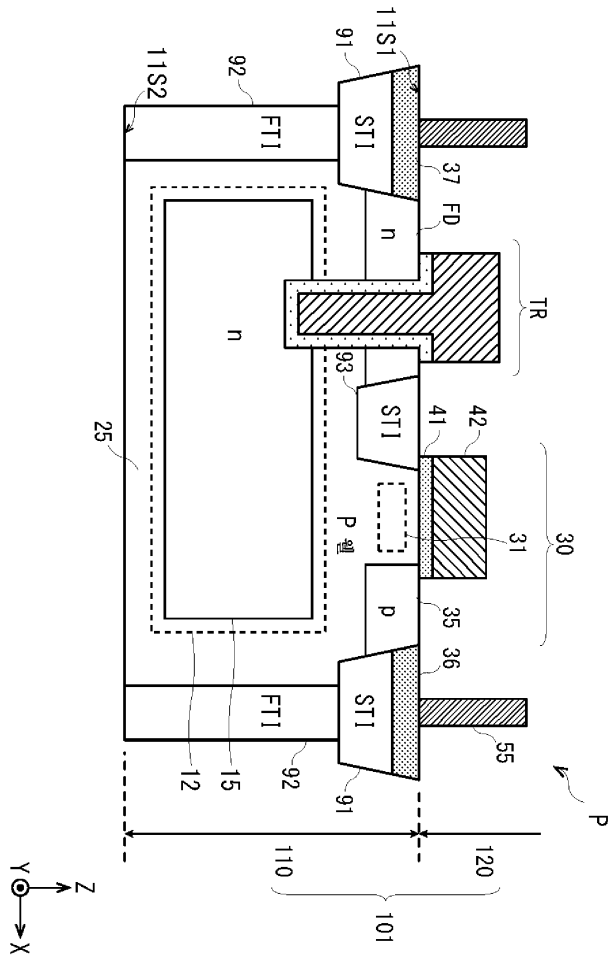
도면22



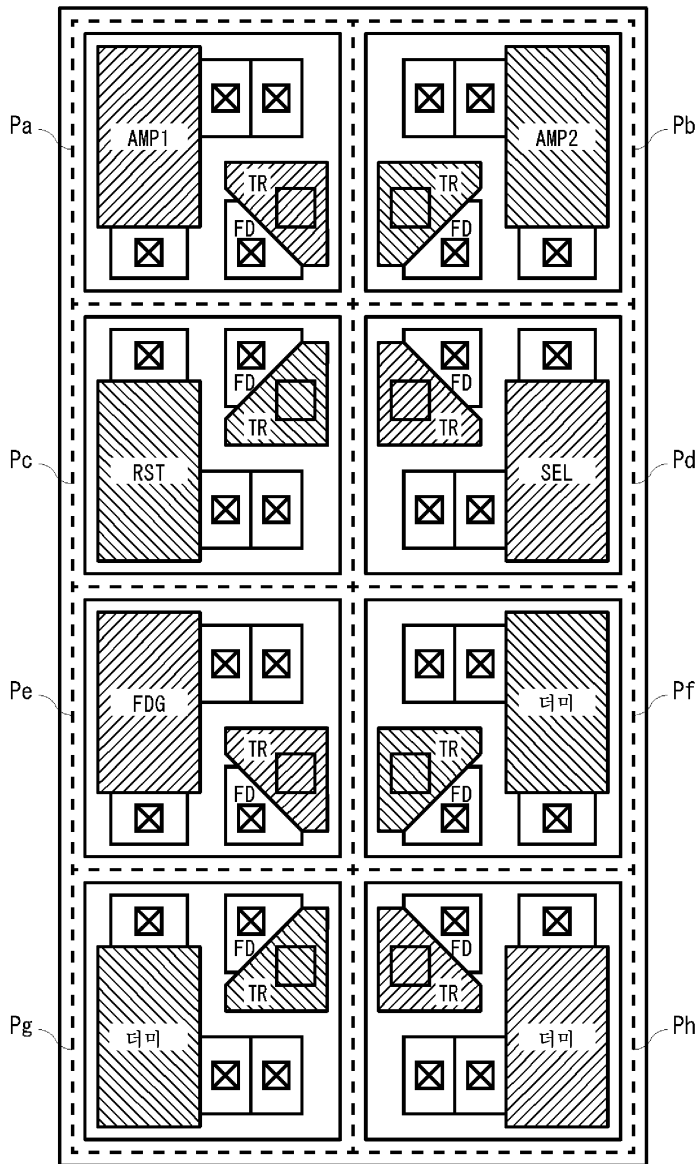
도면25



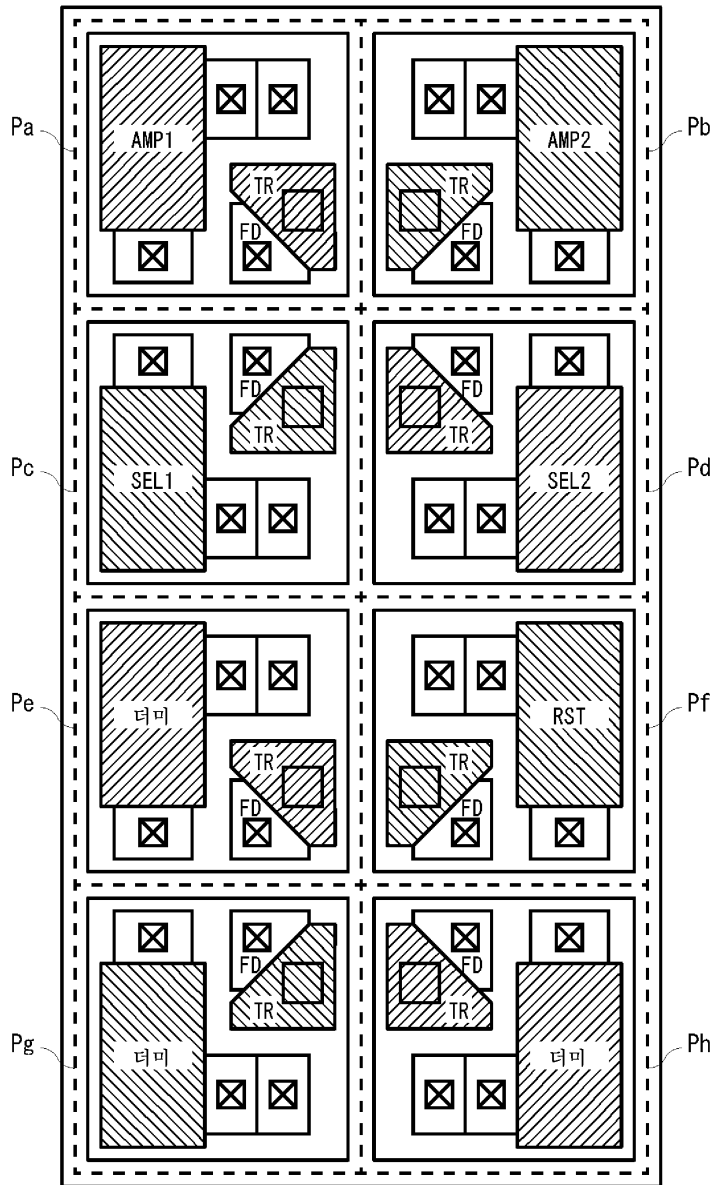
도면26



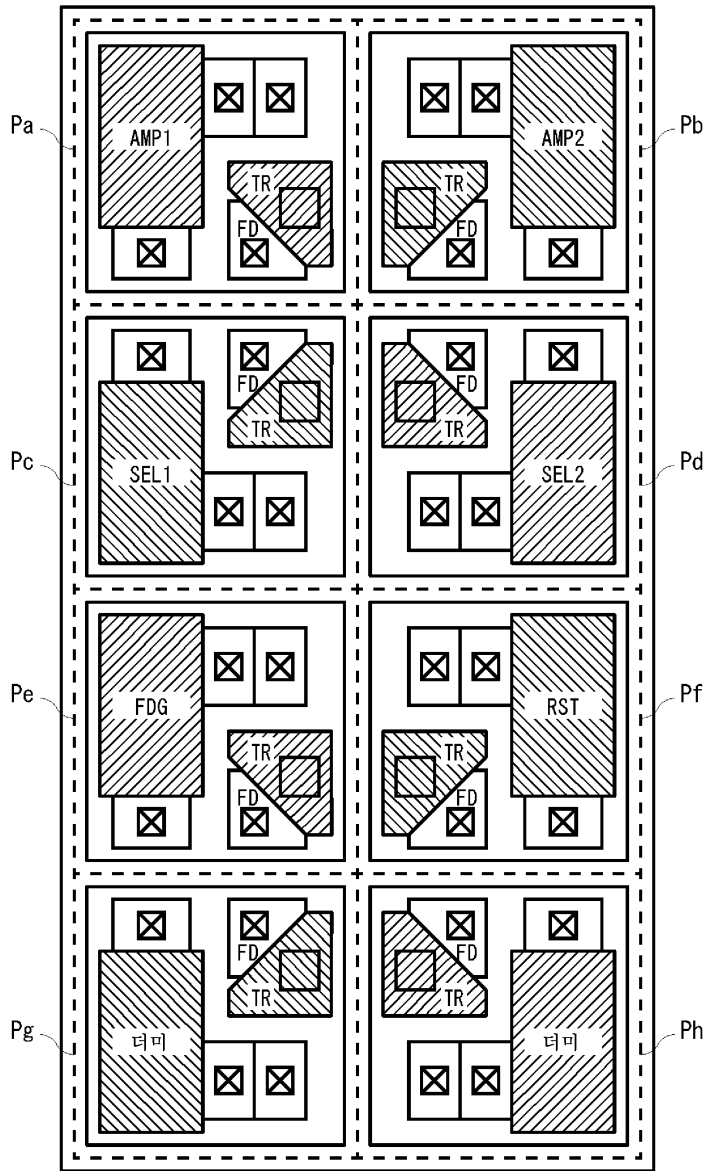
도면28



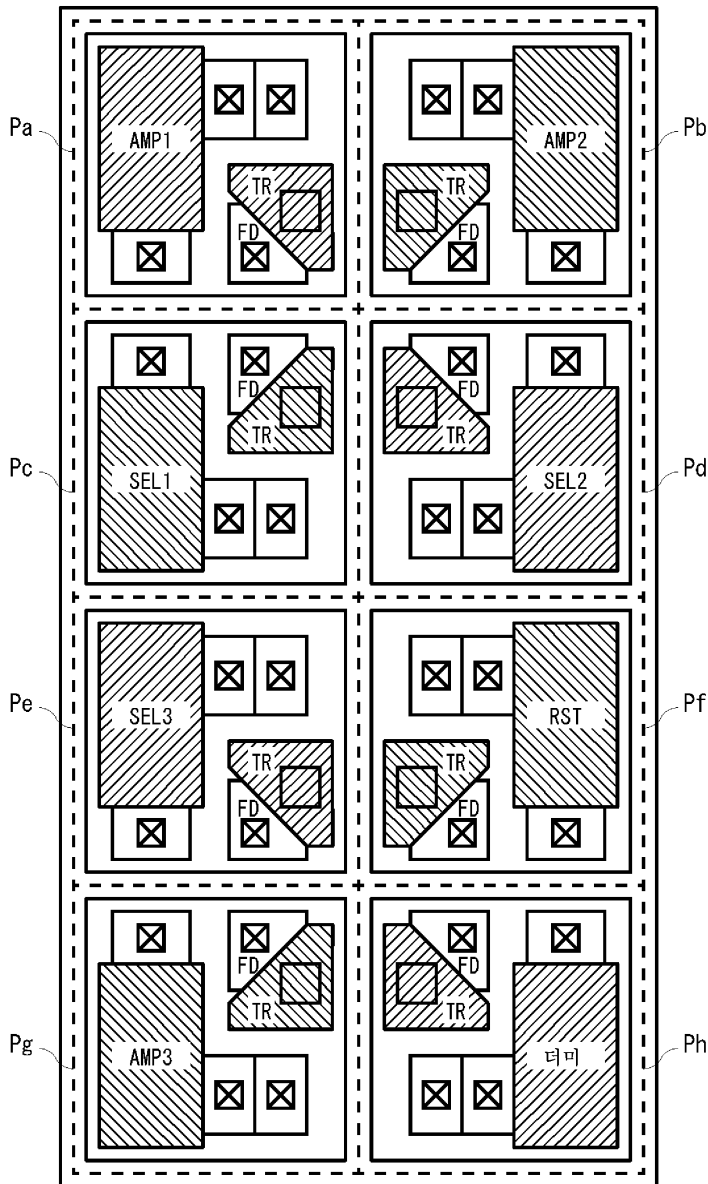
도면29



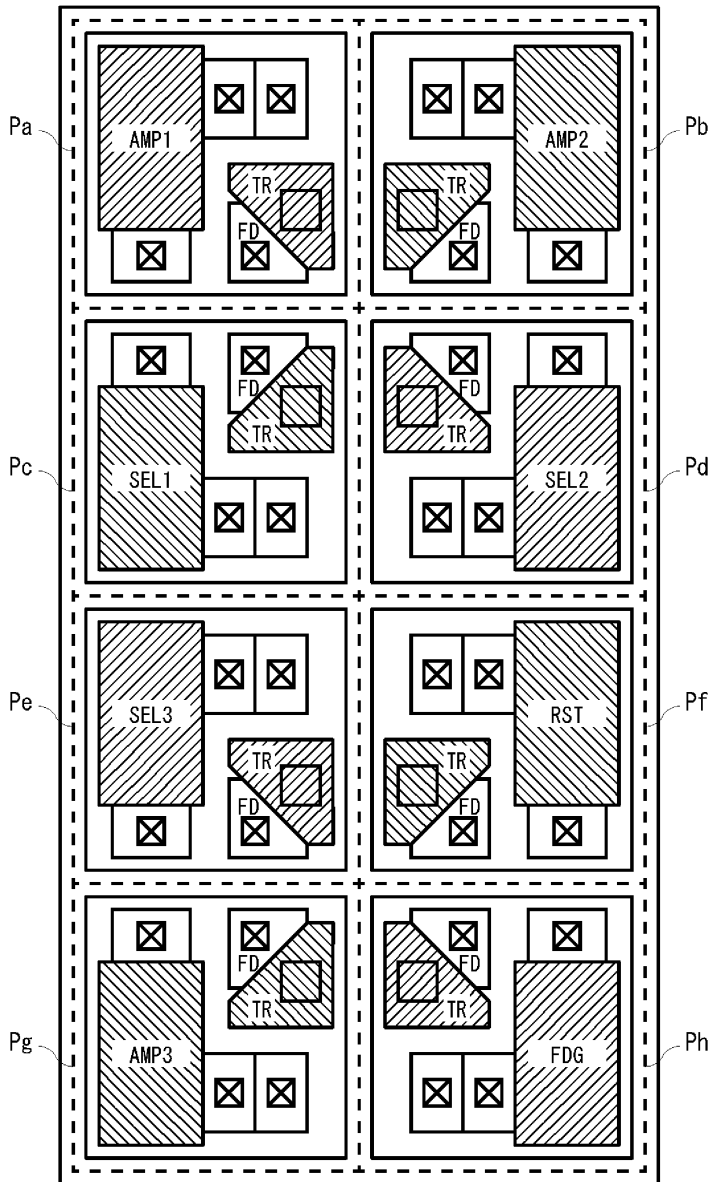
도면30



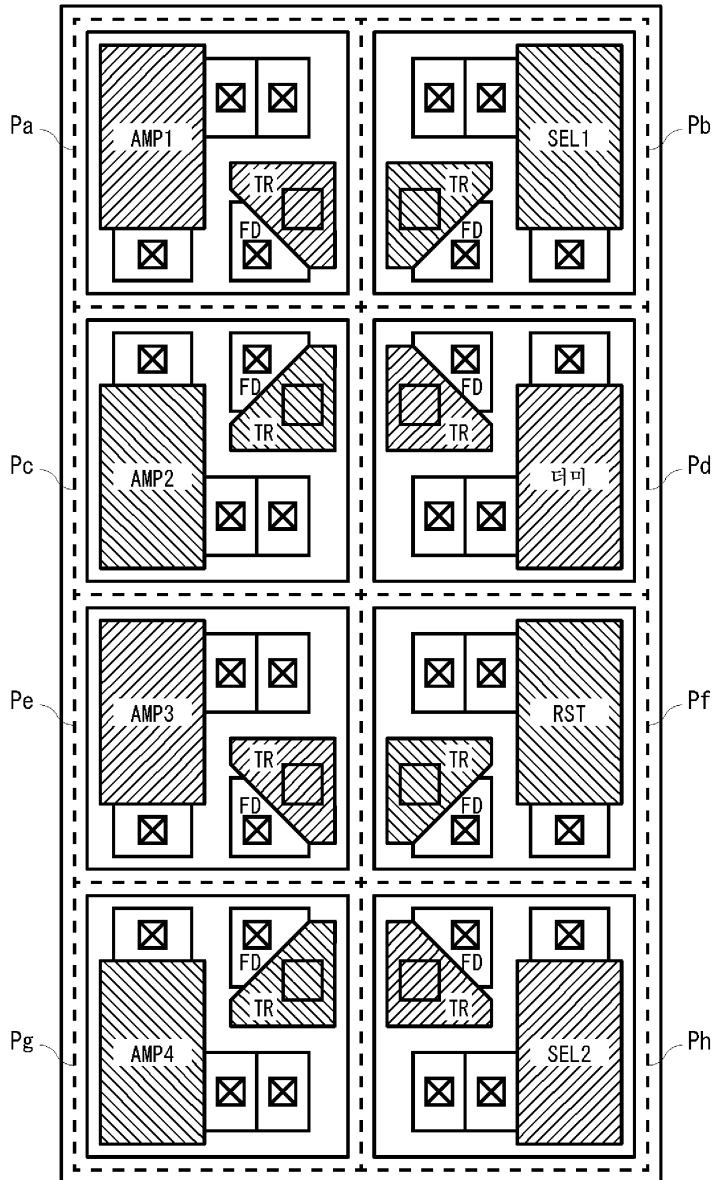
도면31



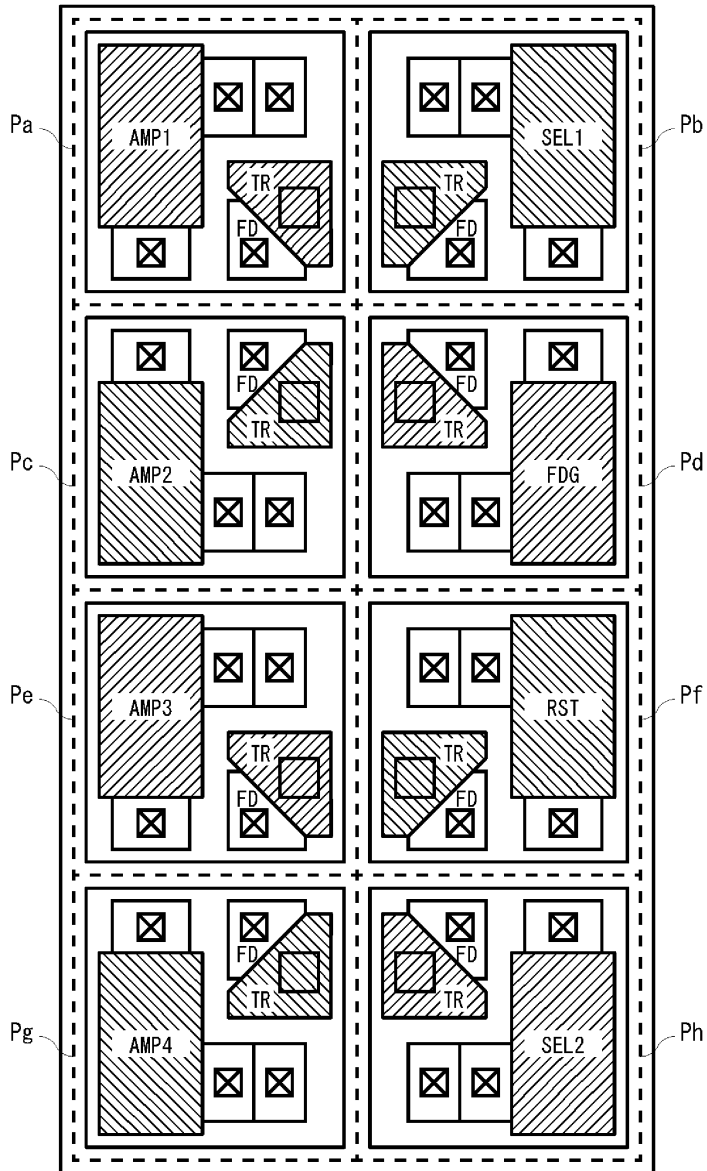
도면32



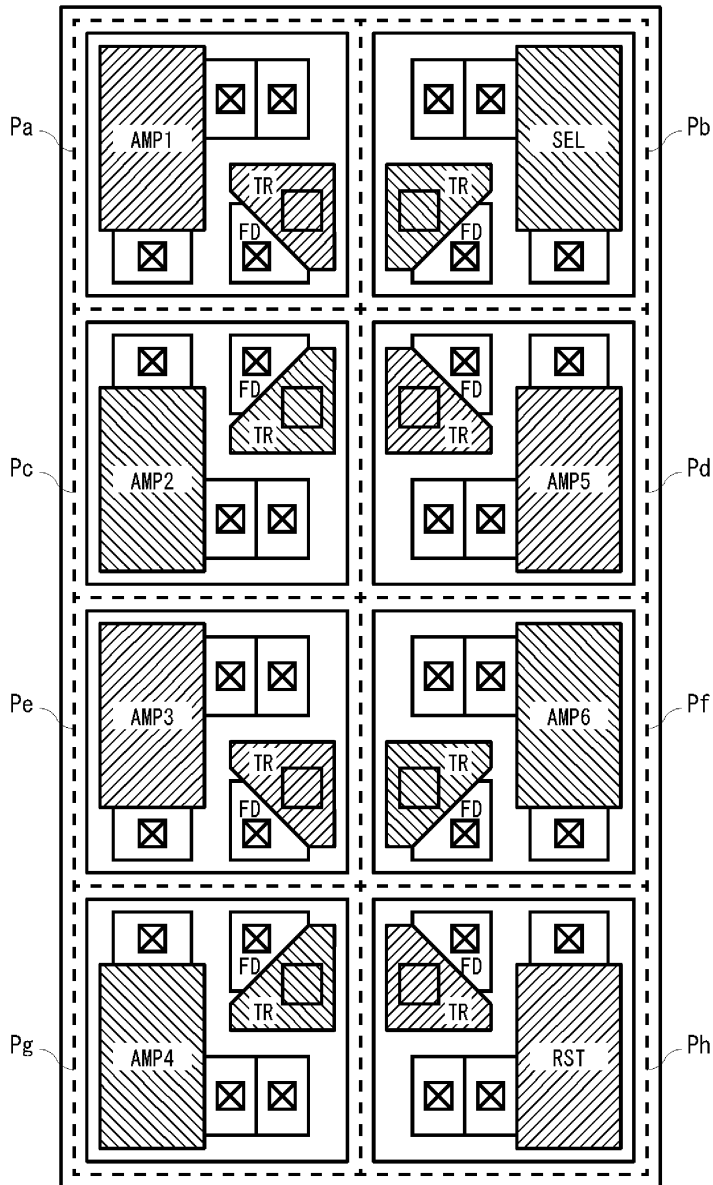
도면33



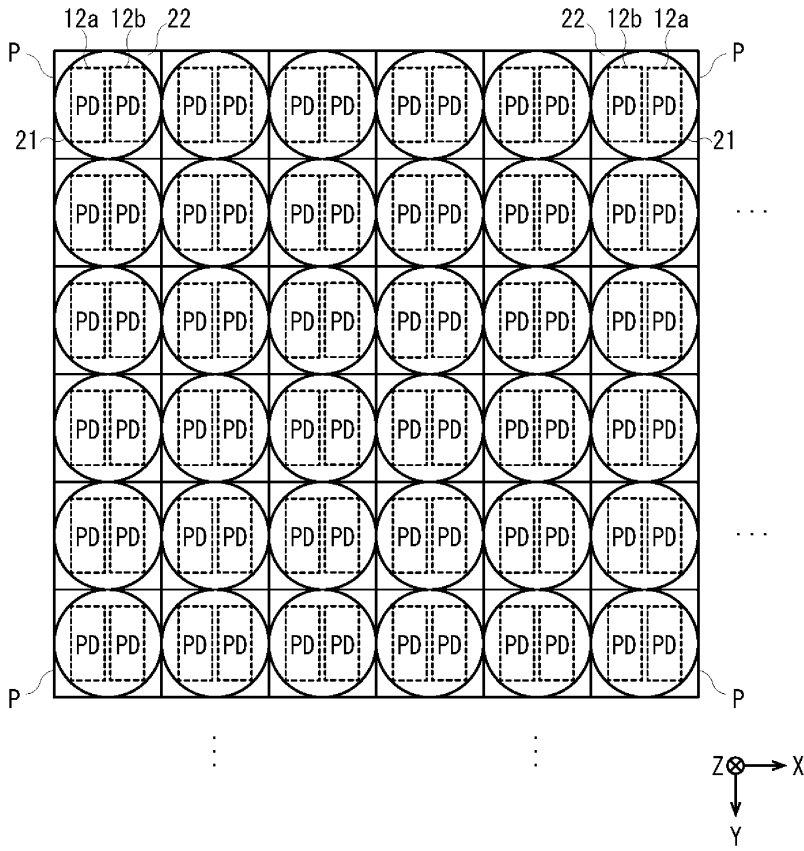
도면34



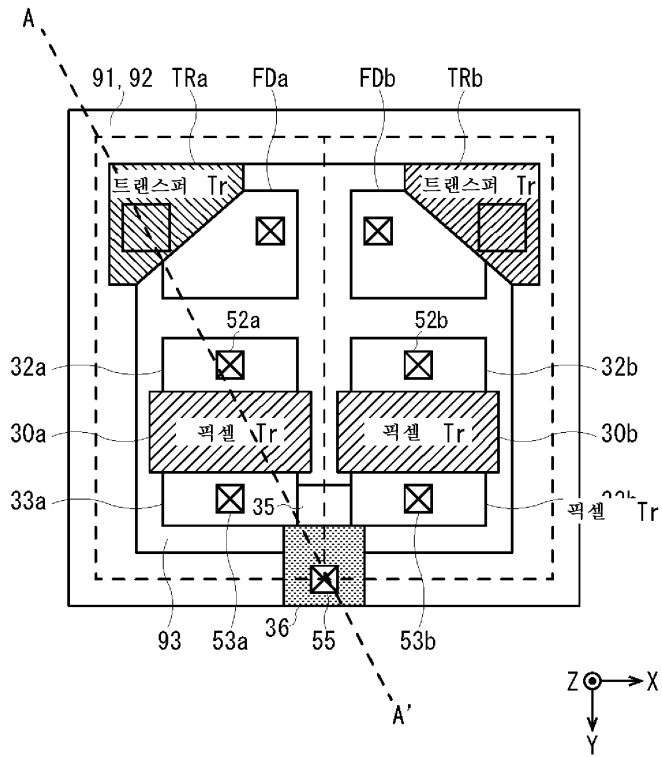
도면35



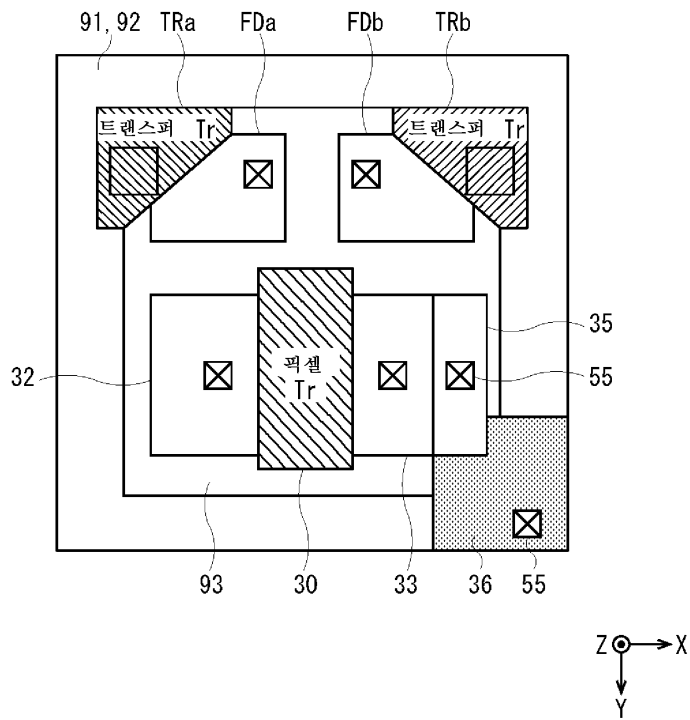
도면36



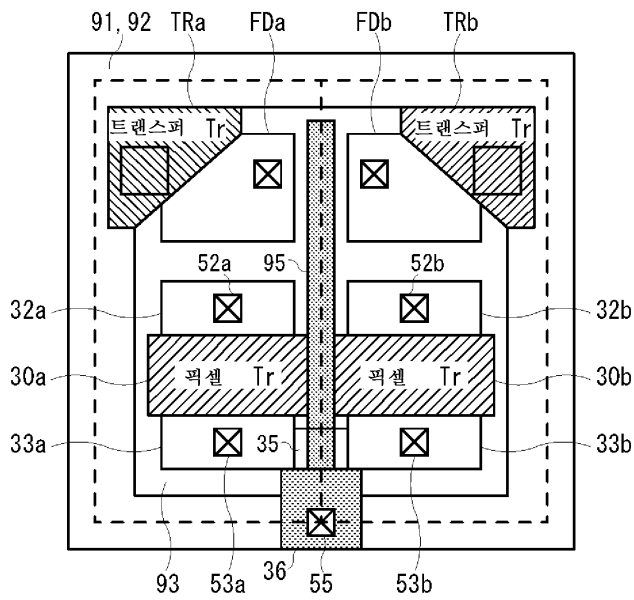
도면39



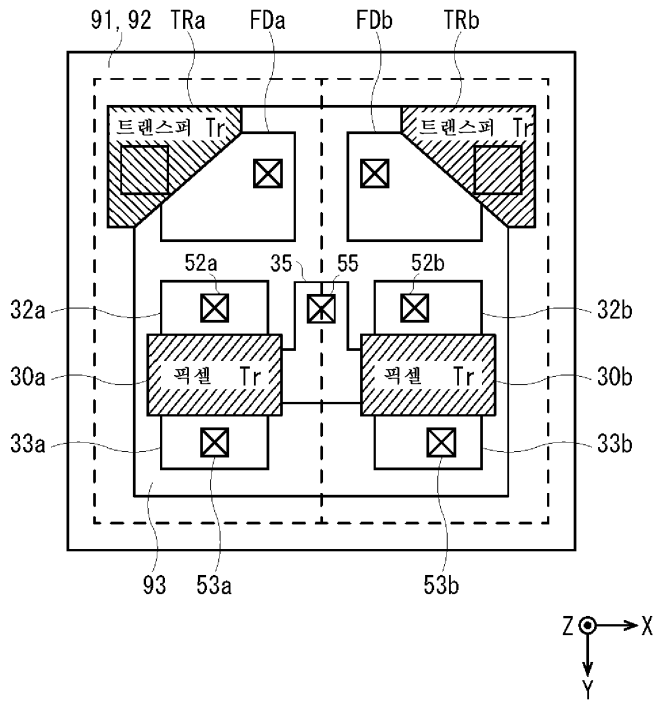
도면42



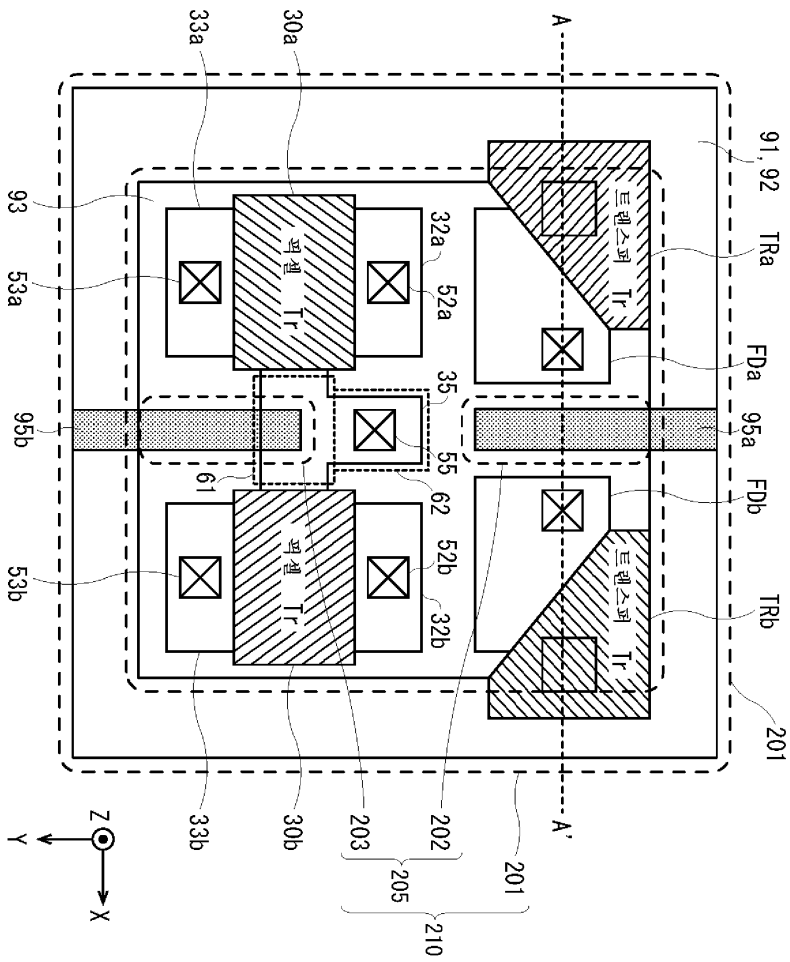
도면43a



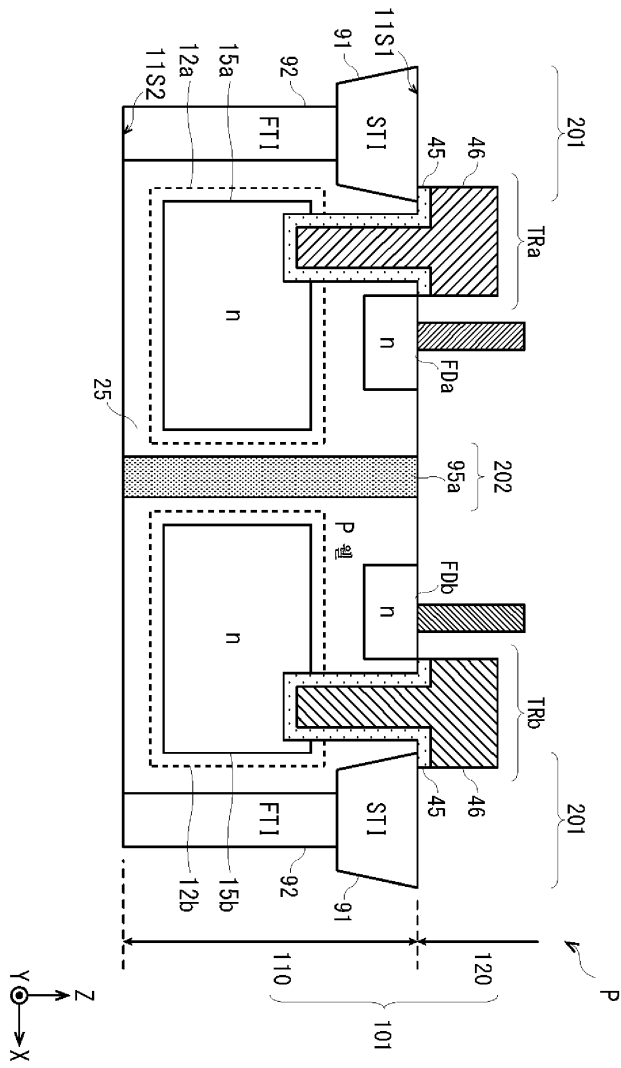
도면47



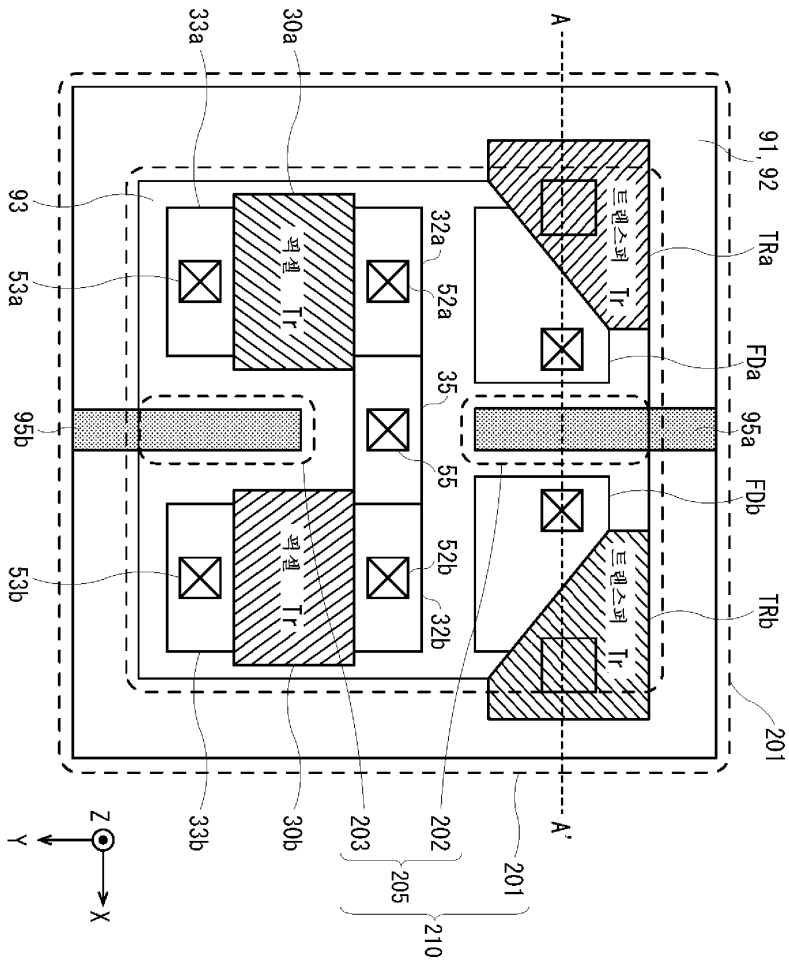
도면48



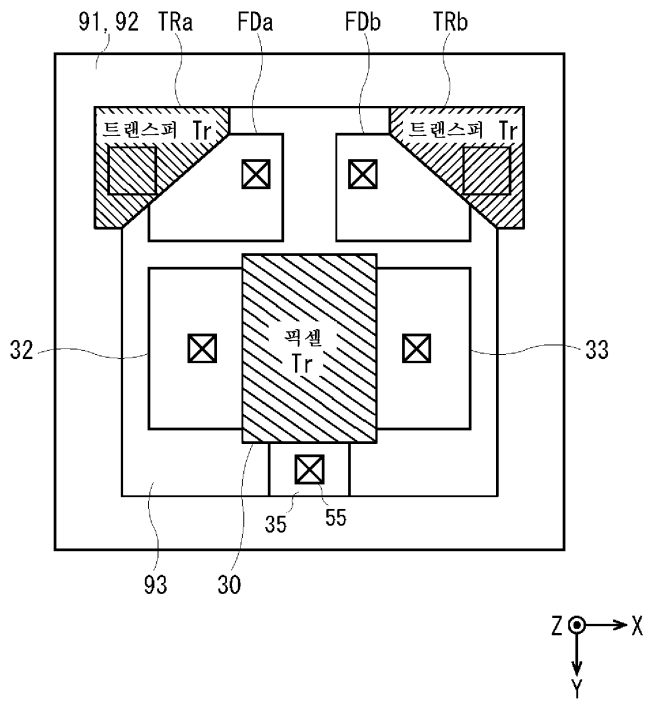
도면49



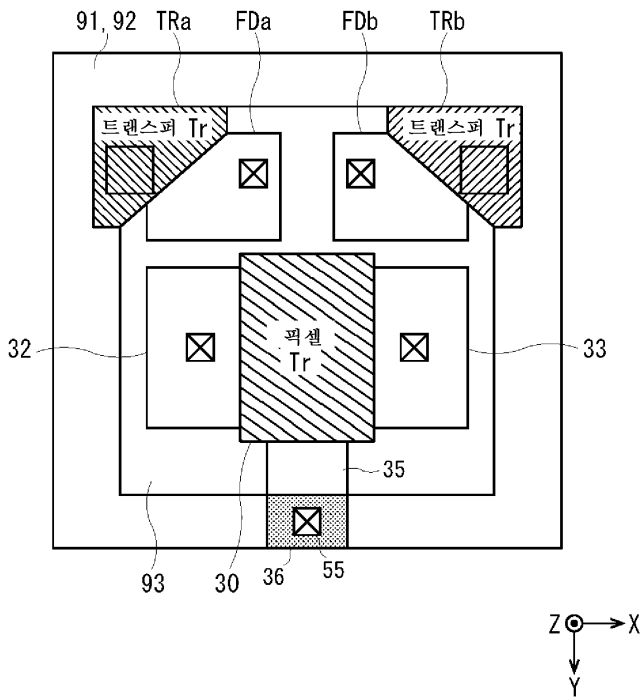
도면50



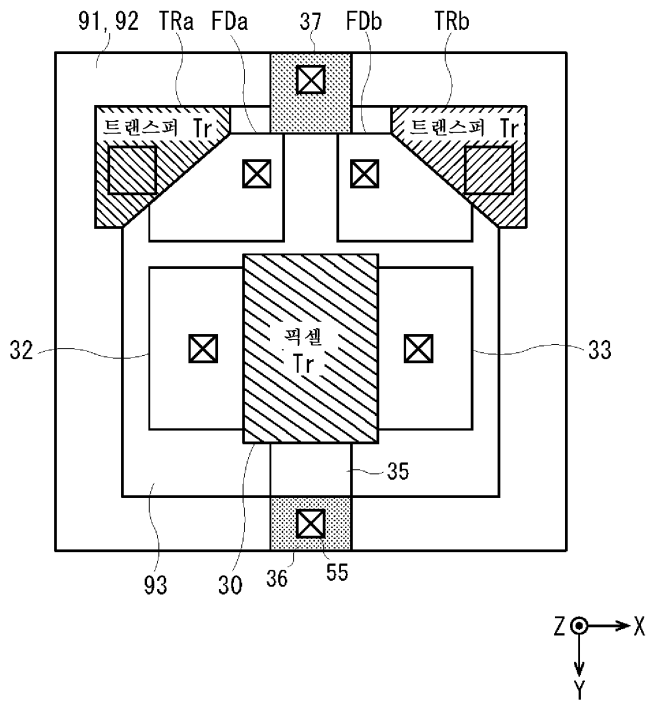
도면51



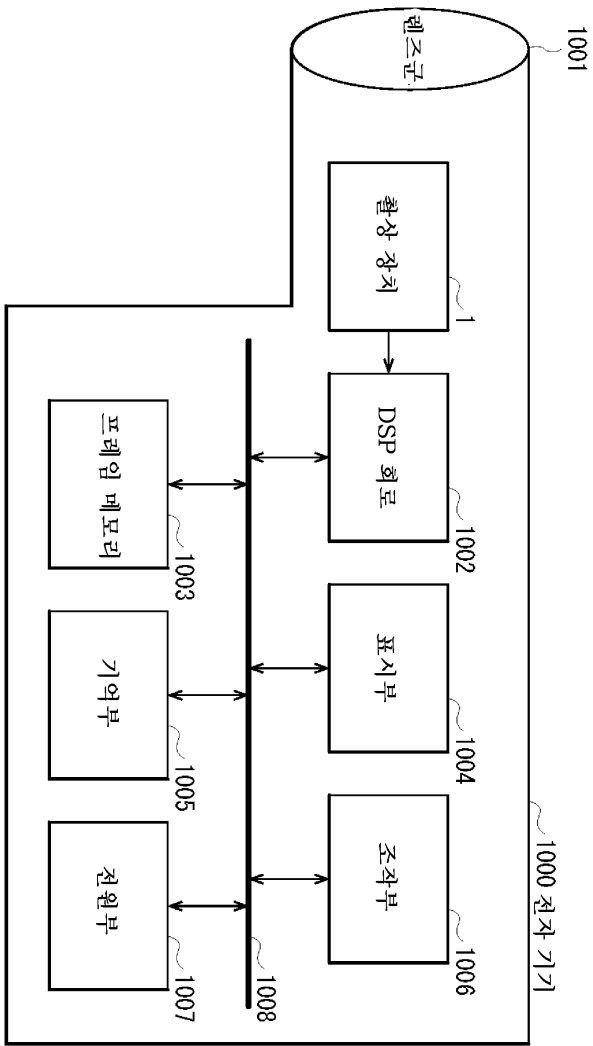
도면52



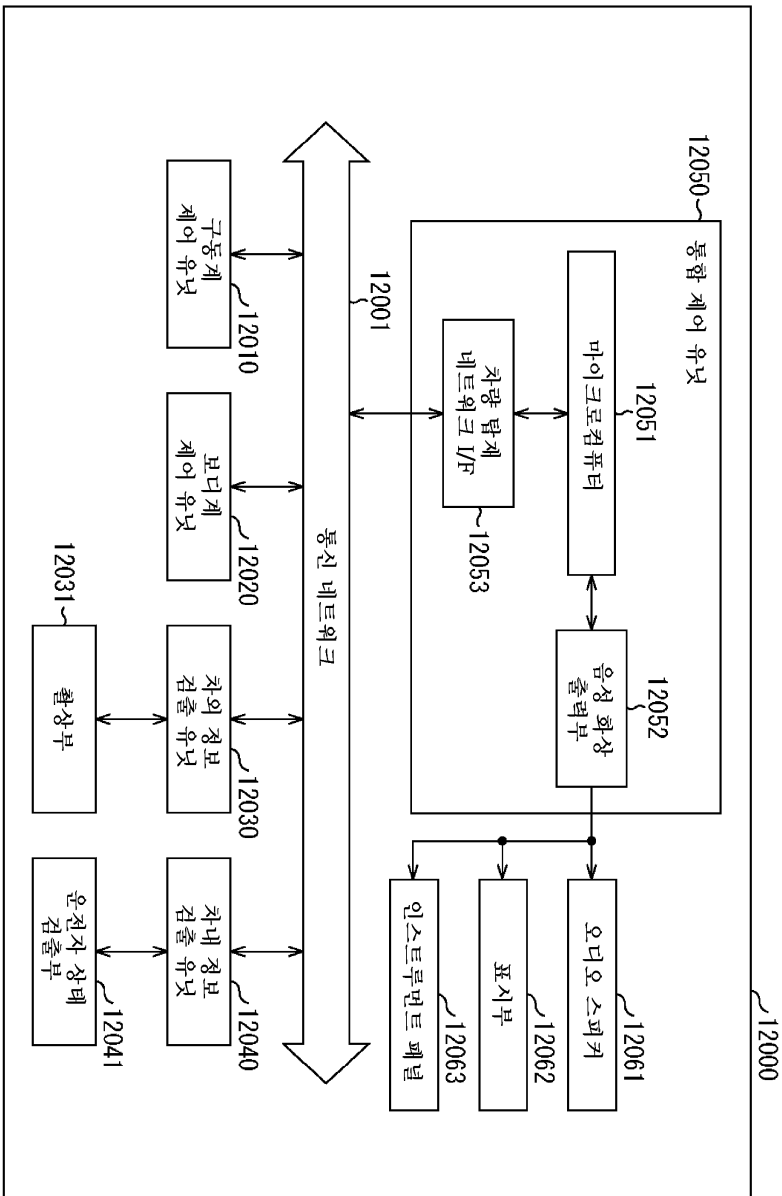
도면53



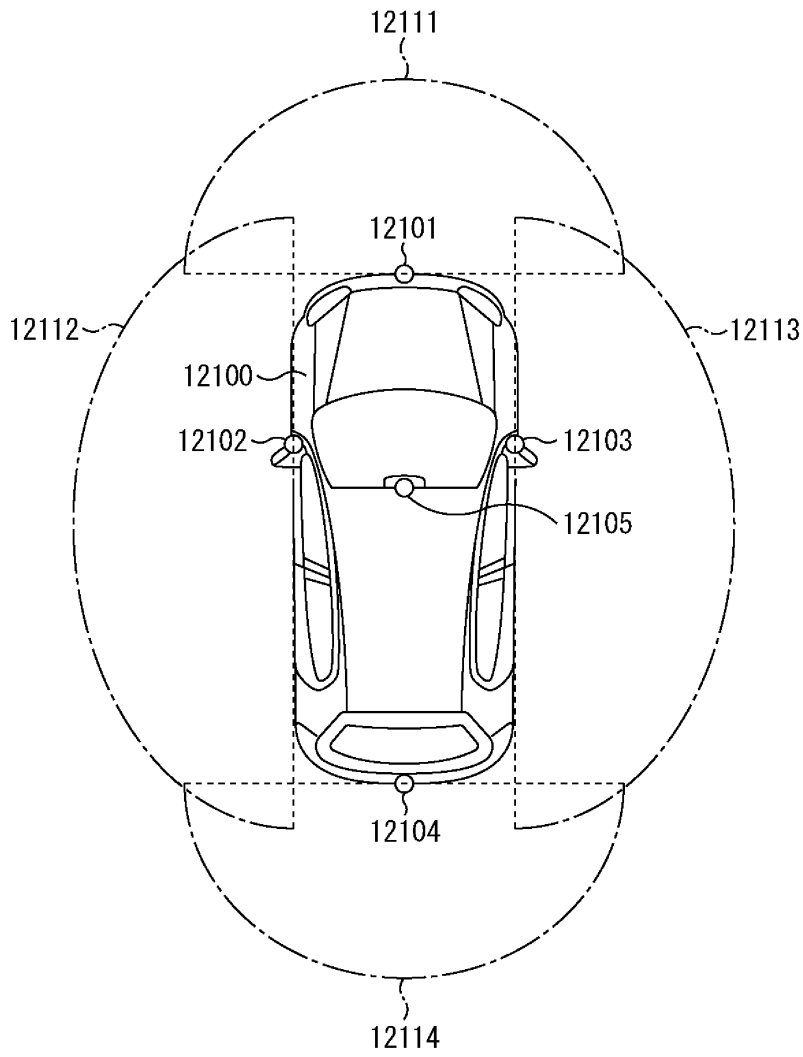
도면54



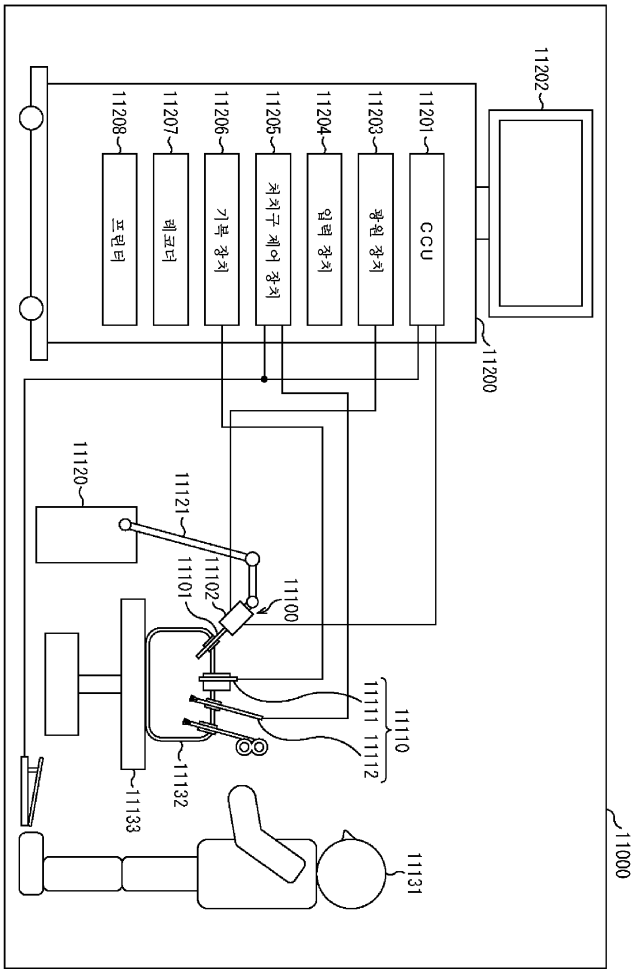
도면55



도면56



도면57



도면58

