

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G06F 11/00	(45) 공고일자 2001년04월16일
(21) 출원번호 10-1993-0006695	(11) 등록번호 10-0287273
(22) 출원일자 1993년04월21일	(24) 등록일자 2001년01월22일
(30) 우선권주장 P4213504.4 1992년04월24일 독일(DE)	(65) 공개번호 특 1993-0022171
	(43) 공개일자 1993년11월23일

(73) 특허권자 미크로나스 게엠베하 독일, 프라이부르크, 한스-분테-슈트라쎄 19 (우편번호: 데-79108)
(72) 발명자 토마스힐퍼트 독일연방공화국, 데-7803 군델핑겐, 베르그 스트라세 21 주어겐베처 독일연방공화국, 데-7830 엠멘딩겐 13, 린덴베르그 스트라세 1 아 스테판뮐러 독일연방공화국, 데-7800 프라이부르크 임 브라이스 가우, 운터펠트 스트라 세 17 빌프리드베르너게릭 독일연방공화국, 데-78006 마르흐, 해렌 스트라세 65
(74) 대리인 이상섭, 김성택

심사관 : 강갑연**(54) 디지털 신호 프로세서에 의해 발생되는 스펜리어스 신호의 감소 방법****요약**

본 발명은 실행되는 명령 코드에 의존하는 디지털 신호 프로세서가 인터럽트에 의해 초기화되는 순환적으로 반복하는 프로그램 루틴을 실행하고, 작동 시간 중에 제1 평균 전력 소비를 발생시키며, 프로그램 루틴의 작동 시간이 2개의 연속적인 인터럽트 사이의 시간보다 짧은 디지털 신호 프로세서의 전력 소비에 의해 발생되는 스펜리어스 신호를 감소시키는 방법에 관한 것이다. 디지털 신호 프로세서의 이와 같은 모드에 의해 발생되는 전력 소비의 주기적인 변화는 연속적인 프로그램 루틴의 사이에서 프로그램 루틴의 기간 중의 평균 전력 소비에 대응하는 프로세서의 평균 전력 소비를 발생시키는 대기 루틴을 실행시킴으로써 방지하는 것을 특징으로 한다.

대표도**도3a****명세서**

[발명의 명칭]

디지털 신호 프로세서에 의해 발생되는 스펜리어스 신호의 감소 방법

[도면의 간단한 설명]

제1도는 아날로그 및 디지털 신호 처리 장치의 블록선도.

제2a도 및 제2b도는 프로그램 루틴으로의 디지털 신호 프로세서의 프로그램 메모리의 배치와 종래 기술의 프로그램 루틴의 실행 기간 중에 대응하는 전력 소비를 나타내는 도면.

제3a도 및 제3b도는 본 발명에 따른 마이크로 코드가 대기 루틴이 설치된 디지털 신호 프로세서의 프로그램 메모리의 배치와 프로그램 루틴 및 상기 대기 루틴의 실행 기간 중에 대응하는 전력 소비를 나타낸 도면.

<도면의 주요부분에 대한 부호의 설명>

22 : 디지털 신호 프로세서 INT : 인터럽트

Im : 제1 평균 전력 소비 BP, AP1, AP2 : 프로그램 루틴

[발명의 상세한 설명]

본 발명은 실행되는 명령 코드에 의존하는 디지털 신호 프로세서가 인터럽트(INT)에 의해 초기화되는 순환적으로 반복하는 프로그램 루틴을 실행하고, 작동 시간 중에 제1 평균 전력 소비(I_m)를 발생시키며, 프로그램 루틴의 작동 시간이 2개의 연속적인 인터럽트(INT) 사이의 시간(t_r)보다 짧은 디지털 신호 프로세서의 전력 소비(I_c)에 의해 발생되는 스판리어스 신호(spurious signal)를 감소시키는 방법에 관한 것이다.

전원 전압 도선의 옴 저항(ohmic resistance) 또는 유도성 리액턴스(inductive reactance)는 부품 또는 이 부품에 접속된 유닛의 전력 소비에 의해 결정되는 전압 강하를 야기시키고, 부품 또는 유닛의 전원 전압 단자에서 중첩된 스판리어스 전압(spurious voltage)을 발생시킬 수 있다. 유도성 또는 용량성 결합으로 인하여 특히 아날로그 회로에서는 전원 전압 도선으로부터 신호 입력으로의 누화(漏話)를 발생시킬 수도 있다.

디지털 신호 처리 장치의 경우, 이와 같은 하나의 불필요한 신호원은 가산기, 감산기, 승산기, 누산기(ACCU), 램(RAM) 및 데이터 버스 인터페이스와 같은 서로 상이한 전력 소비를 갖는 유닛을 포함하는 디지털 신호 프로세서이다.

만일, 이와 같은 디지털 신호 프로세서가 주기적으로 반복하는 프로그램 루틴을 수행하는 경우, 이와 같은 주기적으로 반복하는 프로그램 루틴은 주파수와 사용되는 명령 코드의 형태에 의해 결정되는 신호 프로세서의 평균 전력 소비를 발생시킨다. 이와 같은 주기적으로 반복하는 프로그램 루틴은 예컨대 가정 신호의 디지털 처리 기간 중에 발생하고, 사전에 결정된 반복 속도로 디지털 신호화한 입력값을 기록하고, 이를 입력값을 예컨대, 필터 함수와 같은 프로그램 루틴에 의해 처리하며, 이어서 변화된 값을 출력하는 것을 포함한다. 이들 프로그램 루틴의 작동 시간은 처리되는 2개의 입력값 사이의 시간보다 짧게 선택되어야만 하는데, 그 이유는 만약 그렇지 않으면 결과적으로 에러가 발생할 수도 있기 때문이다.

예컨대 프로그램 루틴의 단부와, 인터럽트에 의해 신호 전송되어 처리되는 다음번 입력값과의 사이의 시간 동안, 신호 프로세서는 특정의, 통상적으로 특히 전류가 절약되는 대기 상태(=WAIT 명령 코드)에 위치되어 있거나 또는 인터럽트가 발생되는 경우에도 잔류하는 무한 루프(endless loop)에 그대로 위치되어 있다.

일반적으로, 신호 프로세서의 모든 내부 유닛이 작동되는 동안의 프로그램 루틴의 실행과 저전력 소비의 대기 상태 사이의 이러한 일정한 변화에 기인하여, 신호 프로세서는 그 명령 실행 시간에 의해 결정된 주파수 영역의 스판리어스 신호 뿐만 아니라 이러한 변화로부터 발생되는 스판리어스 신호를 발생시킨다.

따라서, 명령 수행 시간에 의존하는 주파수의 스판리어스 신호 이외에도, 일반적으로 처리되는 유용한 신호위에 놓여지는 적어도 하나의 스판리어스 신호가 발생되는데, 이 신호의 진폭과 주파수는 프로그램 루틴과 대기 상태와의 사이에서 일정한 변화에 의해 결정되고, 그 신호의 스펙트럼은 유용한 신호의 주파수 영역 내에 놓이거나 또는 이 주파수 영역의 근처에 놓일 수 있다.

신호 프로세서와 아날로그 회로와의 사이에 결합이 존재하면, 처리되는 아날로그 신호의 기준 전위로서 작용을 하거나 또는 유도성 또는 용량성 누화에 의해 신호 입력에 결합되는 전원 전압상에서 발생하는 작은 스판리어스 신호 조차도 교란 효과를 갖게 된다.

인쇄 회로 기판 또는 직접 회로상의 유닛의 설비와 독립적으로 공통의 기준점과 관련한 기준 전위의 특정의 도체 루틴은 제한된 범위로만 가능할 뿐이다. 기준 전위로부터 해방된 대칭적인 아날로그 신호는 부가적인 접속점과 접속선을 필요로 한다.

따라서, 본 발명의 목적은 프로세서의 주기적인 동작에 의해 발생되는 스판리어스 신호가 감소되는 방법을 제공하는데 있다.

본 발명에 따르면, 프로세서는 연속적인 프로그램 루틴 사이에서, 상기 프로그램 루틴의 기간 중의 평균 전력 소비에 대응하는 프로세서의 평균 전력 소비를 발생시키는 대기 루틴을 실행시킨다.

프로그램 루틴은 그 단부에서 프로세서의 저전력 소비를 갖는 대기 상태로 되는 것이 아니라, 프로세서가 평균 전력 소비를 갖는 프로세서의 실행 시간의 대기 루틴으로 되며, 평균 전력 소비는 가능한 한 프로그램 루틴의 실행 기간 중의 평균 전력 소비로부터 변화되지 않는다. 따라서, 프로세서의 평균 전력 소비에 있어서의 주기적으로 반복하는 급격한 변화는 제거된다.

만약, 프로그램 루틴이 인터럽트 신호에 응답하여 다시 시작되는 경우, 대기 루틴은 중지된다. 물론, 프로그램 루틴의 실행 중에 필요한 데이터는 변경되지 않도록 설계되어야만 한다.

대기 루틴은 대략 프로그램 루틴의 통계적인 전력 소비 분포에 대응하는 프로세서의 통계상의 전력 소비 분포를 발생시키는 명령 코드의 시퀀스를 갖는 것이 유리하다.

대기 루틴의 대략 동일한 통계적인 전력 소비 분포의 결과로서, 대기 루틴 동안에도 일정한 스판리어스 신호 스펙트럼은 명령 사이클 시간의 범위에서 달성된다. 또한, 스판리어스 신호 스펙트럼의 주기적 변화로 인해 발생될 수 있는 혼합신호도 피할 수 있다.

각각의 명령 코드가 명령 코드의 전체 그룹의 전력 소비를 나타내기 때문에, 이와 같이 거의 동일한 통계적인 전력 소비 분포를 달성하기 위해서, 프로그램 루틴 내에서 사용되는 모든 명령 코드의 대응하는 분포는 요구되지 않는다. 따라서, 필요한 특성을 갖는 대기 루틴은 소수의 선택된 명령 코드에 의해 수행될 수 있다.

유효한 대기 루틴은 데이터 버스 판독 명령, 승산/가산 명령 및 데이터 버스 판독으로의 점프 복귀 명령으로 구성되며, 필터 계산용 프로그램 루틴에 있어서 사용되는 명령 코드의 약 60%는 프로세서의 비교적 높은 전력 소비를 갖는 데이터 버스 액세스 및 승산/가산 동작인 반면, 프로그램 분기 명령과 같은 전류 명령들은 저전력 소비를 갖는 명령에 의해 가능하게 된다.

대기 루틴의 기간 중에 데이터 버스가 가변 내용의 한정되지 않은 상태에 있는 경우, 대기 루틴의 개시

시의 데이터 버스 판독 명령은 특히 유효하다. 따라서, 입력값을 일정하게 변화시킴으로써 프로세서의 변화하는 전력 소비는 처리되는 데이터의 값에 의존하는 것을 고려한다.

본 발명의 제1 실시예의 경우, 대기 루틴은 프로세서의 프로그램 메모리 내의 명령 코드의 시퀀스로서 저장되고, 프로그램 루틴 이후에 실행된다. 이것은 존재하는 응용 프로그램의 간단한 적응을 가능하게 한다.

본 발명의 제2 실시예에 있어서, 새로운 프로세서의 경우에, 대기 루틴은 프로세서의 마이크로 코드내의 명령 코드의 시퀀스로서 실행될 수 있고, 사전에 결정된 명령 코드에 의해 구해진다.

이러한 해결 방법은 신호 프로세서의 프로그램 메모리내에 저장된 대기 루틴보다 적은 프로그램 메모리 공간을 필요로 하지만, 프로세서의 마이크로 코드는 새로운 방법에 적응되어야만 한다.

본 발명은 첨부한 도면을 참조하여 보다 상세히 설명될 것이다.

제1도는 아날로그/디지털 신호 처리용 유닛의 블록선도를 도시하고 있다. 이 유닛(10)은 인쇄 회로 기판과 침상의 집적 회로의 양자에 의해 구성될 수 있다.

유닛(10)의 입력(12)에는 아날로그 입력 신호(Uin)가 공급되고, 이 아날로그 입력 신호의 기준 위치는 접지(14)이다. 아날로그 증폭기(16)에 의해 증폭된 후, 이 아날로그 입력 신호(Uin)는 아날로그/디지털 변환기(18)의 입력으로 공급되고, 아날로그/디지털 변환기(18)는 소정의 반복 비율로 등가의 디지털 신호를 생성한다. 아날로그/디지털 변환기(18)의 출력은 데이터 및 제어 버스(20)를 통해 디지털 신호 프로세서(22)에 접속된다. 이 신호 프로세스(22)의 기본적인 구성 요소는 프로그램 메모리(PM), 프로그램 메모리의 어드레스 유닛(PC), 누산기를 갖춘 ALU, 승산기(MUL), 중간 및 최종 결과치를 저장하는 RAM, 타이밍 회로(CT), 데이터 및 제어 버스(20)를 제어하는 데이터 및 제어 버스 제어 유닛(BCU)이다. 결과값의 출력을 위해, 디지털 신호 프로세서(22)는 데이터 및 제어 버스(20)에 의해 디지털/아날로그 변환기(24)의 입력에 접속되고, 이 변환기(24)의 아날로그 출력 신호(Uout)는 유닛(10)의 출력(26)으로 전송되고, 이 출력은 입력 신호(Uin)와 동일하게 기준전위로서 접지(14)를 갖는다.

예컨대 5V의 전원 전압(Ud)은 유닛(10)의 입력(28)을 통해 디지털 신호 프로세서(22)에 인가된다. 아날로그 증폭기(16), 아날로그/디지털 변환기(18) 및 디지털/아날로그 변환기(24)에는 유닛(10)의 또 다른 입력(30)을 통해 예컨대 12V의 전원 전압(Ua)이 인가된다.

필요한 전원 전압 및 기준 전압은 디지털 신호 프로세서의 전원 전압 및 변환기(18, 24)의 부분적 공급과 동일하게 도면을 간단히 예시하기 위해서 도시 생략 하였다. 동작에 필요한 클록 신호와 클록 속도 분할기는 도시되어 있지 않다.

아날로그 증폭기(16), 아날로그/디지털 변환기(18), 디지털 신호 프로세서(22) 및 디지털/아날로그 변환기(24)는 접지 도선(32, 34, 36, 38)을 통해 노드(40)에 접속되어 있다. 이 노드(40)는 라인 저항(42)을 통해 유닛(10)의 접지 단자(44)에 접속되어 있다. 접지 와이어의 이와 같은 간단한 표시에서는 값(R_L)을 갖는 라인 저항(42)은 라인의 공통 루트로부터 외부 유닛의 내부 및 외부에서 발생되는 모든 결합 저항을 나타내고 있다.

이 라인 저항(42)의 양단의 전압 강하는 아날로그 증폭기(16), 아날로그/디지털 변환기(18) 및 디지털/아날로그 변환기(24)의 아날로그 부분에 특히 영향을 주는데, 이것은 기준 전위로서 내부 노드(18)를 사용한다. 이것은 예컨대 아날로그 증폭기(16)가 입력 신호(Uin)를 증폭하는 것이 아니라, (Uin - R_L x Ig)(여기서, Ig는 유닛(10)의 총 전력 소비량임)값을 증폭하는 것을 의미한다. 아날로그 증폭기(16), 아날로그/디지털 변환기(18) 및 디지털/아날로그 변환기(24)의 전력 소비는 인가된 입력 신호(Uin) 또는 출력 신호(Uout)에 의해서만 약간 영향을 받는 거의 일정한 평균 시간값을 갖는다. 대조적으로, 디지털 신호 프로세서(22)의 전력 소비는 프로세서의 동작에 따라 변화한다.

제2a도는 프로그램 루틴으로의 프로그램 메모리(PC)의 배분의 일례를 도시한 것이고, 제2b도는 프로그램 루틴의 실행 기간 중의 디지털 신호 프로세서의 전력 소비를 도시한 것이다.

제2a도에서 프로그램 메모리 어드레스 PC-스타트에 의해 개시하면, 제1 프로그램 루틴(BP)은 프로그램 메모리내에 저장된다. 디지털 신호 프로세서를 특히 전류 절약 대기 상태로 스위칭시키는 웨이트(WAIT) 명령 코드에서 종료되고, 이 전류 절약 대기 상태에서 프로세서는 인터럽트(INT)가 발생할 때만 그대로 잔류된다. 프로그램 루틴(BP) 내에서 이 프로그램 루틴의 결과가 완료되지 않는 조건적 분기가 존재하고, 다른 프로그램 루틴(AP1, AP2)이 실행되며, 대기(WAIT) 명령 코드에 의해 종료된다. 이를 프로그램 루틴(AP1, AP2)은 프로그램 루틴(BP)에 후속해서 저장된다.

대기 상태가 잔류되는 인터럽트(INT)는 예컨대 새로운 디지털 출력값이 전송되는 것에 의해 아날로그/디지털 변환기(18)(제1도)에 의해 또는 프로세서내의 소정의 시간 간격의 타이밍 회로(CT)(제1도)에 의해 발생된다.

프로그램 루틴의 실행 기간 중의 디지털 신호 프로세서의 전력 소비(Ic)는 제2b도에 도시되고, 제1 인터럽트(INT)에서 개시되고 있다. 프로그램 루틴(BP)의 실행 시간(tb)의 기간 중에 평균 전력 소비(Ic)는 평균값(I_m)에 도달한다.

순간 시간 t1에서 프로그램 루틴(BP)은 최종 대기(WAIT) 명령 코드를 실행하고, 전력 소비는 값 I_w로 감소한다.

전력 소비는 또 다른 인터럽트(INT)가 평균 전력 소비 I_m에 의해 프로그램 루틴(BP)을 재개할 때 까지 잔류한다.

이 프로그램 루틴(BP)의 실행 기간 중에 조건적 분기는 프로그램 루틴(AP1)이 순간 시간(t3)에서 실행되는 것을 발생시킨다. 이 루틴은 대기(WAIT) 명령 코드에 의해 순간 시간 t4에서 종료하고, WAIT 명령 코드는 전력 소비를 값 I_w로 변화시킨다.

순간 시간 t5에서, 프로그램 루틴(BP)은 또 다른 인터럽트(INT)에 의해 개시된다. 이 같은 프로그램 루틴(BP)의 실행 기간 중에, 또 다른 인터럽트(INT)에 의해 개시된다. 이 같은 프로그램 루틴(BP)의 실행 기간 중에, 조건적 분기는 프로그램 루틴(AP2)이 순간 시간 t6에서 실행되도록 해준다. 이 루틴은 대기 명령 코드에 의해 순간 시간 t7에서 종료하고, 이 WAIT 명령 코드는 다시 전력 소비를 값 Iw로 변화시킨다. 순간 시간 t8에서, 프로그램 루틴(BP)은 개시되고, 이 루틴은 부가 프로그램 루틴(AP1 또는 AP2)이 없이 순간 시간 t9에서 웨이트 명령 코드에 의해 종료된다.

제2b도로부터 알 수 있는 바와 같이, 프로그램 루틴(BP, AP1, AP2)의 평균 전력 소비(Im)와 대기 상태의 전력 소비(Iw) 사이에서의 펄스 형태의 변화는 인터럽트 신호의 반복 기간(tr)에서 발생하고, 프로그램 루틴의 평균 전력 소비(Im)를 갖는 펄스는 상이한 실행 회수에 의해 발생되는 펄스폭 변조를 받게 된다.

전력 소비의 진폭의 변화(Im-Iw)와, 펄스폭 변조에 의해 발생되는 스파리어스 신호는 가청 응용에서는 특히 중단을 발생시킨다. 진폭의 변화는 주파수 영역(1/tr)에서 스파리어스 신호를 발생시킨다. 펄스폭 변조의 노이즈 스펙트럼은 유용신호의 주파수 영역으로 떨어질지도 모르기 때문에 특히 중단될 수 있다.

제3a도 및 제3b도는 제2a도 및 제2b도와 동일한 조건하에 있는 디지털 신호 프로세서의 작동을 도시하고 있지만, 프로세서의 마이크로 코드에 설치되어 있는 본 발명에 따른 대기 루틴을 갖는다. 이 대기 루틴은 각각의 명령 코드에 의해 유발될 수 있다. 프로그램 메모리 배분과 작동 시간의 특성이 동일한 경우로 한정되고, 제2a도 및 제2b도와 동일한 참조 번호가 사용되고 있다.

제3a도의 프로그램 메모리 어드레스 PC-스타트에 의해 개시되면, 제1 프로그램 루틴(BP)은 프로그램 메모리에 저장된다. 그것은 AWAIT 명령 코드로 종료된다. 프로세서의 마이크로 코드에 있어서, 데이터 버스 판독 명령, 승산/가산 명령, 데이터 버스 판독으로의 복귀 명령으로 이루어진 대기 루틴은 이 명령 코드인 AWAIT와 연관된다. 이를 명령어에 의해 디지털 신호 프로세서내의 가장 적절한 부하가 어드레스된다.

데이터 버스 판독 명령은 버스 제어 유닛(BCU) 및 ALU 또는 승산기를 어드레스하고, 승산/가산 명령은 비교적 높은 전력 소비를 갖는 승산기 및 ALU를 어드레스한다. 대조적으로, 복귀 점프 명령의 실행은 저전력 소비를 포함한다. 이와 같은 명령의 분포는 디지털 필터의 프로그램 루틴의 대기 루틴에 대응하는 대기 루틴 기간의 평균 전력 소비를 발생시킨다.

프로그램 루틴의 실행 기간 중에 디지털 신호 프로세서의 전력 소비(1c)는 제3b도에 도시되어 있고, 제1 인터럽트(INT)에 의해 순간 시간(to)에서 개시된다. 프로그램 루틴(BP)의 실행 시간 tb의 기간 중에, 평균 전력 소비(1c)는 평균값(Im)에 도달하게 된다.

순간 시간 t1에서, 프로그램 루틴(BP)은 최종 AWAIT 명령 코드를 실행하고, 프로세서의 마이크로 코드에서 전술한 대기 루틴이 실행된다. 이 시간 동안, 전력 소비는 평균값 Im으로 잔류한다. 순간 시간 t2에서 또 다른 인터럽트(INT)에 응답하여, 대기 루틴이 중단되고, 평균 전력 소비 Im을 갖는 프로그램 루틴(BP)이 다시 시작된다.

이 프로그램 루틴(BP)의 실행 기간 중에, 조건적 분기는 프로그램 루틴(AP1)이 순간 시간 t3에서 실행되도록 하고, 순간 시간 t3은 순간 시간 t4에서 AWAIT 명령 코드로 종료된다.

순간 시간 t5에서, 프로그램 루틴(BP)은 또 다른 인터럽트(INT)에 의해 개시된다. 이와 같은 루틴의 실행 기간 중에, 조건적 분기는 프로그램 루틴(AP2)이 순간 시간 t6에서 실행되도록 하고, 이 루틴은 순간 시간 t7에서 AWAIT 명령 코드로 종료된다. 순간 시간 t8에서, 프로그램 루틴(BP)은 개시되고, 부가적인 프로그램 루틴(AP1 또는 AP2)이 없이 이것은 순간 시간 t9에서 AWAIT 명령 코드로 종료된다.

(57) 청구의 범위

청구항 1

실행되는 명령 코드에 의존하는 디지털 신호 프로세서가 인터럽트(INT)에 의해 초기화되는 순환적으로 반복하는 프로그램 루틴(BP, AP1, AP2)을 실행하고, 작동 시간 중에 제1 평균 전력 소비(Im)를 발생시키며, 프로그램 루틴의 작동 시간이 2개의 연속적인 인터럽트(INT) 사이의 시간(tr)보다 짧은 디지털 신호 프로세서(22)의 전력 소비(1c)에 의해 발생되는 스파리어스 신호를 감소시키는 방법에 있어서, 연속적인 프로그램 루틴(BP, AP1, AP2)의 사이에서 상기 디지털 신호 프로세서(22)는 프로그램 루틴(BP, AP1, AP2)의 기간 중의 평균 전력 소비(Im)에 대응하는 디지털 신호 프로세서(22)의 평균 전력 소비를 발생시키는 대기 루틴을 실행하는 것을 특징으로 하는 스파리어스 신호의 감소 방법.

청구항 2

제1항에 있어서, 상기 대기 루틴은 프로그램 루틴(BP, AP1, AP2)의 통계상의 전력 소비 분배에 대응하여 상기 디지털 신호 프로세서(22)의 통계상의 전력 소비 분배를 발생시키는 명령 코드의 시퀀스를 포함하는 것을 특징으로 하는 스파리어스 신호의 감소 방법.

청구항 3

제2항에 있어서, 상기 대기 루틴은 데이터 버스 판독 명령, 승산/가산 명령 및 상기 데이터 버스 판독으로의 복귀 명령을 포함하는 것을 특징으로 하는 스파리어스 신호의 감소 방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 대기 루틴은 상기 디지털 신호 프로세서(22)의 프로그램 메모리내에 명령 코드의 시퀀스로서 저장되고, 상기 프로그램 루틴에 후속해서 실행되는 것을 특징으로 하는 스파리어스 신호의 감소 방법.

청구항 5

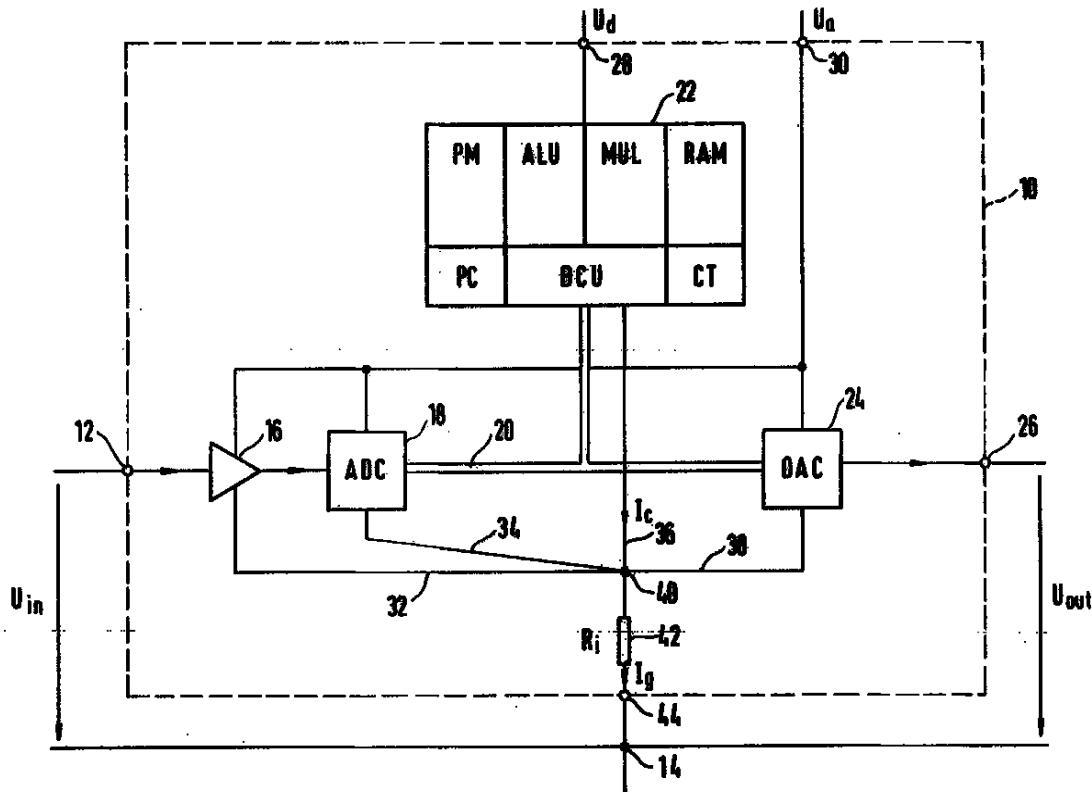
제1항 내지 제3항 중 어느 한 항에 있어서, 상기 대기 루틴은 상기 디지털 신호 프로세서(22)의 마이크로 코드내의 명령 코드의 시퀀스로서 고정되고, 사전에 결정된 명령 코드(AWAIT)에 의해 개시될 수 있는 것을 특징으로 하는 스펜리어스 신호의 감소 방법.

청구항 6

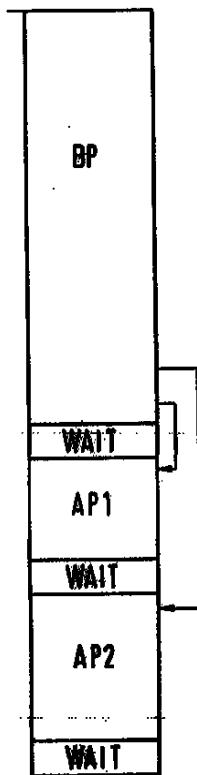
제5항에 있어서, 주기적으로 반복하는 모든 프로그램 루틴(BP, AP1, AP2)은 상기 디지털 신호 프로세서의 마이크로 코드내의 대기 루틴을 검색하는 명령 코드(AWAIT)에 의해 종료하는 것을 특징으로 하는 스펜리어스 신호의 감소 방법.

도면1

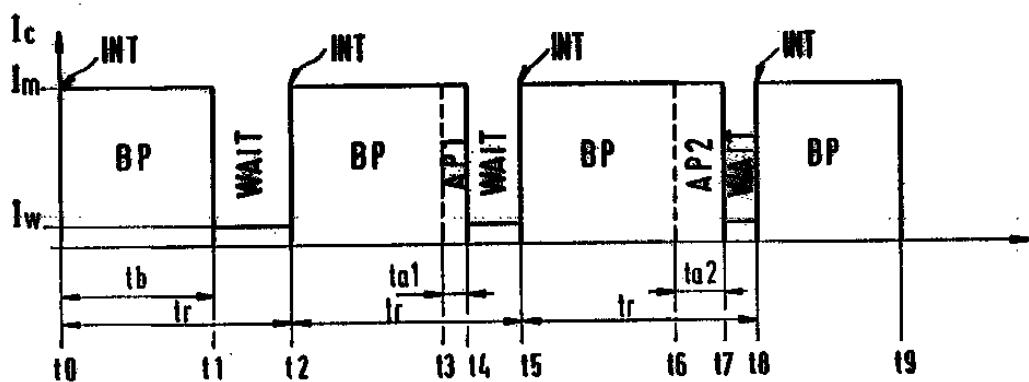
도면1



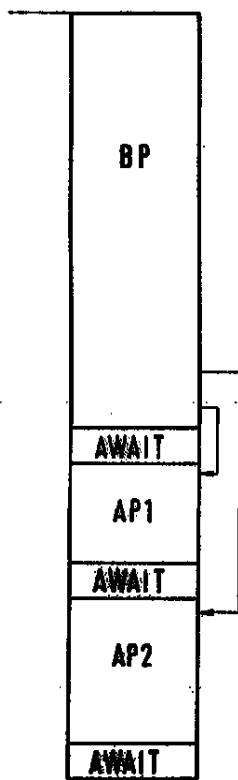
도면2a



도면2b



도면3a



도면3b

