



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I424318 B

(45) 公告日：中華民國 103 (2014) 年 01 月 21 日

(21) 申請案號：100116323 (22) 申請日：中華民國 100 (2011) 年 05 月 10 日

(51) Int. Cl. : **G06F13/12 (2006.01)** **G06F1/26 (2006.01)**  
**H02J7/00 (2006.01)**

(30) 優先權：2010/05/11 美國 61/333,336  
2011/02/22 美國 13/031,616

(71) 申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)  
新竹市新竹科學工業園區篤行一路 1 號

(72) 發明人：洪浩評 HONG, HAO PING (TW)；陳尚斌 CHEN, SHANG PING (TW)；沈鼎璿 SHEN, DING SHIUAN (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：  
TW 200740005A US 2010/0060233A1  
US 2010/0201308A1

審查人員：潘世光

申請專利範圍項數：29 項 圖式數：5 共 0 頁

## (54) 名稱

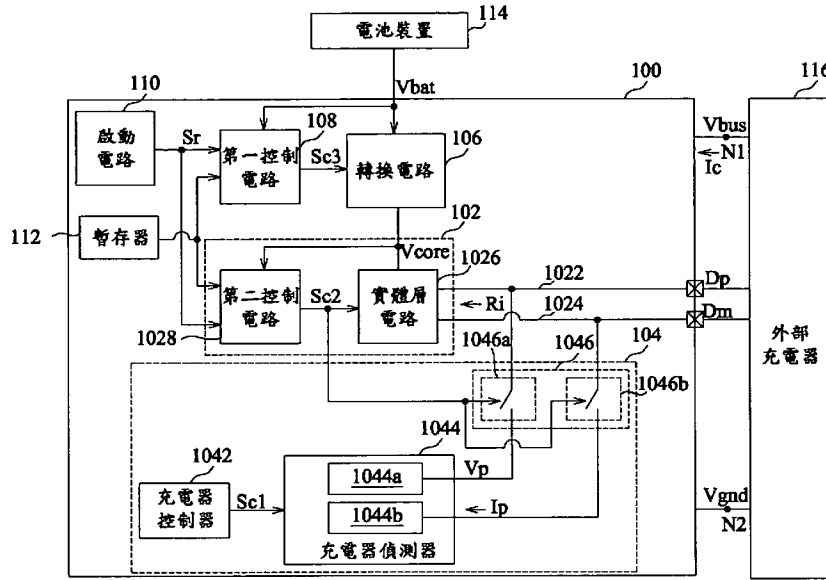
通用序列匯流排裝置、匯流排介面裝置及方法

UNIVERSAL SERIAL BUS DEVICE, BUS INTERFACING DEVICE AND RELATED METHOD

## (57) 摘要

本發明提供通用序列匯流排裝置、匯流排介面裝置及方法。所述通用序列匯流排裝置包含核心電路以及充電控制電路。核心電路具有第一接腳及第二接腳，自第一接腳及第二接腳看進去核心電路，核心電路具有輸入阻抗。充電控制電路耦接於核心電路，用於選擇性地提供電壓源至第一接腳及第二接腳其中之一；其中核心電路之輸入阻抗被配置為使得當電壓源耦接於第一接腳及第二接腳其中之一時，電壓源大體上穩定。

A universal serial bus device includes: a core circuit having a first pin and a second pin, and having an input impedance looking into the core circuit from the first pin and the second pin; and a charging control circuit, coupled to the core circuit, arranged for selectively providing a voltage source to one of the first pin and the second pin; wherein the input impedance of the core circuit is configured to make the voltage source substantially intact when the voltage source is coupled to one of the first pin and the second pin.



第 1 圖

- 100 . . . USB 裝置
- 102 . . . 核心電路
- 104 . . . 充電控制電路
- 106 . . . 轉換電路
- 108 . . . 第一控制電路
- 110 . . . 啟動電路
- 112 . . . 暫存器
- 114 . . . 電池裝置
- 116 . . . 外部充電器
- 1022 . . . 第一傳導路徑
- 1024 . . . 第二傳導路徑
- 1026 . . . 實體層電路
- 1028 . . . 第二控制電路
- 1042 . . . 充電器控制器
- 1044 . . . 充電器偵測器
- 1044a . . . 電壓源
- 1044b . . . 電流源
- 1046 . . . 開關電路
- 1046a . . . 第一開關
- 1046b . . . 第二開關
- N1、N2、Dp、Dm . . . 接腳

# 發明專利說明書 公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100116323  
 ※ 申請日：100.5.10  
 ※ IPC 分類：G.6F 13/12 (2006.01)  
 G.6F 1/26 (2006.01)  
 H02J 7/10 (2006.01)

一、發明名稱：(中文/英文)

通用序列匯流排裝置、匯流排介面裝置及方法 / UNIVERSAL SERIAL  
 BUS DEVICE, BUS INTERFACING DEVICE AND RELATED METHOD

二、中文發明摘要：

本發明提供通用序列匯流排裝置、匯流排介面裝置及方法。所述通用序列匯流排裝置包含核心電路以及充電控制電路。核心電路具有第一接腳及第二接腳，自第一接腳及第二接腳看進去核心電路，核心電路具有輸入阻抗。充電控制電路耦接於核心電路，用於選擇性地提供電壓源至第一接腳及第二接腳其中之一；其中核心電路之輸入阻抗被配置為使得當電壓源耦接於第一接腳及第二接腳其中之一時，電壓源大體上穩定。

三、英文發明摘要：

A universal serial bus device includes: a core circuit having a first pin and a second pin, and having an input impedance looking into the core circuit from the first pin and the second pin; and a charging control circuit, coupled to the core circuit, arranged for selectively providing a voltage source to one of the first pin and the second pin; wherein the input impedance of the core circuit is configured to make the voltage source substantially intact when the voltage source is coupled to one of the first pin and the second pin.

## 四、指定代表圖：

(一)本案指定代表圖為：第( 1 )圖。

(二)本代表圖之元件符號簡單說明：

100：USB裝置；	102：核心電路；
104：充電控制電路；	106：轉換電路；
108：第一控制電路；	110：啟動電路；
112：暫存器；	114：電池裝置；
116：外部充電器；	1022：第一傳導路徑；
1024：第二傳導路徑；	1026：實體層電路；
1028：第二控制電路；	1042：充電器控制器；
1044：充電器偵測器；	1044a：電壓源；
1044b：電流源；	1046：開關電路；
1046a：第一開關；	1046b：第二開關；

N1、N2、Dp、Dm：接腳。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明有關於通用序列匯流排裝置及相關方法，且特別有關於通用序列匯流排裝置之充電控制電路及相關方法。

### 【先前技術】

當具有通用序列匯流排（Universal Serial Bus，以下簡稱為 USB）埠（例如，USB 2.0 埠）之可攜式裝置之電池處於無電電池（dead battery）或弱電池（weak battery）狀態下時，可攜式裝置能夠經由 USB 2.0 埠對可攜式裝置之電池充電。當具有無電電池或弱電池狀態之可攜式裝置連接至下行埠（downstream port）時，允許可攜式裝置自下行埠引入（draw）外部電流來對電池進行充電。於外部電流高於預定電流幅度之後，亦要求可攜式裝置於第一預定時間內於 USB 2.0 埠之第一輸入/輸出（Input/Output，以下簡稱為 I/O）接腳保持（assert）預定電壓。然後，當自下行埠引入之外部電流高於預定電流幅度之後，預定電壓仍然被保持。當可攜式裝置準備被連接時，於 USB 2.0 埠之第一 I/O 接腳之預定電壓應被失能，以及於 USB 2.0 埠之第二 I/O 接腳預定電流應被使能，所述預定電流持續預定的時間段以檢查所述資料接腳（亦即，第一及第二 I/O 接腳）是否連接至主裝置。換言之，於可攜式裝置之充電電池經由 USB 2.0 埠被充電期間，於第一預定時間段內 USB 2.0 埠之第一 I/O 接腳應保持預定電壓，以及於第二預定時間段內 USB 2.0 埠之第二 I/O 接腳應保持預定電流。然而，當可攜式裝置之電池處

於無電電池或弱電池狀態下時，可攜式裝置之核心電路及相關系統可能未準備好，故充電過程中 USB 2.0 埠之第一 I/O 接腳之電壓難以保持於預定電壓。類似地，充電過程中 USB 2.0 埠之第二 I/O 接腳之電流難以保持於預定電流。因此，充電過程中如何高效且低成本地於 USB 2.0 埠之資料接腳提供預定電壓及預定電流係 USB 可攜式裝置領域之重要課題。

### 【發明內容】

有鑑於此，本發明特提供以下技術方案：

根據本發明之第一實施範例，一種通用序列匯流排裝置包含核心電路以及充電控制電路。核心電路具有第一接腳及第二接腳，自第一接腳及第二接腳看進去核心電路，核心電路具有輸入阻抗。充電控制電路耦接於核心電路，用於選擇性地提供電壓源至第一接腳及第二接腳其中之一；其中核心電路之輸入阻抗被配置為使得當電壓源耦接於第一接腳及第二接腳其中之一時，電壓源大體上穩定。

根據本發明之第二實施範例，一種匯流排介面裝置包含啟動電路、第一控制電路、轉換電路、第二控制電路、實體層電路以及充電控制電路。啟動電路用於產生啟動準備訊號。第一控制電路用於接收電池輸出電壓且根據啟動準備訊號產生第一控制訊號。轉換電路用於接收電池輸出電壓以根據第一控制訊號提供核心電壓。第二控制電路用於接收核心電壓且根據啟動準備訊號產生第二控制訊號。實體層電路具有第一接腳及第二接腳，實體層電路被第二控制訊號配置且被核

心電壓加電，以及自第一接腳及第二接腳看進去實體層電路，實體層電路具有輸入阻抗。充電控制電路更包含充電器偵測器以及開關電路。充電器偵測器用於產生預定電壓；開關電路用於選擇性地將預定電壓耦接至第一接腳及第二接腳其中之一。其中實體層電路之輸入阻抗被配置為使得當預定電壓耦接於第一接腳及第二接腳其中之一時預定電壓大體上穩定。

根據本發明之第三實施範例，一種匯流排介面裝置包含啟動電路、轉換電路、核心電路以及充電控制電路。啟動電路用於產生啟動準備訊號。轉換電路用於接收電池輸出電壓以提供核心電壓。核心電路具有第一接腳及第二接腳，核心電路用於根據啟動準備訊號被配置且被核心電壓加電，以及自第一接腳及第二接腳看進去核心電路，核心電路具有輸入阻抗。充電控制電路更包含充電器偵測器以及開關電路。充電器偵測器用於產生預定電壓；開關電路用於選擇性地將預定電壓耦接至第一接腳及第二接腳其中之一。其中核心電路之輸入阻抗被配置為使得當預定電壓耦接於第一接腳及第二接腳其中之一時，預定電壓大體上穩定。

根據本發明之第四實施範例，一種匯流排介面方法包含：提供具有第一接腳及第二接腳之核心電路；選擇性地提供具有預定電壓之電壓源至第一接腳及第二接腳其中之一；以及配置自第一接腳及第二接腳看進去核心電路之輸入阻抗，以使得當電壓源耦接於第一接腳及第二接腳其中之一時，預定電壓大體上穩定。

上述通用序列匯流排裝置、匯流排介面裝置及方法可簡化電路設計所須的元件及其複雜度，且使得通用序列匯流排介面符合於電池充電 1.1 規範無電電池、弱電池及正常工作之操作。

### 【實施方式】

於說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有通常知識者應可理解，硬體製造商可能會用不同的名詞來稱呼同樣的元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區分元件的方式，而是以元件在功能上的差異來作為區分的準則。於通篇說明書及後續的請求項當中所提及的「包含」係為一開放式的用語，故應解釋成「包含但不限於」。另外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段。因此，若文中描述一第一裝置耦接於一第二裝置，則代表該第一裝置可直接電氣連接於該第二裝置，或透過其他裝置或連接手段間接地電氣連接至該第二裝置。

請參考第 1 圖。第 1 圖係根據本發明之一實施範例之匯流排介面裝置 (bus interfacing device) 之示意圖，其中匯流排介面裝置例如為 USB 裝置 100。USB 裝置 100 可為具有 USB 2.0 埠之可攜式裝置。然而，本發明並非僅限於此。USB 裝置 100 可具有與 USB 2.0 規格或電池充電 (Battery Charging，以下簡稱為 BC) 1.1 規格相容 (compatible) 之 USB 埠。USB 裝置 100 包含核心電路 (core circuit) 102 及充電控制電路 104。核心電路 102 具有第一接腳 Dp 及第二接腳 Dm。核心電



路 102 被設計為自第一接腳 Dp 及第二接腳 Dm 看進去，核心電路 102 具有輸入阻抗  $R_i$ 。充電控制電路 104 耦接於核心電路 102，且用於選擇性地提供具有預定電壓  $V_p$  之電壓源至第一接腳 Dp 及第二接腳 Dm 其中之一，以及選擇性地提供具有預定電流  $I_p$  之電流源至第一接腳 Dp 及第二接腳 Dm 其中之一。此外，核心電路 102 之輸入阻抗  $R_i$  使得當電壓源耦接於第一接腳 Dp 及第二接腳 Dm 其中之一時，預定電壓  $V_p$  大體上穩定 (intact)，以及使得當電流源耦接於第一接腳及第二接腳其中之一時，預定電流  $I_p$  大體上穩定。應注意，於本實施範例中，充電控制電路 104 之電壓源用於提供預定電壓  $V_p$  至第一接腳 Dp，以及充電控制電路 104 之電流源用於提供預定電流  $I_p$  至第二接腳 Dm。然而，此實施例係用於簡化說明，並非本發明之限制。此外，第一接腳 Dp 及第二接腳 Dm 固定 (permanently) 耦接於核心電路 102。對於本實施範例，第一傳導路徑 1022 固定連接於核心電路 102 與第一接腳 Dp 之間，以及第二傳導路徑 1024 固定連接於核心電路 102 與第二接腳 Dm 之間。換言之，連接於核心電路 102 與第一及第二接腳 Dp、Dm 之間之傳導路徑上無需開關裝置。應注意，第一及第二接腳 Dp、Dm 係 USB 裝置 100 之埠 (port)，用於自 USB 裝置 100 電路外部接收訊號或者用於輸出訊號至 USB 裝置 100 電路外部。

充電控制電路 104 包含充電器控制器 (charger controller) 1042、充電器偵測器 (charger detector) 1044 及開關電路 (switch circuit) 1046。充電器控制器 1042 用於產生控制訊號  $Sc_1$ 。充電器偵測器 1044 包含根據控制訊號  $Sc_1$  產生預定電壓  $V_p$  之電壓源 1044a 以及根據控制訊

號 Sc1 產生預定電流  $I_p$  之電流源 1044b。開關電路 1046 以並接方式耦接於第一接腳 Dp 及第二接腳 Dm，以及開關電路 1046 用於根據開關控制訊號 Sc2 選擇性地將電壓源 1044a 耦接於第一接腳 Dp 及第二接腳 Dm 其中之一，及根據開關控制訊號 Sc2 選擇性地將電流源 1044b 耦接於第一接腳 Dp 及第二接腳 Dm 其中之一。類似地，於本實施範例中，開關電路 1046 用於根據開關控制訊號 Sc2 選擇性地將電壓源 1044a 耦接於第一接腳 Dp，以及根據開關控制訊號 Sc2 選擇性地將電流源 1044b 耦接於第二接腳 Dm。此亦僅用於簡述本發明之目的。於另一實施例中，電流源 1044b 可替換為電阻器 (resistor)，以及根據埠類型，可有電流或者無電流流過所述電阻器。

此外，於本實施範例中，USB 裝置 100 更包含轉換電路 (converting circuit) 106、第一控制電路 (first control circuit) 108、啟動電路 (start-up circuit) 110、暫存器 (register) 112 以及電池裝置 114。核心電路 102 更包含實體層電路 (physical layer circuit) 1026 及第二控制電路 1028。轉換電路 106 用於將電池輸出電壓 Vbat 轉換為核心電壓 Vcore，其中核心電壓 Vcore 低於或高於電池輸出電壓 Vbat。於本較佳實施例中，轉換電路 106 包含低漏碼 (low dropout) 電路，其中低漏碼電路接收電池裝置 114 所產生之電池輸出電壓 Vbat 以提供核心電壓 Vcore，用於根據控制訊號 Sc3 對實體層電路 1026 及第二控制電路 1028 供電。第一控制電路 108 及第二控制電路 1028 分別根據啟動電路 110 及暫存器 112 之訊號輸出產生控制訊號 Sc3 及 Sc2。於本較佳實施例中，第一控制電路 108 及第二控制電路 1028 分別包含第一準位移位器 (level

shifter) 及第二準位移位器，其中第一準位移位器對啟動準備訊號 Sr 及自暫存器 112 輸出之訊號執行準位移位以產生用於轉換電路 106 之控制訊號 Sc3，以及第二準位移位器對啟動準備訊號 (start-up ready signal) Sr 及自暫存器 112 輸出之訊號執行準位移位以產生用於實體層電路 1026 及充電控制電路 104 之控制訊號 Sc2。啟動電路 110 產生啟動準備訊號 Sr 至第一控制電路 108 及第二控制電路 1028。實體層電路 1026 係藉由控制訊號 Sc2 進行配置。更具體地，實體層電路 1026 係 USB 裝置 100 之主電路 (main circuit)，可用於處理自第一接腳 Dp 及第二接腳 Dm 輸入之資料，或者產生輸出至第一接腳 Dp 及第二接腳 Dm 之資料。舉例而言，於本發明之一較佳實施例中，實體層電路 1026 可為記憶體控制器 (memory controller)。此外，當第一控制電路 108 及第二控制電路 1028 被啟動準備訊號 Sr 啟動時，暫存器 112 儲存用於配置第一控制電路 108 及第二控制電路 1028 之預定配置資料。

於本實施範例中，開關電路 1046 包含第一開關 1046a 及第二開關 1046b。第一開關 1046a 具有耦接於第一接腳 Dp 之第一端 (terminal)、耦接於電壓源 1044a 且提供預定電壓  $V_p$  之第二端，以及耦接於控制訊號 Sc2 之控制端。第二開關 1046b 具有耦接於第二接腳 Dm 之第一端、耦接於電流源 1044b 且提供預定電流  $I_p$  之第二端，以及耦接於控制訊號 Sc2 之控制端。

當 USB 裝置 100 處於無電電池狀態時，亦即，當電池裝置 114 之充電準位達到預定閾值時 (其中預定閾值保證 USB 裝置 100 不能被成

功加電)，USB 裝置 100 可耦接於外部充電器 116（例如 USB 主裝置或具有 USB 埠之標準/非標準充電器）以對電池裝置 114 進行充電，其中，如第 1 圖所示，外部充電器 116 具有耦接於 USB 裝置 100 之 4 個接腳，其中第一接腳 N1 產生第一供電電壓  $V_{bus}$  至 USB 裝置 100，第二及第三接腳分別耦接於 USB 裝置 100 之第一接腳 Dp 及第二接腳 Dm，以及第四接腳 N2 產生接地電壓（ground voltage） $V_{gnd}$  至 USB 裝置 100。更具體地，於本實施範例中，外部充電器 116 之第一供電電壓  $V_{bus}$  首先將電池裝置 114 充電直至電池裝置 114 之電池輸出電壓  $V_{bat}$  足夠高以加電轉換電路 106 及第一控制電路 108。當電池裝置 114 之電池輸出電壓  $V_{bat}$  足夠高以加電第一控制電路 108、轉換電路 106 及充電控制電路 104 時，當第一控制電路 108 被加電時，第一控制電路 108 產生控制訊號 Sc3（例如，控制訊號 Sc3 之默認值）以使能轉換電路 106，以及當充電器控制器 1042 被加電時，充電器控制器 1042 產生控制訊號 Sc1。然後，轉換電路 106 提供核心電壓  $V_{core}$  以加電實體層電路 1026 及第二控制電路 1028。當核心電壓  $V_{core}$  足夠高以加電實體層電路 1026 及第二控制電路 1028 時，第二控制電路 1028 產生開關控制訊號 Sc2（例如，開關控制訊號 Sc2 之默認值）以配置實體層電路 1026，以使得當電壓源耦接於第一接腳 Dp 時，核心電路 102 之輸入阻抗  $R_i$  使得預定電壓  $V_p$  大體上穩定以及當電流源耦接於第二接腳 Dm 時，使得預定電流  $I_p$  大體上穩定，因此，當第二控制電路 1028 被加電時，打開開關電路 1046（亦即，第一開關 1046a 及第二開關 1046b）。換言之，於本實施範例中，核心電路 102 被加電之後，充電控制電路 104 用於提供預定電壓  $V_p$  至第一接腳 Dp 且提供預定電

流  $I_p$  至第二接腳  $D_m$ ，以及核心電路 102 之輸入阻抗  $R_i$  配置為使得預定電壓  $V_p$  大體上穩定且使得預定電流  $I_p$  大體上穩定。亦可注意到，於核心電路 102 被加電之前，開關控制訊號  $Sc_2$  用於關閉開關電路 1046（第一開關 1046a 及第二開關 1046b）。

請參考第 2 圖。第 2 圖係根據本發明之一實施範例之第 1 圖中之第一供電電壓  $V_{bus}$ 、電池輸出電壓  $V_{bat}$ 、核心電壓  $V_{core}$ 、充電電流  $I_c$ 、控制訊號  $Sc_1$ 、開關控制訊號  $Sc_2$ 、控制訊號  $Sc_3$  及啟動準備訊號  $Sr$  之時序示意圖。於時間點  $t_1$ ，外部充電器 116 耦接於處於無電電池狀態下之 USB 裝置 100，接腳  $N_1$  處之第一供電電壓  $V_{bus}$  之電壓被轉變至高電壓準位，以及外部充電器 116 經由第一接腳  $N_1$  提供充電電流  $I_c$  以對電池裝置 114 充電。於時間點  $t_2$ ，當電池裝置 114 之輸出（亦即，電池輸出電壓  $V_{bat}$ ）達到第一電壓  $V_1$  時，控制訊號  $Sc_3$  之電壓被自低電壓準位搬移到高電壓準位以使能轉換電路 106，以及開關控制訊號  $Sc_2$  之電壓被自低電壓準位搬移到高電壓準位（或者自高電壓準位搬移到低電壓準位）以配置實體層電路 1026 及打開開關電路 1046。然後，於時間點  $t_3$ ，當電池裝置 114 之輸出（亦即，電池輸出電壓  $V_{bat}$ ）達到第二電壓  $V_2$ ，充電器控制器 1042 將控制訊號  $Sc_1$  之電壓自低電壓準位搬移到高電壓準位以打開充電器偵測器 1044。

時間點  $t_3$  之後，充電器偵測器 1044 在時間段  $T_p$  內保持打開狀態，以使得外部充電器 116 對電池裝置 114 充電。在時間段  $T_p$ ，電池輸出電壓  $V_{bat}$  及核心電壓  $V_{core}$  之電壓準位保持增加，直到其於時間

點  $t_4$  達到預定電壓準位  $V_3$ 。然後，於時間點  $t_4$ ，啟動電路 110 被啟動且產生啟動準備訊號  $S_r$  至第一控制電路 108 及第二控制電路 1028。亦即，啟動電路 110 能夠偵測無電電池狀態，而啟動準備訊號  $S_r$  係無電電池狀況之指示（於時間點  $t_4$  之前，USB 裝置處於無電電池狀態下）。因此，第一控制電路 108 將控制訊號  $S_{c3}$  自高電壓準位搬移至低電壓準位以失能轉換電路 106，以及於時間點  $t_4$ ，第二控制電路 1028 將開關控制訊號  $S_{c2}$  自高電壓準位搬移至低電壓準位以配置實體層電路 1026 及關閉開關電路 1046（第一開關 1046a 及第二開關 1046b）。此外，於時間點  $t_4$ ，充電器控制器 1042 亦將控制訊號  $S_{c1}$  自高電壓準位搬移至低電壓準位以關閉充電器偵測器 1044。然後，於時間點  $t_5$ ，接腳 N1 處之第一供電電壓  $V_{bus}$  之電壓被搬移至低電壓準位，以及外部充電器 116 停止經由第一接腳 N1 向充電電池裝置 114 提供充電電流  $I_c$ 。於時間點  $t_5$  之後，USB 裝置 100 之充電過程結束。

應注意，時間點  $t_2$  至  $t_4$  之時間段中，第二控制電路 1028 產生開關控制訊號  $S_{c2}$  以配置實體層電路 1026，從而使得從核心電路 102 看進去之輸入阻抗  $R_i$  係高輸入阻抗。舉例而言，輸入阻抗  $R_i$  之阻抗值可不少於 300 千歐姆 (kilo Ohm, k Ohm)。藉由將輸入阻抗  $R_i$  設定為高輸入阻抗，當電壓源 1044a 耦接於第一接腳  $D_p$  時，電壓源 1044a 產生之預定電壓  $V_p$  可保持大體上穩定，以及當電流源 1044b 耦接於第二接腳  $D_m$  時，預定電流  $I_p$  亦可保持大體上穩定。因此，本充電控制電路 104 及相關充電過程可遵從 BC 1.1 規格之標準。

此外，於本實施例中，USB 裝置 100 係單晶片裝置。換言之，充電控制電路 104 係 USB 裝置 100 內部之裝置，以及當 USB 裝置 100 未處於充電過程時，開關電路 1046 亦可由 USB 裝置 100 之其他功能塊使用。

於另一實施例中，第一控制電路 108 可被省略。轉換電路 106 耦接於電池裝置 114 及核心電路 102。當電池裝置 114 被耦接時，轉換電路 106 使能且轉換電池輸出電壓  $V_{bat}$  至核心電壓  $V_{core}$ ，而不需要控制訊號  $Sc3$  之控制。此修改仍屬於本發明之範圍。

請參考第 3 圖。第 3 圖係根據本發明之一實施範例之第 1 圖之轉換電路 106 及實體層電路 1026 之輸出級 1030 之示意圖。轉換電路 106 包含第一 N 型電晶體 (N-type transistor) M1、第二 N 型電晶體 M2、第一電阻器 106a 及運算放大器 (operational amplifier) 106b，其中第一 N 型電晶體 M1 之閘極耦接於控制訊號  $Sc3$ ，運算放大器 106b 及第二 N 型電晶體 M2 被配置為閉環電路 (closed loop circuit) 以根據電池輸出電壓  $V_{bat}$  及預定電壓準位  $V3$  產生核心電壓  $V_{core}$ 。實體層電路 1026 之輸出級 1030 包含保護電路 (protection circuit) 1031、拉高電路 (pull high circuit) 1032、拉低電路 (pull low circuit) 1033、負載電路 (loading circuit) 1034 及驅動電路 (driving circuit) 1035。保護電路 1031 包含兩個保護單元 1031a 及 1031b，分別耦接於第一接腳  $Dp$  及第二接腳  $Dm$ 。第一保護單元 1031a 包含 P 型電晶體 M3、N 型電晶體 M4 及緩沖器 B1，其中 N 型電晶體 M4 之閘極及緩沖器 B1 之輸入端

連接至預定電壓  $V_a$ ，以及 P 型電晶體 M3 之汲極及 N 型電晶體 M4 之汲極連接至第一接腳  $D_p$ 。第二保護單元 1031b 包含 P 型電晶體 M5、N 型電晶體 M6 以及緩沖器 B2，其中 N 型電晶體 M6 之閘極及緩沖器 B2 之輸入端連接至預定電壓  $V_b$ ，以及 P 型電晶體 M5 之汲極及 N 型電晶體 M6 之汲極連接至第二接腳  $D_m$ 。

拉高電路 1032 包含 P 型電晶體 M7、M8，以及電阻器 R1、R2，其中 P 型電晶體 M7 及電阻器 R1 串接於第一接腳  $D_p$  與核心電壓  $V_{core}$  之間，以及 P 型電晶體 M8 及電阻器 R2 串接於第二接腳  $D_m$  與核心電壓  $V_{core}$  之間。拉低電路 1033 包含 N 型電晶體 M9、M10，以及電阻器 R3、R4，其中 N 型電晶體 M9 及電阻器 R3 串接於第一接腳  $D_p$  與接地電壓  $V_{gnd}$  之間，以及 N 型電晶體 M10 及電阻器 R4 串接於第二接腳  $D_m$  與接地電壓  $V_{gnd}$  之間。此外，P 型電晶體 M7 之閘極連接於預定電壓  $V_c$  以選擇性地拉高第一接腳  $D_p$ ，P 型電晶體 M8 之閘極連接於預定電壓  $V_d$  以選擇性地拉高第二接腳  $D_m$ ，N 型電晶體 M9 之閘極連接於預定電壓  $V_e$  以選擇性地拉低第一接腳  $D_p$ ，以及 N 型電晶體 M10 之閘極連接於預定電壓  $V_e$  以選擇性地拉低第二接腳  $D_m$ 。驅動電路 1035 包含 P 型電晶體 M11、M12、M13，其中 P 型電晶體 M11 與 M12 之閘極分別連接於第一預驅動 (pre-drive) 訊號  $V_{p1}$  及第二預驅動訊號  $V_{p2}$ ，以及 P 型電晶體 M11 與 M12 之汲極分別連接於第一接腳  $D_p$  及第二接腳  $D_m$ 。此外，P 型電晶體 M13 根據控制電壓  $V_g$  控制驅動電路 1035 之電流。



如第 2 圖所示，根據本實施範例，於時間點  $t_2$ ，P 型電晶體 M11 與 M12 之閘極保持為高電壓準位以根據開關控制訊號 Sc2 關閉 P 型電晶體 M11 與 M12。因此，從第一接腳 Dp 及第二接腳 Dm 看進去之輸入阻抗  $R_i$  係高輸入阻抗。為保證從第一接腳 Dp 及第二接腳 Dm 看進去之輸入阻抗  $R_i$  於自時間點  $t_2$  至  $t_4$  之時間段係高輸入阻抗，P 型電晶體 M3、M5、M7、M8 以及 N 型電晶體 M4、M6、M9、M10 於自時間點  $t_2$  至  $t_4$  之時間段根據開關控制訊號 Sc2 被控制為關閉，此種變形亦屬於本發明之範圍。當連接於第一接腳 Dp 及第二接腳 Dm 之所有電晶體皆被關閉時，意味著第一接腳 Dp 及第二接腳 Dm 具有浮動電壓且核心電路 102 之輸入阻抗  $R_i$  阻止電流流入核心電路 102，當預定電壓  $V_p$  耦接於第一接腳 Dp 且預定電流  $I_p$  耦接於第二接腳 Dm 時，沒有電流經由第一接腳 Dp 及第二接腳 Dm 流入核心電路 102。

請注意，儘管核心電路 102 被加電之後，第 3 圖所示之輸出級 1030 用於在時間點  $t_2$  至  $t_4$  之時間段提供從第一接腳 Dp 及第二接腳 Dm 看進去之高輸入阻抗，此並非本發明之必要條件。於另一實施範例中，核心電路 102 亦可未被加電，但仍於時間點  $t_2$  至  $t_4$  之時間段提供從第一接腳 Dp 及第二接腳 Dm 看進去之高輸入阻抗。請參考第 4 圖。第 4 圖係根據本發明之一實施範例之核心裝置 402 及充電控制電路 404 之示意圖。於本實施範例中，充電控制電路 404 包含充電器控制器 4042、充電器偵測器 4044 以及開關電路 4046。充電器控制器 4042 用於產生控制訊號 Sc'。充電器偵測器 4044 包含電壓源 4044a 以根據控制訊號 Sc' 產生預定電壓  $V_p'$ ，且包含電流源 4044b 以根據控制訊號 Sc' 產生

預定電流  $I_p'$ 。開關電路 4046 以並接方式耦接於第一接腳  $D_p'$  及第二接腳  $D_m'$ ，以及開關電路 4046 用於根據控制訊號  $Sc'$  選擇性地將電壓源 4044a 耦接於第一接腳  $D_p'$  及第二接腳  $D_m'$  其中之一，且根據控制訊號  $Sc'$  選擇性地將電流源 4044b 耦接於第一接腳  $D_p'$  及第二接腳  $D_m'$  其中之一。簡而言之，於本實施範例中，開關電路 4046 用於根據控制訊號  $Sc'$  選擇性地將電壓源 4044a 耦接於第一接腳  $D_p'$ ，以及根據控制訊號  $Sc'$  選擇性地將電流源 4044b 耦接於第二接腳  $D_m'$ 。

此外，當核心電路 402 未被加電時，核心電路 402 被設計為自第一接腳  $D_p'$  及第二接腳  $D_m'$  看進去核心電路 402 具有輸入阻抗  $R_i'$ ，其中輸入阻抗  $R_i'$  係高輸入阻抗以使得當電壓源 4044a 耦接於第一接腳  $D_p'$  時電壓源 4044a 產生之預定電壓  $V_p'$  可保持大體上穩定，以及當電流源 4044b 耦接於第二接腳  $D_m'$  時預定電流  $I_p'$  亦可保持大體上穩定。

開關電路 4046 包含第一開關 4046a 及第二開關 4046b。第一開關 4046a 具有耦接於第一接腳  $D_p'$  之第一端、耦接於電壓源 4044a 且提供預定電壓  $V_p'$  之第二端、以及耦接於控制訊號  $Sc'$  之控制端。第二開關 4046b 具有耦接於第二接腳  $D_m'$  之第一端、耦接於電流源 4044b 且提供預定電流  $I_p'$  之第二端、以及耦接於控制訊號  $Sc'$  之控制端。

於本實施範例中，當核心電路 402 及充電控制電路 404 耦接於外部充電器時，充電控制電路 404 根據外部充電器提供之供電電壓被打開。當充電控制電路 404 被打開時，充電器控制器 4042 產生控制訊號  $Sc'$  以打開第一開關 4046a 及第二開關 4046b。類似於第 1 圖所示之實

施範例，當電壓源 4044a 耦接於第一接腳 Dp' 時，輸入阻抗 Ri' 足夠高以保持預定電壓 Vp' 大體上穩定，以及當電流源 4044b 耦接於第二接腳 Dm' 時，保持預定電流 Ip' 大體上穩定，外部充電器能夠持續充電過程以對核心電路 402 之電池裝置充電。

請參考第 5 圖。第 5 圖係根據本發明之一實施例之用於匯流排介面的方法 500 之流程圖。匯流排介面方法 500 旨在使得當電壓源耦接於第一接腳 Dp 及第二接腳 Dm 其中之一時，上述預定電壓 Vp 大體上穩定，以及當電流源耦接於第一接腳及第二接腳其中之一時，使得預定電流 Ip 大體上穩定。因此，上述 USB 裝置之實施例可視為使用匯流排介面方法 500 以獲得類似結果。簡而言之，匯流排介面方法 500 將結合上述 USB 裝置 100 進行描述。此外，假設可達到大體上相同的結果，第 5 圖所示之流程圖中之步驟並不需要嚴格按照所示的確定的順序且不需要連續執行；亦即，亦可插入其他的步驟。匯流排介面方法 500 包含：

步驟 502: 提供具有第一接腳 Dp 及第二接腳 Dm 之核心電路 102;

步驟 504: 配置第一接腳 Dp 及第二接腳 Dm 固定耦接於核心電路 102;

步驟 506: 選擇性地提供具有預定電壓 Vp 之電壓源 1044a 至第一接腳 Dp;

步驟 508：選擇性地提供具有預定電流  $I_p$  之電流源 1044b 至第二接腳 Dm；

步驟 510：配置自第一接腳 Dp 及第二接腳 Dm 看進去核心電路 102 之輸入阻抗  $R_i$  以使得當電壓源 1044a 耦接於第一接腳 Dp 時預定電壓  $V_p$  大體上穩定；以及

步驟 512：配置所述輸入阻抗  $R_i$  以使得當電流源 1044b 耦接於第二接腳 Dm 時，預定電流  $I_p$  大體上穩定。

請參考第 1 圖、第 2 圖及第 5 圖。當外部充電器 (external charger) 116 經由接腳 N1、Dp、Dm 及 N2 耦接於 USB 裝置 100 時，外部充電器 116 對 USB 裝置 100 之電池裝置 114 充電。如上所述，於自時間點  $t_2$  至  $t_4$  之時間段，第二控制電路 1028 產生開關控制訊號  $Sc_2$  以配置實體層電路 1026，從而使得從核心電路 102 看進去之輸入阻抗  $R_i$  係高輸入阻抗，因此當電壓源 1044a 耦接於第一接腳 Dp 時，預定電壓  $V_p$  可保持大體上穩定；以及當電流源 1044b 耦接於第二接腳 Dm 時，預定電流  $I_p$  可保持大體上穩定。因此，藉由使用本方法 502-512，即使 USB 裝置處於弱/無電電池狀態下，USB 裝置 100 之充電過程仍可符合 BC 1.1 規格之標準。

簡言之，本發明將充電控制電路 (例如，104、404) 整合進 USB 裝置 (例如，100) 以執行充電器偵測，其中連接於核心電路 (例如，102、402) 與第一及第二接腳 (例如，Dp、Dm) 之間的傳導路徑上

不存在開關裝置（例如，1046、4046），然而輸入阻抗（例如， $R_i$ 、 $R_i'$ ）係足夠高以使得當電壓源（例如，1044a、4044a）耦接於第一接腳時，保持預定電壓（例如， $V_p$ 、 $V_p'$ ）大體上穩定，以及當電流源（例如，1044b、4044b）耦接於第二接腳時，預定電流（例如， $I_p$ 、 $I_p'$ ）大體上穩定。因此，本發明不僅可以減小 USB 裝置之尺寸，亦可符合 BC 1.1 規格之標準。

上述描述僅用於闡述本發明之目的，但並不作為本發明之限制。於不脫離本發明之精神之前提下，所屬技術領域中具有通常知識者對上述實施例進行之等效變換及修飾仍屬於本發明之範圍。本發明之權利範圍以申請專利範圍為準。

#### 【圖式簡單說明】

第 1 圖係根據本發明之一實施範例之匯流排介面裝置之示意圖。

第 2 圖係根據本發明之一實施範例之第 1 圖中之第一供電電壓、電池輸出電壓、核心電壓、充電電流、控制訊號、開關控制訊號、控制訊號及啟動準備訊號之時序示意圖。

第 3 圖係根據本發明之一實施範例之第 1 圖之轉換電路及實體層電路之輸出級之示意圖。

第 4 圖係根據本發明之一實施範例之核心裝置及充電控制電路之示意圖。

第 5 圖係根據本發明之一實施例之用於匯流排介面之方法之流程圖。

## 【主要元件符號說明】

- 100：USB 裝置；
- 102、402：核心電路；
- 104、404：充電控制電路；
- 106：轉換電路；
- 106a：第一電阻器；
- 106b：運算放大器；
- 108：第一控制電路；
- 110：啟動電路；
- 112：暫存器；
- 114：電池裝置；
- 116：外部充電器；
- 1022：第一傳導路徑；
- 1024：第二傳導路徑；
- 1026：實體層電路；
- 1028：第二控制電路；
- 1042、4042：充電器控制器；
- 4044、1044：充電器偵測器；
- 1044a、4044a：電壓源；
- 1044b、4044b：電流源；
- 1046、4046：開關電路；
- 1046a、4046a：第一開關；
- 1046b、4046b：第二開關；
- 1031：保護電路；
- 1031a、1031b：保護單元；
- 1032：拉高電路；
- 1033：拉低電路；
- 1034：負載電路；
- 1035：驅動電路；
- 1030：輸出級；
- 500：匯流排介面方法；
- 502、504、506、508、510、512：步驟；
- B1、B2：緩沖器；
- R1、R2、R3、R4：電阻器；
- N1、N2、Dp、Dp'、Dm、Dm'：接腳；
- M1、M2、M4、M6、M9、M10：N 型電晶體；
- M3、M5、M7、M8、M11、M12、M13：P 型電晶體。

## 七、申請專利範圍：

1. 一種通用序列匯流排裝置，包含：

一核心電路，具有一第一接腳及一第二接腳，自該第一接腳及該第二接腳看該核心電路，該核心電路具有一輸入阻抗；以及

一充電控制電路，耦接於該核心電路，用於選擇性地提供一電壓源至該第一接腳及該第二接腳其中之一；

其中該核心電路之該輸入阻抗配置為使得當該電壓源耦接於該第一接腳及該第二接腳其中之一時，該電壓源大體上穩定。

2. 如申請專利範圍第 1 項所述之通用序列匯流排裝置，其中該第一接腳及該第二接腳固定耦接於該核心電路。

3. 如申請專利範圍第 1 項所述之通用序列匯流排裝置，其中當該第一接腳及該第二接腳具有浮動電壓時，該核心電路之該輸入阻抗阻止一電流流入該核心電路。

4. 如申請專利範圍第 1 項所述之通用序列匯流排裝置，其中該充電控制電路更選擇性地提供一電流源至該第一接腳及該第二接腳其中之一，以及該核心電路之該輸入阻抗被配置為使得當該電流源耦接於該第一接腳及該第二接腳其中之一時，該電流源大體上穩定。

5. 如申請專利範圍第 1 項所述之通用序列匯流排裝置，其中該充電控制電路更選擇性地提供一電阻器至該第一接腳及該第二接腳其中

之一。

6. 如申請專利範圍第 1 項所述之通用序列匯流排裝置，其中當該通用序列匯流排裝置係處於一無電電池狀態時，該核心電路之該輸入阻抗被配置為使得該預定電壓及該預定電流大體上穩定。

7. 如申請專利範圍第 1 項所述之通用序列匯流排裝置，其中該通用序列匯流排裝置更耦接於一外部充電器，該外部充電器用於產生一第一供電電壓，該充電控制電路被該第一供電電壓加電，以及該核心電路被一第二供電電壓加電，該第二供電電壓自該第一供電電壓獲得。

8. 如申請專利範圍第 7 項所述之通用序列匯流排裝置，其中當該充電控制電路運作時，該第一供電電壓及該第二供電電壓可分別用於該充電控制電路及該核心電路。

9. 如申請專利範圍第 7 項所述之通用序列匯流排裝置，其中當該充電控制電路運作時，該第一供電電壓可用於該充電控制電路以及該第二供電電壓不可用於該核心電路。

10. 如申請專利範圍第 7 項所述之通用序列匯流排裝置，其中該充電控制電路包含：

一充電器控制器，用於產生一控制訊號；

一充電器偵測器，用於提供該電壓源；以及

一開關電路，以並接方式耦接於該第一接腳及該第二接腳，該開



關電路用於選擇性地將該電壓源耦接至該第一接腳及該第二接腳其中之一。

11. 如申請專利範圍第 10 項所述之通用序列匯流排裝置，其中該充電控制電路產生該開關控制訊號以響應該第一供電電壓。

12. 如申請專利範圍第 11 項所述之通用序列匯流排裝置，其中當該充電控制電路被該第一供電電壓加電時，該充電控制電路產生該開關控制訊號。

13. 如申請專利範圍第 10 項所述之通用序列匯流排裝置，其中該核心電路產生該開關控制訊號以響應該第二供電電壓。

14. 如申請專利範圍第 13 項所述之通用序列匯流排裝置，其中當該核心電路被該第二供電電壓加電時，該核心電路產生該開關控制訊號。

15. 如申請專利範圍第 7 項所述之通用序列匯流排裝置，其中該核心電路包含：

- 一第一 P 型電晶體，具有耦接於該第一接腳之一輸出節點；以及
- 一第二 P 型電晶體，具有耦接於該第二接腳之一輸出節點；

其中該第一 P 型電晶體之一控制節點及該第二 P 型電晶體之一控制節點保持為該第二供電電壓，從而產生該輸入阻抗。

16. 如申請專利範圍第 1 項所述之通用序列匯流排裝置，其中該核心電路包含：

一控制電路，用於接收一核心電壓且產生一控制訊號；以及

一實體層電路，具有該第一接腳及該第二接腳，該實體層電路被該控制訊號配置且被該核心電壓加電。

17. 如申請專利範圍第 1 項所述之通用序列匯流排裝置，更包含一啟動電路，耦接於該核心電路及該充電控制電路，該啟動電路用於產生一啟動準備訊號，該啟動準備訊號用於指示該通用序列匯流排裝置之一無電電池狀態。

18. 如申請專利範圍第 1 項所述之通用序列匯流排裝置，更包含一轉換電路，用於接收一電池輸出電壓以提供一核心電壓，從而加電該核心電路。

19. 如申請專利範圍第 18 項所述之通用序列匯流排裝置，更包含一控制電路，用於接收該電池輸出電壓且產生一控制訊號，以使能該轉換電路。

20. 一種匯流排介面裝置，包含：

一啟動電路，用於產生一啟動準備訊號；

一第一控制電路，用於接收一電池輸出電壓且根據該啟動準備訊號產生一第一控制訊號；

一轉換電路，用於接收該電池輸出電壓以根據該第一控制訊號提

供一核心電壓；

一第二控制電路，用於接收該核心電壓且根據該啟動準備訊號產生一第二控制訊號；

一實體層電路，具有一第一接腳及一第二接腳，該實體層電路被該第二控制訊號配置且被該核心電壓加電，以及自該第一接腳及該第二接腳看該實體層電路，該實體層電路具有一輸入阻抗；以及

一充電控制電路，該充電控制電路更包含：

一充電器偵測器，用於產生一預定電壓；以及

一開關電路，用於選擇性地將該預定電壓耦接至該第一接腳及該第二接腳其中之一；

其中該實體層電路之該輸入阻抗被配置為使得當該預定電壓耦接於該第一接腳及該第二接腳其中之一時該預定電壓大體上穩定。

21. 如申請專利範圍第 20 項所述之匯流排介面裝置，其中該第一接腳及該第二接腳固定耦接於該實體層電路。

22. 如申請專利範圍第 20 項所述之匯流排介面裝置，其中該充電器偵測器更產生一預定電流，且該開關電路更選擇性地將該預定電流耦接於該第一接腳及該第二接腳其中之一，以及該實體層電路之該輸入阻抗被配置為使得當該預定電流耦接於該第一接腳及該第二接腳其中之一時該預定電流大體上穩定。

23. 如申請專利範圍第 20 項所述之匯流排介面裝置，其中當該匯流排介面裝置處於一無電電池狀態時，該實體層電路之該輸入阻抗被

配置為使得該預定電壓大體上穩定。

24. 一種匯流排介面裝置，包含：

一啟動電路，用於產生一啟動準備訊號；

一轉換電路，用於接收一電池輸出電壓以提供一核心電壓；

一核心電路，具有一第一接腳及一第二接腳，該核心電路用於根據該啟動準備訊號被配置且被該核心電壓加電，以及自該第一接腳及該第二接腳看該核心電路，該核心電路具有一輸入阻抗；以及

一充電控制電路，該充電控制電路更包含：

一充電器偵測器，用於產生一預定電壓；以及

一開關電路，用於選擇性地將該預定電壓耦接至該第一接腳及該第二接腳其中之一；

其中該核心電路之該輸入阻抗被配置為使得當該預定電壓耦接於該第一接腳及該第二接腳其中之一時，該預定電壓大體上穩定。

25. 如申請專利範圍第 24 項所述之匯流排介面裝置，其中該第一接腳及該第二接腳固定耦接於該核心電路。

26. 如申請專利範圍第 24 項所述之匯流排介面裝置，其中當該匯流排介面裝置處於一無電電池狀態時，該實體層電路之該輸入阻抗被配置為使得該預定電壓大體上穩定。

27. 一種匯流排介面方法，包含：

提供具有一第一接腳及一第二接腳之一核心電路；

選擇性地提供具有一預定電壓之一電壓源至該第一接腳及該第二接腳其中之一；以及

配置自該第一接腳及該第二接腳看該核心電路之一輸入阻抗，以使得當該電壓源耦接於該第一接腳及該第二接腳其中之一時，該預定電壓大體上穩定。

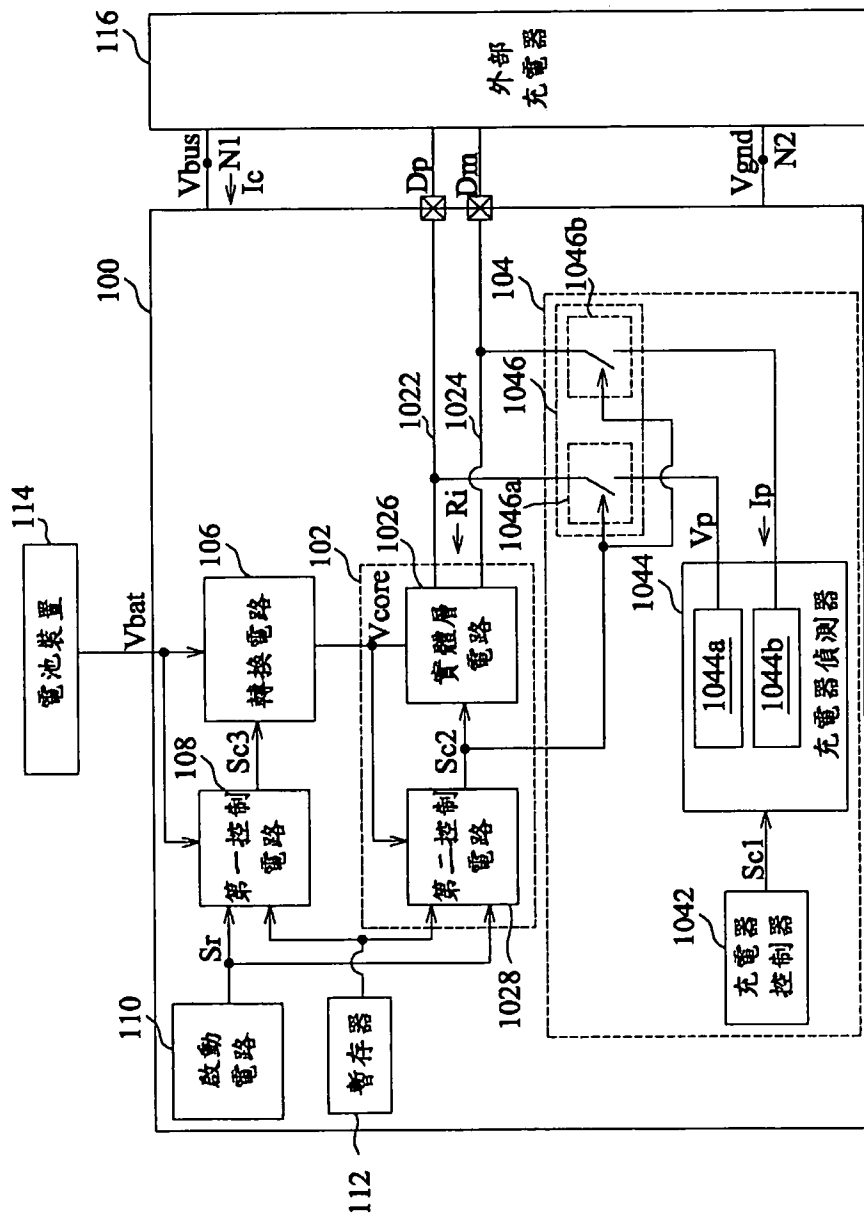
28. 如申請專利範圍第 27 項所述之匯流排介面方法，更包含：

選擇性地提供具有一預定電流之一電流源至該第一接腳及該第二接腳其中之一；以及

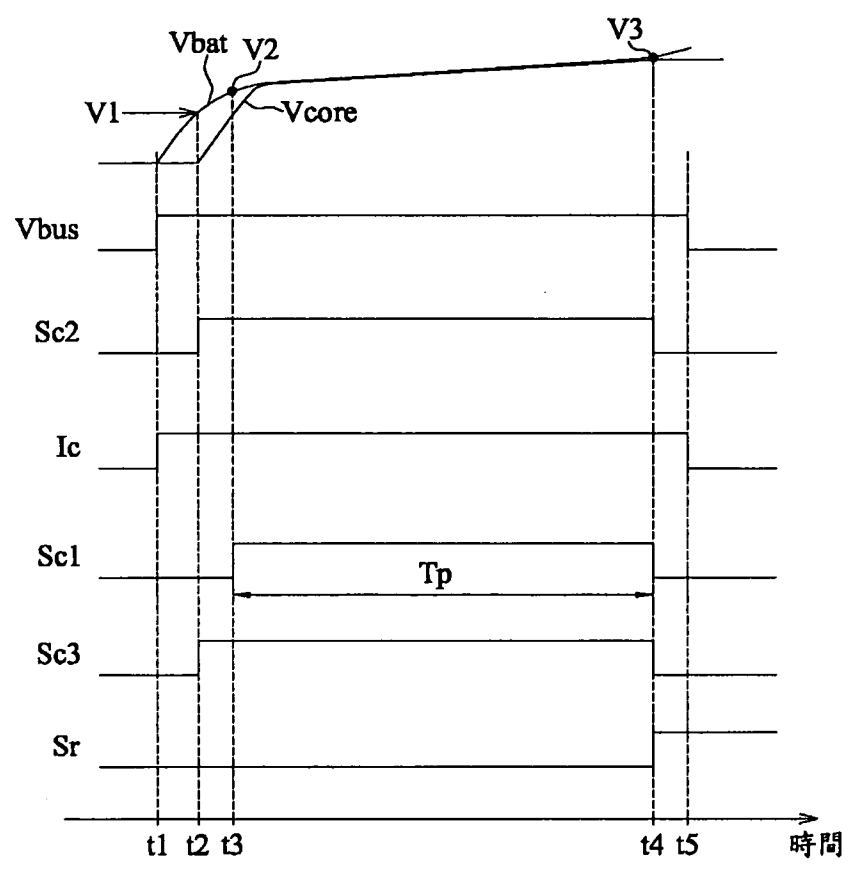
配置該輸入阻抗以使得當該電流源耦接於該第一接腳及該第二接腳其中之一時，該預定電流大體上穩定。

29. 如申請專利範圍第 27 項所述之匯流排介面方法，其中該第一接腳及該第二接腳固定耦接於該核心電路。

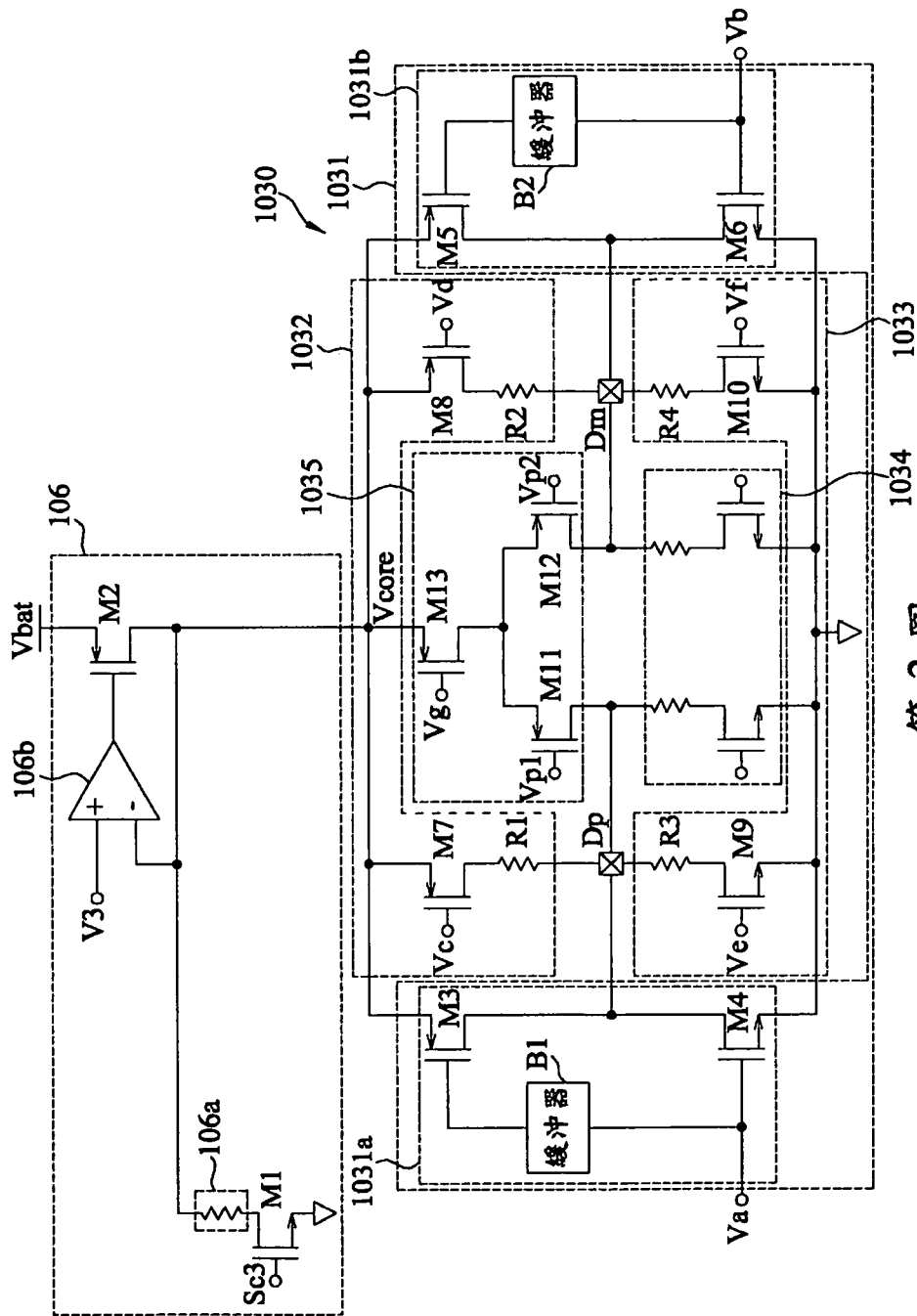
八、圖式：



第 1 圖

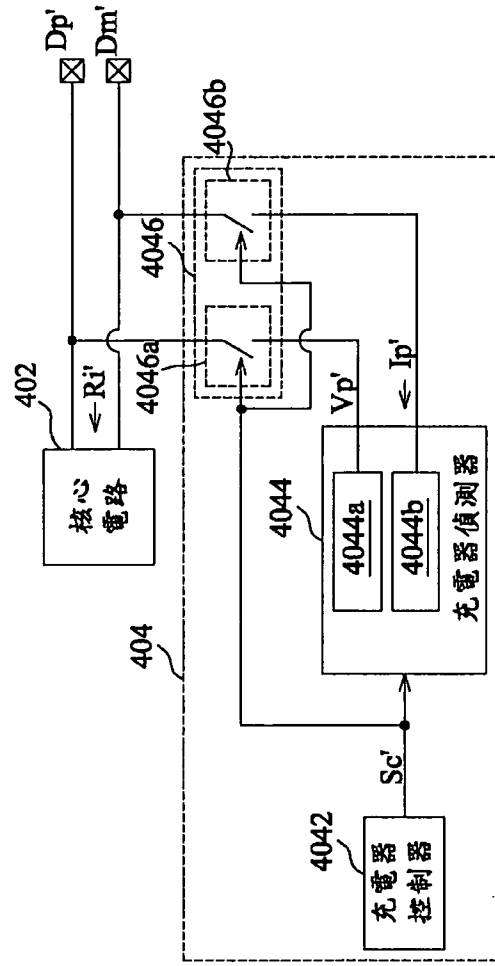


第 2 圖

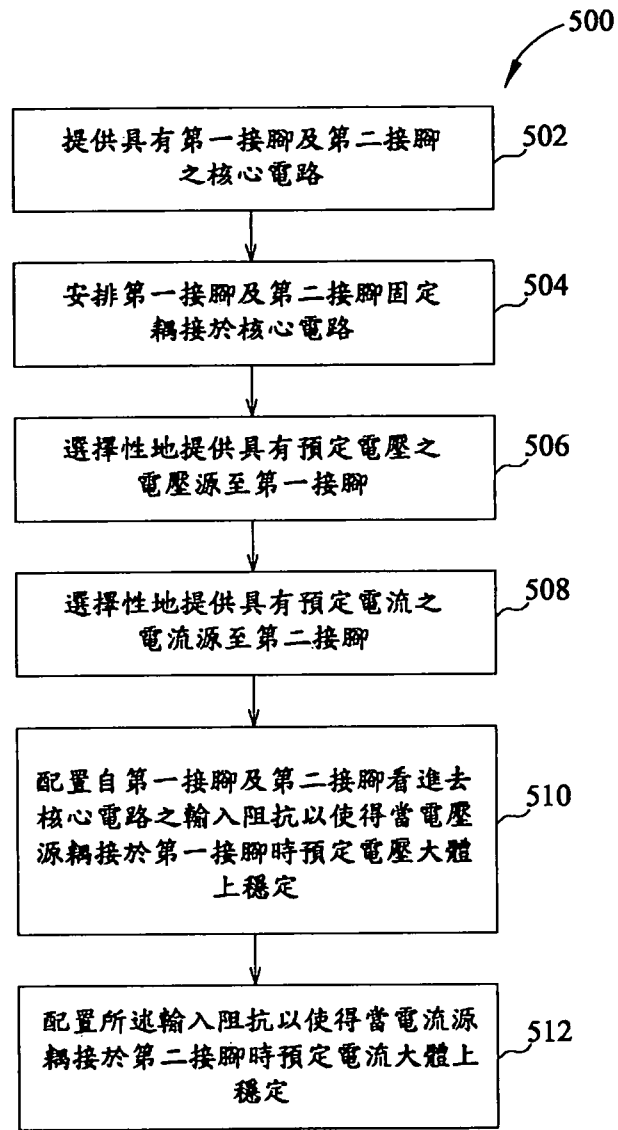


第 3 圖





第 4 圖



第 5 圖