

公告本

申請日期	88.10.15
案 號	88112887
類 別	H01L ²⁷ /108

A4
C4

423152

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有堆疊電容器及埋入字元線之動態隨機存取記憶體 (DRAM)
	英 文	DRAM with stacked capacitor and buried word line
二、發明 創作人	姓 名	湯瑪斯 S. 拉普 (Thomas S. Rupp)
	國 籍	德 國
	住、居所	美國紐約州 12582 史東維里太陽巷 109 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德 國
	住、居所 (事務所)	德國 慕黑尼 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6

B6

本案已向：

美 國 國 (地 區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權

1998年11月19日 案號09/195,602 (主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

發明領域

本發明有關一種動態隨機存取記憶體(DRAM)，其使用一串列組合之電晶體及儲存電容器當作記憶體單元，且更特別地，有關其中該儲存電容器係在其中已形成電晶體之半導體本體(基板，晶片)之頂部表面上形成為多層堆疊之種類之DRAM。

發明背景

上述該種類之DRAMs已成為較重要積體電路裝置之一，此外，該趨勢係在於更大及更大容量之記憶體，為增加記憶體之容量，主要係增加使用來形成記憶體之記憶體單元之密度及減少其大小。

在該典型之DRAM中，該記憶體之記憶體單元係以列及行來配置於半導體本體(矽晶片，基板)中，及二進位數字(位元)係利用典型地藉延伸在晶片之表面上由電介質層分隔開之導電層所提供之位元線及字元線來讀入及讀出個別之單元。

在常用形式之DRAM中，該等電晶體係形成於矽積體電路晶片中，以及該等儲存電容器則在該晶片之頂部表面上形成為多層堆疊。當記憶體單元之密度已增加時，已更困難於置放此等堆疊電容器於該表面之上而維持必要之電氣隔離於個別電容器之間以及於該等電容器與字元線及字元線之間，其所有均在競爭該晶片表面上之空間。

發明概述

五、發明說明(>)

本發明揭示藉埋入通常在半導體本體(基板, 晶片)之表面上方之字元線於該半導體本體之內部之內而降低個別電容器之間, 以及該等電容器與位元線及字元線之間空間的競爭。尤其, 該字元線係埋入於該等儲存電容器與該等位元線下方。藉如此置放該等字元線所開放之空間可使用來增加可配置於該等儲存電容器與該等位元線之間隔而仍維持在該半導體本體表面上方之空間中。

在一觀點中, 本發明係針對一種新穎形式之用於DRAM中之記憶體單元, 該單元係藉一字元線予以特徵化, 在該矽晶片表面下方且沿著其側壁及底部埋置之字元線係形成為該電晶體開關之導電性通道, 此外, 在一較佳形式中, 該電容器之下方板係形成為該晶片表面上之磊晶層。

從一裝置觀點, 本發明係針對一種記憶體單元, 該記憶體單元含有一與儲存電容器串列之電晶體, 用於形成一動態隨機存取記憶體之記憶體單元之陣列中, 該記憶體單元含有一導電形式之半導體本體, 該半導體本體具有一頂部表面, 第一及第二區, 在該半導體本體中之溝渠, 以及一儲存電容器, 該第一及第二區係相反導電形式之半導體本體且適用於作為電晶體之源極及汲極, 它們係形成於該半導體本體中且藉一部分半導體本體予以分隔, 各該源極及汲極具有其一部分含有一部分之頂部表面, 該溝渠係位於居於該等分隔開地區間之半導體本體之一地區中且含有一導電性充填物, 該導電性充填物之

五、發明說明()

準位係在該半導體本體之頂部表面之準位下方，且藉一適用於作為電晶體之閘極電介質之材料層及包含一覆蓋電介質層來電氣隔離於周圍之半導體本體，該儲存電容器係位於該半導體本體上方且含有一導電層於該源極區上方作為下方板，一適用於覆蓋該下方板之電容器電介質材料層，以及一在該電容器電介質上方作用為上方板之導電層。

從其他觀點，本發明係針對一種用於製造具有若干獨立特性之記憶體之方法，尤其該新穎方法提供該等電晶體開關之導電性通道係沿著字元線之側壁及底部形成，該字元線係埋置於該半導體本體之表面下方，因此，相異之臨限值可提供於不同之通道部分。此外，該等堆疊電容器形成於晶圓之表面上方且因此以一方式，亦即，限制用於製作不同堆疊層之圖案需要之方式在該埋入字元線上方。

從方法觀點，本發明係針對一種用於形成含有電晶體及儲存電容器之電晶體單元之方法，該方法包含下列步驟：界定一活化區於單晶矽晶圓之表面部分中，其中將形成一開關電晶體；形成一溝渠於該表面部分之中間地區中；以適用為電晶體之閘極電介質的電介質層來襯裡該溝渠；以一適用為電晶體之閘極電極之導電性材料來部分地充填該溝渠至一在該矽晶圓之頂部表面之準位下方之準位；形成電介質層於該溝渠上方以主要地充填該溝渠至該矽晶圓之頂部表面之準位；形成源極及汲極區

五、發明說明(4)

於該矽晶圓中於該溝渠之相反側之上；形成一適用為儲存電容器之電介質層之層於該源極區上方；以及形成一適用為該電介質之外部板之導電層於該儲存電容器之該電介質層上方。

本發明將較佳地理解自下文結合附圖之更詳細之說明中。

圖式簡單說明

第1至11圖顯示根據本發明之形成配對之記憶體單元於其中之不同階段處之半導體本體(基板，晶片，矽晶圓)之橫剖面圖；以及

第12,13,及14圖顯示根據本發明之DRAM之電晶體，儲存電容器，字元線，及位元線之概略頂視圖。

發明詳細說明

參閱一部分之半導體本體(晶片，基板)，其中該記憶體係形成大小足以形成配對記憶體單元，將便於描繪本發明。例如已知地，典型地大多數DRAM之處理係完成於晶圓等級之上，之後，切割該晶圓為單一DRAM之個別晶片供該處理之最後步驟。

本方法將特定地參照使用n通道金屬氧化物半導體場效應(MOSFET)，同時稱為絕緣閘極場效電晶體(IGFET)作為電晶體之記憶體單元之製備予以描述。為此目的，首先製備大有一半導體本體(矽晶片，基板，工件)10，該半導體本體含有至少一頂部表面。在一描繪性之實施例中，半導體本體10係單晶P型導電性且可為或為阱之層

五、發明說明(5)

於P型或n型導電性之基板中。替換性地，p型層可形成為生長在一適用之矽基板或絕緣體上之磊晶層。

開始藉形成一"PAD"層11A於半導體本體10之表面10A上係有用的，該"PAD"層11A典型地含有氧化矽之下方層及氮化矽之上方層。為簡化起見，該PAD層11A係顯示為一單一層，此PAD層已製作圖型以暴露出將形成有充填電介質材料之淺溝渠之地區，典型地該電介質材料為氧化矽，作用為相互隔離該等記憶體單元。氧化物充填之溝渠12係顯示於該本體10之兩端處，典型地，該淺的氧化物充填之溝渠大約2500埃深且包圍者典型正方形或矩形之活化區，其中大量地形成個別配對之記憶體單元。

第2圖顯示該半導體本體10已蝕刻而形成直立式溝渠13於其中央地區中且在該氧化物充填之溝渠12中，典型地，此可藉首先去除原始之PAD層11A之剩餘物，形成第二PAD層11B於該表面上，將其製作圖案以形成使用於反應離子蝕刻法中以界定以示之直立式溝渠13之遮罩而完成。典型地，該等溝渠約可為2000埃深且該等在半導體本體10之中者最後將收容埋入之字元線，同時，該等溝渠13之壁將界定通道及閘極電極，為此目的，適用為閘極電介質，且含有兩直立式部分14A及14C，以及一水平部分14B之電介質層係形成於各溝渠13之側壁及底部上，在生長此氧化物之前，該等壁及底部可接受離子布植以分別地設定將形成毗鄰三電介質部分14A、14B及14C之三通道部位之各臨限電壓，各該等三部分係接受從三個相

五、發明說明 (b)

異之離子射束方向之一不同者之離子布植，若需要時，可提供用於各部分之相異的臨限電壓 V_T 。

如第 3 圖中所示，該等淺中央溝渠 13 現已部分地充填有將作為閘極導體之摻雜的多晶矽充填物 15，如圖示，該多晶矽充填物之頂部準位係製作於該半導體本體 10 之頂部表面 10A 之準位之下，典型地約 500 埃以下，以確保字元線維持埋入於半導體本體 10 之頂部表面 10A 下方。典型地，此可藉一致地沈積該多晶矽來充填該等溝渠 13 且接著利用反應離子蝕刻法來形成凹口於該充填物中在該表面 10A 之下而完成。

第 4 圖顯示形成在該等溝渠 13 之側壁上約 150 埃厚之適當之間隔物 16，該等間隔物可先藉充填該等溝渠 13，且接著利用反應離子蝕刻法來形成一中央開口而留下側壁間隔物 16。具有在適當位置處之間隔物 16，現可形成有一凹口於各多晶矽充填物 15 中而不會妨礙到在適當位置處沿著將提供字元線之閘極導體多晶矽充填物 15 之側壁及底部之閘極氧化物層 14A, 14B, 及 14C。

現形成於多晶矽閘極導體 15 中之凹口係充填有諸如矽化鎢之矽化物的充填物 17，以增加其使用為字元線之導電性。為此目的，典型地需要先充填各開口且接著將過多的蝕刻掉。應注意的是，充分地保持該字元線充填物 17 在該表面 10A 下方，典型地在稍早所述之 500 埃以下。

第 5 圖顯示第二 PAD 層 11B 與間隔物 16 已剝離，而藉去除它們所留下之凹口充填有典型地為氧化矽 18 之電介質，

五、發明說明(7)

此可利用單晶矽作為蝕刻阻斷物藉氧化矽之化學氣相沈積法(CVD)來覆蓋表面及接著藉化學機械拋光法(CMP)來平面化該表面。

在此點處，如第5圖中所示，含有摻雜之多晶矽15及矽化物17之字元線係整個地由來自閘極電介質14或新電介質18之電介質所包圍有且位於表面10A之下方，即，本發明之方法的主要特性。

替換性地，第5圖中所示結果可藉由僅剝離間隔物16，及僅在已形成氧化物於所希求準位之後去除該PAD層11B，留下所示之結構而獲得。

第6圖顯示n+型導電區20,21及22已正好形成於該半導體本體10之表面10A下方，大致地，地區20及22將分別描述為源極，及地區21為共用汲極以用於將形成於一活化區中之兩電晶體。然而，例如在DRAM中已知，電晶體之源極及汲極會在讀入及讀出操作之期間交換角色，但在習知上所描述者係指連接於位元線之地區當作汲極而連接於儲存電容器之儲存節點之地區則當作源極。

同時，在第6圖中所示者係n+型導電性磊晶接觸區25A, 25B, 及25C, 其已分別地選擇性生長於單晶矽源極/汲極區20,22及21之上，以分別地提供進一步之該等區之升高及可能之橫向擴展而簡化了源極及汲極接點之配置，可理解的是，此步驟係選用的。

此外，可理解的是，少有需要來限制源極及汲極擴散區之深度，源極及汲極區之有效深度可藉配置在閘極導

五、發明說明(8)

體 15 上之氧化物層 18 之厚度來加以控制。

如第 7 圖中所示，該等源極接點 25A 及 25B 以及汲極接點 25C 已各由典型地 Ti 或 W 矽化物之矽化物之塗覆物 27A, 27B, 及 27C 所包圍，而改善其導電性。因為係良好地界定所升高之源極及汲極區 25A, 25B, 及 25C, 故該等矽化物接點係所希求地自行配向(自行配向矽化物接點)。

第 8 圖顯示半導體本體 10 之表面 10A 上之堆疊電容器，為此目的，首先沈積有一具高電介質常數適用作儲存電容器之電介質之例如鋇銦鈦酸鹽(BSTO)之材料的電介質層 29 於表面 10A 之上以作用為所有儲存電容器之共用電介質層，依序地，藉一高導電性金屬層 30 來覆蓋，該層 30 係作為半導體本體之記憶區中之記憶體單元之各儲存電容器之上方或第二板。含有支援電路供記憶體單元用之周邊地區係遮罩以防止在該處之上形成層 29 及 30。典型地，該第二板係保持接地或參考電位，使得鉑之單一連續層可作用為 DARM 中各儲存電容器之第二板。如上述，該等電容器之下方或第一板係藉同時作用為源極接點之個別提高之自行配向矽化物接點 25A 及 25B，以及 27A 及 27B 所提供。

應注意的是，已主要地形成電容器一源極接點而不需要任何製作圖型之蝕刻。

現一諸如硼磷矽酸鹽玻璃(BPSG)之層的電介質帽已沈積在層 30 之頂部之上以取得第 9 圖中所示之結果。在半導體本體 10 之周邊區域中，先去除上述遮罩層，接著沈

五、發明說明(9)

積一層30於該周邊區域之上，同時沈積在該半導體單元區之上，接著藉局部蝕刻法來去除半導體主體10上方之層31、30及29之中心部分而留下曝露之自行配向之汲極接點27C。

現在為達成第10圖中所示之結果，電介質間隔物30係配置於已形成於BPSG中之開口之側壁上，典型地，藉充填該開口有諸如氮化矽之適當之間隔物電介質而形成，之後，使用RIE來形成開口於氮化矽中而留下間隔物33。現在，該開口係過充填有一適合之位元線接點材料，諸如機雜之多晶矽或金屬，之後，該表面係藉CMP予以平面化而留下該位元線接點柱塞34於適當處。

接著，完成有第11圖中所示之結果，其中已添加作成接點於該位元線接點柱塞34之位元線35於該處。首先可沈積及平面化該準位間TEOS電介質37於該BPSG之頂部表面上，接著，該TEOS及BPSG可製作圖型及蝕刻至一準位於該接點柱塞34之準位下方，之後，亦可沈積及平面化該配線金屬而取得第11圖中所示之結果。替換性地，沈積及製作位元線配線35之圖案，接著，沈積及平面化該準位間電介質之層37，典型地，描述為已在該項技術中用於此目的之成為常用之TEOS的氧化矽。

第12、13、及14圖係描繪DRAM記憶體陣列之記憶體單元之種種可行布局之頂視圖。在各該等圖示中，8條係顯示於第12及13圖中而6條則顯示於第14圖中之字元線40係垂直地延伸，以及僅兩條顯示以用於簡化目的之位元

五、發明說明(10)

線 41 則水平地延伸，該等位元線接點之位置係藉顯示由代表間隔物層之外圓圈 44 所包圍之內圓圈 43 來顯示，作用為儲存電容器之下方板之磊晶成長矽區之位置則由圓圈 45 來表示。大致地，淺氧化物充填之隔離溝區係在區域 46 之外。

第 1 至 11 圖之不同的橫剖面圖主要地表示取沿著第 12 圖之虛線之橫剖面圖。

應該明顯的是，所描述之特定實施例僅係描繪本發明之大致原理，而種種修飾係可行而不會背離本發明之範疇及精神。尤其，應該明顯的是，上述使用為電介質層、間隔物層，及接點之特定材料可予以變化。同時明顯的是，使用 p 通道電晶體之互補結構係可行的。

符號之說明

- 10.....半導體本體
- 10A.....頂部表面
- 11A, 11B...PAD 層
- 12.....氧化物充填之溝渠
- 13.....直立式溝渠
- 14A, 14B, 14C...閘極氧化物層
- 15.....多晶矽閘極導體
- 16.....側壁間隔物
- 17.....字元線充填物
- 18.....電介質
- 20, 22...源極

五、發明說明()

- 21.....汲極
- 25A,25B...源極接點
- 25C.....汲極接點
- 27A,27B...自行配向矽化物源極接點
- 27C.....自行配向矽化物汲極接點
- 29.....電介質層
- 30.....高導電性金屬層
- 31.....硼磷矽酸鹽玻璃(BPSG)層
- 33.....電介質間隔物
- 34.....位元線接點柱塞
- 35.....位元線
- 37.....TEOS電介質
- 40.....字元線
- 41.....位元線
- 43.....內圓圈
- 44.....外圓圈
- 45.....圓圈
- 46.....區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：具有堆疊電容器及埋入字元線之動態隨機存取記憶體 (DRAM))

一種使用於 DRAM (動態隨機存取記憶體) 中之記憶體單元，含有一溝渠形成於半導體本體之頂部表面處之源極與汲極區之間，該溝渠係墊襯有一適用為閘極電介質之層，且部分地充填有摻雜之多晶矽將作為閘極電極，該溝渠之導電性充填物之準位係在該半導體本體之表面下方，且準位中之差異將充填有氧化矽，連接閘極導體之字元線係同樣地在該半導體本體之頂部表面之準位下方。

英文發明摘要 (發明之名稱：DRAM with stacked capacitor and buried word line)

A memory cell for use in a DRAM includes a trench that is formed between source and drain regions at a top surface of a semiconductor body. The trench is lined with a layer suitable for use as the gate dielectric and partially filled with doped polysilicon that will serve as the gate electrode. The level of the conductive fill of the trench is below the surface of the semiconductor body and the difference in level is filled with silicon oxide. A word line that connects the gate conductors is similarly below the level of the top surface of the semiconductor body.

六、申請專利範圍

1. 一種記憶體單元，含有串聯於儲存電容器之電晶體，
使用於形成動態隨機存取記憶體單元之陣列中，包含：
 - 一導電型之半導體本體，具有頂部表面；
 - 相反導電型之半導體本體之第一及第二區，適用於當作該電晶體之源極及汲極，且係形成於該半導體本體中，及藉一部分該半導體本體而分隔開且各具有一含一部分頂部表面之部分；
 - 一溝渠，於該半導體本體中，在所分隔開之區域間之中間區之中，該溝渠含有一導電性充填物，該充填物之準位係在該半導體本體之頂部表面之準位下方，該導電性充填物係藉一層適用於當作電晶體之閘極電介質之材料電氣隔離於包圍之半導體本體，且該溝渠含有一覆蓋電介質層；以及
 - 一儲存電容器，位於該半導體本體上方，含有一在該源極區上方之導電層當作下方板，一適用於電容器電介質之材料層覆蓋該下方板，及一在該電容器電介質上方之導電層當作上方板。
2. 如申請專利範圍第1項之記憶體單元，其中該溝渠之導電性充填物係摻雜之多晶矽以及該包圍之電介質係矽氧化物。
3. 如申請專利範圍第2項之記憶體單元，其中該溝渠之導電性充填物含有矽化物核心。
4. 如申請專利範圍第1項之記憶體單元，其中該源極及汲極區含有一摻雜之磊晶矽層，生長於該半導體本體

六、申請專利範圍

之原來表面上方當作該儲存電容器之內部板。

5. 如申請專利範圍第4項之記憶體單元，其中一矽化物層覆蓋該摻雜之磊晶矽層。

6. 一種記憶體單元，含有串聯於儲存電容器之電晶體，使用於形成動態隨機存取記憶體之記憶體單元之陣列中，包含：

一導電型之單晶矽層，含有沿其頂部表面分隔開之相反導電型之源極及汲極區；

一溝渠，在該等分隔開之區之間的矽區中，該溝渠含有相當厚之頂部層的電介質材料，以及摻雜之多晶矽的壁部及底部以及高度導電性材料之核心區，該壁部及底部多晶矽部分係藉一相當薄之電介質層而分離自該矽層；

該相當薄電介質層當作該電晶體閘極之電介質，該摻雜之多晶矽層當作一閘極導體，及該核心區當作該記憶體之字元線閘極接點柱塞；以及

在該溝渠中之該充填物之該導電性部分之準位係在該單晶矽層之頂部表面之準位下方。

7. 如申請專利範圍第6項之記憶體單元，其中一第一磊晶矽之導電層覆蓋所分隔開之區之一，用於形成適用於當作該記憶體單元之堆疊電容器之電容器的下方板，以及一夾置於一第二導電層與該第一導電層間的電介質層，該電介質層與該第二導電層分別地當作該電容器之電介質及上方板。

六、申請專利範圍

8. 如申請專利範圍第7項之記憶體單元，其中一導電性磊晶層覆蓋另一所分隔開之區當作該電晶體之汲極接點。
9. 一種用於形成記憶體單元之方法，該記憶體單元含有一電晶體及一儲存電容器，包含下列步驟：
- 界定一活化區於一單晶矽晶圓之表面部分中，其中該活化區將形成有一開關電晶體；
- 形成一溝渠於該表面部分之中間區之中；
- 墊襯該溝渠有一適用於當作該電晶體之閘極電介質之電介質層；
- 部分地充填該溝渠有一適用於當作該電晶體之閘極電極至該矽晶圓之頂部表面之準位下方；
- 形成一電介質層於該溝渠上方以主要地充填該溝渠至該矽晶圓之頂部表面之準位；
- 形成源極及汲極區於該矽晶圓之中，在該溝渠之相反側邊之上；
- 形成一適用於當作該儲存電容器之電介質層於該源極區上方；以及
- 形成一適用於當作該電介質之外部板之導電層於該儲存電容器之該電介質層上方。
10. 如申請專利範圍第9項之方法，其中適用於當作該閘極電介質之導電性材料含有一由摻雜之多晶矽所包圍之矽化物之內部核心。
11. 如申請專利範圍第9項之方法，尚包含形成一摻雜矽

六、申請專利範圍

之磊晶層，在該源極區上方，當作該儲存電容器之內部板。

12. 如申請專利範圍第11項之方法，尚包含一摻雜矽之磊晶層，在該汲極區上方，當作接觸於該汲極區之位元線。

13. 如申請專利範圍第9項之方法，其中該活化區係由一包圍之充填有電介質材料之溝渠所界定。

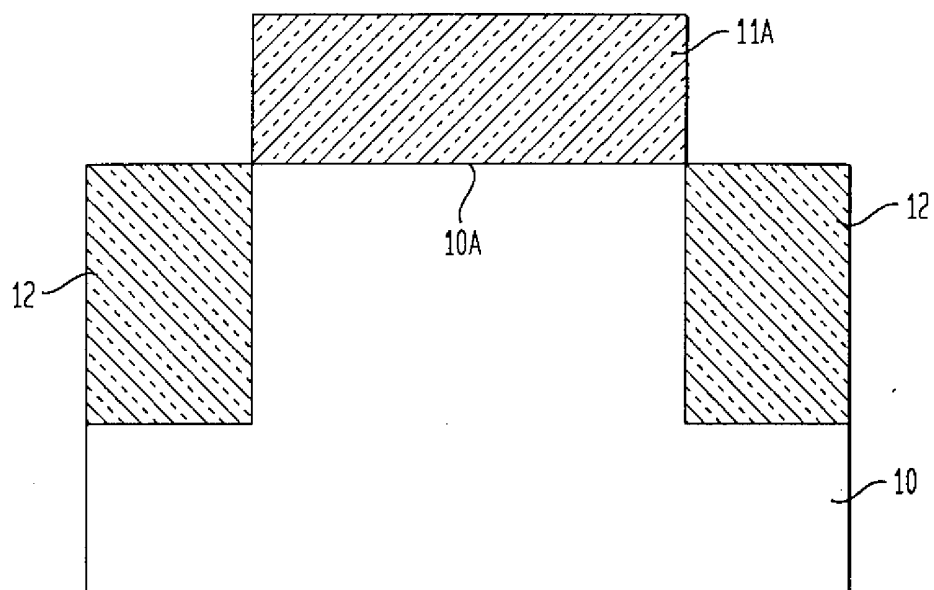
14. 如申請專利範圍第9項之方法，其中一配對之溝渠係形成於該活化區之中，及一共用汲極區係形成於該兩溝渠之中間之區中，以及分離之源極區係形成於該兩溝渠外部之兩區之中，且各該等溝渠係相同地充填。

15. 如申請專利範圍第14項之方法，其中該活化區係由一充填有氯化矽之包圍的隔離溝渠所界定。

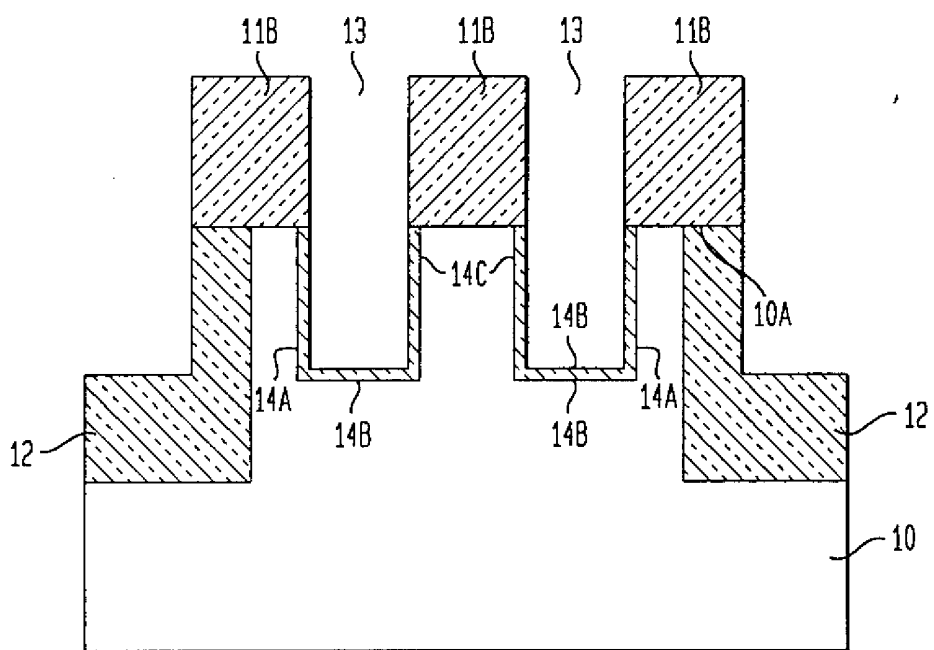
16. 如申請專利範圍第14項之方法，其中各該兩溝渠係同樣地充填有矽化物之內部核心及摻雜之多晶矽的包圍層。

17. 如申請專利範圍第14項之方法，其中一摻雜之磊晶層係生長於各該等源極及汲極區上方。

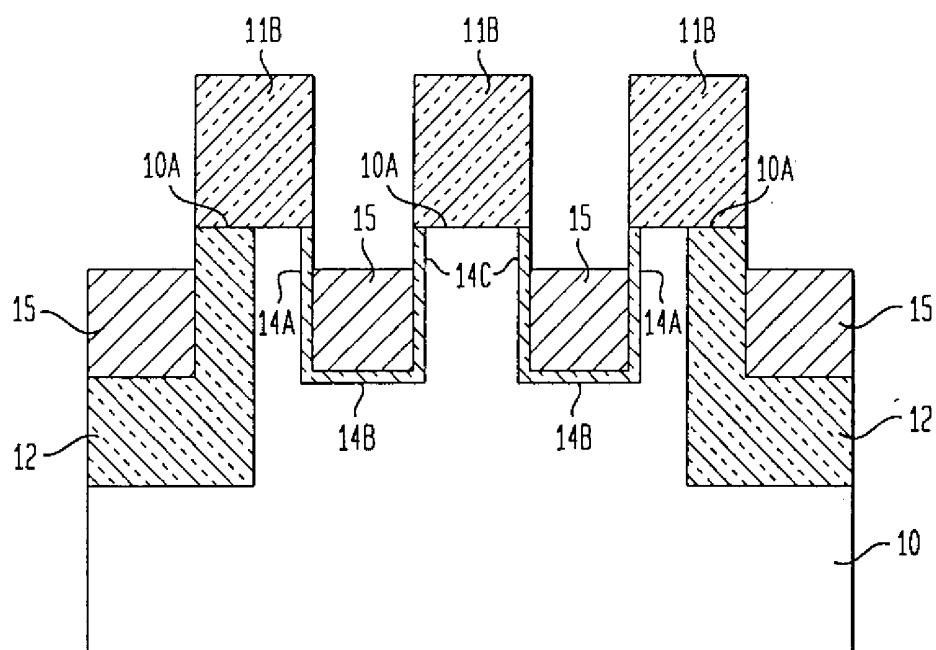
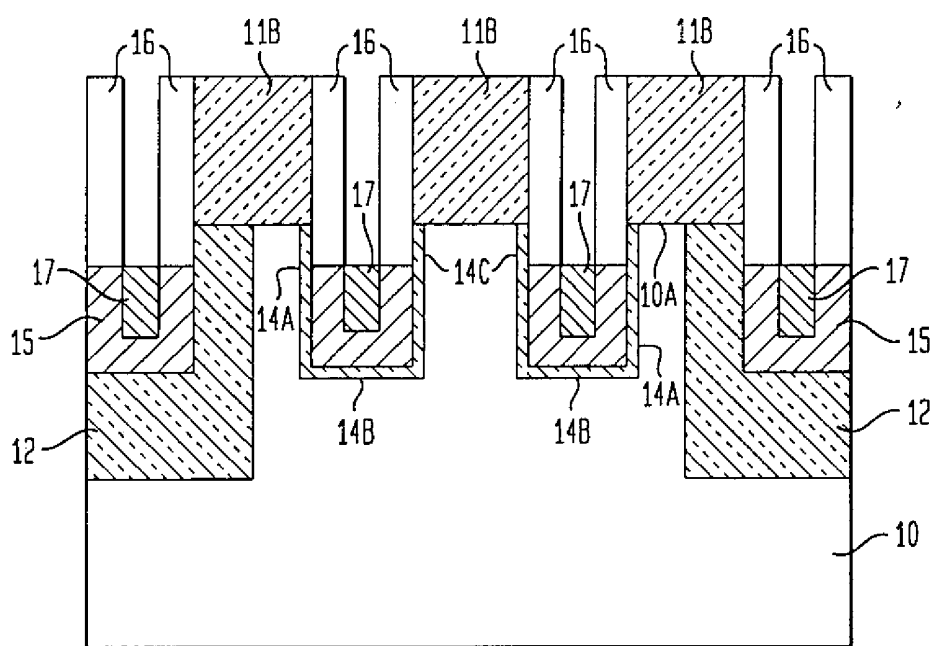
18. 如申請專利範圍第17項之方法，其中在該兩源極區上方之各該等摻雜之磊晶矽層係覆蓋有一電介質層及一導電層以形成分離之儲存電容器。

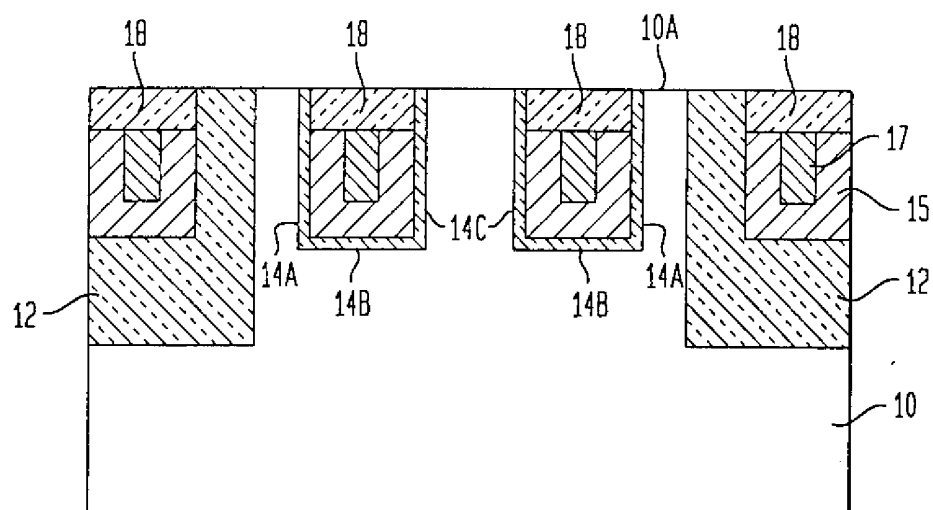


第 1 圖

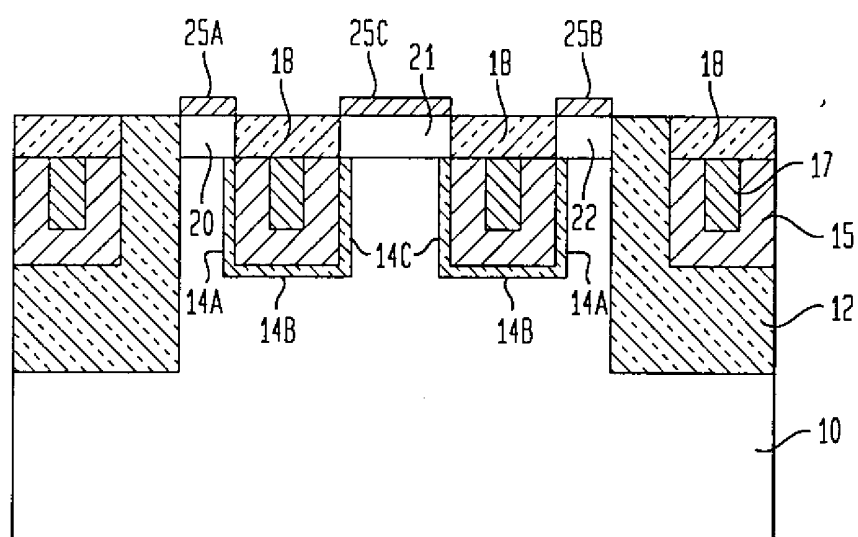


第 2 圖

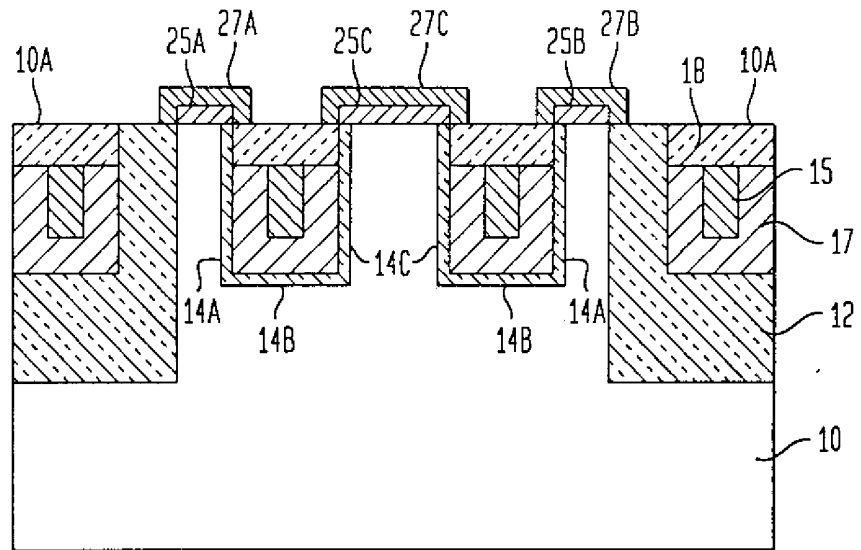
**第 3 圖****第 4 圖**



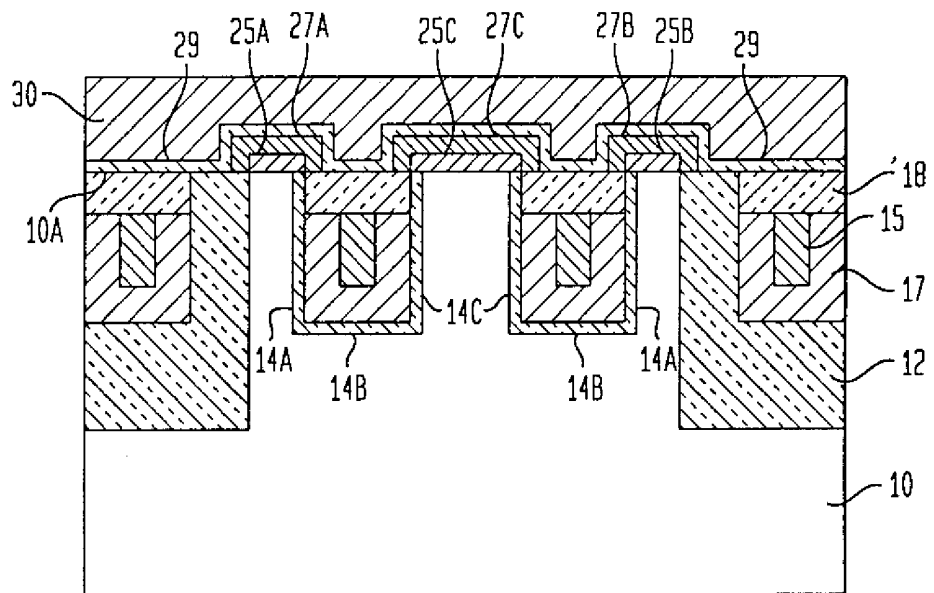
第 5 圖



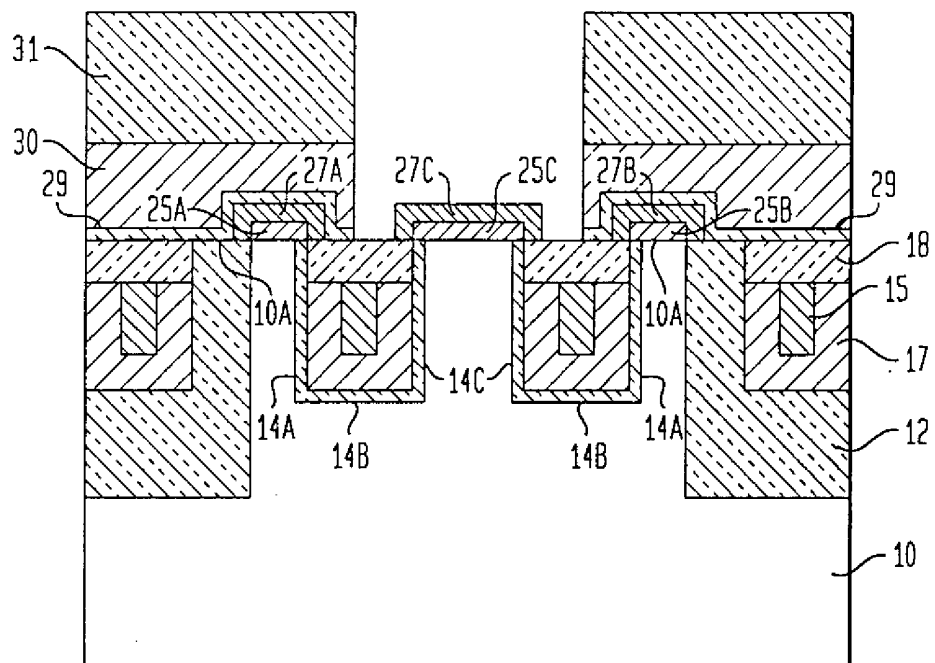
第 6 圖



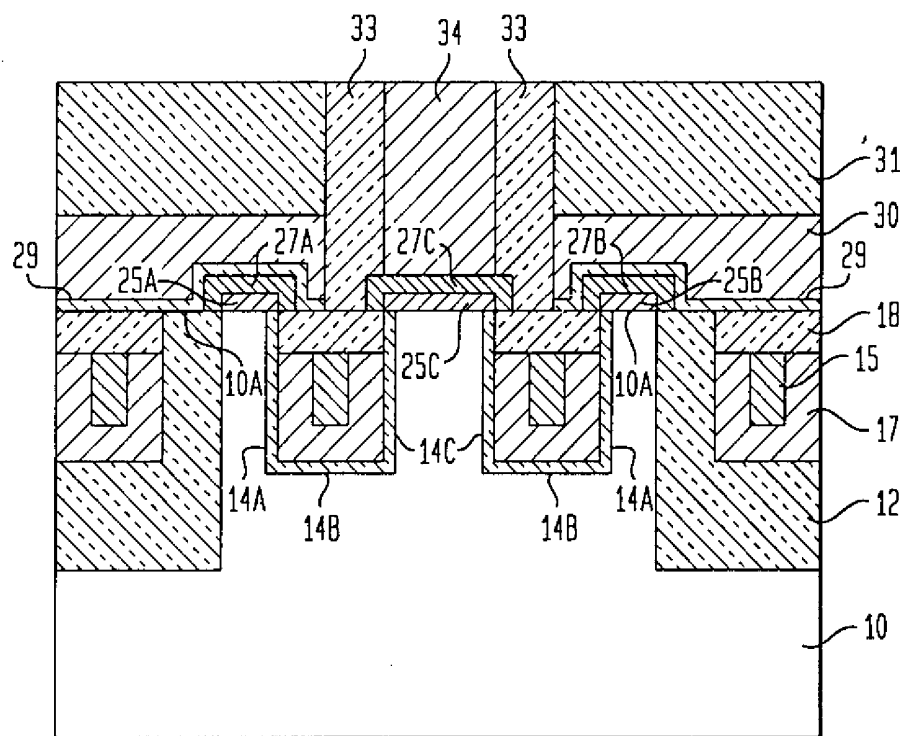
第 7 圖



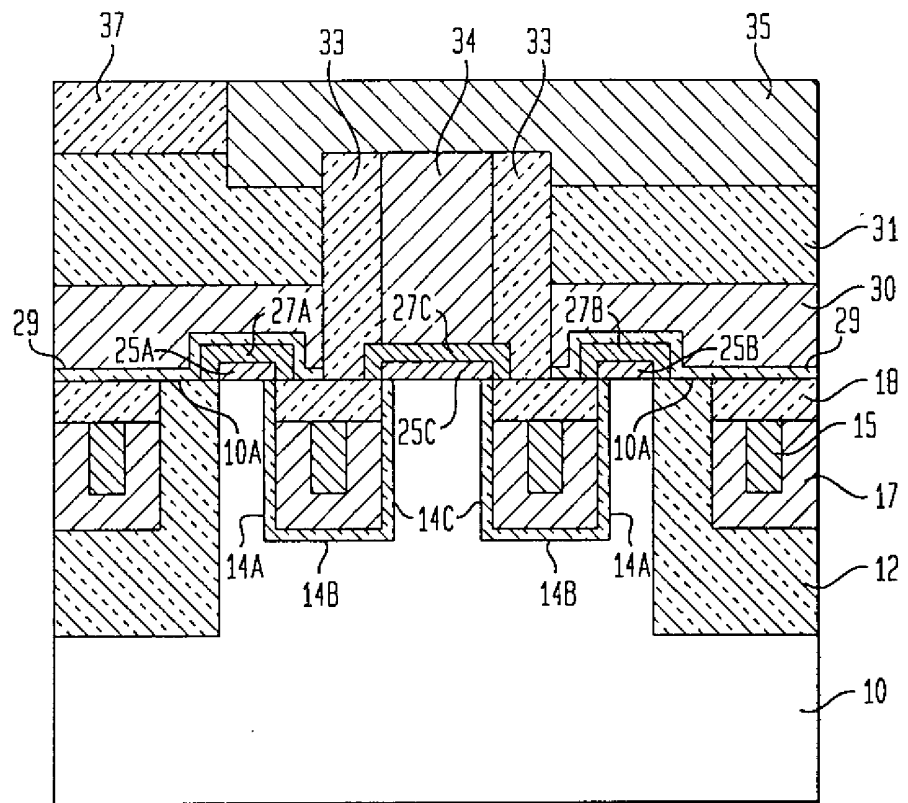
第 8 圖



第 9 圖

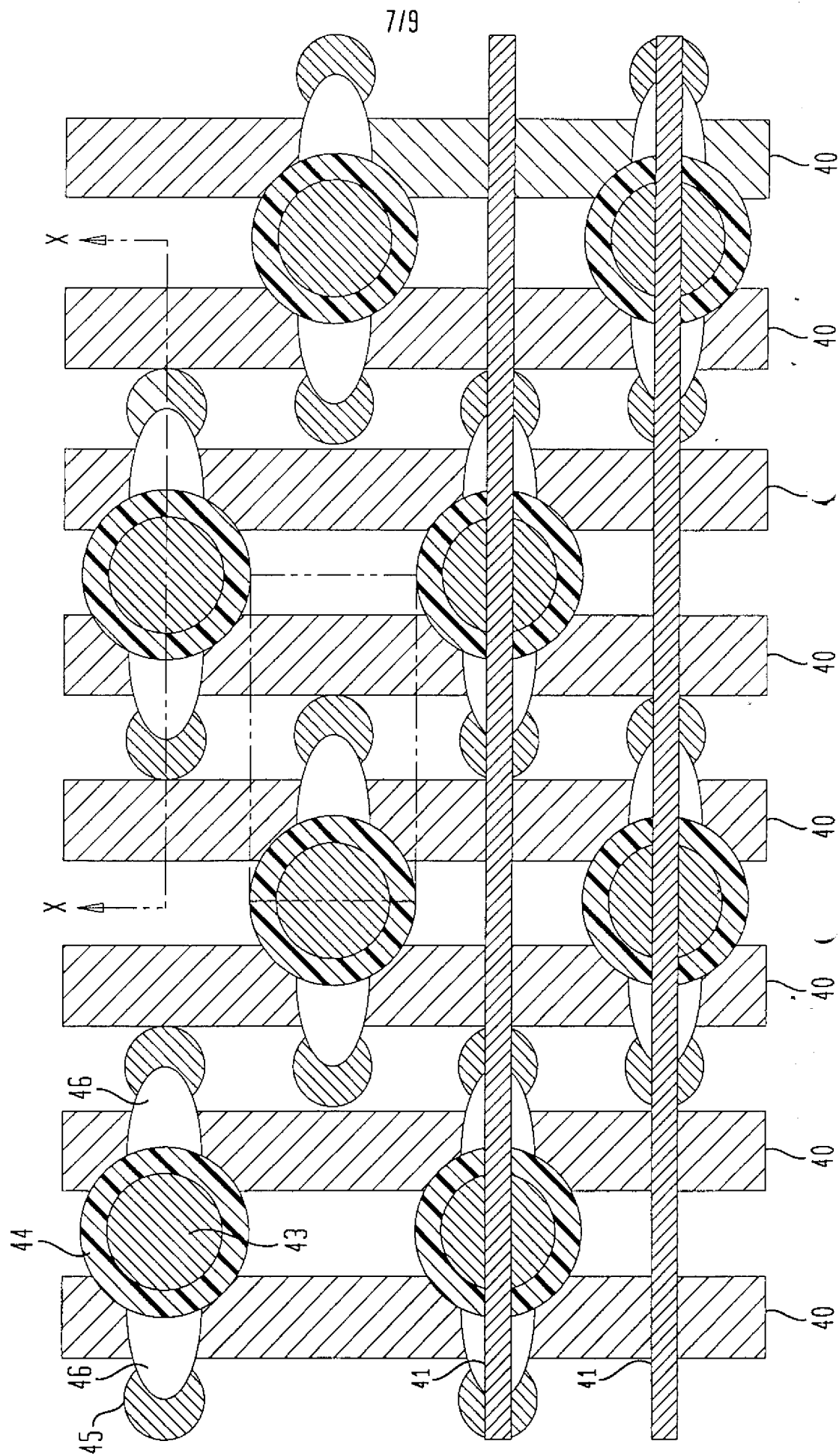


第 10 圖

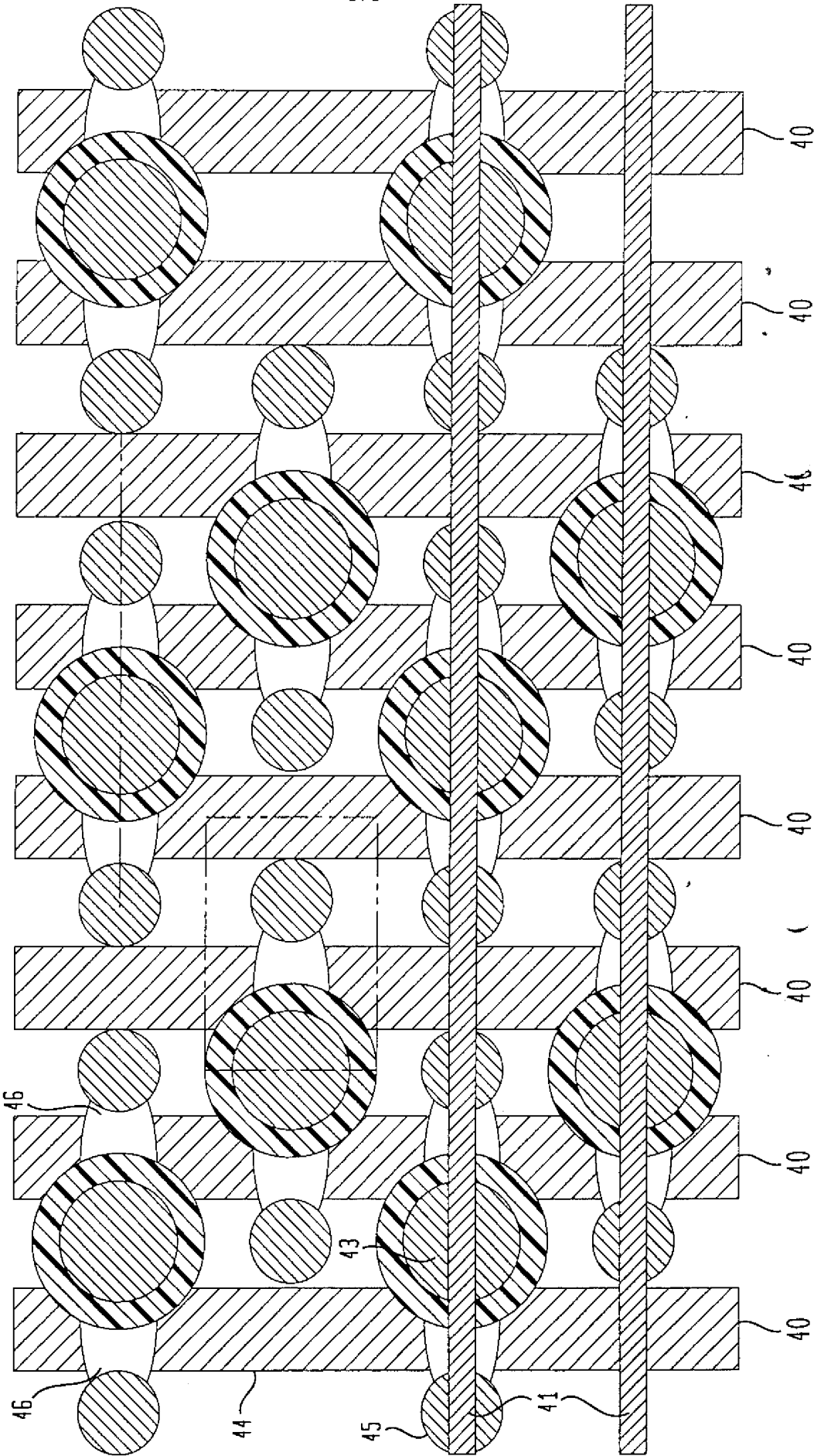


第11圖

第12圖



第13圖



第14圖

