申請日期	87 年 12 月 3 日
案號	87120107
類別	H01L 27/10

（以上各欄由本局填註）

471158

A4
C4

公告本

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體積體電路裝置及其製造方法
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 福田琢也 (2) 大路讓 (3) 小林伸好
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都小平市回田町二一九愉悅神山一一六 (2) 日本國東京都西多摩郡日の出町平井二一九六－三二七 (3) 日本國埼玉縣川越市伊勢原町一－－八－－
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1997 年 12 月 19 日	9-350537	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(1　)

（發明所屬之技術領域）

本發明係關於一種半導體積體電路裝置及其製造方法，特別是，關於一種適用於ＤＲＡＭ（Dynamic Random Access Meinory)或此等ＤＲＡＭ與邏輯控制電路或邏輯演算電路等邏輯電路混載於一個半導體基板的半導體積體電路裝置有效之技術者。

（以往之技術）

一般ＤＲＡＭ之記憶格係配置在矩陣狀地配置於半導體基板之主面上的複數字線與複數位元線之交點，由一個記憶格選擇用ＭＩＳＦＥＴ與串聯地連接於此的一個資訊儲存用電容元件（電容器）所構成。記憶格選擇用ＭＩＳＦＥＴ係形成在以元件分離領域圍繞周圍的活性領域，主要以閘極氧化膜，與字線一體地構成的閘極電極及構成源極，汲極的一對半導體領域所構成。位元線係配置於記憶格選擇用ＭＩＳＦＥＴ之上部，而與藉由鄰接於其延設方向之兩個記憶格選擇用ＭＩＳＦＥＴ所共有之源極，汲極之其中一方電氣式地連接。資訊儲存用電容元件係同樣地配置於記憶格選擇用ＭＩＳＦＥＴ之上部，並與上述源極，汲極之另一方電氣式地連接。

在記載於日本特開平７－７０８４號公報（ＵＳＰ５２７９９８３）的ＤＲＡＭ係電容器之下部電極（儲存電極）被加工成在上方具有開口的圓筒形狀，由此增加其表面積的方法。又，在下部電極上形成有電容絕緣膜，而

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(2)

在其上部形成有上部電極（板電極）。

具有此等圓筒形狀之下部電極的電容器係在記憶格陣列領域與周邊電路領域等之外的領域之間，產生相當於電容器之高度的階段差。

若存有此等階段差，則在形成於電容之形成後的配線層之圖案化時成爲很難實行曝光之對焦，而無法得到微細之配線圖案。隨著半導體積體電路裝置之微細化進展，每一單位面積必需確保之儲存電容值變大。爲此，電容器高度又變高，另一方面，藉由配線圖案之微細化所容許之曝光對焦之餘量值變成更嚴格者。

在日本特開平４－１０６５１號（對應美國專利ＵＳＰ５，２１８，２１９），揭示爲了緩和上述之記憶陣列領域與周邊電路領域之階段差，在絕緣膜形成溝槽，並沿著該溝槽之內壁形成電容器的ＤＲＡＭ。

（發明欲解決之課題）

然而，在上述之ＤＲＡＭ中，在記憶格陣列領域以外之領域，會留下與電容器高度同等膜厚之絕緣膜。在經微細化之ＤＲＡＭ中，爲了增高電容器之高度而必須確保儲存電容，其絕緣膜之厚度係也產生至１μｍ之情形。爲此，欲連接形成於電容器形成過程前的第１層配線，及形成在電容器形成後之第２層配線時，必須在與電容器高度同等膜厚之厚絕緣膜開設連接孔，因而該連接孔之寬高比（對於連接孔徑對於連接孔之深度）會變大。亦即，即使在

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(3　)

使用插頭連接於第1層配線與第2層配線時。也成爲以高寬高比之插頭來連接，而爲了形成這種高寬高比之插頭，有導致降低良品率之虞。又，在形成連接孔之蝕刻過程中，連接孔會達到基板，使第2層配線與基板會產生短路。

又，在ＤＲＡＭ與邏輯控制電路或邏輯演算電路等之邏輯電路混載於一個半導體基板的半導體積體電路裝置，邏輯電路部係成爲與ＤＲＡＭ之周邊電路同樣藉由高寬高比之插頭來連接第1層配線與第2層配線。若以此種高寬高比之插頭連接配線，則藉由該電阻，成爲妨礙邏輯電路之高連響應性等之性能。

又，在日本特開平９－９２７９４號公報，揭示爲了減低階段差及簡化儲存電極之加工工程，在絕緣膜同時地形成電容器形成用之凹部與插頭形成用溝槽的方法，惟在形成電容器之後欲形成配線（第2層配線）時，有無法使用ＣＭＰ法之不方便。又，介經上述公報之技術與周邊電路之第2層配線同時地形成電容器之下部電極時，成在該第2層配線之形成工程之後實行電容器之電容絕緣膜之形成。考量電容器之儲存電荷之增大而以氧化鉭等之氧化物金屬構成電容絕緣膜時，必然地必須實施高溫度之熱處理工程，而在第2層配線使用低電阻之銅或鋁等之金屬材料，由熱擴散性及軟化觀點無法採用。

本發明之目的係在於具有包含電容元件之記憶格的半導體積體電路裝置中，提高隔著與電容器高度同等之膜厚的厚絕緣膜所配置的第1層配線與第2層配線的連接可靠

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(4　)

性。

又，本發明之目的係在於減低上述第1層配線與第2層配線之連接孔部分的電阻。

又，本發明之目的係在於減低第2層配線以上的配線之配線電阻。

又，本發明之目的係在於提供將第2層配線之形成工程作爲需要高熱處理工程之電容器之形成工程以後，即使爲熱擴散係數大之材料也可使用在第2層配線的技術。

又，本發明之目的係在於提高具有記憶格之ＤＲＡＭ與形成在相同之基板的周邊電路，或是邏輯電路之高速響之應性能。

本發明之上述以及其他目的與新穎之特徵係由本案專利說明書之記述及所附圖式更加明瞭。

（解決課題所用之手段）

在本案所揭示之發明中，簡述代表性者之概要如下所述。

（１）本發明之半導體積體電路裝置，係屬於具有：形成在半導體基板之記憶格陣列領域的記憶格選擇用ＭＩＳＦＥＴ，及形成在記憶格陣列領域周邊之周邊電路用ＭＩＳＦＥＴ，及覆蓋記憶格選擇用ＭＩＳＦＥＴ與周邊電路用ＭＩＳＦＥＴ的第1層絕緣膜，及形成在記憶格陣列領域之第1層間絕緣膜上的位元線，及形成在位元線上，且具備電氣式地連接於記憶格選擇用ＭＩＳＦＥＴ之

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(5)

其中一方之源極，汲極領域之下部電極的資訊儲存用電容元件，及與資訊儲存用電容元件同層地形成，且包含緩和或解除起因於資訊儲存用電容元件之高度的記憶格陣列領域與周邊電路領域之階段差之第1部分，與覆蓋資訊儲存用電容元件之第2部分的第2層間絕緣膜的半導體積體電路裝置，其特徵爲：第2層間絕緣膜係其表面被平坦化，且在其表面近旁形成有配線溝槽，而在配線溝之內部，在與表面同一面內形成具有其表面的配線者。

又，本發明之半導體積體電路裝置，係除了上述之半導體積體電路裝置的記憶格陣列領域與周邊電路領域外，還具有構成演算電路其他之邏輯電路用ＭＩＳＦＥＴ所形成的邏輯電路領域，而對於該邏輯電路領域的第2層絕緣膜；其表面也被平坦化，且在其表面近旁形成有配線溝槽，而在配線溝之內部，在與表面同一面內形成具有其表面配線者。

依照此種半導體積體電路裝置，由於第2層絕緣膜之表面被平坦化，因此，在記憶格陣列領域與其他領域之間不會形成起因於資訊儲存用電容元件的階段差，不會產生存在此種階段差時會產生的曝光焦點偏差。因此，可精密地實行形成在第2層間絕緣膜上之配線等的圖案化。由此，形成微細配線等成爲可對應於半導體積體電路裝置之高積體化及高性能化。

但是，如此地平坦化第2層間絕緣膜之表面，則周邊電路領域或邏輯電路領域的第2層間絕緣膜之膜厚成爲增

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(6　)

加相當於上述階段差的尺寸，而未施以任何對策之以往技術之情形係如上所述必須以高寬高比加工連接形成在第2層間絕緣膜上之配線與其下部構件的連接孔。

但是，在本發明中，由於將第2層間絕緣膜之表面予以平坦化，同時在其表面近旁形成配線溝槽，而在該配線溝槽，在與第2層間絕緣膜之表面同一平面內形成具有其表面的配線，因此，第2層間絕緣膜之下部構件，及配線底部之距離變短，而可縮短連接配線與上述構件的連接部之長度。由此，縮短形成連接部的連接孔之長度而將其加工成爲容易，抑制加工不良之發生而可提高半導體積體電路裝置之製造良品率與可靠性。又，由於連接部之長度變短，因此其連接部之電阻變低，而減低配線與上述構件之連接電阻可提高半導體積體電路裝置之高連響應性等之性能。

又，上述配線係未形成在記憶格陣列領域，而僅形成在周邊電路領域，或僅形成在周邊電路及邏輯電路領域。由此，可減低在周邊電路領域或邏輯電路領域的配線及連接部之電阻值而可提高周邊電路及邏輯電路之高連響應性能。特別是，提高邏輯電路部分之高連響應性能，係直接影響於提高演算速度等，提高半導體積體電路裝置性能，爲極重要者。

又，配線之底面係位於比資訊儲存用電容元件上面較下方者。如此，由於將配線底面位於此資訊儲存用電容元件之上面較下方，因此可更縮短從配線底面向位於其下部

（請先閱讀背面之注意事項再填寫本頁）
裝　訂　線
經濟部中央標準局員工消費合作社印製

五、發明說明(7　)

之構件所連接的連接部之長度。由於縮短連接部之長度，係如上所述對於提高半導體積體電路裝置之良品率及可靠性，及提高性能上有貢獻，因此，可更縮短該長度，乃意味著可更顯著地發現上述效果。

又，在周邊電路領域，或周邊電路領域及邏輯電路領域的第1層間絕緣膜上，形成有與位元線同一材料所構成的第1層配線，配線係形成在第1層配線之上部的第2層配線。如此，由於在第1層間絕緣膜上形成與位元線同一材料之第1層配線，因此，可將第1層配線之形成工程作成與位元線之形成工程相同，而可簡化工程。又，由於將上述配線作爲第2層配線，並將與第2層配線相連接之下部構件作爲第1層配線，因此可縮短第2層配線與第1層配線之間，亦即，可縮短連接部之長度。由此，可更顯著地提高依連接孔之形成工程的容易化所產生的製造良品率及可靠性，又減低依連接部之長度縮短化所產生的串聯電阻，並提高依據此的半導體積體電路裝置之性能。

又，配線（或是第2層配線）與連接部，係配線形成在配線溝槽，而連接部形成在連接孔，並作爲一體形成者。亦即，在配線溝槽之下部形成連接孔，而配線或第2層配線，係於連接孔之內部經由與配線或第2層配線一體形成之連接部連接於周邊電路用ＭＩＳＦＥＴ，邏輯電路用ＭＩＳＦＥＴ或第1層配線者。此種配線及連接部係如下所述，可使用鑲嵌法（特別是，一體地形成配線與連接部的同步鑲嵌法（dual-damascene）所形成。

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（8）

又，配線及其連接部或第2層配線及其連接部係以銅作爲主導電層之金屬導電體所構成，此時，在銅所構成之主導電層與配線層及連接孔之界面，形成有由鉭膜，鈮膜，氮化鉭膜，氮化鈦膜或氮化鎢膜所選擇之任何一種或複數之薄膜。又，可用矽氮化膜蓋配線或第2層配線之表面。

介經將銅作爲主導電層而可減低配線及連接部之電阻值，並可提高半導體積體電路裝置之性能。特別是，提高在邏輯電路部分之性能上被強烈地期待其要求，而有大的技術效果。又，由鉭膜，鈮膜，氮化鉭膜，氮化鈦或氮化鎢膜所選擇之任何一種或複數之薄膜，係功能作爲對於銅之阻隔層者。由此，可防止銅對於層間絕緣膜等之擴散，並可提高半導體積體電路裝置之可靠性。特別是，鉭膜及鈮膜係安定地存在公鉭／銅表面（鈮／銅表面）之銅原子之移動。所以，不但對於銅之擴散，而且對於電子遷移也具很大之抑制效果，結果，可得到耐電子遷移上優異之高可靠性的半導體積體電路裝置。又，介經以矽氮化膜覆蓋配線或第2層配線之表面，可抑制銅向上方之擴散。

又，配線及其連接部或第2層配線及其連接部係以鋁作爲主導電層之金屬導電體所構成，此時，在鋁所構成之主導電層與配線溝槽連接孔之界面，形成有由氮化鈦膜者。

介經將鋁作爲主導電層而可減低配線及連接部之電阻值，並可提高半導體積體電路裝置之性能。特別是，提高

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（9 ）

在邏輯電路部分之性能上被強烈地期待其要求，而有大的技術效果。又，氮化鈦膜係如下所述，將鋁在高壓力下可功能作爲填補在連接孔時之等待層者。

又，下部電極係具有在上方具有開孔的筒形狀者。由於如此在上方具有開孔之筒形狀的下部電極係可得到大表面積，因而在今後之ＤＲＡＭ之高積體化上有利之形狀惟必然地成爲立體式形狀，所以，起因於資訊儲存用電容元件之階段差也變高，故，適用本發明等之效果成爲特別顯著的下部電極之形狀。

又，在配線或第２層配線之上層，又形成有於其表面近旁具有配線溝槽的上層間絕緣膜，及形成於上述配線溝槽內且其表面與上層層間絕緣膜之表面位於同一平面的上層配線也可以。如此，也將第２層配線以上之第３或第４配線層也形成與上述之第２層配線（配線）同樣，因而可減低其串聯電阻，又可提高半導體積體電路裝置之性能。

（２）本發明的半導體積體電路裝置之製造方法，係包含：在半導體基板之主面的記憶格陣列領域形成記憶格選擇用ＭＩＳＦＥＴ，而在半導體基板之周邊電路領域或邏輯電路領域形成周邊電路用ＭＩＳＦＥＴ或邏輯電路用ＭＩＳＦＥＴ的工程，形成覆蓋記憶格選擇用ＭＩＳＦＥＴ及周邊電路用ＭＩＳＦＥＴ或邏輯電路用ＭＩＳＦＥＴ之第１絕緣膜的工程；在記憶格陣列領域之上述第１絕緣膜上形成位元線的工程；形成覆蓋位元線之第２絕緣膜的工程；在記憶格陣列領域之上述第２絕緣膜上形成資訊儲

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(10)

存用電容元件之下部電極，覆蓋上述下部電極之電容絕緣膜及上部電極的工程；在上述資訊儲存用電容元件上形成第3絕緣膜的工程的半導體積體電路裝置之製造方法，其特徵爲：包含以CMP法平坦化第3絕緣膜表面之後，在周邊電路領域或邏輯電路領域之平坦化之第3絕緣膜及其下層間絕緣膜形成配線溝槽及連接孔，在包含配線溝槽及連接孔內部的第3絕緣膜上依次堆積第1導電層及第2導電層，介經CMP法除去第3絕緣膜表面上之第1及第2導電層而在配線溝槽內形成第1及第2導電層所構成之配線，並在連接孔內形成第1及第2導電層所構成之連接部的工程。

依照此種半導體積體電路裝置之製造方法，以所謂同步鑲嵌法形成配線，可形成在上述（1）所述的半導體積體電路裝置。

依照本製造方法，由於配線係形成在形成資訊儲存用電容元件之後，因此，在形成資訊儲存用電容元件時介經一般所實行之高溫度的熱處理，配線不受影響。換言之，由於在形成資訊儲存用電容元件時尚未形成配線，因此，不必考量配線之耐熱性來控制形成資訊儲存用電容元件時之熱工程。由此在形成資訊儲存用電容元件時施以充分高溫之熱處理（例如約700℃）而可形成大儲存電容之資訊儲存用電容元件，另一方面，在配線使用例如銅，鋁等雖耐熱性較差惟具有高導電率之材料以減低配線電阻，可提高半導體積體電路裝置之性能。介經此等製造方法，成

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（11）

爲可將低融點之鋁或是擴散速度快的銅使用在配線材料。

又，在本製造方法中，由於在形成配線溝槽之後形成連接孔，因此，僅相當於配線溝槽之之分量被緩和連接孔之深度。所以將連接孔之加工工程成爲容易而可抑制降低依加工不良所產生的半導體積體電路裝置之良品率。又，由於形成在連接孔的連接部之長度被縮短，因此，可減低配線及與配線介經連接部連接的下部構件之間的串聯電阻而可提高半導體積體電路裝置之性能。

又，在平坦化第3絕緣膜時，可解決起因於資訊儲存用電容元件之階段差，惟欲解決此等階段差，在堆積第3絕緣膜之前，有事先形成相當於該階段差的絕緣膜之方法。亦即，在堆積第3絕緣膜之前，在周邊電路領域或邏輯電路形成資訊儲存用電容元件同層地所形成的第4絕緣膜，可緩和或解除起因於記憶格陣列領域與周邊電路或邏輯電路領域之由的資訊儲存用電容元件之高度的階段差。

作爲該階段差之解決方法亦即第4絕緣膜之形成方法爲，上述第4絕緣膜係在形成資訊儲存用電容元件之下部電極時形成有圓筒形狀之溝槽的絕緣膜的方法。依照該方法，將資訊儲存用電容元件之下部電極成爲在上方具有開口的筒形狀時，不需要另外形成第4絕緣膜，也可將形成下部電極時所需要之第4絕緣膜使用在階段差之緩和者，而可簡化工程。特別是，在堆積第3絕緣膜及依CMP法之研磨時，由於在第4絕緣膜事先實行階段差之緩和，因此，依CMP工程的第3絕緣膜之研磨量也不增多，而可

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (12)

減低ＣＭＰ工程的工程負載。

又，上述第３絕緣膜係覆蓋資訊儲存用電容元件且以相當於資訊儲存用電容元件之高度之尺寸以上的膜厚所堆積者，也可解決階段差。此時，解決階段差係僅實行第３絕緣膜之堆積及依第３絕緣膜之ＣＭＰ法的研磨。由於此時之依ＣＭＰ法之研磨，係記憶格陣列領域上的第３絕緣膜之膜厚相當厚，因此，也產生確保在階段差之平坦性成爲相當困難之情形。在此種情形，僅在周邊電路領域或邏輯電路領域堆積依ＣＭＰ法所產生之研磨的研磨速度調整層（例如比第３絕緣膜之代表性材料的矽氧化膜其研磨速度慢的矽氮化膜）。

又，在上述半導體積體電路裝置之製造方法中，與形成位元線之同時，在周邊電路領域或邏輯電路領域之上述第１絕緣膜上，形成與位元線同一材料所構成的第１層配線，連接部係連接於第１層配線者。依照此種半導體積體電路裝置之製造方法，可縮短連接部之長度。亦即，減低連接部所形成的連接孔之深度，將連接孔之形成工程成爲容易以抑制產生加工不良，可提高半導體積體電路裝置之良品率。

又，第１導電層係氮化鈦膜，第２導電層係鋁膜。此時，在堆積上述鋁膜之後，將半導體基板保持在高壓力化，並將鋁膜填補在連接孔內者。

或者，第１導電層係由鉭膜、鈮膜、氮化鉭膜、氮化鈦膜氮化鎢膜所選擇之任何一種或複數之薄膜，第２導電

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（13）

層係銅膜者。此時，銅膜係介經鍍法所堆積。在鍍法可例示電解鍍法，或是無電解鍍法等。又，在第3絕緣膜及配線上堆積矽氮化膜者。

（發明之實施形態）

以下，參照圖式詳述本發明之實施形態。又，在說明實施形態所用之全圖中，在具有同一功能之構件附與同一記號，省略其重複說明。

（實施形態1）

第1圖係表示形成本發明之一實施形態的ＤＲＡＭ之整體半導體晶片之一例子的平面圖。本實施形態之ＤＲＡＭ係具有２５６Mbit之記憶容量，該外形尺寸係例如１２×５ｍｍ^2，而記憶體佔有率係５８％。如圖示，在單晶矽所構成的半導體晶片１Ａ之主面，沿著Ｘ方向（半導體晶片１Ａ之長邊方向）及Ｙ方向（半導體晶片１Ａ之短邊方向）有多數記憶陣列ＭＡＲＹ矩陣狀地配置。在沿著Ｘ方向互相鄰接的記憶陣列ＭＡＲＹ之間配置有讀出放大器ＳＡ，在連接於讀出放大器ＳＡ的位元線ＢＬ連接有５１２個記憶格。在位元線採用層次字元構造時，在沿著Ｙ方向互相鄰接的記憶陣列ＭＡＲＹ之間配置有副位元解碼器ＳＷＤ。又，在半導體晶片１Ａ之主面中央部配置有位元驅動器ＷＤ。資料線選擇電路等控制電路，或輸入輸出電路，搭接襯墊等。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(14)

第2圖係表示本實施形態1之DRAM的等效電路圖。如圖示，該DRAM之記憶陣列MARY係由：矩陣狀地配置的複數字線WL（WLn－1，WLn，WLn＋1……）及複數位元線BL及配置於此等之交點的複數記憶格MC所構成。記憶1位元之資訊的一個記憶格係由：一個電容器C與串聯地連接於該電容器的一個記憶格選擇用MISFETQs所構成。記憶格選擇用MISFETQs之源極，汲極之一方，係與電容器C電氣式地連接，另一方係與位元線BL電氣式地連接。字線WL之一端係連接於字元驅動器WD，而位元線BL之一端係連接於讀出放大器SA。

第3圖係表示本實施形態1之DRAM的要部剖面圖。在第3圖，A領域係表示記憶格陣列MARY之一部分，而B領域係表示周邊電路之一部分。

在p型單晶矽所構成的半導體基板1之主面，形成有A領域之p型阱2，B領域之p型阱3及n型阱4。又形成有n型深阱6成圍繞p型阱2。又，在各阱，形成有臨限值電壓調整層也可以。

在各阱之主面，形成有分離領域7。分離領域7係由矽氧化膜所構成，於形成在半導體1之主面的淺溝槽8經由被熱氧化之矽氮化膜9所形成。

在p型阱2之主面形成有DRAM之記憶格選擇用MISFETQs。又，在p型阱3及n型阱4之主面分別形成有n通道MISFETQn及p通道

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

89年11月18日 修正補充

ＭＩＳＦＥＴＱｐ。

記憶格選擇用ＭＩＳＦＥＴＱｓ係由：在ｐ型阱２之主面上經由閘極絕緣膜１０所形成的閘極電極１１，及形成在閘極電極１１兩側之ｐ型阱２主面的雜質半導體領域１２所構成。閘極絕緣膜１０係介經例如具有７～８ｎｍ膜厚之熱氧化所形成的矽氮化膜所構成。閘極電極１１係可作成例如膜厚７０ｎｍ之多晶矽膜１１ａ，膜厚５０ｎｍ之氮化鈦膜１１ｂ及膜厚１００ｎｍ之鎢膜１１ｃ之疊層膜。又在雜質半導體領域１２導入有例如砷或磷的ｎ型雜質。

記憶格選擇用ＭＩＳＦＥＴＱｓ之閘極電極１１之上層形成有矽氮化膜所構成的蓋絕緣膜１３，又以矽氮化膜１４覆蓋其上層。矽氮化膜１４係也形成在閘極電極１１之側壁，被利用在形成以下所說明之連接孔時之自我匹配。又，記憶格選擇用ＭＩＳＦＥＴＱｓ之閘極電極１１係功能作爲ＤＲＡＭ之字元線者，而在分離領域７之上面形成有字元線ＷＬ。

另一方，ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ，係分別形成在ｐ型阱３及ｎ型阱４之主面上，由經由閘極絕緣膜１０所形成的閘極電極１１，及形成在閘極電極１１兩側之各阱之主面的雜質半導體領域１５所構成。閘極絕緣膜１０及閘極電極１１係與上述同樣。雜質半導體領域１５係由低濃度雜質領域１５ａ與高濃度雜質領域１５ｂ所構成，形成所謂ＬＤＤ（Lightlty

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

煩請委員明示89年11月18日所提之修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

五、發明說明（16）

Doped Drain）構造。被導入在雜質半導體領域１５的雜質係隨著ＭＩＳＦＥＴ之導電型而被導入ｎ型或ｐ型之雜質。

在ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ之閘極電極１１之上層形成有矽氮化膜所構成的蓋絕緣膜１３，又在側面形成有例如矽氮化膜所構成的側壁間隔件１６。

記憶格選擇用ＭＩＳＦＥＴＱｓ，ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ，係以層由絕緣膜１７所覆蓋，層間絕緣膜１７係例如ＳＯＧ（Spin On Glass）膜，以四甲氧基矽烷（Tetramethoxysilane: ＴＥＯＳ）作爲原料氣體而依電漿ＣＶＤ法所形成的矽氧化膜（以下稱爲ＴＥＯＳ氧化膜）依ＣＭＰ(Chemical Mechanical Polishing)法可作爲被平坦化之ＴＥＯＳ氧化膜及ＴＥＯＳ氧化膜的疊層膜。

在層由絕緣膜１７上又形成有ＴＥＯＳ氧化膜１７ｄ，而在其上面形成有位元線ＢＬ及第１層配線１８。位元線ＢＬ及第１層配線１８係可作成例如氮化鈦膜與鎢膜之疊層膜。由此，將位元線ＢＬ及第１層配線１８成爲低電阻化ＢＬ而可提高ＤＲＡＭ之性能。又，位元線ＢＬ與第１層配線１８係如下所述地同時地形成。由此，可簡化工程。

位元線ＢＬ係經由插頭１９及插頭１９ｂ連接於一對記憶格選擇用ＭＩＳＦＥＴＱｓ所共有之雜質半導體領域

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明(17)

12。插頭19係可作成例如導入n型雜質的多晶矽膜。插頭19b係可作成例如氮化鈦膜與鎢膜之疊層膜。又，在插頭19與插頭19b之連接部形成有鈷矽化物膜20。由此，可減低插頭19與插頭19b之間，亦而位元線BL與插頭19之間的連接電阻，而可提高連接可靠性。

第1層配線18係經由形成在連接孔21內的插頭22連接在n通道MISFETQn及p通道MISFETQp之雜質半導體領域15或閘極電極11。插頭22係與插頭19b同樣地可作成例如氮化鈦膜與鎢膜之疊層膜。又，在插頭22與雜質半導體領域15之連接部形成有鈷矽化物膜20。由此，可減低插頭22與雜質半導體領域15之間的連接電阻，可提高連接可靠性。

位元線BL及第1層配線18係以層間絕緣膜23所覆蓋。層間絕緣膜23係可作成例如SOG膜，介經CMP法被平坦化之TEOS氧化膜，TEOS氧化膜的疊層膜。又，位元線BL及第1層配線18係以矽氮化膜所構成的層間絕緣膜及側壁間隔件所覆蓋也可以。

在層間絕緣膜23上層的A領域形成有資訊儲存用電容器C。又，在B領域的層間絕緣膜23上層與電容器C同層地形成有絕緣膜24。絕緣膜24係可作成例如矽氧化膜，介經與電容器C同層地形可防止產生起因於電容器C之標高之A領域與B領域之間的階段差。由此，在光刻法之焦點深度上可具有餘量，可穩定工程而可對應於微加

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（18）

工。又，在層間絕緣膜２３之上面形成有矽氮化膜２３ｂ，矽氮化膜２３ｂ係如下所述，功能作爲形成電容器Ｃ之下部電極２７時之蝕刻止子的薄膜。

電容器Ｃ係在連接於與連接於記憶格選擇用ＭＩＳＦＥＴＱｓ之位元線ＢＬ的雜質半導體領域１２相反之雜質半導體領域１２的插頭２５，經由插座２６所連接的下部電極２７，及例如矽氮化膜及氧化鉭所構成的電容絕緣膜２８，及例如氮化鈦所構成的板電極２９所構成。

在電容器Ｃ之上層，形成有例如ＴＥＯＳ氧化膜所構成之絕緣膜３０。絕緣膜３０與絕緣膜２４，係覆蓋電容器Ｃ，此乃從其他構件絕緣的層間絕緣膜）第２層間絕緣膜）。絕緣膜２４係相當於緩和或解除起因於上述資訊儲存用電容元件（電容器Ｃ）之高度的上述記憶格陣列領域與上述周邊電路領域之階段差的部分（第１部分），而絕緣膜３０相當於覆蓋資訊儲存用電容元件之部分（第２部分）。絕緣膜３０之表面係介經ＣＭＰ法被平坦化，在半導體基板１之全面確保平坦性。

在絕緣膜３０及絕緣膜２４之表面近旁形成有配線溝槽３１，而在該配線溝槽３１內形成有第２層配線３２。如第３圖所示，第２層配線３２之表面與絕緣膜３０之表面係在相同之平面，又，第２層配線３２之底面係電容器Ｃ之表面（板電極２９之表面位於下部。第２層配線３２係如下所述地以ＣＭＰ法所形成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(19)

又，在配線溝槽３１之下部形成有連接孔３３，而在連接孔３３由形成有連接部３４。第２層配線３２及連接部３４係一體形成，第２層配線３２係由第１導電層３２ａ及第２導電層３２ｂ所構成，而連接部３４係由第１導電層３４ａ及第２導電層３４ｂ所構成。第１導電層３２ａ，３４ａ係由例如鉭膜所構成，而第２導電層３２ｂ，３４ｂ係由例如銅所構成。

第２導電層３２ｂ，３４ｂ係功能作爲第２層配線３２及連接部３４之主導電層者。如此由於具有銅所構成的主導電層，因此，可得到第２配線３２及連接部３４之低電阻化，並高速化半導體積體電路裝置，特別是周邊電路之響應性而可提高ＤＲＡＭ之性能。

第１導電層３２ａ，３４ａ係功能作爲防止銅之擴散的障層者。特別是，在本實施形態中，由於使用鉭膜，因此，在第１導電層３２ａ，３４ａ及第２導電層３２ｂ，３４ｂ之界面形成Ｔａ－Ｃｕ之結合，可有效地防止銅之擴散或電子遷移之移動。又，介經形成Ｔａ－Ｃｕ之結合，可提高銅膜之黏接性。由此，可提高ＤＲＡＭ之可靠性。

又，在本實施形態中，由於在配線溝槽３１之下部形成有連接孔３３。因此，可將連接孔３３之深度形成相當於配線溝槽３１之深度分量變淺。在此，例如配線溝槽３１之深度，亦即將第２配線３２之膜厚爲０．７μｍ，而將連接孔３３之深度，亦即可將連接部３４之長度作爲

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

０．７μｍ，而將連接孔３３之深度，亦即可將連接部３４之長度作爲０．７μｍ。此乃意味著與如以往技術在絕緣膜３０上形成第２層配線時相比較，可將連接孔之深度從１．４μｍ縮短至０．７μｍ。如此，介經將連接孔３３之深度變淺。將連接孔３３之加工工程成爲容易。抑制加工不良之發生而提高連接可靠性，可提高ＤＲＡＭ之製造良品率。又，由於可將連接孔３３之深度變淺。因此，也可縮短連接部３４之長度，可減低連接部３４之電阻而可減低第２層配線３２與第１層配線１８之間的電阻。

又，在此，作爲第１導電層３２ａ，３４ａ例示鉭膜，惟也可爲鈮膜，氮化鉭膜，氮化鈦膜或氮化鎢膜，或此等之疊層膜也可以。

在絕緣膜３０及第２層配線３２之上面形成有矽氮化膜３５。介經此種矽氮化膜３５可防止銅向上方之擴散。

在矽氮化膜３５之上層形成有層間絕緣膜３６，而在層間絕緣膜３６之表面近旁形成有配線溝槽３７。在配線溝槽３７之底部形成有連接於第２層配線３２或電容器Ｃ之板電極２９的連接孔３８。在配線溝槽３７之內部形成有第３層配線３９，而在連接孔３８之內部形成有連接部４０。層間絕緣膜３６及第３層配線３９之表面係存在於同一平面內，如下所述地以ＣＭＰ法所形成。

第３層配線３９係與第２層配線３２同樣地，由第１導電層３９ａ及第２導電層３９ｂ所構成，連接部４０係與連接部３４同樣地，由第１導電層４０ａ及第２導電層

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(21)

４０ｂ所構成。第１導電層層３９ａ，４０ａ係與第１導電層３２ａ，３４ａ同樣地，可作爲例如鉭膜，或作爲鈮膜，氮化鉭膜，氮化鈦膜或是氮化鎢膜或是此等之疊層層也可以。第２導電層３９ｂ，４０ｂ係與第２導電層３２ｂ，３４ｂ同樣地例如由銅所構成。第３層配線３９係可使用作爲主位元線Ｍ以或位元線ＷＬ之分流配線。

在層間絕緣膜３６及第３層配線３９之表面形成有矽氮化膜４１，介經矽氮化膜防止來自第３層配線３９之銅的擴散。

在矽氮化膜４１之上層形成有層間絕緣膜４２，而在其表面近旁形成有與第２層配線３２，第３層配線３９同樣之構成的第４層配線４３。在第４層配線４３係經由未予圖示之連接部Ｍ連接於第３層配線３９，第４層配線４３係可使用作爲Ｙ選擇線ＹＳ。

以下，使用第４圖至第２８圖依工程順序說明本實施形態的ＤＲＡＭ之製造方法。第４圖至２８圖係依工程順序表示本發明之一實施形態的ＤＲＡＭ之製造方法之一例子的剖面圖。

首先，準備ｐ型半導體基板１，而在半導體基板１之主面形成淺溝槽８。之後，在半導體基板１施以熱氧化，形成矽氧化膜８。之後，在半導體基板１施以熱氧化，形成矽氧化膜９。又堆積矽氧化膜，介經ＣＭＰ法研磨該膜，僅在淺溝槽８內留下矽氧化膜，形成分離領域７。

之後，以光阻劑作爲掩蔽，離子注入雜質，形成ｐ型

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

阱２，３，ｎ型阱４及深阱６（第４圖）。

之後，在形成有ｐ型阱２，３ｎ型阱６４的活性領域，介經熱氧化法形成閘極絕緣膜１０，又在半導體基板１之全面依次堆積摻雜有雜質的多晶石矽膜，氮化鈦膜，鎢膜及矽氮化膜。然後，使用光刻技及蝕刻技術圖案化矽氮化膜，鎢膜，氮化鈦膜及多晶矽膜，俾形成閘極電極１１（位元線ＷＬ）及蓋絕緣膜１３。又，以蓋絕緣膜１３及閘極電極１１及光阻劑作爲掩蔽俾離子注入雜質，形成雜質半導體領域１２及低濃度雜質領域１５ａ（第５圖）。

之後，在半導體基板１之全面堆積矽氮化膜（未予圖示），僅在形成有記憶格之領域（Ａ領域）形成光阻膜４７。然後，以該光阻膜作爲掩蔽，各向異性蝕刻上述矽氮化膜，僅在Ａ領域之半導體基板１上形成矽氮化膜１４，同時在Ｂ領域之閘極電極１１之側壁形成側壁間隔件１６。又，以側壁間隔件１６作爲掩蔽自我匹配地離子注入雜質，形成高濃度雜質領域１５ｂ（參照第６圖）。

以下，在留下光阻膜４７之狀態下將鈷膜（未予圖示）以濺散法等堆積在半導體基板１之全面，在除去光阻膜４７之後施行熱處理，而鈷膜與高濃度雜質領域１５ｂ之間選擇性地實行矽化物反應，然後，選擇地除去蝕刻未反應之鈷膜，將鈷矽化物膜２０形成在高濃度雜質領域１５ｂ上。

之後，在半導體基板１之全面塗佈ＳＯＧ膜，以約４００℃之溫度熱化該膜之後，施以約８００℃之熱處理

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（23）

使之安定。又，介經電漿ＣＶＤ法堆積ＴＥＯＳ氧化膜。此時之ＴＥＯＳ膜係從半導體基板１之主面上可堆積成其表面成爲１．３μｍ高度。使用ＣＭＰ法研磨該ＴＥＯＳ氧化膜，平坦化該表面。由此，解除起因於閘極電極１１及蓋絕緣膜１３的階段差。結果，可提高此後的光刻法工程的焦點差距，可形成微細之連接孔的開口等。洗淨表面之後爲了補修介經ＣＭＰ法產生在ＴＥＯＳ氧化膜１７ｄ上抓傷的損傷，再堆積ＴＥＯＳ氧化膜。如此，形成介經ＳＯＧ膜，ＣＭＰ法使之平坦化的ＴＥＯＳ氧化膜及ＴＥＯＳ氧化膜所構成的層間絕緣膜１７。

然後，在層間絕緣膜１７開設連接孔，施以插頭注入後堆積摻雜有雜質的多晶矽膜，介經ＣＭＰ法研磨該多晶矽膜俾形成插頭１９，２５（第７圖）。又，該連接孔係介經兩階段之蝕刻形成開口而可防止半導體基板１之過剩蝕刻。

之後，形成ＴＥＯＳ氧化膜１７ｄ。在形成該ＴＥＯＳ氧化膜１７ｄ之時刻，來自半導體基板１之主面的標高係成爲約０．８μｍ。

然後，在ＴＥＯＳ氧化膜１７ｄ形成開口使連接有位元線ＢＬ之插頭１９能露出之狀態。之後，在半導體基板１之全面以濺散法等堆積鈷膜（未予圖示），施行熱處理，在鈷膜與插頭１９之間選擇地實行矽化物反應，然後，選擇地蝕刻除去未反應之鈷膜，並將鈷矽化物膜２０形成於插頭１９上。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（24）

之後，在層間絕緣膜１７形成連接孔２１使ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ之雜質半導體領域１５及閘極電極１１成爲露出之狀態（第８圖）。又該階段，也可形成先前所說明之高濃度雜質領域１５ｂ上之鈷矽化物膜２０。

然後，在半導體基板１之全面，亦即在包含連接孔２１之內部的ＴＥＯＳ氧化膜１７ｄ以例如濺散法堆積氮化鈦膜２２ａ及鎢膜２２ｂ，並以ＣＭＰ法研磨除去ＴＥＯＳ氧化膜１７ｄ表面的氮化鈦膜２２ａ及鎢膜２２ｂ。如此，形成氮化鈦膜２２ａ及鎢膜２２ｂ所構成的插頭２２及插頭１９ｂ（第９圖）。又，氮化鈦膜２２ａ係也可作成鈦膜及氮化鈦膜之疊層膜。

之後，例如介經濺散法依次堆積氮化鈦膜１８ａ及鎢膜１８ｂ，並使用光刻法及乾蝕刻技術圖案化此等，俾形成氮化鈦膜１８ａ及鎢膜１８ｂ所構成的位元線ＢＬ及第１層配線１８（第１０圖）。如此，在本實施形態中，由於同時地形成位元線ＢＬ與第１層配線１８，因此，可簡化工程。又，因在形成插頭２２之後形成位元線ＢＬ及第１層配線１８，因此可將位元線ＢＬ及第１層配線１８之膜厚變薄。結果，特別是減低位元線ＢＬ間的線間電容而可提高有無儲存電荷之檢測露敏度。

又，位元線ＢＬ及第１層配線１８係也可由單層之鎢膜所形成。由於僅以鎢膜形成位元線ＢＬ及第１層配線１８，故與氮化鈦膜之疊層膜時相比較可減低同一斷面積

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（25）

狀態的電阻值。此乃依據鎢之電阻係數比氮化鈦之電阻係數低，又，在位元線ＢＬ及第１層配線１８，可形成例如矽氮化膜所構成的蓋絕緣膜及側壁間隔件。

然後，在半導體基板１之全面塗佈ＳＯＧ膜，將此以約４００℃之溫度熱化之後，介經電漿ＣＶＤ法堆積ＴＥＯＳ氧化膜。該ＴＥＯＳ氧化膜之堆積，係實行成其表面自ＴＥＯＳ氧化膜１７ｄ成爲０．８μｍ。之後，使用ＣＭＰ法研磨該ＴＥＯＳ氧化膜，形成ＳＯＧ膜及表面被平坦化之層間絕緣膜２３。被平坦化之層間絕緣膜２３之表面，係從ＴＥＯＳ氧化膜１７ｄ成爲０．６μｍ。由此，可提高此後的光刻法工程之焦點差距，可成爲微細連接孔之開口等。又，洗淨表面後，又堆積ＴＥＯＳ氧化膜來覆蓋由ＣＭＰ法所形成的劃痕也可以。

然後，在層間絕緣膜２３開設連接孔，堆積摻雜有雜質的多晶矽膜，介經ＣＭＰ法研磨該多晶矽膜形成插頭２６（第１１圖）。

之後，在半導體基板１之全面形成２００ｎｍ膜厚的矽氮化膜２３ｂ，俾堆積絕緣膜（第１２圖）。絕緣膜２４之堆積係介經電漿ＣＶＤ可實行，其膜厚係成爲１．２μｍ。

以下，說明電容器Ｃ之形成工程，必需之儲存電容係約３０ＰＦ。

在形成有電容器Ｃ之領域以０．７５×０．２５μｍ之尺寸形成溝槽４８。介經溝槽４８之形成可露出插頭

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（26）

２６（第１３圖）。在溝槽４８之形成可使用光刻法及乾蝕刻技術。

然後，將覆蓋溝槽４８之多晶矽膜４９堆積在半導體基板１之全面，又在半導體基板１之全面堆積矽氧化膜５０（第１４圖）。在多晶矽膜４９可摻雜磷，該膜厚係可成爲０．０３μｍ。由於多晶矽膜４９之膜厚對於溝槽４８之尺寸充分地薄，因此，多晶矽膜４９係在溝槽４８之內部也以分步敷層優異地堆積。矽氧化膜５０係在溝槽４８之內部堆積成填補狀。考量溝槽４８對於內部之填補性，矽氧化膜５０係可作成ＳＯＧ膜５０或是依使用ＴＥＯＳ的ＣＶＤ法的矽氧化膜。

然後，除去絕緣膜２４上之矽氧化膜５０及多晶矽膜４９，形成電容器Ｃ之下部電極２７（第１５圖）。除去矽氧化膜５０及多晶矽膜４９係介經深蝕刻法或ＣＭＰ法可實行。又，在下部電極２７之內部殘留有矽氧化膜５０。

之後，將光阻膜５１作爲掩蔽施行濕蝕刻，俾除去記憶格陣列領域（Ａ領域）之絕緣膜２４及矽氧化膜５０（第１６圖）。由此，下部電極２７被露出。

又，矽氮化膜２３ｂ係功能作爲在濕蝕刻工程之蝕刻止子。又，由於絕緣膜２４之邊緣部分係介經濕蝕刻被蝕刻，因此，嚴格地說並沒有如圖示之急峻，惟爲了簡化而急峻地（直角地）表示。

如此，由於在資訊儲存用電容元件領域（Ｂ領域）留

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(27)

下絕緣膜２４，在形成電容器Ｃ之後的記憶格陣列領域（Ａ領域）與周邊電路領域（Ｂ領域）之間，起因於電容器Ｃ之高度（也是下部電極２７之高度）的階段差不會形成較大，因此，可精細地實行電容器Ｃ之形成工程後之工程的光刻法，成爲容易對應於ＤＲＡＭ之高積體化。

之後，氮化或氧氮化處理下部電極２７表面之後，堆積氧化鉭膜。氧化鉭膜之堆積係介經以有機鉭氣體作爲原料的ＣＶＤ法可形成。在該階段之氧化鉭膜係具有非晶質構造者。在此爲在氧化鉭膜施以熱處理經結晶化（多晶化）的氧化鉭膜（Ta_2O_5），而爲更牢固之介質形成電容絕緣膜２８。該熱處理係須以７００℃以上之溫度實行。因此，在形成於基礎熱處理工程之前的構件之耐熱性成爲問題，惟在本實施形態中，尚未形成耐熱性成爲問題的第２層配線等。因此，在熱處理工程上並不須要特別設限。因此，可安定地形成介質常數大的多晶氧化鉭膜，不必增大電容器Ｃ之形成面積可增加電容器Ｃ之儲存電容。

又，介經例如ＣＶＤ法堆積氧化鉭膜。之後，使用光阻膜５２來圖案化氮化鈦膜及多晶氧化膜，形成電容絕緣膜２８及板電極２９（第１７圖）。如此，形成有下部電極２７，電容絕緣膜２８及板電極２９所構成的電容器Ｃ。

之後，將ＴＥＯＳ氧化膜５３堆積在２半導體基板１之全面（第１８圖）。ＴＥＯＳ氧化膜係以絕緣板電極２９者，該膜厚係作成０．３μｍ。介經ＣＭＰ法研該

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(28)

ＴＥＯＳ氧化膜５３使之平坦化，俾形成絕緣膜３０（第１９圖）。在該階段，絕緣膜３０之上面與第１層配線１８之距離係１．４μｍ。如此，由於在絕緣膜２４事先緩和記憶格陣列領域（Ａ領域）與周邊電路領域（Ｂ領域）之階段，因此，可減低平坦化ＴＥＯＳ氧化膜５３並形成絕緣膜３０的ＣＭＰ工程的工程負載。又，因絕緣膜３０之表面被平坦化，可精密地實行此後之光刻法工程而可成爲微細加工，又，即使使用如下所述的所謂鑲嵌法來形成配線，也不會在絕緣膜３０之表面產生殘留金屬。

之後，使用光阻膜５４，介經乾蝕刻來蝕刻絕緣膜３０及絕緣膜２４，俾形成配線溝槽３１（第２０圖）。又，除去光阻膜５４之後，形成光阻膜５５，使用此介經乾蝕刻來蝕刻絕緣膜２４，矽氮化膜２３ｂ及層間絕緣膜２３，俾形成連接孔３３（第２１圖）。如此，因在配線溝３１之底面下形成連接孔３３，因此加工連接孔３３之乾蝕刻的蝕刻深度變淺。因此，可減小連接孔３３之乾蝕刻工程的蝕刻寬高比，可將蝕刻加工成爲容易。結果，可減低連接孔３３之乾蝕刻工程的加工不良而可提高ＤＲＡＭ之製造良品率及可提高可靠性。

之後，在包含配線溝槽３１及連接孔３３之內部的半導體基板１之全面，使用濺散法或ＣＶＤ法堆積鉭膜５６。又，將銅膜５７堆積在鉭膜５６上（第２２圖），銅膜５７之堆積係介經電解鍍法或無電解鍍法等鍍法可實行，因使用鍍法，因此在如連接孔３３之微細空間內也可良好

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(29)

地填補銅膜５７。

然後，使ＣＭＰ法研磨除去配線溝槽３１以外之領域的絕緣膜３０上之銅膜５７及鉭膜５６。如此，在配線溝槽３１內形成第２層配線３２；而在連接孔３３內形成連接部３４（第２３圖）。鉭膜５６係成爲第２層配線３２之第１導電層３２ａ，而成爲連接部３４之第１導電層３４ａ。又，銅膜５７係成爲第２層配線３２之第２導電層３２ｂ，而成爲連接部３４之第２導電層３４ｂ。如上所述一體形成第２層配線３２與連接部３４。第１導電層３２ａ，３４ａ功能作爲銅之障膜，而第２導電層３２ｂ，３４ｂ成爲第２層配線３２及連接孔３４的主導電層係如上所述。

又，在本實施形態中，可將第２層配線３２之厚度（配線溝槽３１之深度）作爲０．７μｍ，並可將連接部３４之長度連接孔３３之深度）作爲０．７μｍ。又，除了鉭膜５６以外，也可爲鈮膜，氮化鈦膜，氮化鉭或氮化鎢膜也可以，或此等之疊層膜也可以。也使用濺散法或ＣＶＤ法可堆積鈮膜，氮化鉭膜，氮化鈦膜或氮化鎢膜。

之後，在絕緣膜３０及第２層配線３２堆積矽氮化膜３５（第２４圖）。矽氮化膜３５之堆積係以電漿ＣＶＤ法或測散法實行。介經該矽氮化膜３５可抑制第２層配線３２的銅之擴散。

然後，在矽氮化膜３５上堆積層間絕緣膜３６。作爲層間絕緣膜３６可堆積ＴＥＯＳ氧化膜。又，與上述配線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（30）

溝槽３１及連接孔３３時同樣地介經以光阻膜作爲掩蔽之乾蝕刻來蝕刻層間絕緣膜３６，矽氮化膜３５或絕緣膜３０，俾形成配線溝槽３７及連接孔３８（第２５圖）。

之後，與上述之鉭膜５６及銅膜５７同樣地，在包含配線溝槽３７及連接孔３８之內部的半導體基板１之全面堆積鉭膜５８及銅膜５９（第２６圖）。又介經ＣＭＰ法研磨並除去層間絕緣膜３６上的鉭膜５８及銅膜５９，在配線溝槽３７形成第３層配線３９，而在連接孔３８形成連接部４０（第２７圖）。鉭膜５８係成爲第３層配線３９之第１導電層３９ａ，而成爲連接部４０之第１導電層４０ａ。又，銅膜５９係成爲第３層配線３９之第２導電層３９ｂｂ，而成爲連接部４０ｂ。一體形成第３層配線３９與連接部４０乃與第２層配線３２時同樣，第１導電層３９ａ，４０ａ功能作爲銅之障膜，而第２導電層３９ｂ，４０ｂ成爲第３層配線３９及連接部４０的主導電層係如上所述。

又，除了鉭膜５６以外，也可爲鈮膜，氮化鈦膜，氮化鉭或氮化鎢膜也可以，或此等之疊層膜也可以。也使用濺散法或ＣＶＤ法可堆積鈮膜，氮化鉭膜，氮化鈦膜或氮化鎢膜。

然後，在層間絕緣膜３６及第３層配線３９上堆積矽氮化膜４１，與第３層配線３９時同樣地，形成層間絕緣膜４２，第４層配線４３及未予圖出之連接部後，堆積矽氮化膜４４（第２８圖），因此等之詳細係與第３層配線

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (31)

３９時同樣，故省略說明。

最後，將絕緣膜４２堆積在半導體基板１之全面，爲了提高ＭＩＳＦＥＴ之損傷恢復，施行在４００℃之氮氣退火處理，又在半導體基板１之全面堆積鈍化膜４６而大致完成表示於第３圖之ＤＲＡＭ。

依照上述之ＤＲＡＭ及其製造方法，由於絕緣膜３０被平坦化，解除記憶格陣列領域（Ａ領域）與週邊電路（Ｂ領域）之間的階段差，因此可精密地施行第２層配線３２以後之工程，可提高加工精度，同時，由於在配線溝槽３１之底面下形成連接孔３３，因此，可減小起因於解除上述段差的絕緣膜及絕緣膜２４之厚度所產生的連接孔之寬高比。由此，確實地開設連接孔３３而可提高ＤＲＡＭ之良品率及可靠性。又，爲此，第２層配線３２之底面係成爲比電容器Ｃ之上面更底之位置。

又，由於連接孔３３之深度變淺，因此，連接部３４之長度變短，而可減低連接部３４之電阻，由此，減低第１層配線１８與第２層配線３２之間的阻力，而可提高ＤＲＡＭ周邊電路的高速響應性能等之性能。

又，在第２層配線３２及連接部３４之主導電層（第２導電層３２ｂ，３４ｂ）採用銅材料，可更減低第２層配線３２及連接部３４之電阻，而可更提高ＤＲＡＭ之性能。

又，在本實施形態中，因在電容器Ｃ之形成後形成第２層配線３２及連接部３４，因此，在電容器Ｃ之電容絕

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（32）

緣膜２８之形成工程的熱處理上不必設限，形成穩定又具高介質係數之電容絕緣膜２８，並可增大電容器Ｃ之儲存電容值。相反地，作爲第２層配線３２及連接部３４之材料並不必採用高耐熱性之多晶矽膜或鎢膜，成爲可使用容易熱擴散之銅。由此，使用高導電係數之銅而可減低第２層配線３２及連接部３４之電阻，並可提高ＤＲＡＭ之性能。

又，爲了說明本實施形態之效果，與記載於日本特開平９－９２７９４號公報之技術等（以往技術）比較加以說明。

在記載於日本特開平９－９２７９４號公報之技術中，由於將第１層配線與第２層配線予以連接的插頭形成在電容器形工程前，因此有增加插頭形成工程之缺點，其他，由在第２層配線之形成後再形成電容器，因此，無法將如銅之高擴散係數之材料使用在第２層配線。若將銅使用在第２層配線時，則在電容器形成工程無法採用７００℃之高溫的熱處理工程。但是在本實施形態中，並無此等不方便。

又，在未採用本實施形態之構造的ＤＲＡＭ中，在電容器Ｃ之形成工程後，第２層配線也形成在記憶格陣列上，惟由於必須確保與板電極之連接性，以約０．３μｍ膜厚再堆積矽氧化膜。因此，第２層配線與第１層配線之間隔係成１．７μｍ。又，因第２層配線係形成在解除記憶格陣列領域與周邊電路領域之階段差的絕緣膜上，因此，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（33）

連接第２層配線與第１層配線之連接孔之深度係成爲１．７μｍ。若未形成厚０．３μｍ之矽氧化膜時，連接孔之深度也成爲１．４μｍ。因此，連接第２層配線與第１層配線的插頭長度係成爲１．４μｍ。爲了形成如此高之高寬比之插頭成爲必須採用依深連接孔也可填補之氮化鈦膜或覆蓋層ＣＶＤ法等的鎢膜。因此，依此種技術所形成之插頭的電阻係成爲約５０Ω，又，因連接孔較深，因此，製造良品率係約７０％。又，由於介經高電阻值之插頭構成周邊電路的配線，因此，周邊電路之動作頻率係受插頭之電阻被速率控制，最大成爲約１２５ｋＨｚ。

反觀，在本實施形態中，由於在相當於上述插頭之連接部３４的主導電層使用低電阻係數的銅，又，其長度縮短至０．７μｍ，因此，連接部３４之電阻值成爲１Ω以下。又，因製造良品率係連接孔３３之深度較淺，故可確保９９％以上之機率。故，周邊電路之動作頻率係除了連接孔３４以銅作爲主導電層外還在第２層配線３２也以銅作爲主導電層，因此可作成最大７００ｋＨｚ以上。

又，在本實施形態中，說明連接部３４連接於第１層配線１８的例子，惟在周邊電路領域（Ｂ領域）未形成第１層配線１８及插頭２２，也可將連接部３４直接連接在ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ之雜質半導體領域１５或閘極電極１１。此時，第２層配線３２係功能作爲第１層配線。

又，在本實施形態中，表示依絕緣膜２４緩和起因於

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (34)

電容器C的階段差之例子，惟未形成絕緣膜24，堆積電容器C之標高以上之膜厚的絕緣膜30，並介經CMP法研磨該絕緣膜30使之平坦化也可以。此時，由於防止依周邊電路領域（B領域）之CMP的變形。因此，在周邊電路領域（B領域）期盼形成矽氮化膜。

又，絕緣膜24並不僅使用形成用以形成電容器C之下部電極27之溝槽48的絕緣膜24，而在形成電容器C之後，堆積電容器C之標高以上之膜厚的絕緣膜，並以覆蓋周邊電路領域（B領域）的光阻膜作爲掩蔽來蝕刻該絕緣膜，並形成僅留在周邊電路領域者也可以。

又，在本實施形態中，表示在第3層配線，第4層配線43也適用以銅作爲主導電層之配線的例子，惟在形成與下層配線連接之插頭後，例如圖案化鈦膜，鋁膜，氮化鈦膜之疊層膜而作爲第3層配線與第4層配線也可以。

（實施形態2）

第29圖係表示本發明之其他實施形態之DRAM的要部剖面圖。本實施形態之DRAM係與實施形態1之DRAM之其平面配置及電路構成（第1圖及第2圖）同樣。因此，省略該部分之說明。又，本實施形態之DRAM，係僅對於實施形態1之DRAM與第2層配線以上之構成及製造上有所不同，而其他之構成及配線溝槽31及連接孔33對於絕緣膜30的形成工程（第21圖）爲止同樣。因此，對於該對分之說明也省略。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（35）

本實施形態之ＤＲＡＭ之第２層配線６０，係形成於矽氮化膜３０及絕緣膜２４之表面近旁所形成的配線溝３１內。如第２９圖所示，第２層配線６０之表面與絕緣膜３０之表面位在同一平面內，又，第２層配線６０之底面係位於比電容器Ｇ之表面（板電極２９之表面）更下部之位置。此點係與實施形態１同樣。

又，在配線溝槽３１之下部形成有連接孔３３，而在連接孔３３內形成有連接孔６１。第１層配線６０及連接部６１係與實施形態１同樣，一體地形成。而第２層配線６０係由氮化鈦膜所構成的第１導電層６０ａ及鋁膜所構成的第２導電層６０ｂ所構成。連接部６１係由氮化鈦膜所構成的第１導電層６１ａ及鋁膜所構成的第２導電層６１ｂ所構成。

第２導電層６０ｂ，６１ｂ係功能作爲第２層配線６０及連接部６１之主導電層者。由於如此地具有鋁所構成的主導層，因此，可得到第２層配線６０及連接部６１之低電阻化．可將半導體積體電路裝置，特別是周邊電路之響應性予以高速化而可提高ＤＲＡＭ之性能。第１導電層６０ａ，６１ａ係功能作爲形成鋁膜時之等待層者。

又，與實施形態１同樣地，因在配線溝槽３１之下部形成有連接孔３３，因此，僅相當於配線溝槽３１之深度的分量可將連接孔３３之深度深淺。故與實施形態１同樣，可將第２層配線６０之膜厚作爲０．７μｍ，並可將連

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（36）

接孔６１之長度作爲０．７μｍ。結果，也可同樣地得到提高在實施形態１所說明之依抑制加工不良之發生的連接靠性，提高ＤＲＡＭ之製造良品率的效果，並提高低連接部６１之長度之縮短化的ＤＲＡＭ之性能的效果。

在絕緣膜３０及第２層配線６０之上面形成有層間絕緣膜６２，而在層間絕緣膜６２形成有連接孔６３。在連接孔６３形成有氮化鈦膜６４ａ及鎢膜６４ｂ所構成之插頭６４，連接於第２層配線６０或板電極２９。層間絕緣膜６２係可作成例如ＴＥＯＳ氧化膜。

在層間絕緣膜６２及插頭６４上，形成有氮化鈦膜６５ａ，鋁膜６５ｂ及氮化鈦膜６５ｃ所構成的第３層配線６５，而第３層配線６５係以層間絕緣膜６６所覆蓋。又，在層間絕緣膜６６上，形成有氮化鈦膜６７ａ，鋁膜６７ｂ及氮化鈦膜６７ｃ所構成的第４層配線６７，而第４層配線６７係以層間絕緣膜６８所覆蓋。

層間絕緣膜６６及絕緣膜６８係可作成例如併用偏置濺散之ＣＶＤ法所形成的矽氧化膜。第３層配線６５係可使用作爲主字元線ＭＮＢ或字元線ＷＬ之分流配線。第４層配線６７係經由未予圖示之連接部而被連接於第３層配線６５。第４層配線６７係可使用作爲Ｙ選擇線ＹＳ。在絕緣膜６８上形成有鈍化膜４６。

以下，使用第３０圖至第３７圖依工程順序說明本實施形態的ＤＲＡＭ之製造方法。第３０圖至第３７圖係依工程順序表示本發明之其他實施形態的ＤＲＡＭ之製造方

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(37)

法之一例子的剖面圖。

本實施形態的ＤＲＡＭ之製造方法係如上所述，與實施形態１之第２１圖爲止之工程同樣。

在包含配線溝３１之連接孔３３之內部的半導體基板１之全面，使用例如ＣＶＤ法堆積氮化鈦膜６９。又，使用例如濺散法堆積鋁膜７０（第３０圖）。由於鋁膜７０係以濺散法所堆積，因此，如圖所示分步敷層不好。成爲具有空隙等之狀態。

在此，將半導體基板１保持在約３００氣壓之高壓力下。在如此高壓力下成爲溫度上昇，鋁膜７０具有流動性之狀態，完全地填補在配線溝槽３１及連接孔３３之內部（第３１圖）。此時，氮化鈦膜６９功能作爲鋁膜７０之等待法，可將鋁之流動性變好而可提高填補性。

之後，使用ＣＭＰ法研磨除去配線溝槽３１以外之領域的絕緣膜３０上之鋁膜７０及氮化鈦膜６９。如此，在配線溝槽３１內形成由氮化鈦膜所構成之第１導電層６０ａ及鋁膜所構成之第２導電層６０ｂ所構成的第２層配線６０，而在連接孔３３內形成由氮化鈦膜所構成之第１導電層６１ａ及鋁模所構成之第２導電層６１ｂ所構成之連接孔６１（第３２圖）。如此，第２層配線６０與連接部６１係一體地形成。

之後，在絕緣膜３０及第２層配線６０上堆積ＴＥＯＳ氧化膜，俾形成層間絕緣膜６２。又，介經以光阻膜作爲掩蔽的乾蝕刻來蝕刻層間絕緣膜６２。又，介經

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(38)

以光阻膜作爲掩蔽的乾蝕刻來蝕刻層間絕緣膜６２及絕緣膜３０俾形成連接孔６３（第３３圖）。

然後，在包含連接孔６３之內部的層間絕緣膜６２上依次堆積氮化鈦膜７１及鎢７２（第３４圖），以ＣＭＰ法研磨除去連接孔６３以外之層間絕緣膜６２上之氮化鈦膜７１及鎢７２俾形成氮化鈦膜６４ａ及鎢膜６４ｂ所構成的插頭６４（第３５圖）。氮化鈦膜６４ａ及鎢膜６４ｂ係使用ＣＶＤ法或濺散法可堆積。

之後，以ＣＶＤ法堆積氮化鈦膜，而以濺散法堆積鋁膜，並堆積氮化鈦膜，鋁膜及氮化鈦膜所構成的疊層膜。然後，使用光刻法及乾蝕刻技術圖案化疊層膜，俾形成氮化鈦膜６５ａ，鋁膜６５ｂ及氮化鈦膜６５ｃ所構成的第３層配線６５（第３６圖）。

然後，以重疊濺散之ＣＶＤ法堆積矽氧化膜，由此，可將矽氧化膜填補在第３層配線６５。然後，使用ＣＭＰ法平坦化矽氧化膜，俾形成層間絕緣膜６６。又，與第３層配線６５同樣地，形成未予圖示之插頭及第４層配線６７（第３７圖）。

最後，將絕緣膜６８堆積在半導體基板１之全面後，爲了得到ＭＩＳＦＥＴ之損傷恢復，施以４００℃之氫氣退火。又在半導體基板１之全面堆積鈍化膜４６而大致完成表示於第２９圖之ＤＲＡＭ。

依照本實施形態之ＤＲＡＭ及其製造方法，可得到與在實施形態１所說明之效果同樣之效果。又，在本實施形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(39)

態中，由於使用低電阻之鋁，因此，連接部６１之電阻值係１Ω以下。又，由於連接孔３３較短，因此，製造良品率係９９％以上。又，由於第２層配線６０及連接部６１使用鋁，因此，周邊電路之動作頻率係成爲最大５００ｋＨｚ以上。

（實施形態３）

第３８圖係表示形成本發明之另一實施形態的半導體積體電路裝置之整體半導體晶片之一例子的平面圖。

本實施形態之半導體積體電路裝置將ＤＲＡＭ與邏輯電路混載於單一晶片內者，具有邏輯部２０１及記憶部２０２。在邏輯部２０１形成有實行邏輯演算等之ＣＰＶ，堆式暫存器等，在記憶部２０２形有資料之記憶元件。在記憶部２０２之周邊配置有第１Ｉ／Ｏ部２０３及第２Ｉ／Ｏ部２０４，俾控制資料之輸入輸出。又，經由第１Ｉ／Ｏ部２０３與第２Ｉ／Ｉ部２０４輸入輸出的資料係經由解碼器２０６被傳送至匯流排２０５，並被傳送至邏輯部２０１。

本實施形態的半導體積體電路裝置之晶片尺寸係１５×８ｍｍ^2，而ＤＲＡＭ之記憶容量係２５６Ｍ位元。

第３９圖係表示本實施形態之ＤＲＡＭ的要部剖面圖。本實施形態的ＤＲＡＭ之記憶格陣列領域（半導體積體電路裝置領域）及周邊電路領域（Ｂ領域），係在其構成及製造方法與實施形態１同樣。因此，省略該部分之說明

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(40　)

。

本實施形態之半導體積體電路裝置，係除了記憶格陣列領域（Ａ領域）及周邊電路領域（Ｂ領域）外還具有邏輯電路領域（Ｄ領域）。邏輯電路領域係記憶格陣列領域及周邊電路領域以外之領域，形成有例如邏輯部２０１，第１Ｉ／Ｏ部２０３，第２Ｉ／Ｏ２０４，匯流排２０５等。

在邏輯電路領域（Ｄ領域）之半導體基板１，形成有與周邊電路領域同樣之ｐ型阱３及分離領域７，而在其主面上，形成有與周邊電路領域同樣之ｎ通道ＭＩＳＦＥＴＱｎ。在此例示ｎ通道ＭＩＳＦＥＴＱｎ２；惟具有ｐ通道ＭＩＳＦＥＴ也可以。又，具有ＣＭＩＳＦＥＴ構造也可以。

構成ｎ通道ＭＩＳＦＥＴＱｎ之閘極電極１１，蓋矽氮化膜１３，側壁間隔件１６，構成（源極，汲極領域的雜質半導體領域１５，係與周邊電路領域同樣。又，層間絕緣膜１７，及ＴＥＯＳ氧化膜１７ｄ，形成在其上層的第１層配線１８，插頭２２也與周邊電路領域同樣。又，對於層間絕緣膜２３，矽氮化膜２３ｂ，絕緣膜２４，絕緣膜３０，第２層配線３２，連接部３４，矽氮化膜３５，４１，４４，層由絕緣膜３６，４２，第３層配線３９，連接孔３８，第４層配線４３，第４層配線之連接部４３ｂ，絕緣膜４５，鈍化膜４６係與周邊電路領域同樣。因此，省略說明，第４層配線４３係可適用在連接記憶

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(41)

部２０２與邏輯部２０１之匯流排２０５。

本實施形態的半導體積體電路裝置之製造方法，係與對應於上述之邏輯電路領域之各該構件的周邊電路領域之各構件的製造方法同樣，如在實施形態１所說明者。因此，省略詳細說明。

依照本實施形態的半導體積體電路裝置，除了上述實施形態１之效果外，還具有以下之效果。亦即，如第３９圖所示，ＤＲＡＭ之領域〔記憶格陣列領域（Ａ領域）及周邊電路領域（Ｂ領域）〕與邏輯電路領域（Ｄ領域），係成爲以同一之第２層配線３２，配線溝槽３９及第４層配線４３所連接，惟此等之配線係以銅作爲主導電層的具優異高速響應性能的配線。因此，ＤＲＡＭ部分與邏輯電路部分係以高速配線所連接，可增大半導體積體電路裝置之動作頻率並可提高半導體積體電路裝置之性能。本實施形態之情形，動作頻率係可作成最大７００ｋＨｚ以上。此等高速響應性能係以分別獨立之半導體晶片構成ＤＲＡＭ與邏輯電路時，連接這些之配線不得不變長，因而無法到高動作半導體基板。另一方面，即使在同一晶混載ＤＲＡＭ與邏輯電路時，使用高電阻係數之配線時，或以高電阻值之連接部或插頭實行異層間之配線連接時也無法得到此等高動作頻率。亦即，在本實施形態中，可連接部３４之電阻值，而在第２層配線３２，第３層配線３９及第４層配線４３使用低電阻係數之銅材料，且在ＤＲＡＭ之領域與邏輯電路領域使用同一配線，可解除上

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(42)

述之難點，顯著提高半導體積體電路裝置之性能者。

以上，依據發明之實施形態具體地說明藉由本發明人所創作之發明，惟本發明係並不被限定在上述實施形態者，當然在不超越其要旨之範圍內可作各種變更。

例如，在上述實施形態中，例示矽ＭＩＳＦＥＴ加以說明，惟也可適用在使用其他半導體材料的ＭＩＳ型半導體裝置。

（發明之效果）

（１）在具有ＣＯＢ構造之記憶格的半導體積體電路裝置中，可提高配置成隔著形成在與被立體化之電容器同層之厚絕緣膜的第１層配線與第２層配線的連接可靠性。

（２）可減低第１層配線與第２層配線之連接孔部分的電阻。

（３）可減低第２層配線以上之配線的配線電阻。

（４）第２層配線之形成工程係作爲需要高熱處理工程之電容器之形成工程，成爲即使爲熱擴散係數大之材料或具熱流動性之材料也可使用在第２層配線。

（５）可提高形成在與具有ＣＯＢ構造之記憶格的ＤＲＡＭ同一基板的周邊電路或邏輯電路之高速響應性能。

又，上述效果係並不需要特別地增加工程數即可達成。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(43)

（圖式之簡單說明）

第１圖係表示形成實施形態１的ＤＲＡＭ之整體半導體晶片之一例子的平面圖。

第２圖係表示實施形態１之ＤＲＡＭ的等效電路圖。

第３圖係表示實施形態１之ＤＲＡＭ的要部剖面圖。

第４圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第５圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第６圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第７圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第８圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第９圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第１０圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第１１圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第１２圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第１３圖係依工程順序表示實施形態１之ＤＲＡＭ之

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(44)

製造方法之一例子的剖面圖。

第１４圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第１５圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第１６圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第１７圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第１８圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第１９圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第２０圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第２１圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第２２圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第２３圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第２４圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第２５圖係依工程順序表示實施形態１之ＤＲＡＭ之

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(45)

製造方法之一例子的剖面圖。

第２６圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第２７圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第２８圖係依工程順序表示實施形態１之ＤＲＡＭ之製造方法之一例子的剖面圖。

第２９圖係表示實施形態２ＤＲＡＭ的要部剖面圖。

第３０圖係依工程順序表示實施形態２ＤＲＡＭ之製造方法之一例子的剖面圖。

第３１圖係依工程順序表示實施形態２之ＤＲＡＭ之製造方法之一例子的剖面圖。

第３２圖係依工程順序表示實施形態２之ＤＲＡＭ之製造方法之一例子的剖面圖。

第３３圖係依工程順序表示實施形態２之ＤＲＡＭ之製造方法之一例子的剖面圖。

第３４圖係依工程順序表示實施形態２之ＤＲＡＭ之製造方法之一例子的剖面圖。

第３５圖係依工程順序表示實施形態２之ＤＲＡＭ之製造方法之一例子的剖面圖。

第３６圖係依工程順序表示實施形態２之ＤＲＡＭ之製造方法之一例子的剖面圖。

第３７圖係依工程順序表示實施形態２之ＤＲＡＭ之製造方法之一例子的剖面圖。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(46)

第３８圖係依工程順序表示實施形態２之ＤＲＡＭ之製造方法之一例子的剖面圖。

第３９圖係表示實施形態３ＤＲＡＭ之要部剖面圖。

（記號之說明）

1	半導體基板
1A	半導體晶片
2a,3	p型阱
4	n型阱
6	深阱
7	分離領域
8	淺溝槽
9	矽氧化膜
10	閘極絕緣膜
11	閘極電極
11a	多晶矽膜
11b	鎢膜
12,15	雜質半導體領域
13	蓋絕緣膜
14	矽氮化膜
16,35	側壁間隔件
17,23,36,42	層間絕緣膜
18	第１層配線
19,19b,22,25,26	插頭

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 47)

20	鈷矽化物膜
21,32,38	連接孔
23b,41,44	矽氮化膜
24,30	絕緣膜
27	下部電極
28	電容絕緣膜
29	板電極
31,37	配線溝槽
32	第２層配線
32a,34a	第１導電層
32b,34b	第２導電層
34	連接部
39	第３層配線
43	第４層配線
46	鈍化膜
69	氮化鈦膜
201	邏輯部
202	記憶部
203	第１Ｉ／Ｏ部
203	第２Ｉ／Ｏ部
205	匯流排
206	解碼器部
MARY	記憶陣列
SA	讀出放大器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(48)

BL	位元線
C	電容器
WD	字元驅動器
WL	字元線
MWB	主字元線

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：半導體積體電路裝置及其製造方法）

介經具有與電容器C之高度大約同等膜厚之絕緣膜24來緩和起因於電容器C之記憶格陣列領域與周邊電路領域的階段差，並在介經CMP法使表面成爲平坦化的絕緣膜30之表面近旁形成配線溝槽31及在配線溝槽32之底面下面形成連接孔33。在配線溝槽31形成含有銅的第2層配線32，並在連接孔33形成含有銅之連接部34，且以長度經縮短化之連接部34連接第2層配線32與第1層配線18。第2層配線32與連接部34係以使用CMP法之鑲嵌法（damascene）法一體形成。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

經濟部中央標準局員工消費合作社印製

A8
B8
C8
D8

修正補充
89年11月18日

六、申請專利範圍

第 87120107 號專利申請案

中文申請專利範圍修正本

民國 89 年 11 月修正

1．一種半導體積體電路裝置，係屬於具有：形成在半導體基板之記憶格陣列領域的記憶格選擇用 MISFET，及形成在記憶格陣列領域周邊之周邊電路用ＭＩＳＦＥＴ，及覆蓋記憶格選擇用ＭＩＳＦＥＴ與周邊電路用ＭＩＳＦＥＴ的第１層絕緣膜，及形成在記憶格陣列領域之第１層間絕緣膜上的位元線，及形成在位元線上，且具備電氣式地連接於記憶格選擇用ＭＩＳＦＥＴ之其中一方之源極，汲極領域之下部電極的資訊儲存用電容元件，及包含緩和或解除起因於資訊儲存用電容元件之高度的記憶格陣列領域與周邊電路領域之階段差之第１部分，與覆蓋資訊儲存用電容元件之第２部分的第２層間絕緣膜的半導體積體電路裝置，其特徵爲：

上述第２層間絕緣膜係其表面被平坦化，且在其表面近旁形成有配線溝槽，而在配線溝之內部，在與表面同一面內形成具有其表面的配線者。

2．一種半導體積體電路裝置~~．半導體積體電路裝置~~，係屬於具有：形成在半導體基板之記憶格陣列領域的記憶格選擇用ＭＩＳＦＥＴ，及形成在記憶格陣列領域周邊之周邊電路領域的周邊電路用ＭＩＳＦＥＴ，及形成在上述記憶格陣列領域與周邊電路領域以外之邏輯電路領域的演算電路而構成其他之邏輯電路的邏輯電路用 MISFET，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

及覆蓋上述記憶格選擇用ＭＩＳＦＥＴ，周邊電路用MISFET及邏輯電路用ＭＩＳＦＥＴ的第１層間絕緣膜，及覆蓋記憶格選擇用ＭＩＳＦＥＴ與周邊電路用MISFET的第１層絕緣膜，及形成在記憶格陣列領域之第１層間絕緣膜上的位元線，及形成在位元線上，且具備電氣式地連接於記憶格選擇用ＭＩＳＦＥＴ之其中一方之源極，汲極領域之下部電極的資訊儲存用電容元件，及包含緩和或解除起因於資訊儲存用電容元件之高度的記憶格陣列領域與周邊電路領域及邏輯電路領域之階段差之第１部分，與覆蓋資訊儲存用電容元件之第２部分的第２層間絕緣膜的半導體積體電路裝置，其特徵爲：

上述第２層間絕緣膜係其表面被平坦化，且在其表面近旁形成有配線溝槽，而在配線溝之內部，在與表面同一面內形成具有其表面的配線者。

３．如申請專利範圍第２項所述之半導體積體電路裝置，其中，上述配線係未形成在記憶格陣列領域，而形成在上述周邊電路領域及邏輯電路領域者。

４．如申請專利範圍第２項所述之半導體積體電路裝置，其中，上述配線之底面係位於比上述資訊儲存用電容元件之上面較下方者。

５．如申請專利範圍第２項所述之半導體積體電路裝置，其中，在上述周邊電路領域及邏輯電路領域的上述第１層間絕緣膜上，形成有與上述位元線同一材料所構成的第１層配線，上述配線係形成在上述第１層配線之上部的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

第2層配線者。

6．如申請專利範圍第5項所述之半導體積體電路裝置，其中，在上述配線溝槽之下部形成連接孔，而上述配線，係於上述連接孔之內部經由上述與配線一體形成之連接部連接於上述邏輯電路用ＭＩＳＦＥＴ之上述第1層配線者。

7．如申請專利範圍第6項所述之半導體積體電路裝置，其中，上述配線及其連接部係以銅作爲主導電層之金屬導電體所構成者。

8．如申請專利範圍第7項所述之半導體積體電路裝置，其中，在上述在銅所構成之主導電層與上述配線層及連接孔之界面，形成有由鉭膜，鈮膜，氮化鉭膜，氮化鈦膜或氮化鎢膜所選擇之任何一種或複數之薄膜者。

9．如申請專利範圍第7項或第8項所述之半導體積體電路裝置，其中，上述配線或第2層配線之表面以矽氮化膜所覆蓋者。

１０．如申請專利範圍第6項所述之半導體積體電路裝置，其中，上述配線及其連接部係以鋁作爲主導電層之金屬導電體所構成者。

１１．如申請專利範圍第１０項所述之半導體積體電路裝置，其中，在上述鋁所構成之主導電層與配線溝槽及連接孔之界面形成有氮化鈦膜者。

１２．如申請專利範圍第2項所述之半導體積體電路裝置，其中，上述下部電極係具有在上方具有開孔的筒形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

狀者。

１３．如申請專利範圍第２項所述之半導體積體電路裝置，其中，上述在配線之上層，又形成有於其表面近旁具有配線溝槽的上層間絕緣膜，及形成於上述配線溝槽內且其表面與上層層間絕緣膜之表面位於同一平面的上層配線者。

１４．一種半導體積體電路裝置之製造方法，係包含：在半導體基板之主面的記憶格陣列領域形成記憶格選擇用ＭＩＳＦＥＴ，而在上述半導體基板之周邊電路領域或邏輯電路領域形成周邊電路用ＭＩＳＦＥＴ或邏輯電路用ＭＩＳＦＥＴ的工程，形成覆蓋上述記憶格選擇用ＭＩＳＦＥＴ及周邊電路用ＭＩＳＦＥＴ或邏輯電路用ＭＩＳＦＥＴ之第１絕緣膜的工程；在上述記憶格陣列領域之上述第１絕緣膜上形成位元線的工程；形成覆蓋位元線之第２絕緣膜的工程；在上述記憶格陣列領域之上述第２絕緣膜上形成資訊儲存用電容元件之下部電極，覆蓋上述下部電極之電容絕緣膜及上部電極的工程；在上述資訊儲存用電容元件上形成第３絕緣膜的工程的半導體積體電路裝置之製造方法，其特徵爲：包含

以ＣＭＰ法平坦化第３絕緣膜表面之後，在上述周邊電路領域或邏輯電路領域之上述平坦化之第３絕緣膜及其下層間絕緣膜形成配線溝槽及連接孔，在包含上述配線溝槽及連接孔內部的上述第３絕緣膜上依次堆積第１導電層及第２導電層，介經ＣＭＰ法除去上述第３絕緣膜表面上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

之上述第1及第2導電層，而在配線溝槽內形成上述第1及第2導電層所構成之配線，並在上述連接孔內形成上述第1及第2導電層所構成之連接部的工程。

15．如申請專利範圍第14項所述的半導體積體電路裝置之製造方法，其中，在堆積上述第3絕緣膜之前，在上述周邊電路領域或邏輯電路領域形成與上述資訊儲存用電容元件同層地所形成的第4絕緣膜，緩和或解除起因於上述記憶格陣列領域與周邊電路領域或邏輯電路領域之間的上述資訊儲存用電容元件之高度的階段差者。

16．如申請專利範圍第15項所述的半導體積體電路裝置之製造方法，其中，上述第4絕緣膜係在形成上述資訊儲存用電容元件之下部電極時形成有圓筒形狀之溝槽的絕緣膜者。

17．如申請專利範圍第14項所述的半導體積體電路裝置之製造方法，其中，上述第3絕緣膜係覆蓋上述資訊儲存用電容元件，且以相當於上述資訊儲存用電容元件之高度之尺寸以上的膜厚所堆積者。

18．如申請專利範圍第14項所述的半導體積體電路裝置之製造方法，其中，與形成上述位元線之同時，在上述周邊電路領域或邏輯電路領域之上述第1絕緣膜上，形成與上述位元線同一材料所構成的第1層配線，上述連接部係連接於第1層配線者。

19．如申請專利範圍第14項所述的半導體積體電路裝置之製造方法，其中，上述第1導電層係氮化鈦膜，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述第2導電層係鋁膜。此時，在堆積上述鋁膜之後，將半導體基板保持在高壓力化，並將上述鋁膜填補在連接孔內者。

20．如申請專利範圍第19項所述的半導體積體電路裝置之製造方法，其中，上述第1導電層係由鉭膜、鈮膜、氮化鉭膜、氮化鈦膜氮化鎢膜所選擇之任何一種或複數之薄膜，上述第2導電層係銅膜者。

21．如申請專利範圍第14項所述的半導體積體電路裝置之製造方法，其中，上述第1導電層係鉭膜，鈮膜，氮化鉭膜，氮化鈦膜或氮化鎢膜所選擇之任何一種或複數之薄膜；上述第2導電層係銅膜者。

22．如申請專利範圍第21項所述的半導體積體電路裝置之製造方法，其中，上述銅膜係介經鍍法所堆積者。

23．如申請專利範圍第21項或第22項所述的半導體積體電路裝置之製造方法，其中，在上述第3絕緣膜及上述配線上堆積氮化鈦膜者。

24．一種半導體積體電路裝置，係屬於具有：形成在半導體基板之記憶格陣列領域的記憶格選擇用MISFET，及形成在上述記憶格陣列領域周邊之周邊電路領域的周邊電路用MISFET，及覆蓋上述記憶格選擇用MISFET與周邊電路用MISFET的第1層間絕緣膜，及形成在上述記憶格陣列領域之上述第1層間絕緣膜上，且具備電氣式地連接於上述記憶格選擇用

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
訂
線

六、申請專利範圍

ＭＩＳＦＥＴ之其中一方之源極，汲極領域之下部電極的資訊儲存用電容元件，及在上述周邊電路領域中於上述第１層間絕緣膜上，具有大約相等於上述資訊儲存用電容元件之高度之膜厚的第２層間絕緣膜的半導體積體電路裝置，其特徵爲：

在上述周邊電路領域中，在上述第２層間絕緣膜配線形成於其內部者。

２５．一種半導體積體電路裝置，係屬於具有：形成在半導體基板之記憶格陣列領域的記憶格選擇用 MISFET，及形成在上述記憶格陣列領域周邊之周邊電路領域的周邊電路用ＭＩＳＦＥＴ，及覆蓋上述記憶格選擇用ＭＩＳＦＥＴ與周邊電路用ＭＩＳＦＥＴ的第１層間絕緣膜，及形成在上述記憶格陣列領域之上述第１層間絕緣膜上，且具備電氣式地連接於上述記憶格選擇用 MISFET之其中一方之源極，汲極領域之下部電極的資訊儲存用電容元件，及在上述周邊電路領域中於上述第１層間絕緣膜上，具有緩和藉由上述資訊儲存用電容元件之高度產生在上述記憶格陣列領域與上述周邊電路之間之階段差的第２層間絕緣膜的半導體積體電路裝置，其特徵爲：

在上述周邊電路領域中，在上述第２層間絕緣膜配線形成於其內部者。

２６．一種半導體積體電路裝置之製造方法，係屬於具有：串聯連接有第１ＭＩＳＦＥＴ與電容元件之記憶格行列地配置的記憶格陣列領域，及複數第２ＭＩＳＦＥＴ

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

所構成之周邊電路領域的A，其特徵爲：

（a）在半導體基板主面之記憶格陣列領域形成上述第1MISFET，而在周邊電路形成上述第2MISFET的工程，及

（b）在上述第1，第2MISFET上形成第1絕緣膜的工程，及

（c）在上述第1絕緣膜上形成2絕緣膜，而在上述記憶格陣列領域中，在上述第2絕緣膜設置開孔的工程，及

（d）在上述開孔內，沿著上述開孔之內壁形成第1導體層的工程，及

（e）在上述第1導電層上，形成上述電容元件之介質膜，而在上述介質膜上形成第2導電層的工程，及

（f）在上述周邊電路領域中，在上述第2絕緣膜形成第1溝槽與第2溝槽的工程，及

（g）在上述第1，第2溝槽內形成第3導電層的工程所構成；

上述第溝槽係比上述第2溝槽寬廣，而上述第2溝槽係位於上述第1溝槽之內部者。

27．如申請專利範圍第26項所述的半導體積體電路裝置之製造方法，其中，在上述工程（f）中，形成複數上述第2溝槽者。

28．一種半導體積體電路裝置之製造方法，係屬於具有：串聯連接有第1MISFET與電容元件之記憶格

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

行列地配置的記憶格陣列領域，及複數第2ＭＩＳＦＥＴ所構成之周邊電路領域的Ａ，其特徵爲：

（ａ）在半導體基板主面之記憶格陣列領域形成上述第1ＭＩＳＦＥＴ，而在周邊電路形成上述第2 MISFET的工程，及

（ｂ）在上述第1，第2ＭＩＳＦＥＴ上形成第1絕緣膜的工程，及

（ｃ）在上述周邊電路領域中，於上述第1絕緣膜上形成第1導體片與第2導體片的工程，及

（ｄ）在上述第1，第2導體片形成第2絕緣膜與第3絕緣膜的工程，及

（ｅ）在上述記憶格陣領域中，在上述第3絕緣膜設置閘孔的工程，及

（ｆ）在上述開孔內，沿著上述開孔之內壁形成第1導體層的工程，及

（ｇ）在上述第1導電層上，形成上述電容元件之介質膜，而在上述介質膜上形成第2導電層的工程，及

（ｈ）在上述周邊電路領域中，在上述第3絕緣膜形成第1溝槽與第2溝槽的工程，及

（ｉ）在上述第1，第2溝槽內形成第3導電層的工程所構成；

上述第1溝槽係比上述第2溝槽寬廣，而上述第2溝槽係位於上述第1溝槽之內部，達到上述第1，第2導體片者。

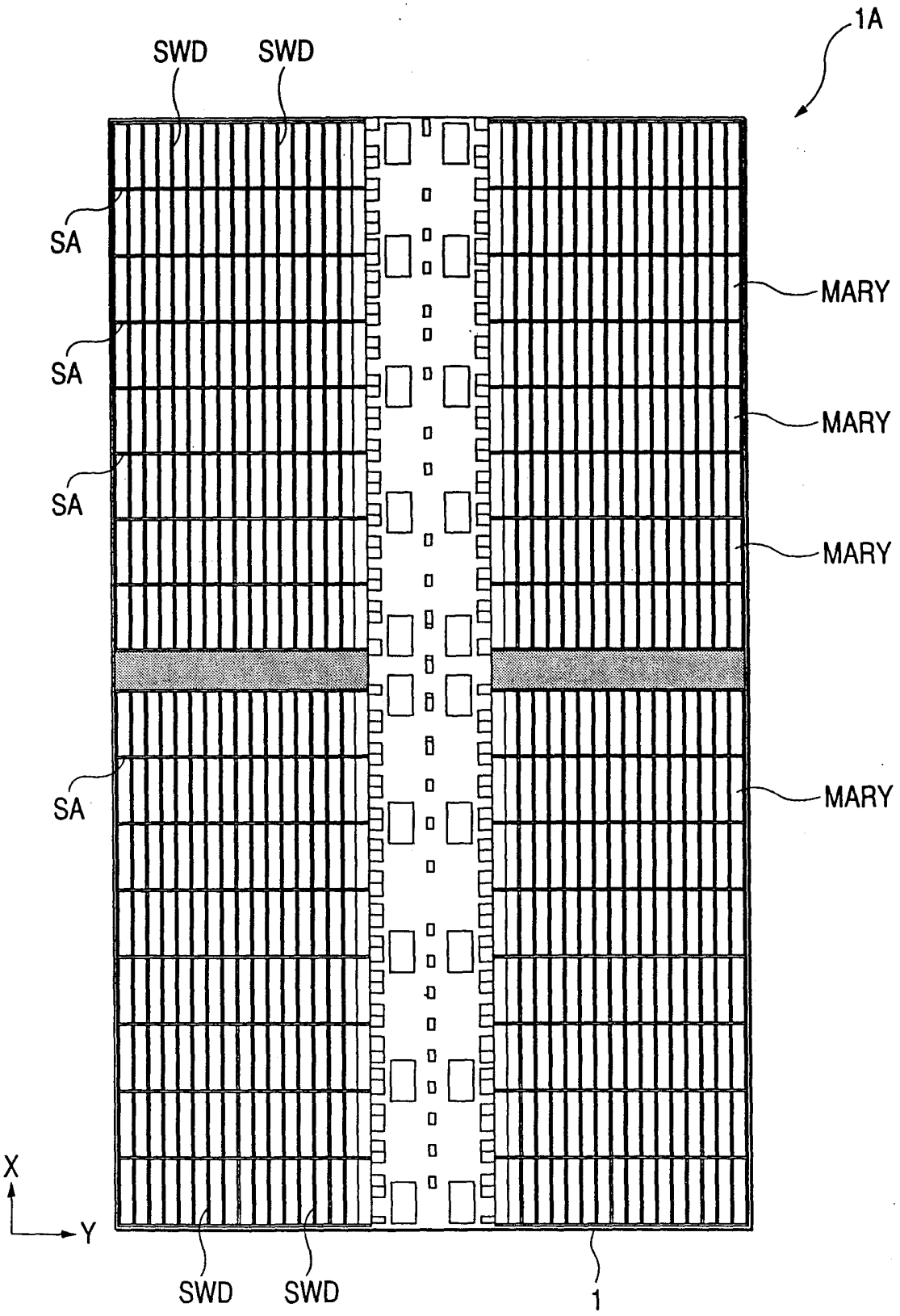
（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

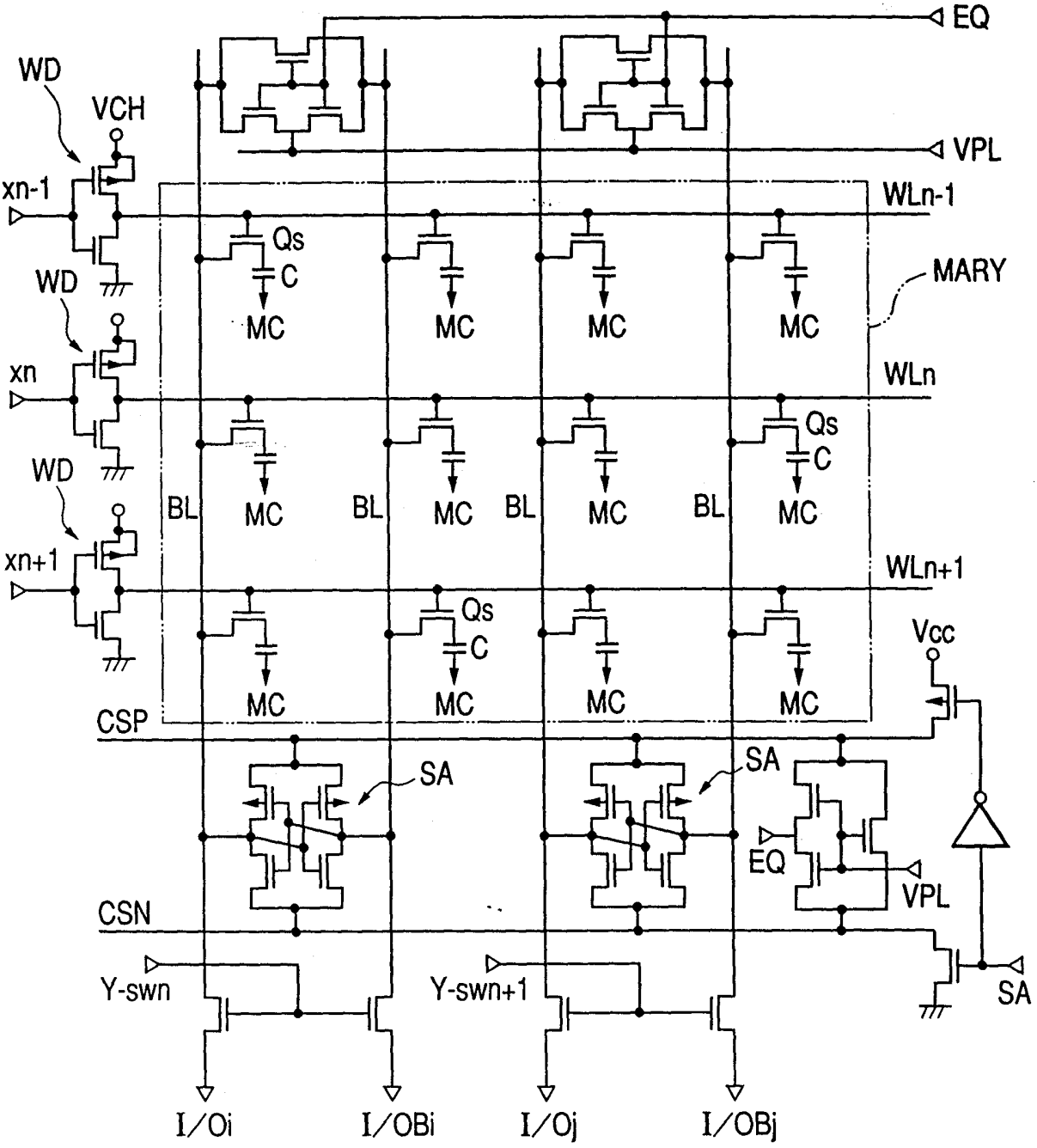
經濟部智慧財產局員工消費合作社印製

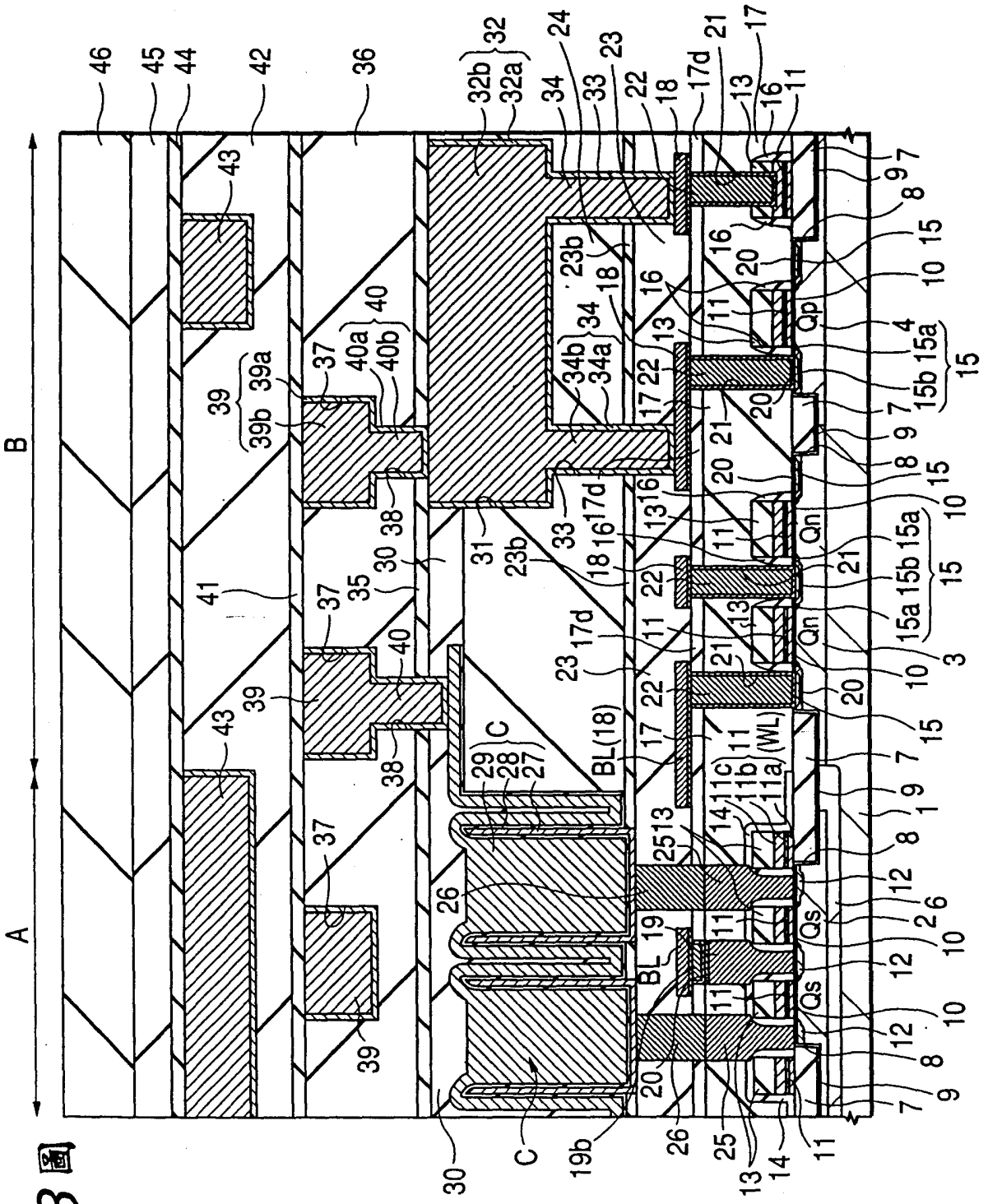
87120107

第 1 圖



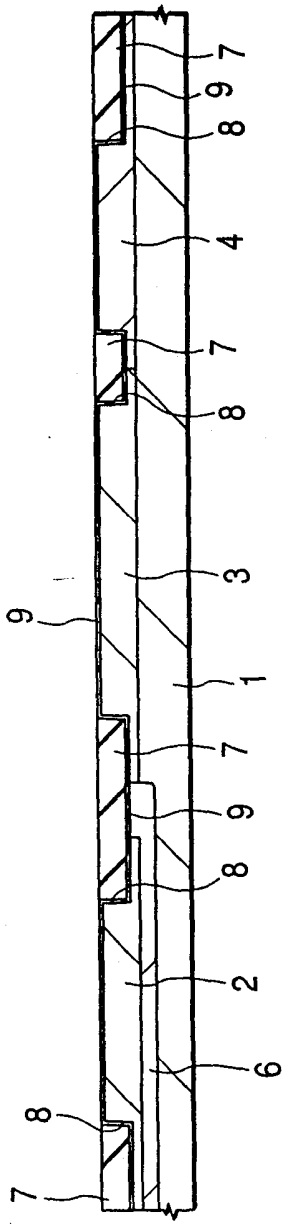
第 2 圖


EQ
VPL
WD
VCH
xn-1
WLn-1
Qs
C
MC
MARY
WD
xn
WLn
WD
BL
xn+1
WLn+1
Vcc
CSP
SA
EQ
VPL
CSN
Y-swn
Y-swn+1
SA
I/Oi
I/OBi
I/Oj
I/OBj

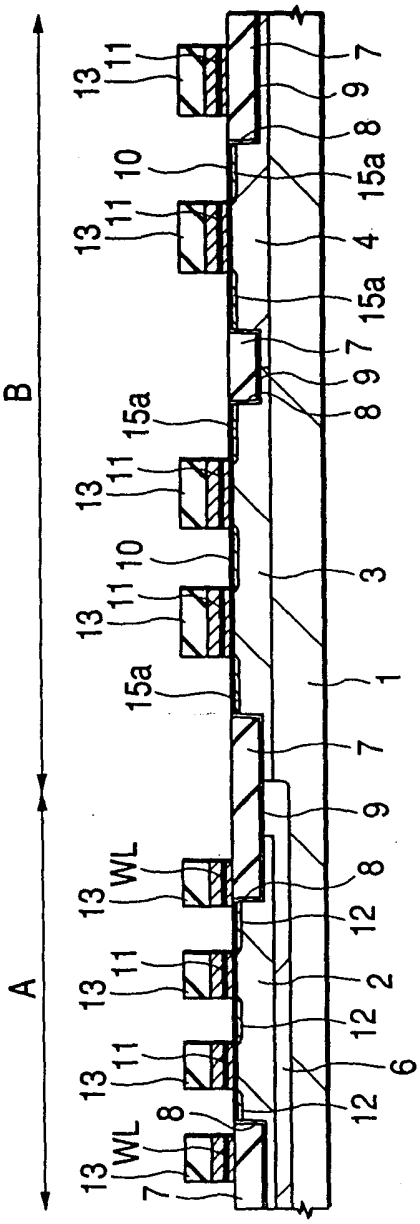


第3圖

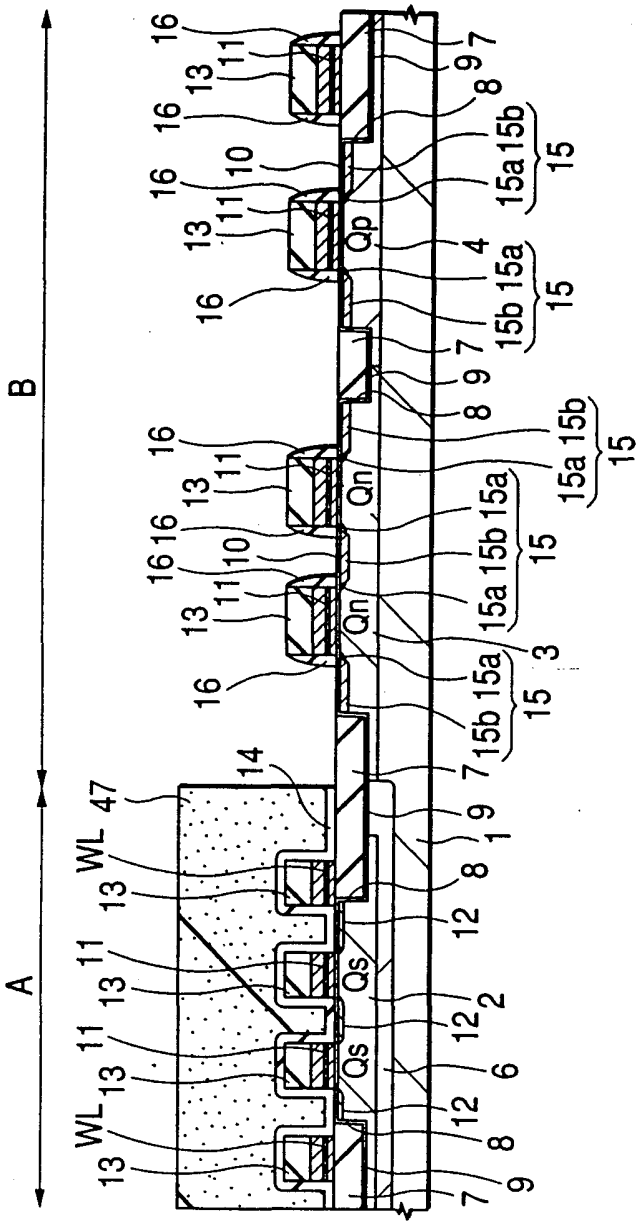
第4圖



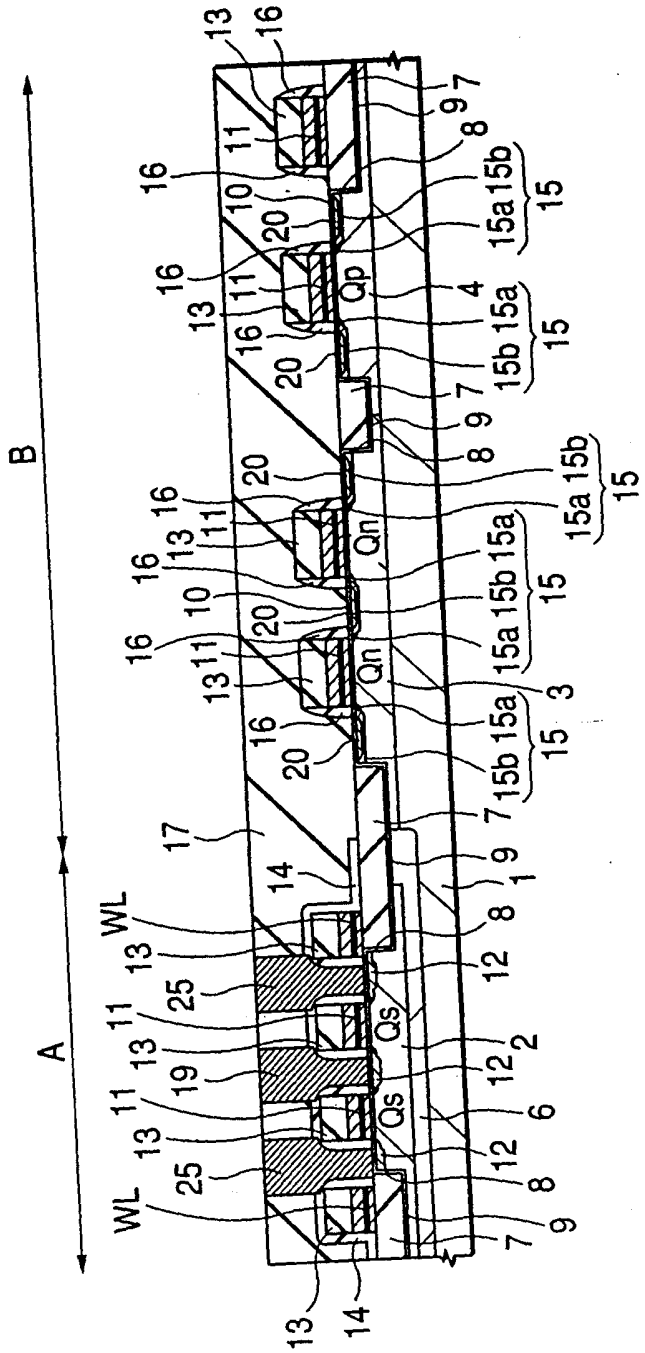
第5圖



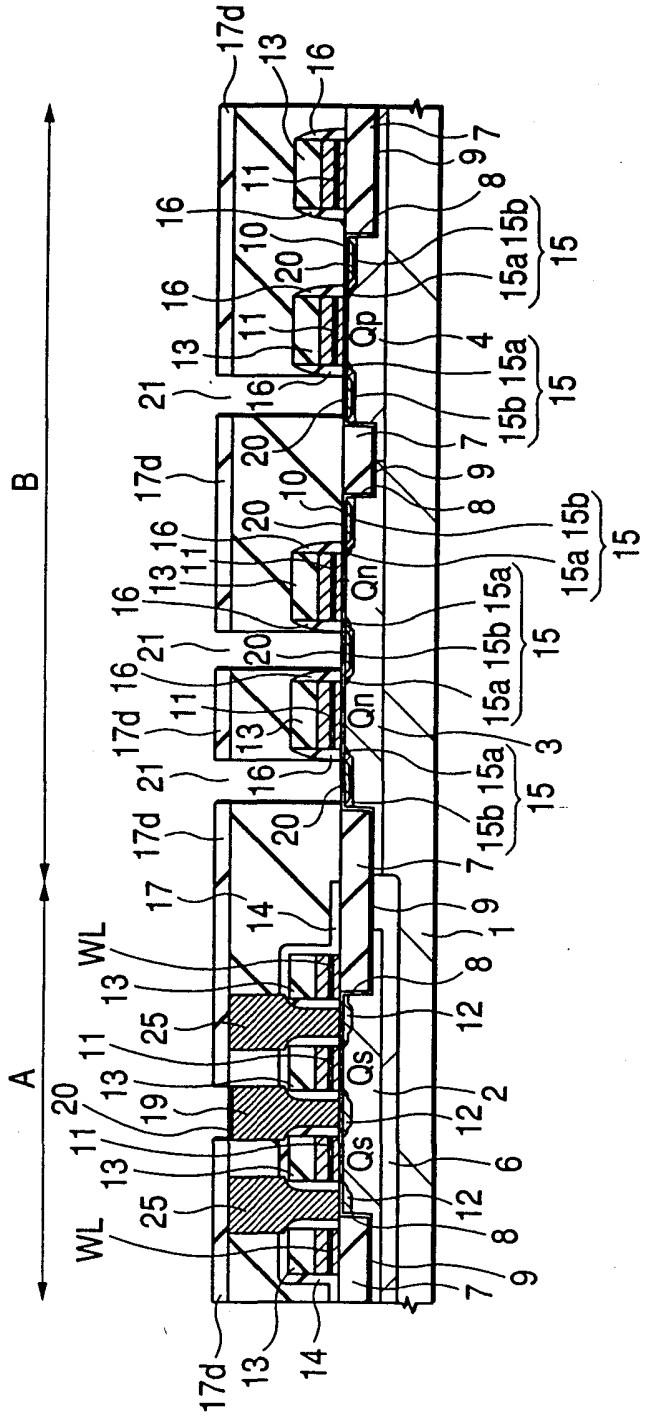
第6圖



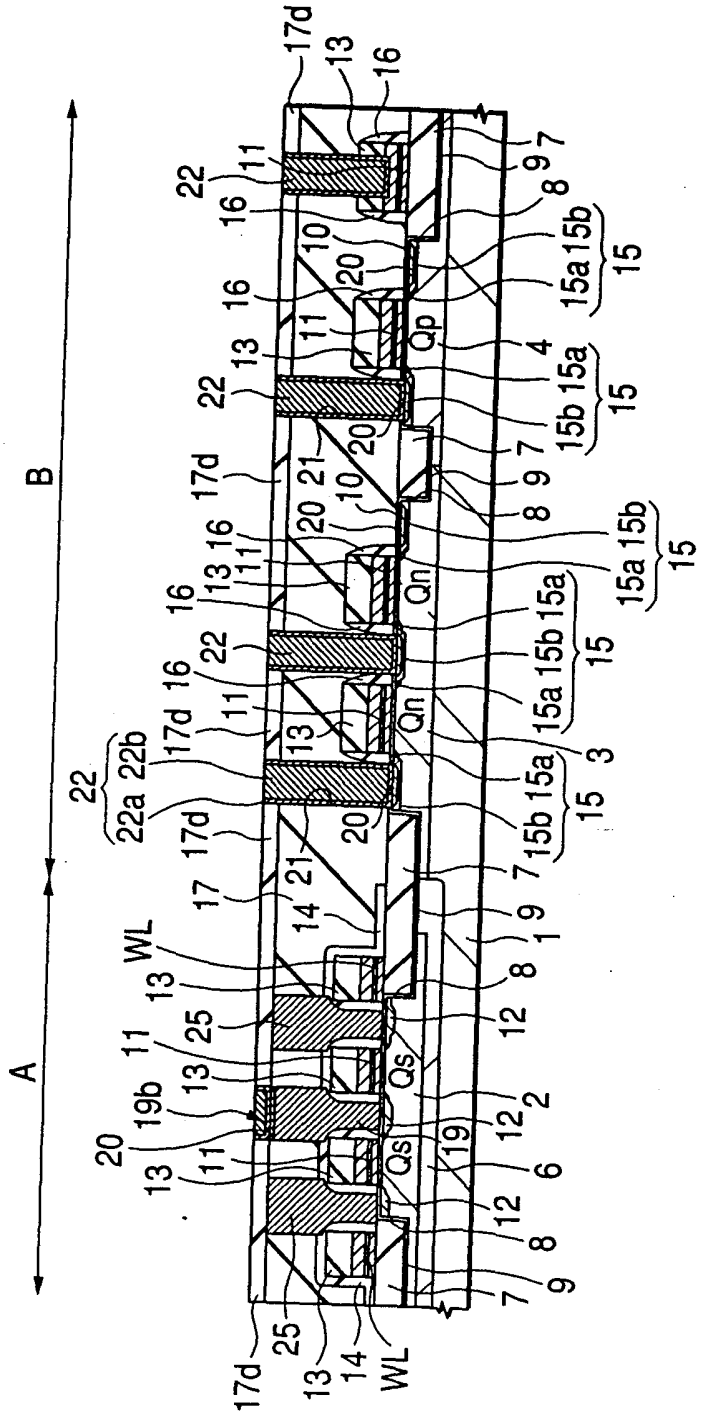
第7圖



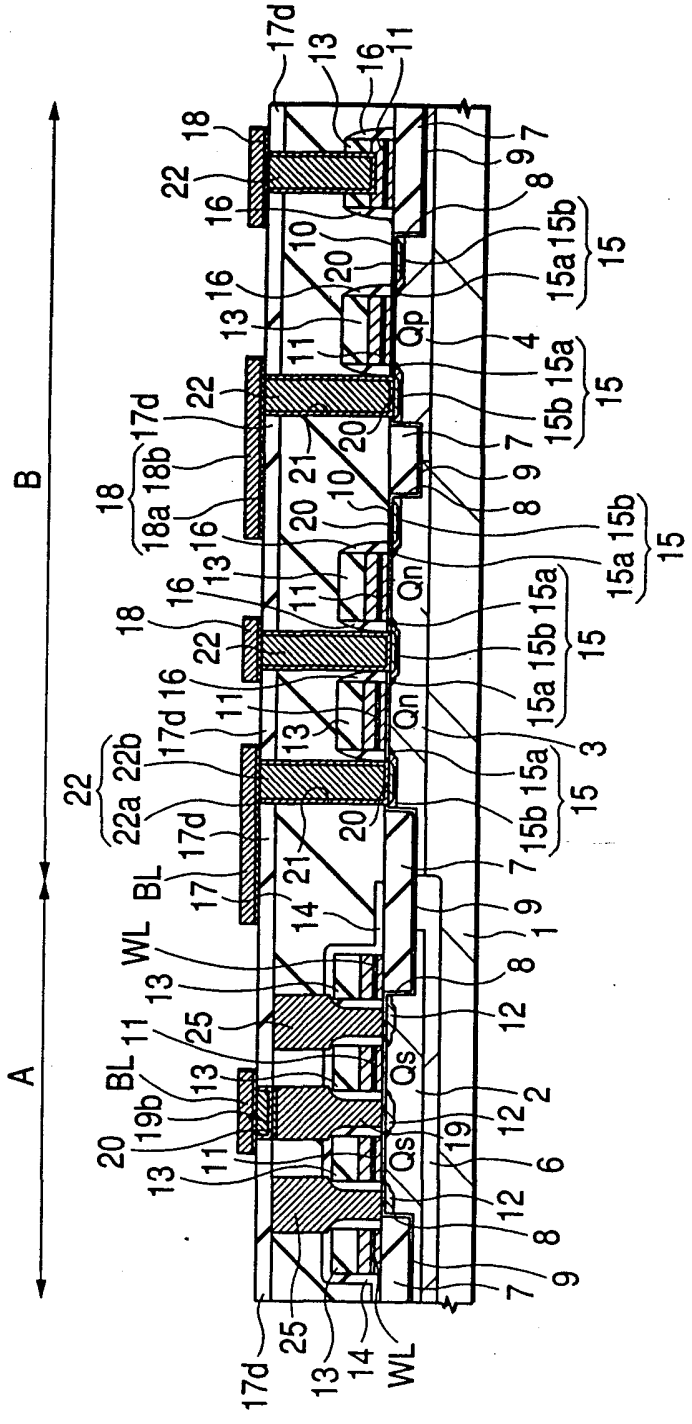
第 8 圖



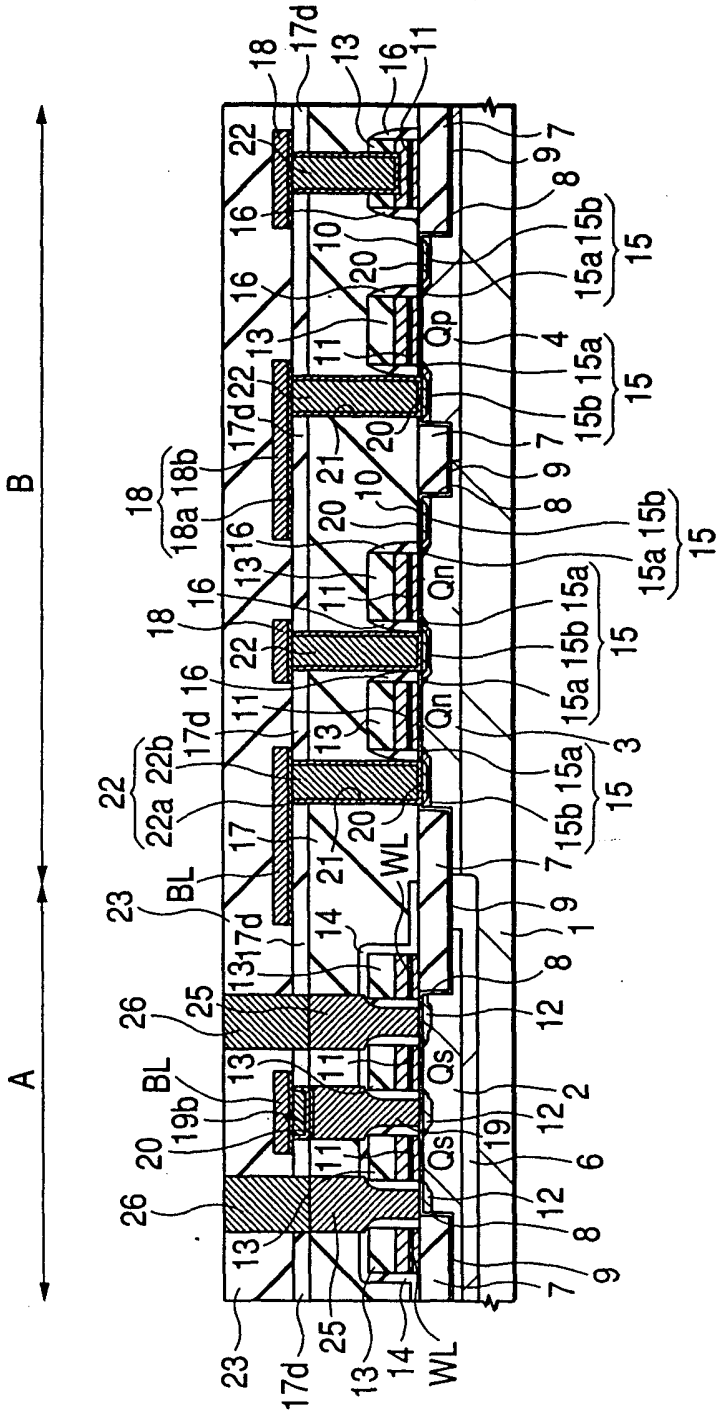
第9圖



第10圖

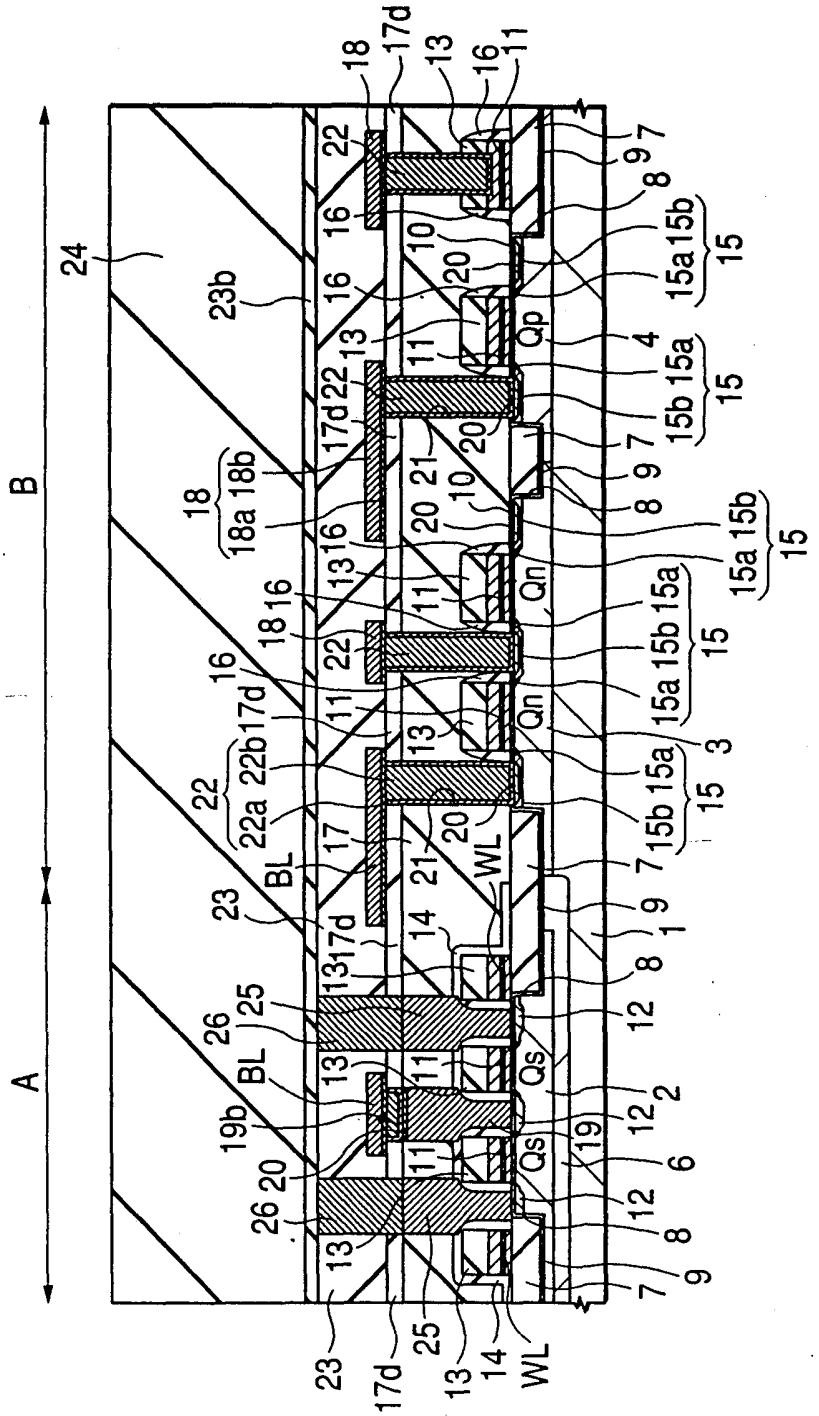


第11圖

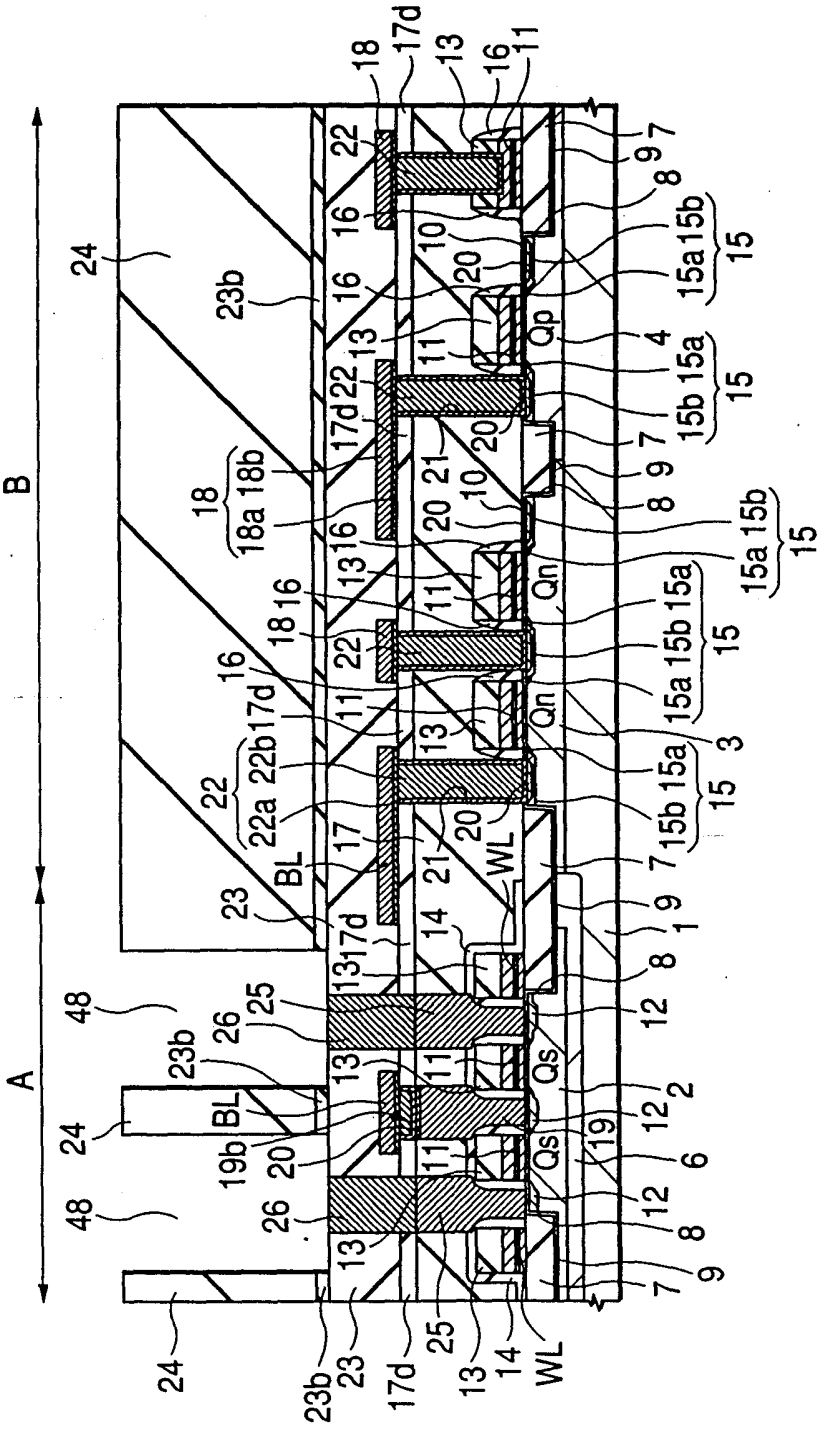


471158

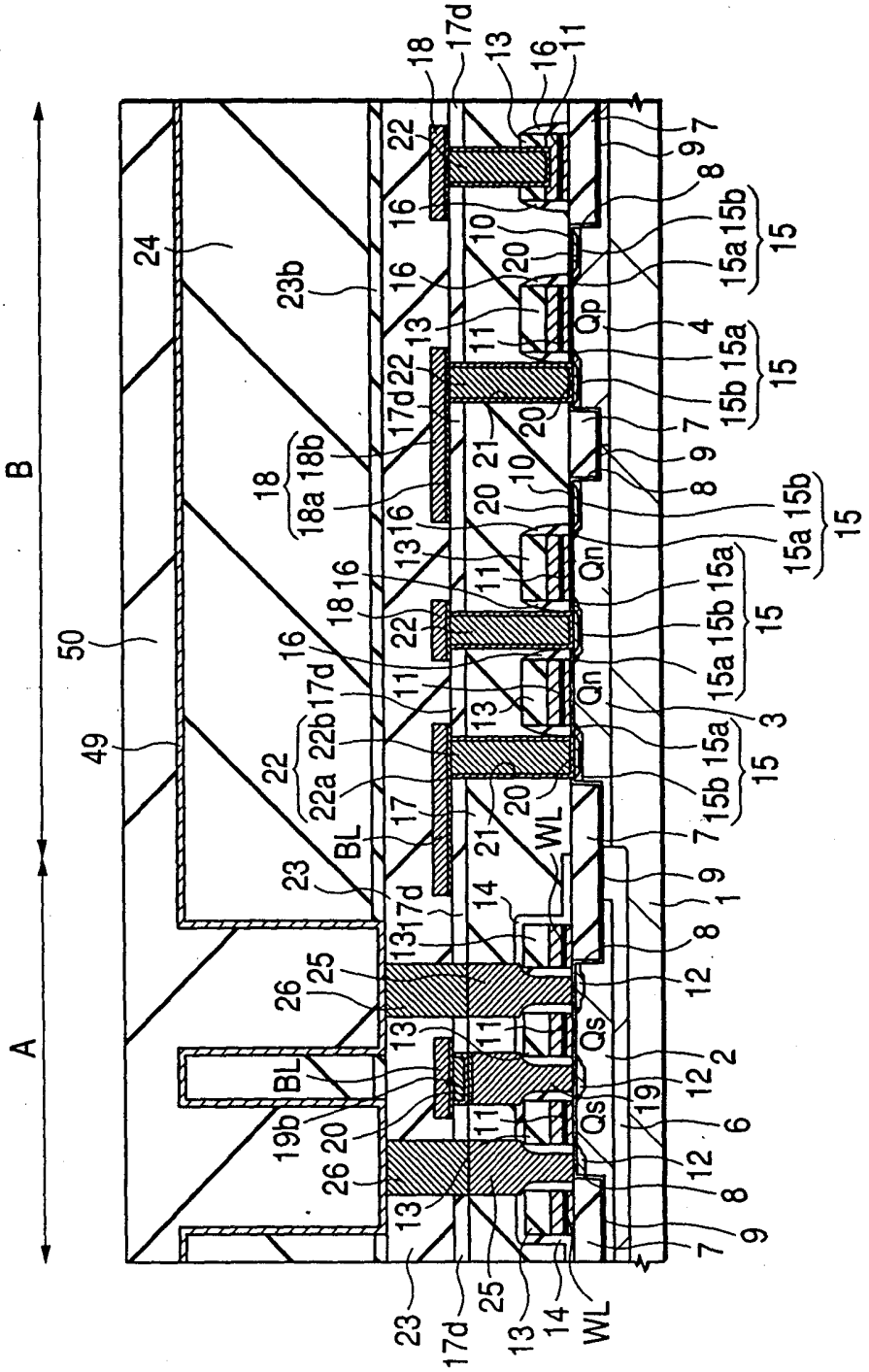
第12圖



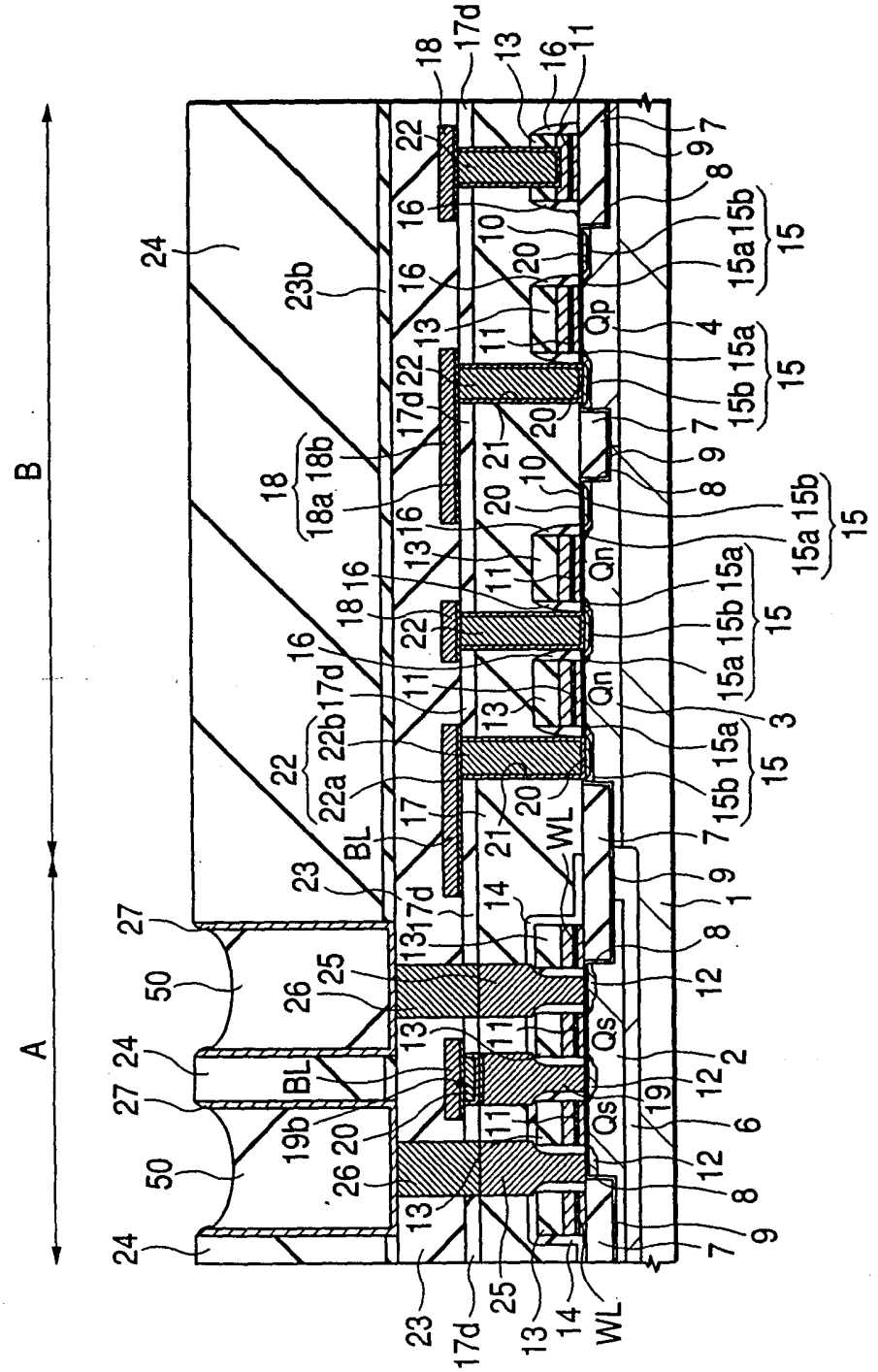
第13圖



第14圖

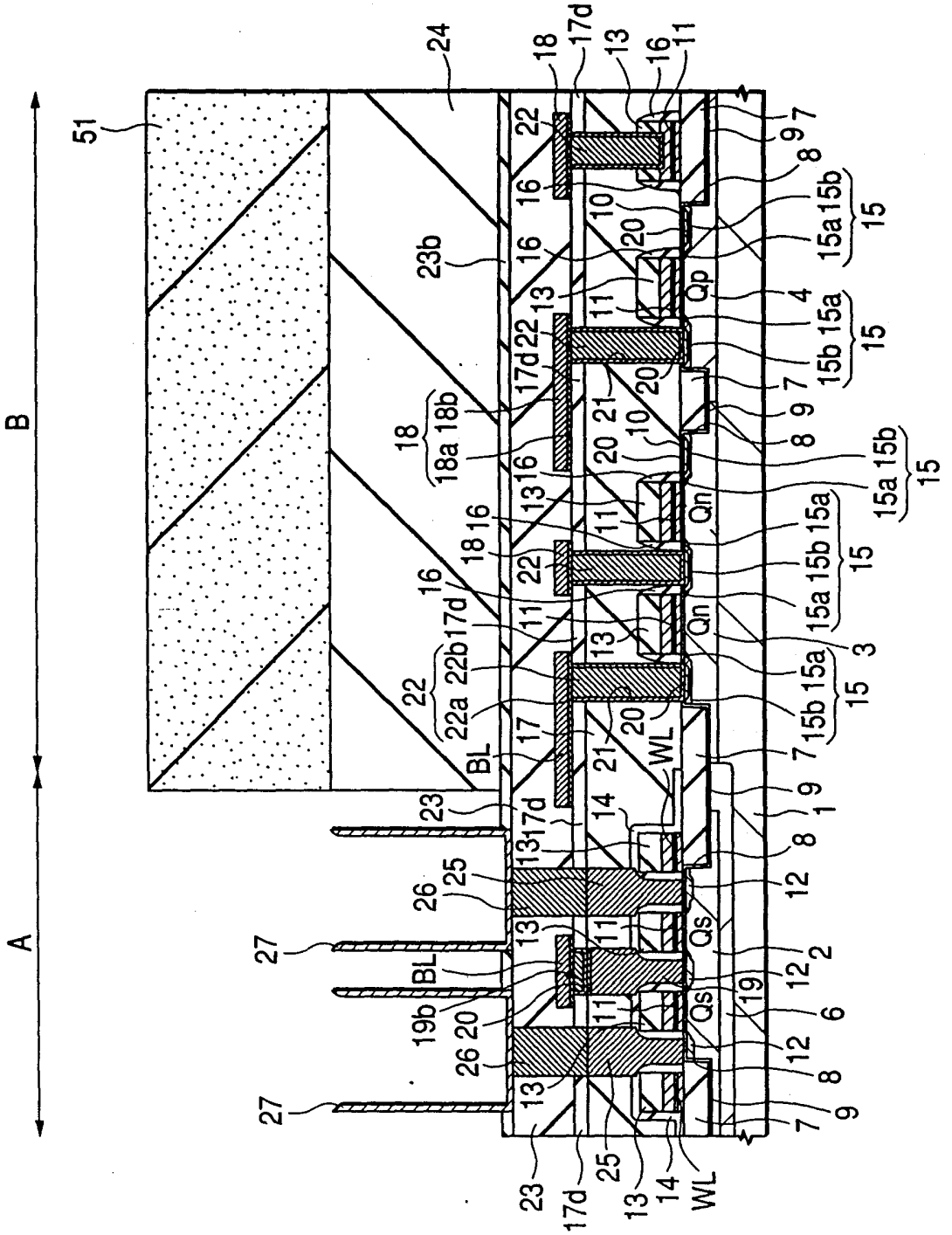


第15圖



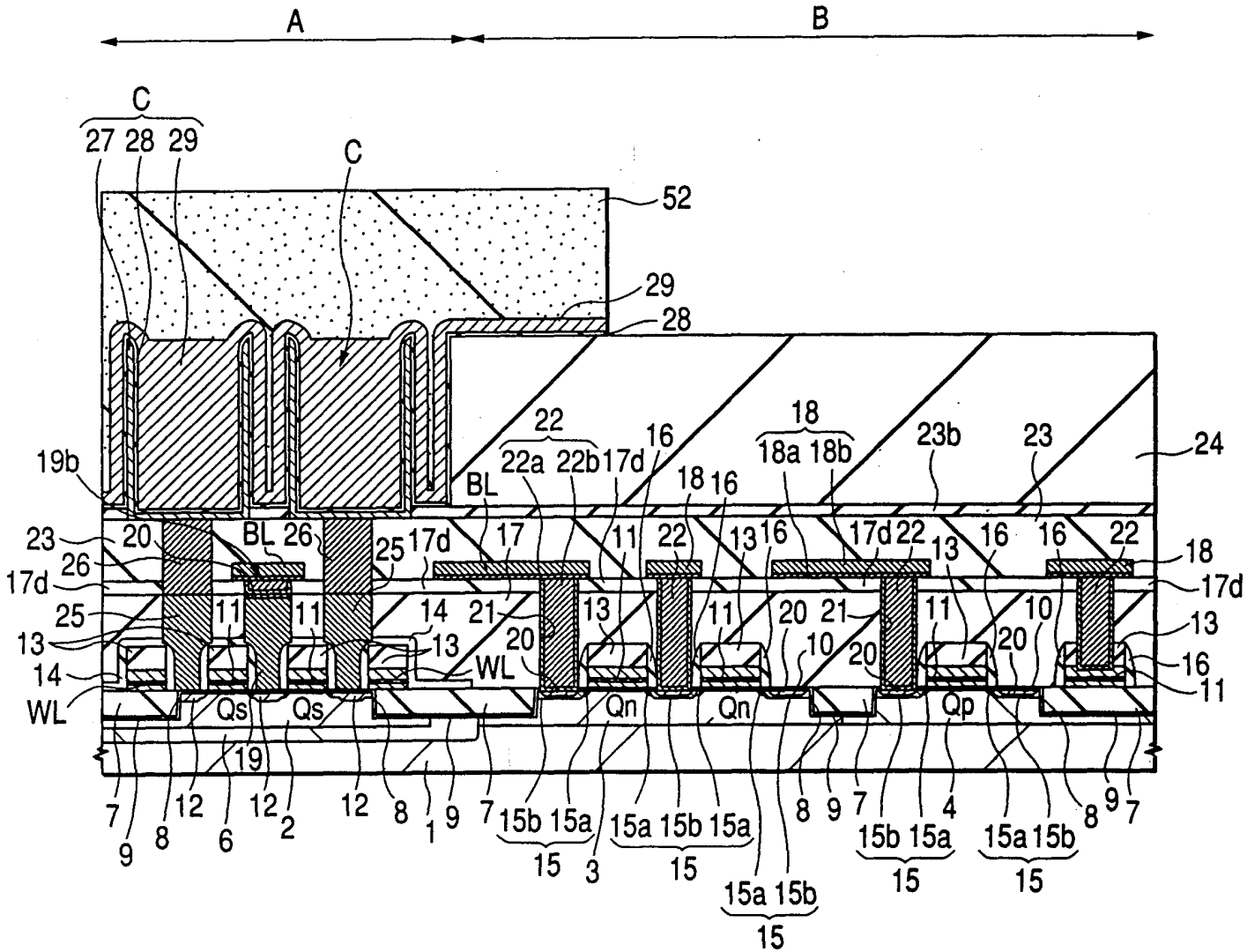
471158

第16圖

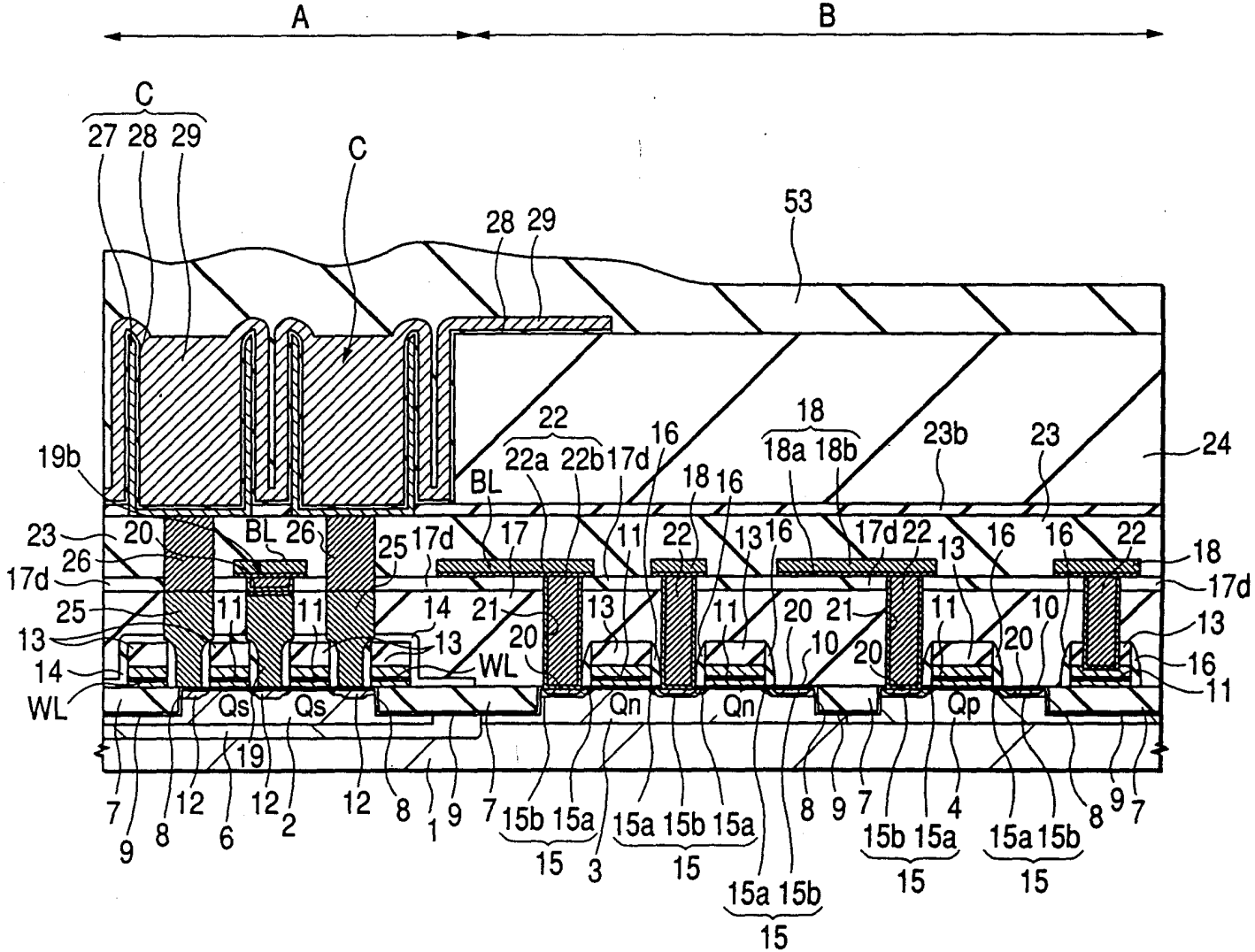


A
B
51
24
23b
18
18a
18b
22
22a
22b
17d
17
16
13
11
10
20
21
15
15a
15b
Qp
Qn
Qs
BL
WL
23
25
26
27
19b
19
14
12
9
8
7
6
4
3
2
1

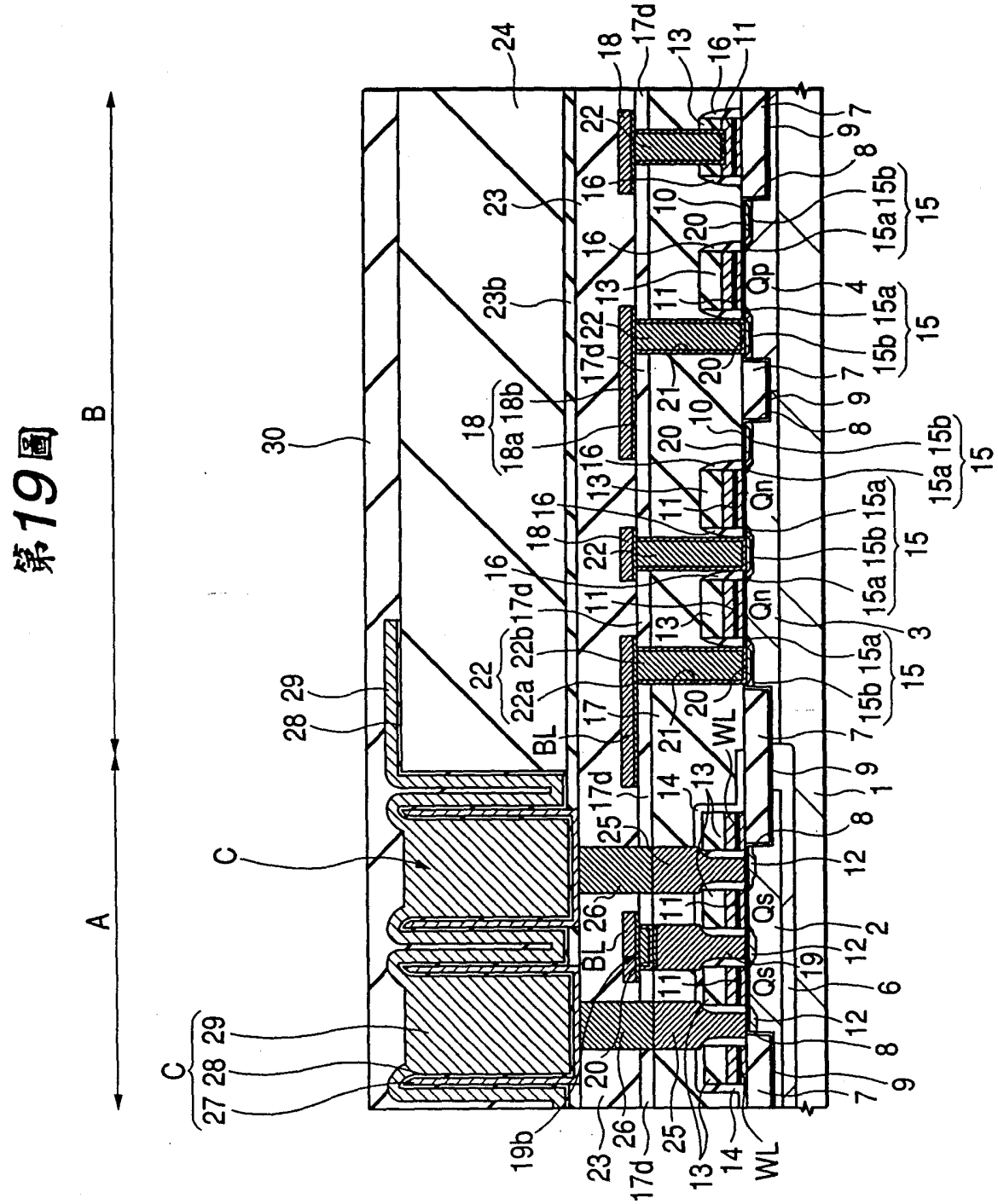
第17圖


A
B
C
27 28 29
C
52
29
28
22
22a 22b
17d
16
18
18a 18b
23b
23
24
19b
BL
18
16
23
20
BL
26
25
17d
17
11
22
13
16
17d
22
13
16
16
22
18
26
17d
17d
25
11
11
14
21
13
11
20
21
11
10
13
13
20
10
20
20
16
14
13
WL
11
WL
Qs
Qs
Qn
Qn
Qp
19
7
9
8
12
6
12
2
12
8
1
9
7
15b 15a
15
3
15a 15b 15a
15
8
9
7
15a 15b
15
4
15b 15a
15
15a 15b
15
8
9
7

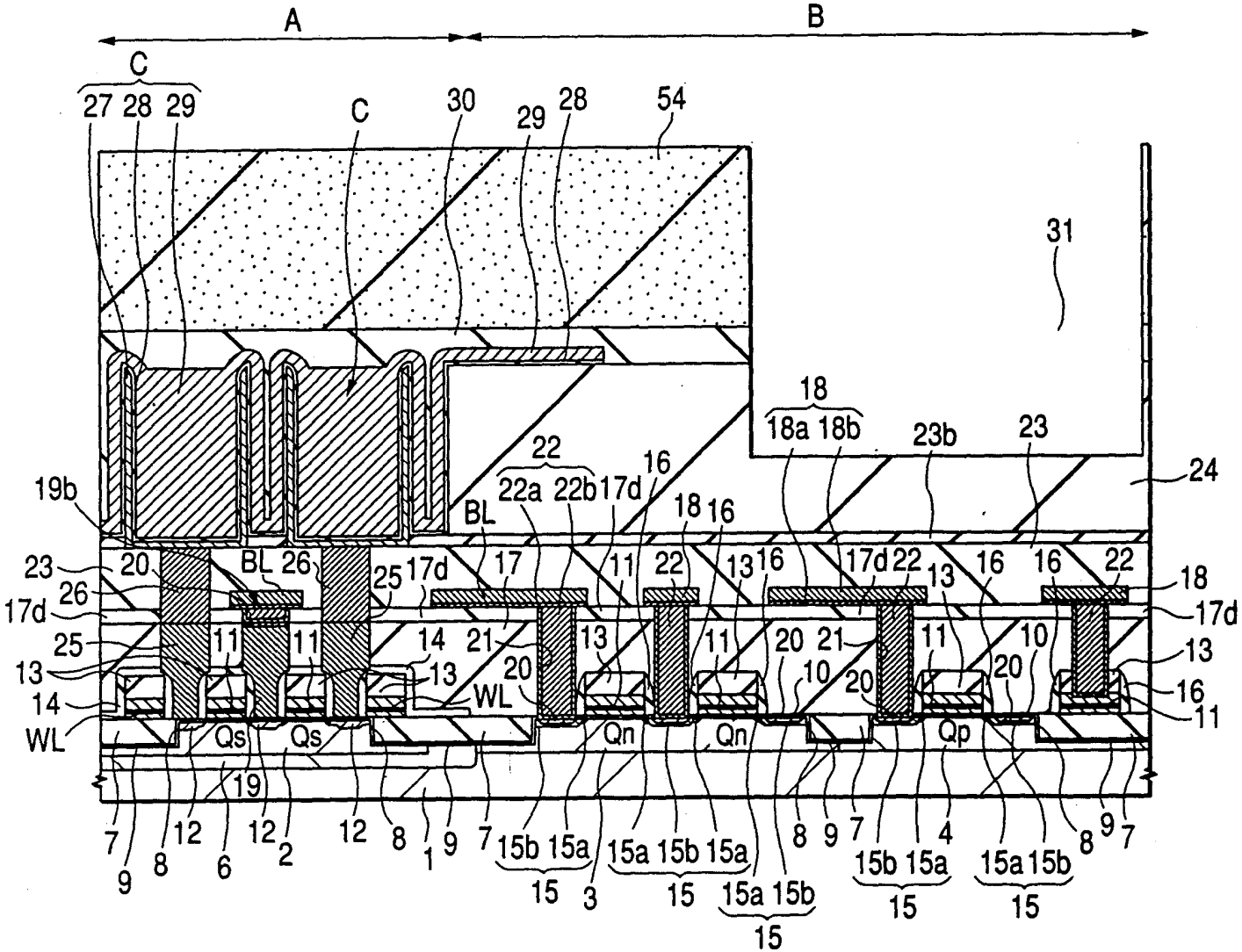
第18圖


A
B
C
27 28 29
C
28 29
53
19b
22
22a 22b 17d
16
18
18a 18b
23b
23
24
BL
18 16
23
20
BL 26
25 17d
17
11
22
13 16
17d 22
13
16
16
22
18
26
17d
17d
25
11
11
14
21
13
11
20 21
11
10
13
13
14
13
20
10
20
20
16
WL
WL
11
Qs
Qs
Qn
Qn
Qp
19
7
9
8
12
6
12
2
12
8
1
9
7
15b 15a
15
3
15a 15b 15a
15
15a 15b
15
8
9
7
15b 15a
15
4
15a 15b
15
8
9
7

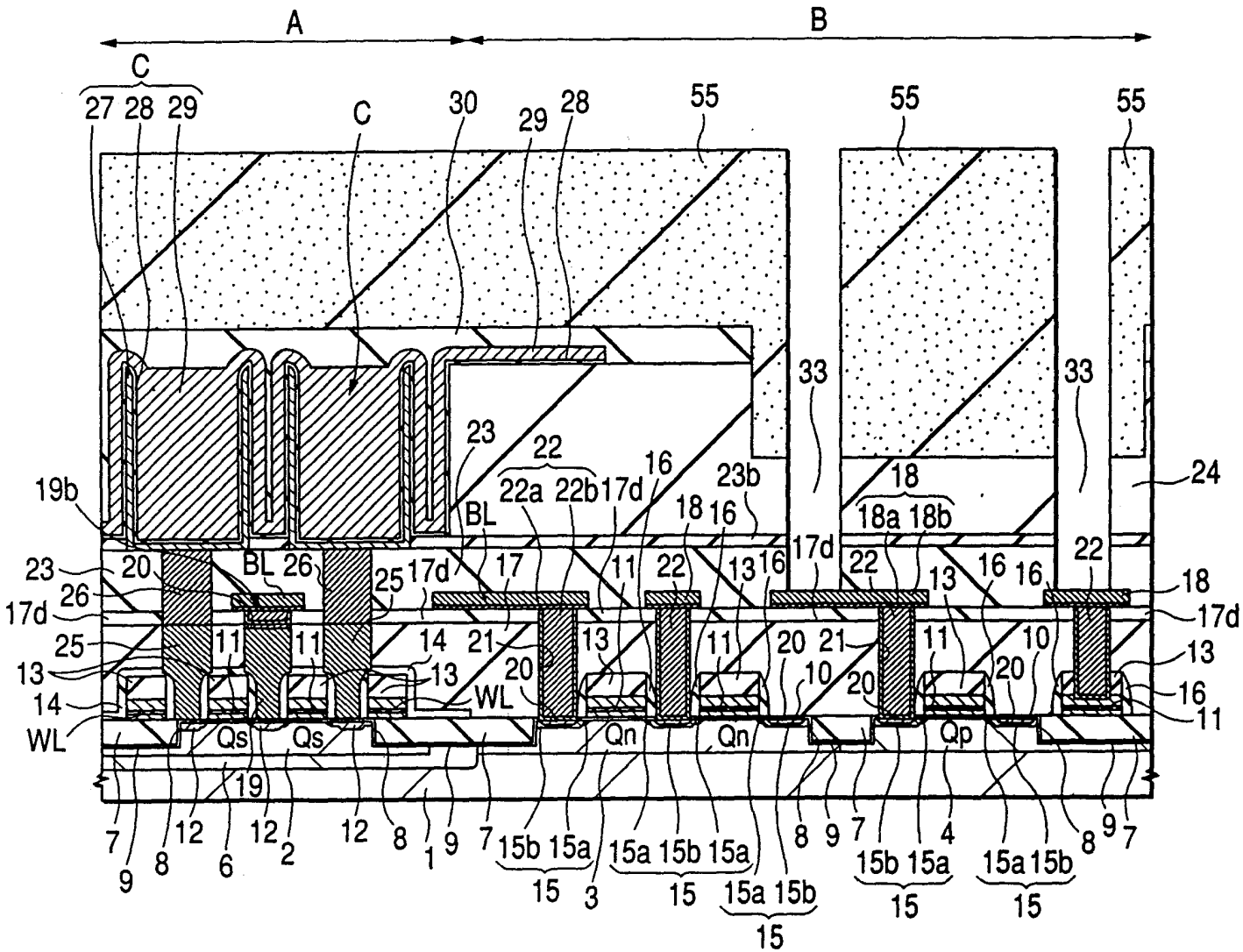
第19圖



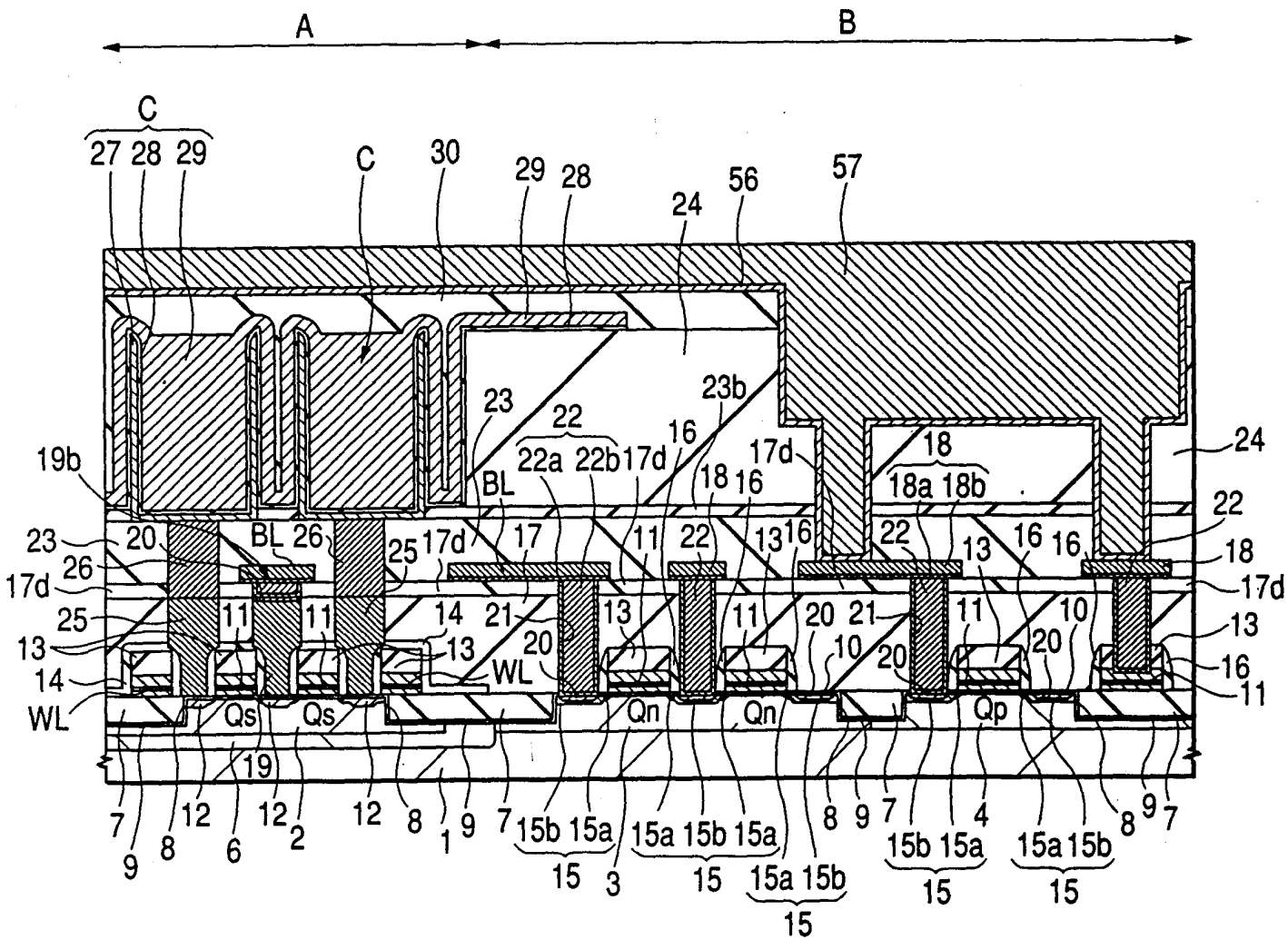
第20圖


A
B
C
27 28 29
C
30
29
28
54
31
18
18a 18b
23b
23
24
22
22a 22b
17d
16
19b
BL
18
16
23
20
BL
26
25
17d
17
11
22
13
16
17d
22
13
16
16
22
18
26
17d
17d
25
11
11
14
21
13
11
20
21
11
10
13
13
13
20
10
20
20
16
14
WL
WL
11
Qs
Qs
Qn
Qn
Qp
19
7
9
8
12
6
12
2
12
8
1
9
7
15b 15a
15
3
15a 15b 15a
15
15a 15b
15
8
9
7
15b 15a
15
4
15a 15b
15
8
9
7

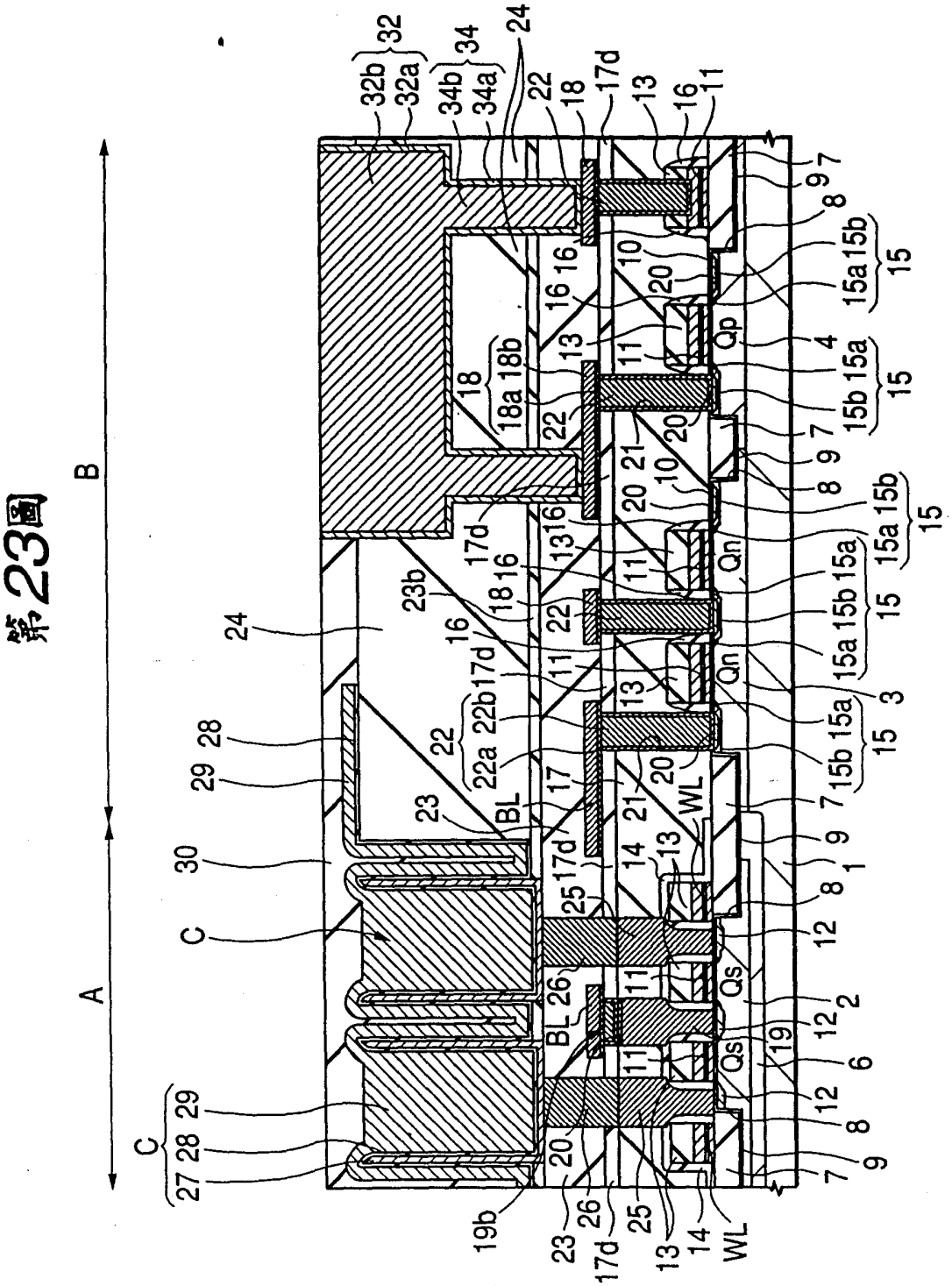
第21圖


A
B
C
27 28 29
C
30
29
28
55
55
55
33
33
24
19b
23
22
22a 22b
17d
16
23b
18
18a 18b
BL
BL
26
25
17d
17
11
22
13
16
17d
22
13
16
16
22
18
17d
23
20
26
17d
25
13
14
WL
11
11
14
21
13
11
20
21
11
10
13
16
11
13
20
WL
20
10
20
20
Qs
Qs
Qn
Qn
Qp
19
7
9
8
12
6
12
2
12
8
1
9
7
15b 15a
15
3
15a 15b 15a
15
15a 15b
15
8
9
7
15b 15a
15
4
15a 15b
15
8
9
7

第22圖

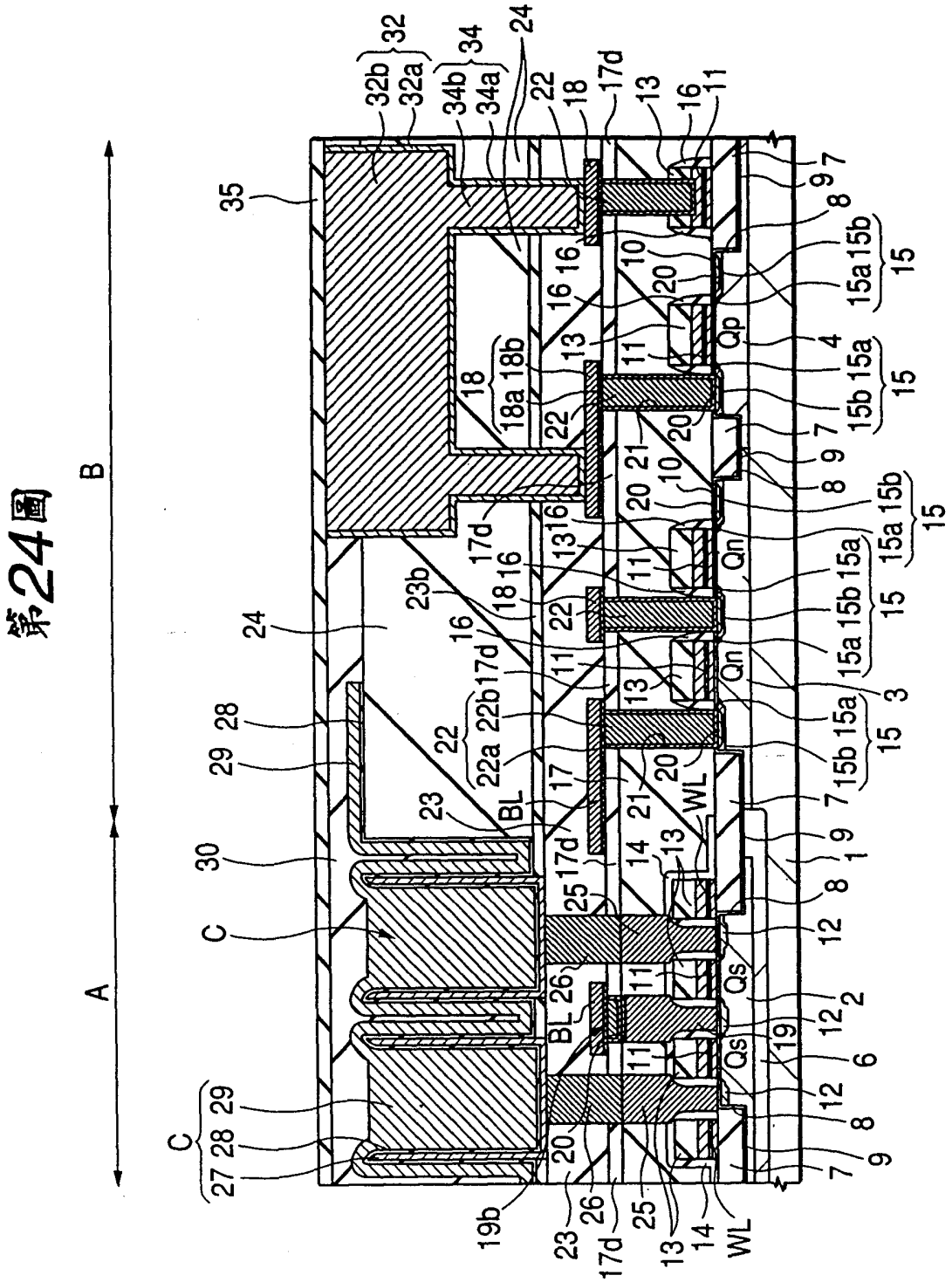

A
B
C
27 28 29
C
30
29 28
24
56
57
23
22
23b
22a 22b 17d
16
17d
18
18a 18b
24
19b
BL
18 16
22
23
20
BL 26
25 17d
17
11
22
13 16
22
13
16 16
18
26
17d
17d
25
11
11
14
21
13
11
20 21
11
10
13
13
14
13
20
10
20
20
16
WL
WL
Qs
Qs
Qn
Qn
Qp
11
19
7
9
8
12
6
12
2
12
8
1
9
7
15b 15a
15
3
15a 15b 15a
15
15a 15b
15
8
9
7
15b 15a
15
4
15a 15b
15
8
9
7

第23圖

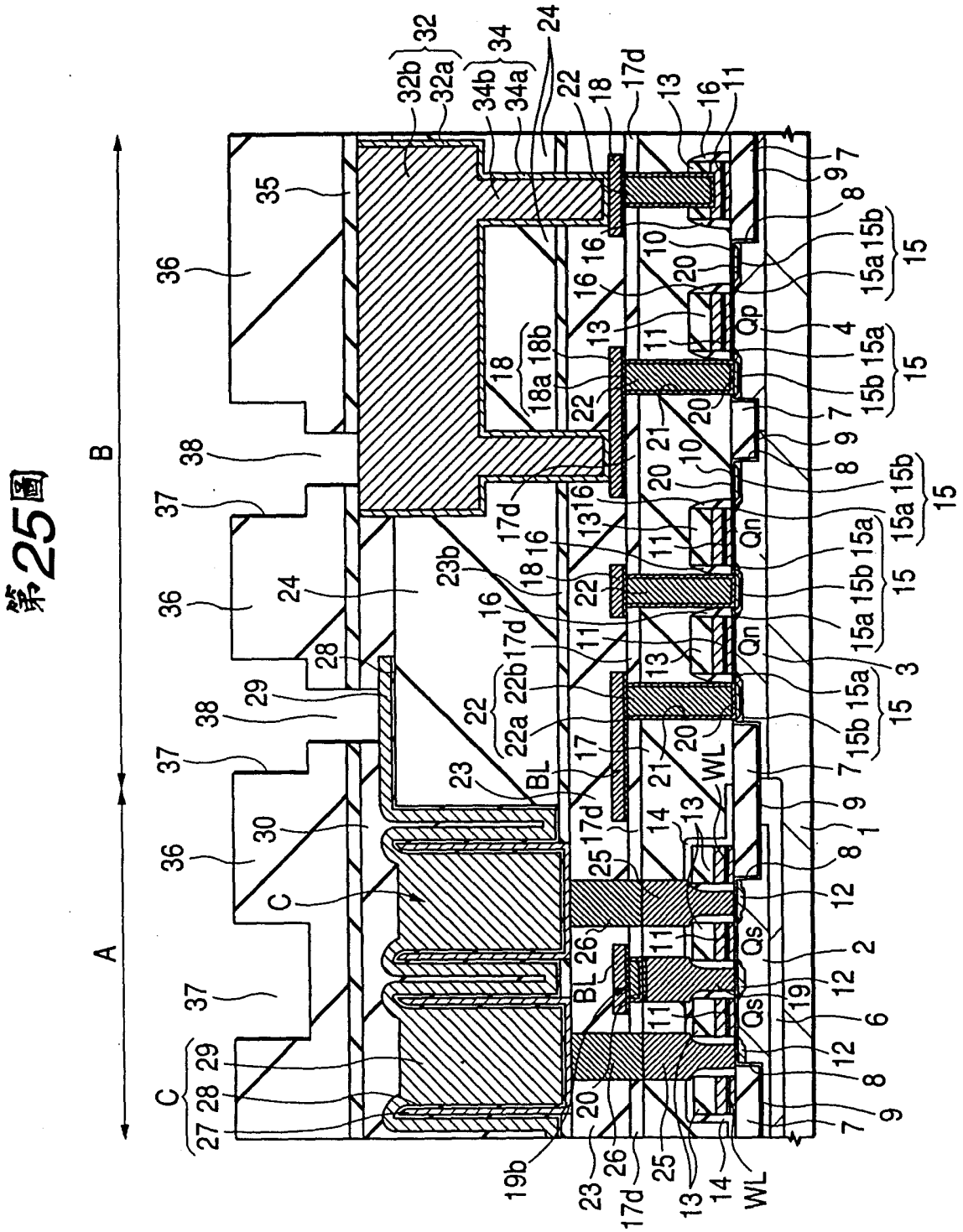


471158

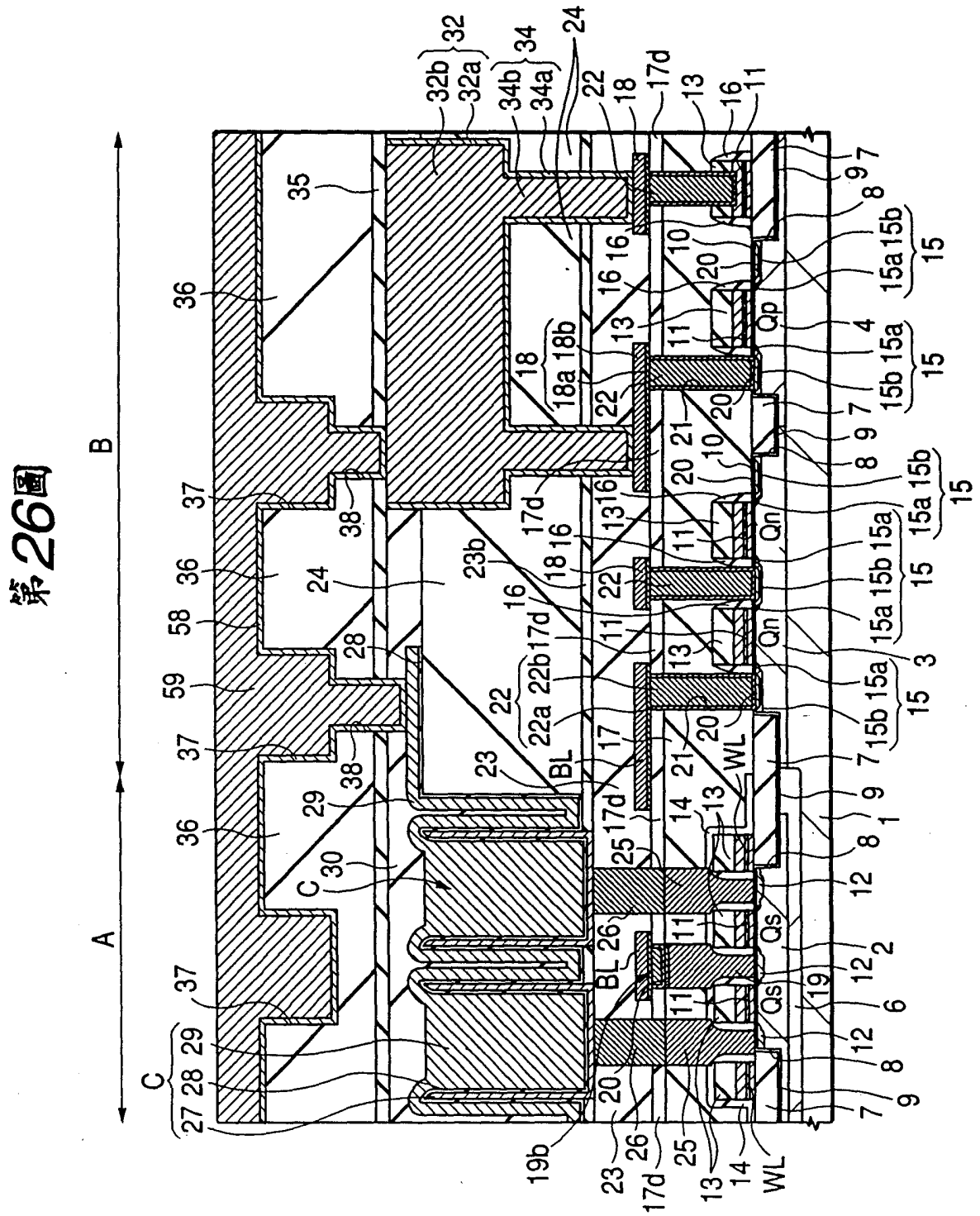
第24圖



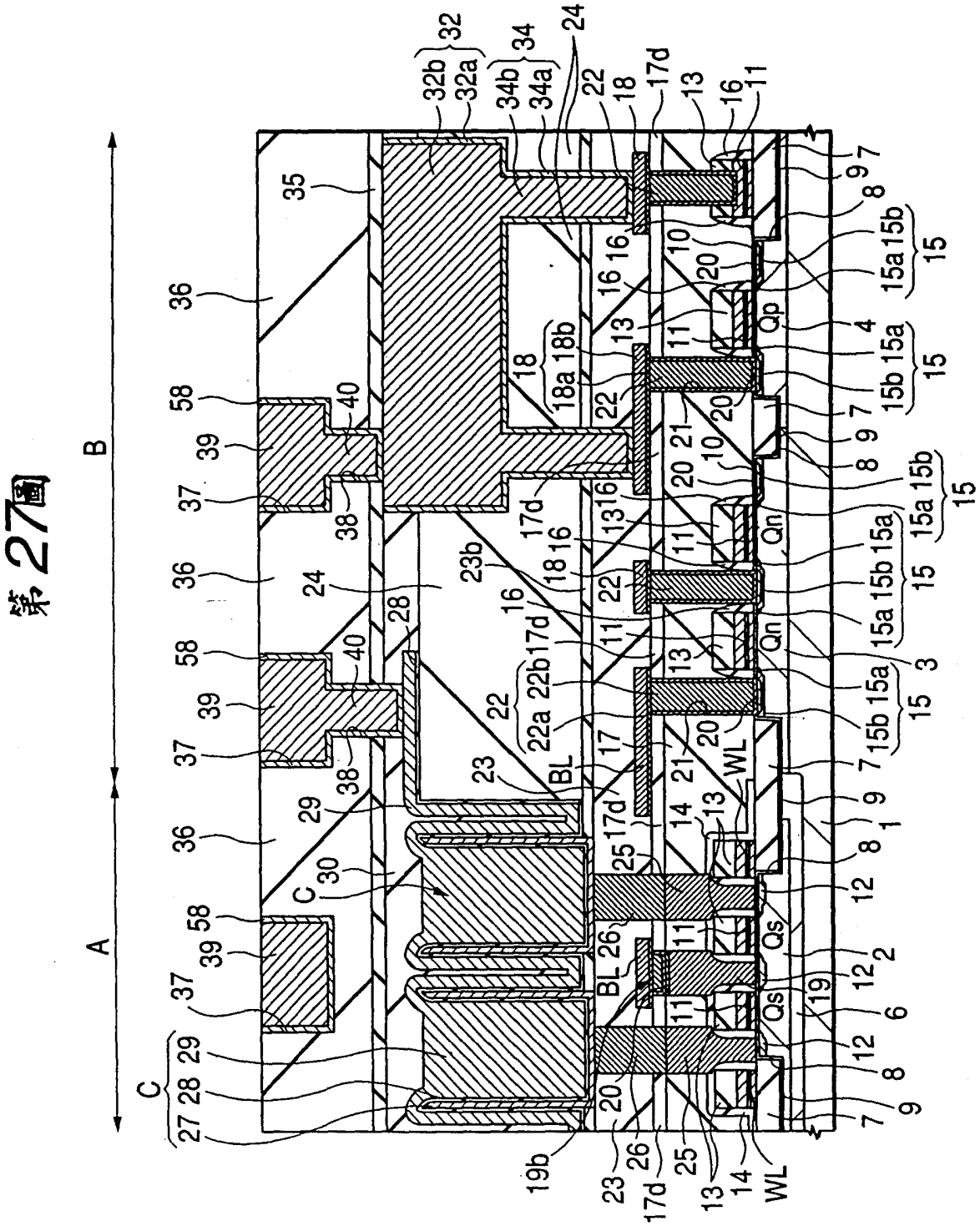
第25圖



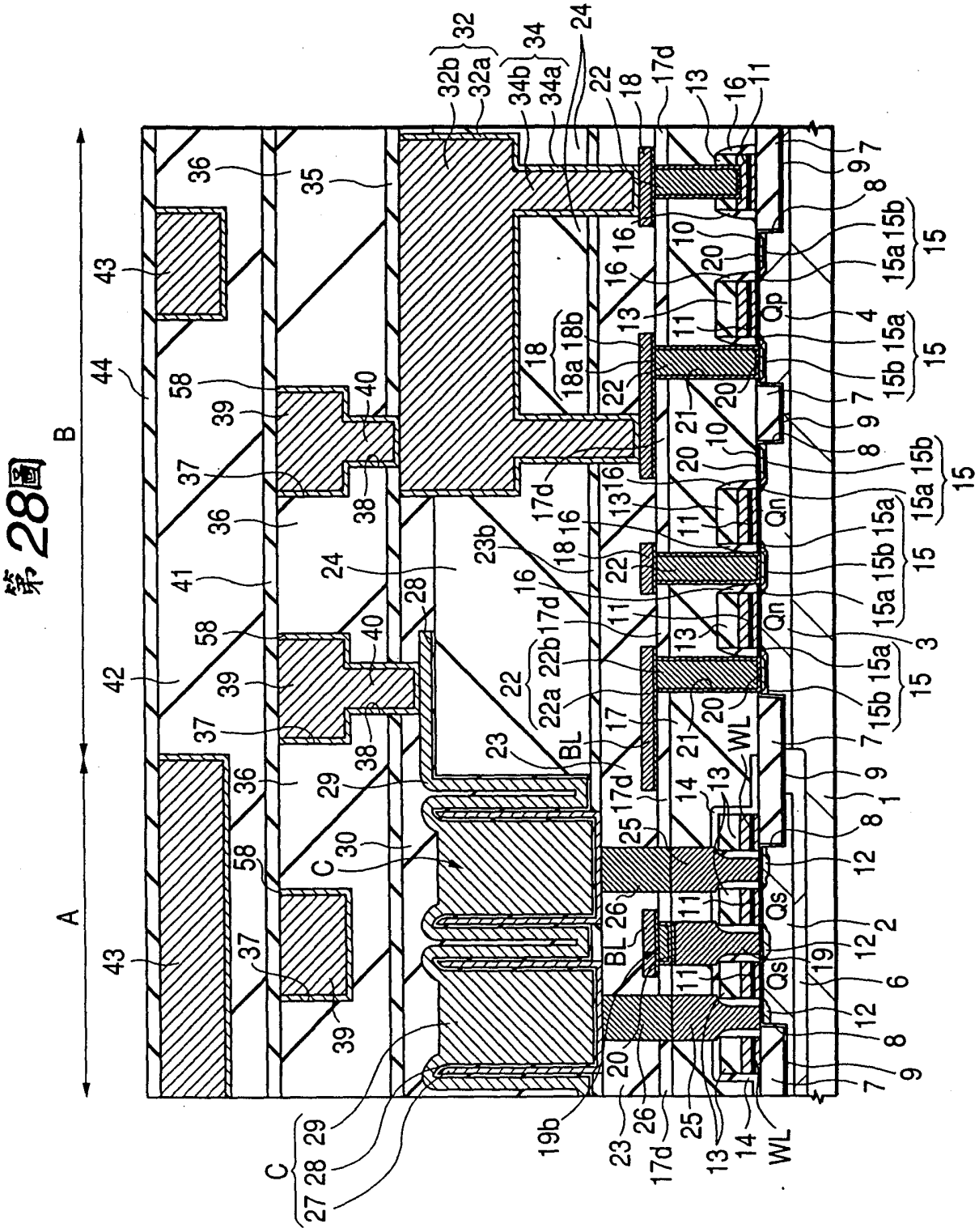
第26圖

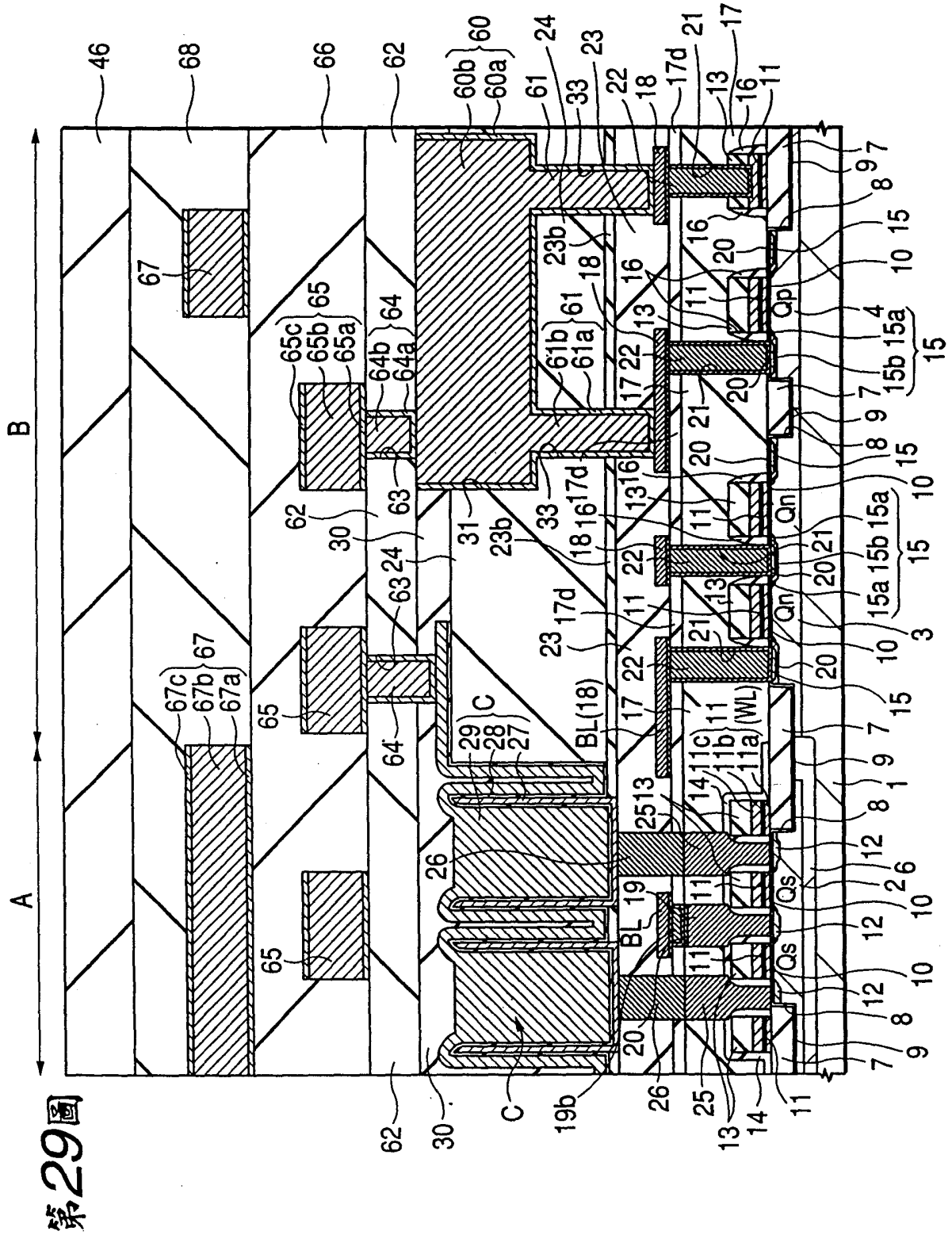


第27圖



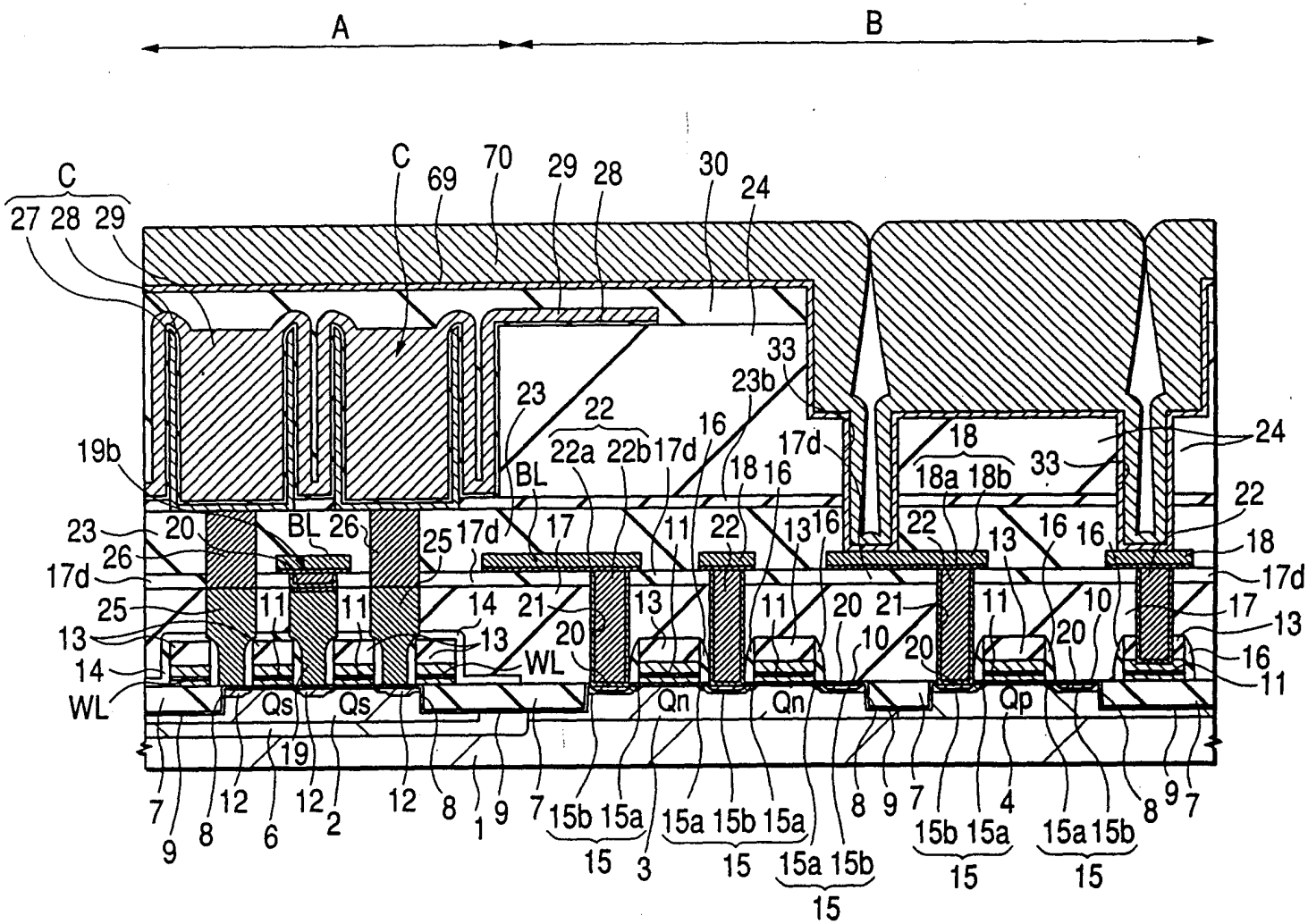
第28圖



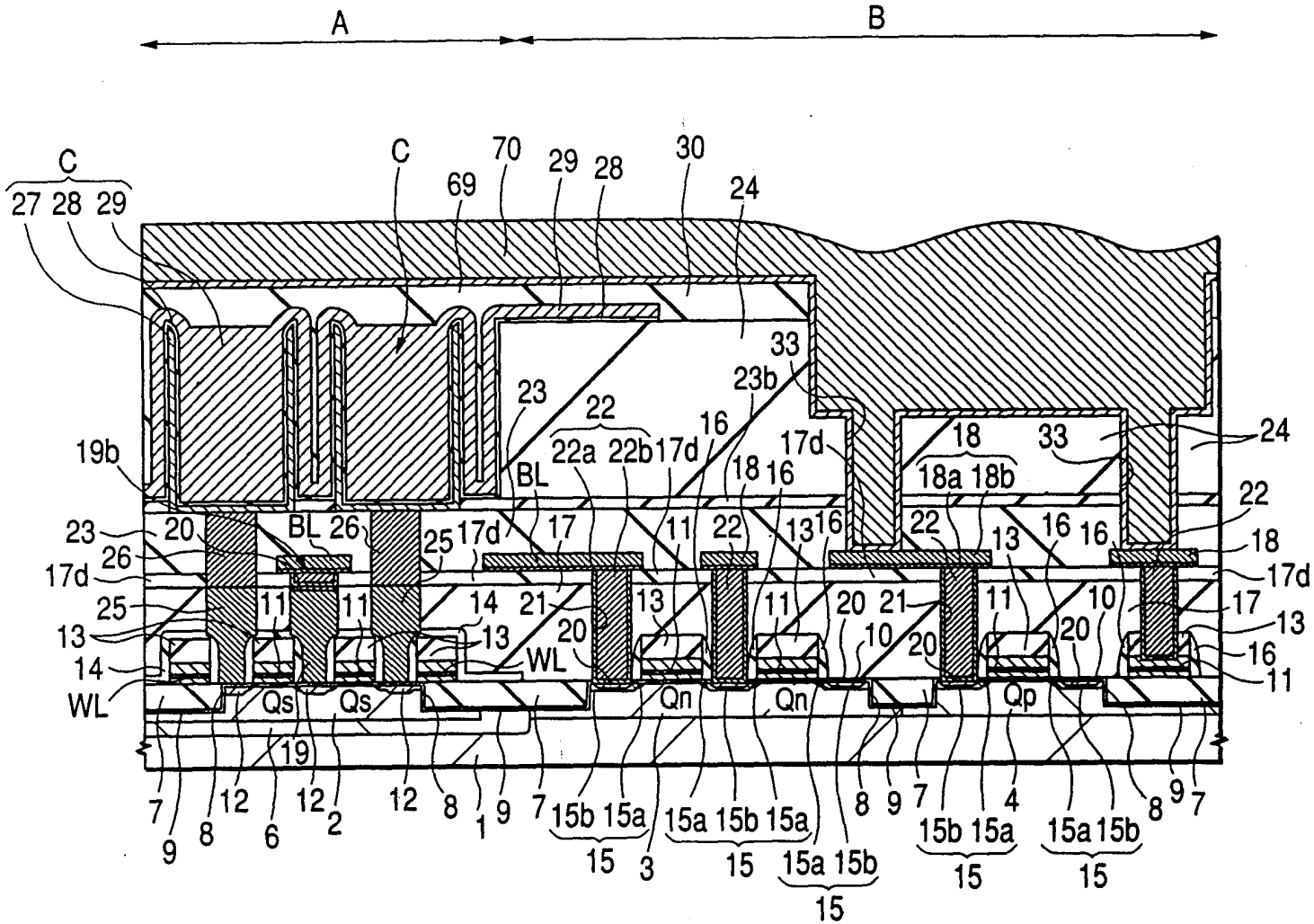


第29圖

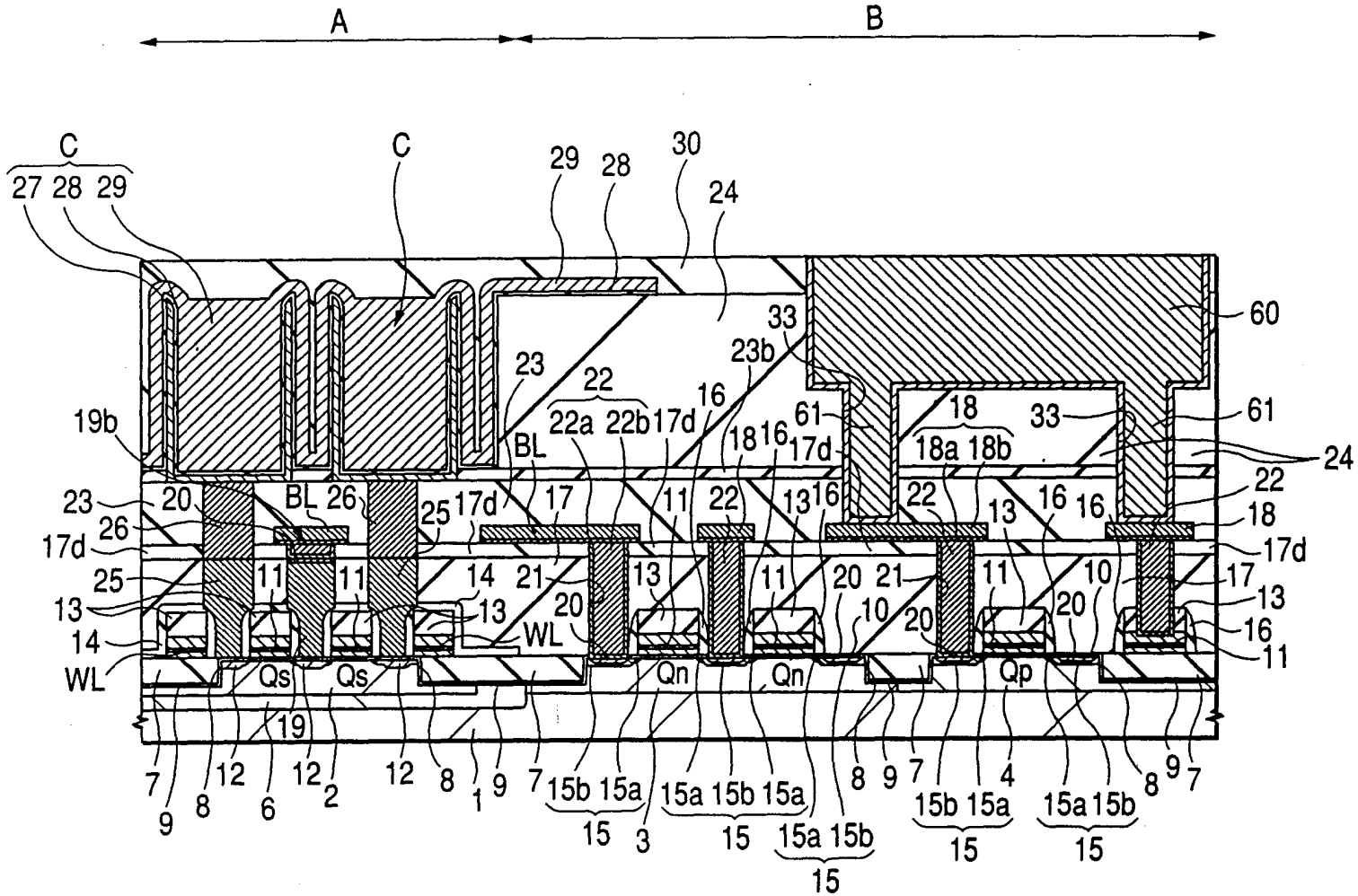
第30圖


A
B
C
27 28 29
C
69
70
29
28
30
24
33
23b
23
22
22a 22b
17d
16
18
16
17d
18
18a 18b
33
24
19b
BL
23
20
BL
26
25
17d
17
11
22
13
16
22
13
16
16
22
18
26
17d
17d
25
11
11
14
21
13
11
20
21
11
10
17
13
13
14
13
20
WL
10
20
20
16
11
WL
Qs
Qs
Qn
Qn
Qp
19
7
9
8
12
6
12
2
12
8
1
9
7
15b 15a
15
3
15a 15b 15a
15
15a 15b
15
8
9
7
15b 15a
15
4
15a 15b
15
8
9
7

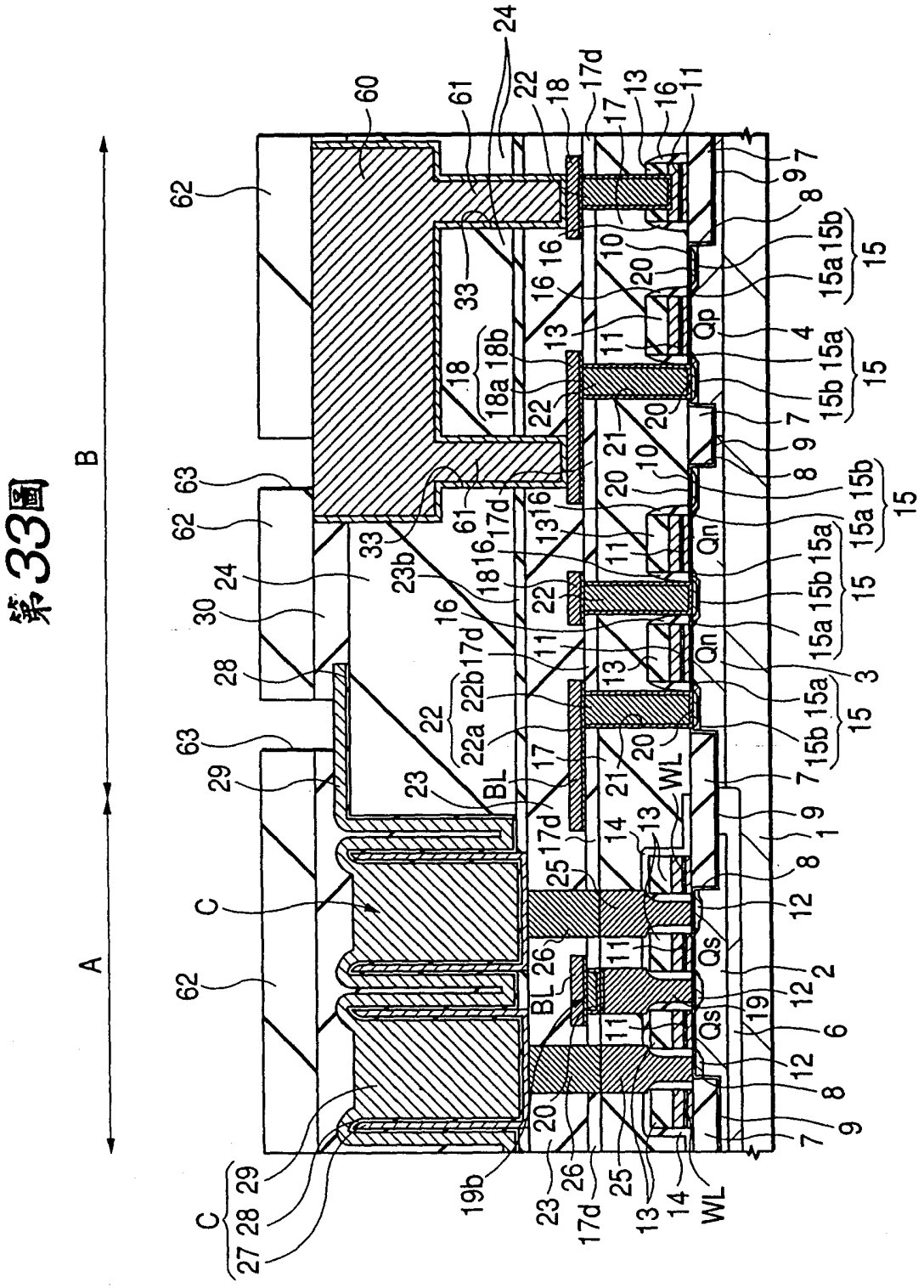
第31圖


A
B
C
27 28 29
C
69
70
29
28
30
24
33
23b
23
22
22a 22b
17d
16
17d
18
18a 18b
33
24
19b
BL
18
16
22
23
20
BL
26
25
17d
17
11
22
13
16
22
13
16
16
18
26
17d
17d
25
11
11
14
21
13
11
20
21
11
10
17
13
13
14
13
20
WL
10
20
20
16
11
WL
Qs
Qs
Qn
Qn
Qp
19
7
9
8
12
6
12
2
12
8
1
9
7
15b 15a
15
3
15a 15b 15a
15
15a 15b
15
8
9
7
15b 15a
15
4
15a 15b
15
8
9
7

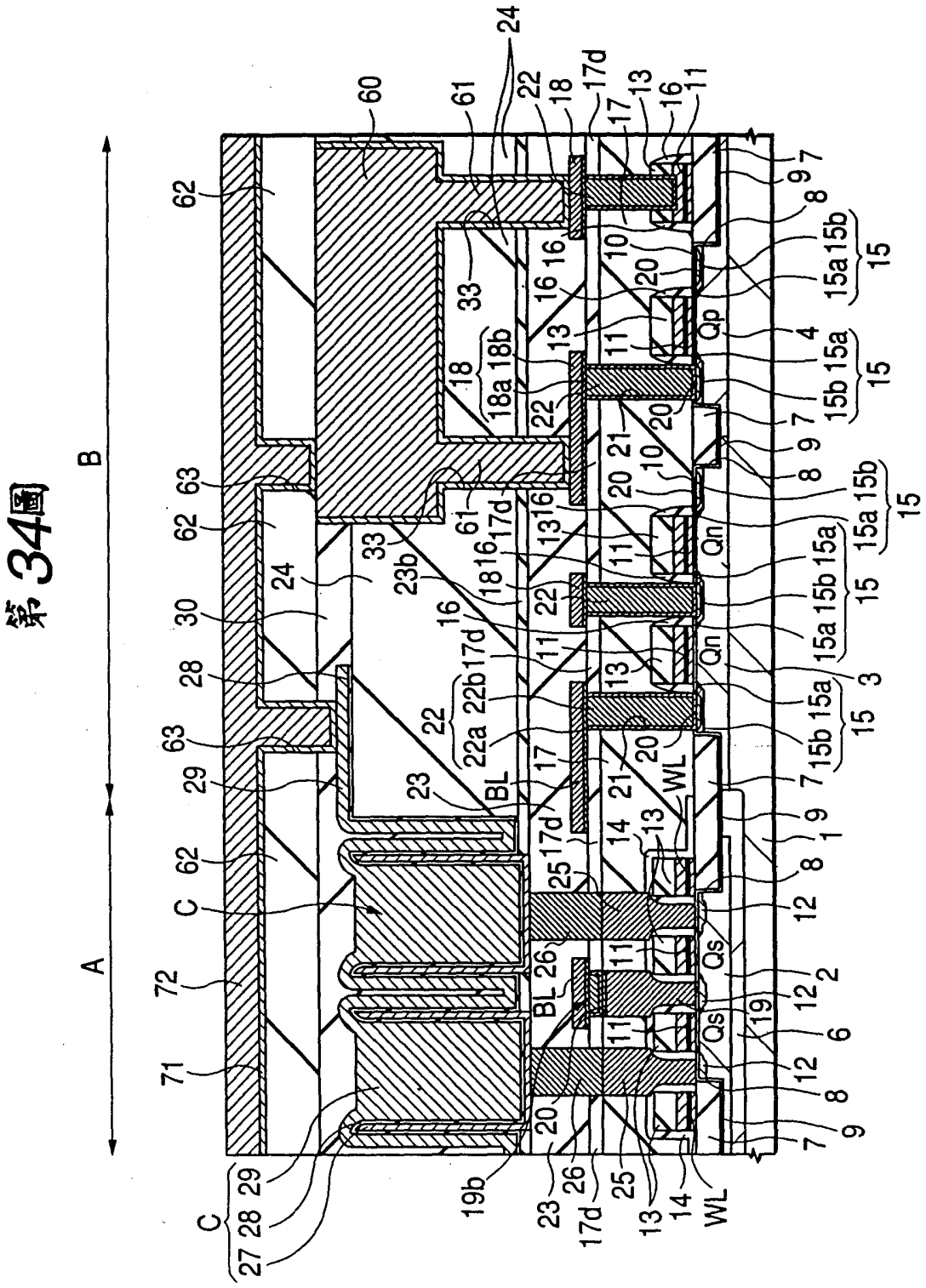
第32圖


A
B
C
27 28 29
C
29
28
30
24
60
33
23b
23
22
22a 22b
17d
16
61
18
33
61
19b
BL
18
16
17d
18a 18b
24
23
20
BL
26
25
17d
17
11
22
13
16
22
13
16
16
22
18
26
17d
17d
25
11
11
14
21
13
11
20
21
11
10
17
13
13
20
10
20
20
13
14
WL
WL
16
11
Qs
Qs
Qn
Qn
Qp
19
7
9
8
12
6
12
2
12
8
1
9
7
15b 15a
15
3
15a 15b 15a
15
15a 15b
15
8
9
7
15b 15a
15
4
15a 15b
15
8
9
7

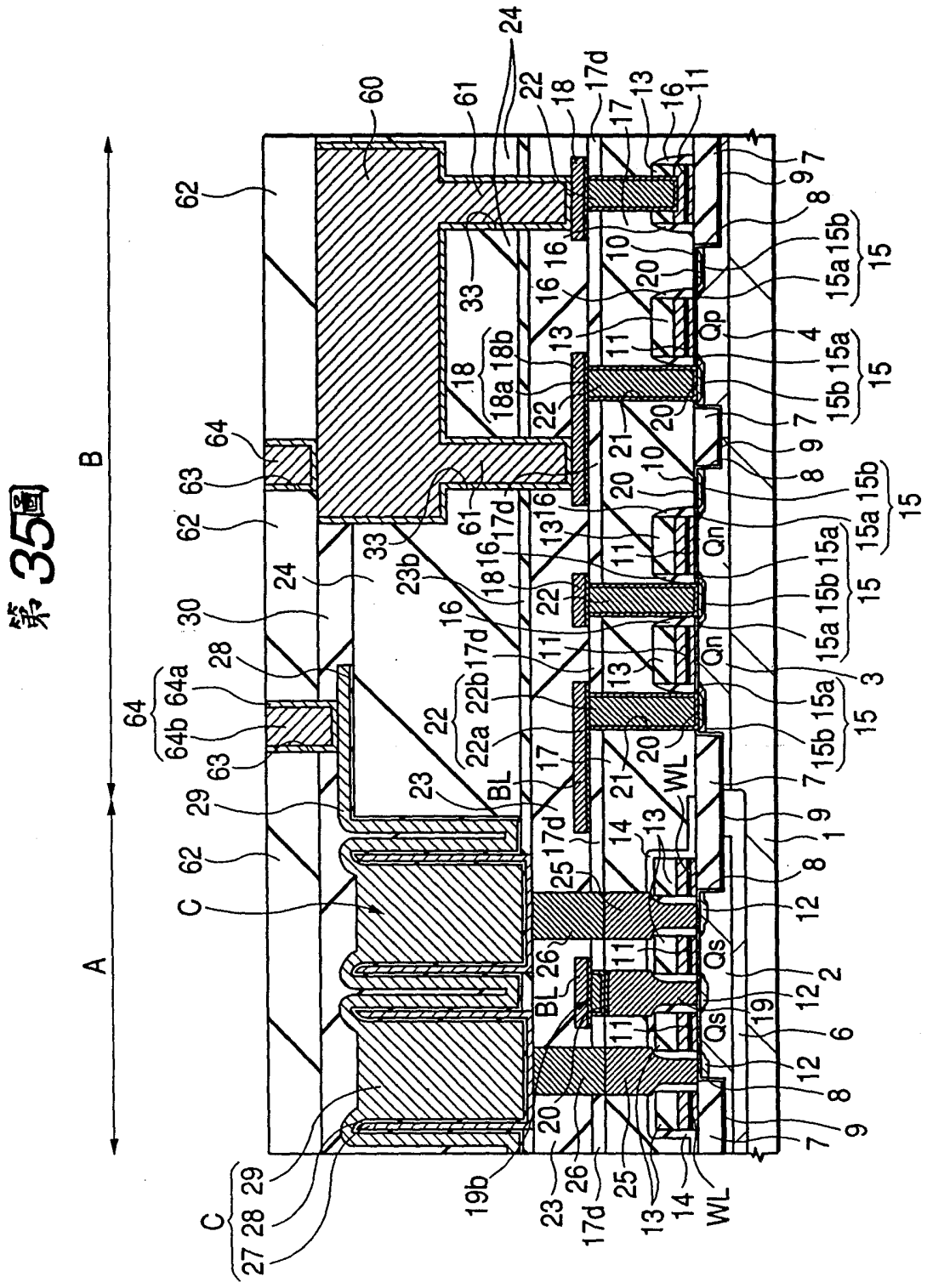
第33圖



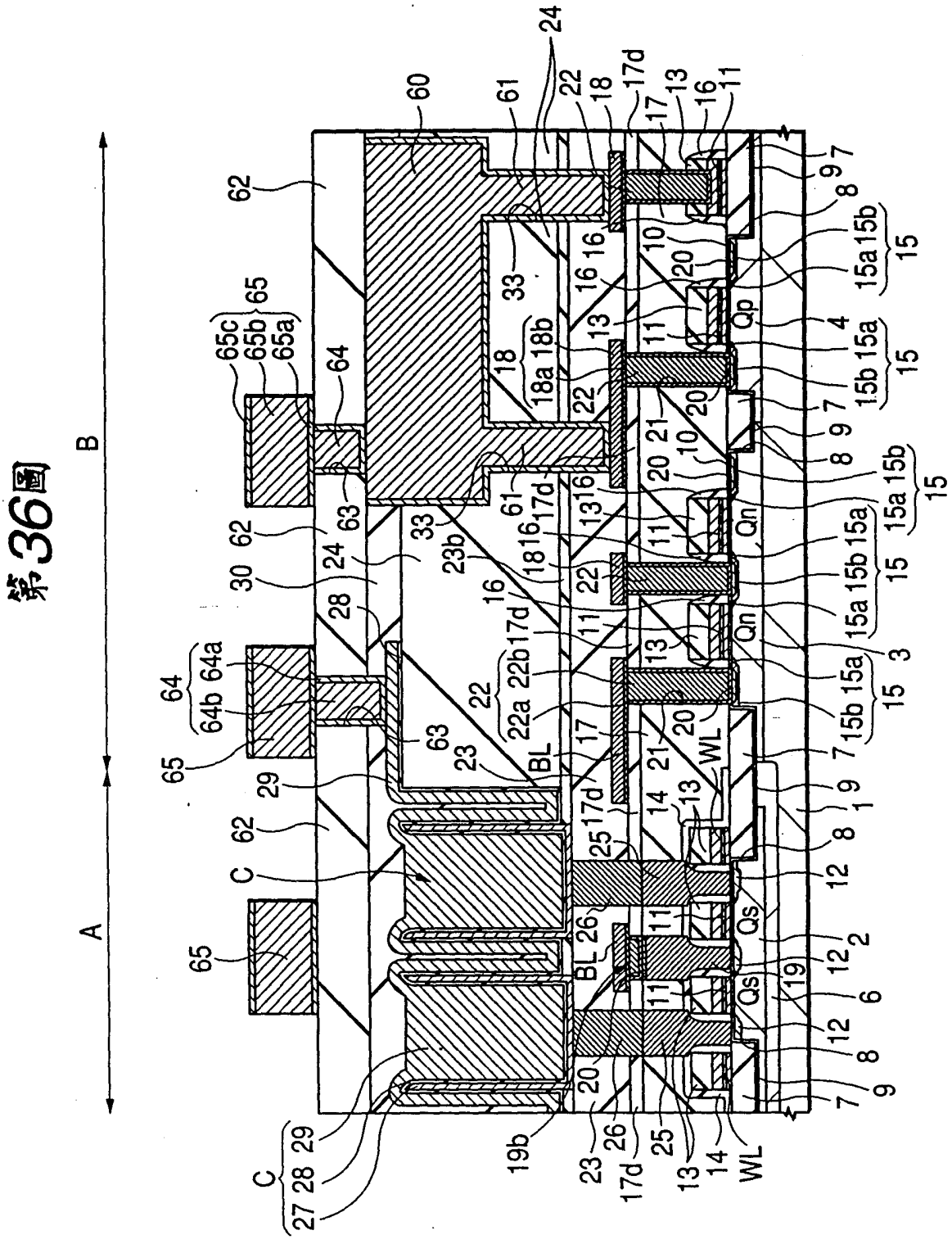
第34圖



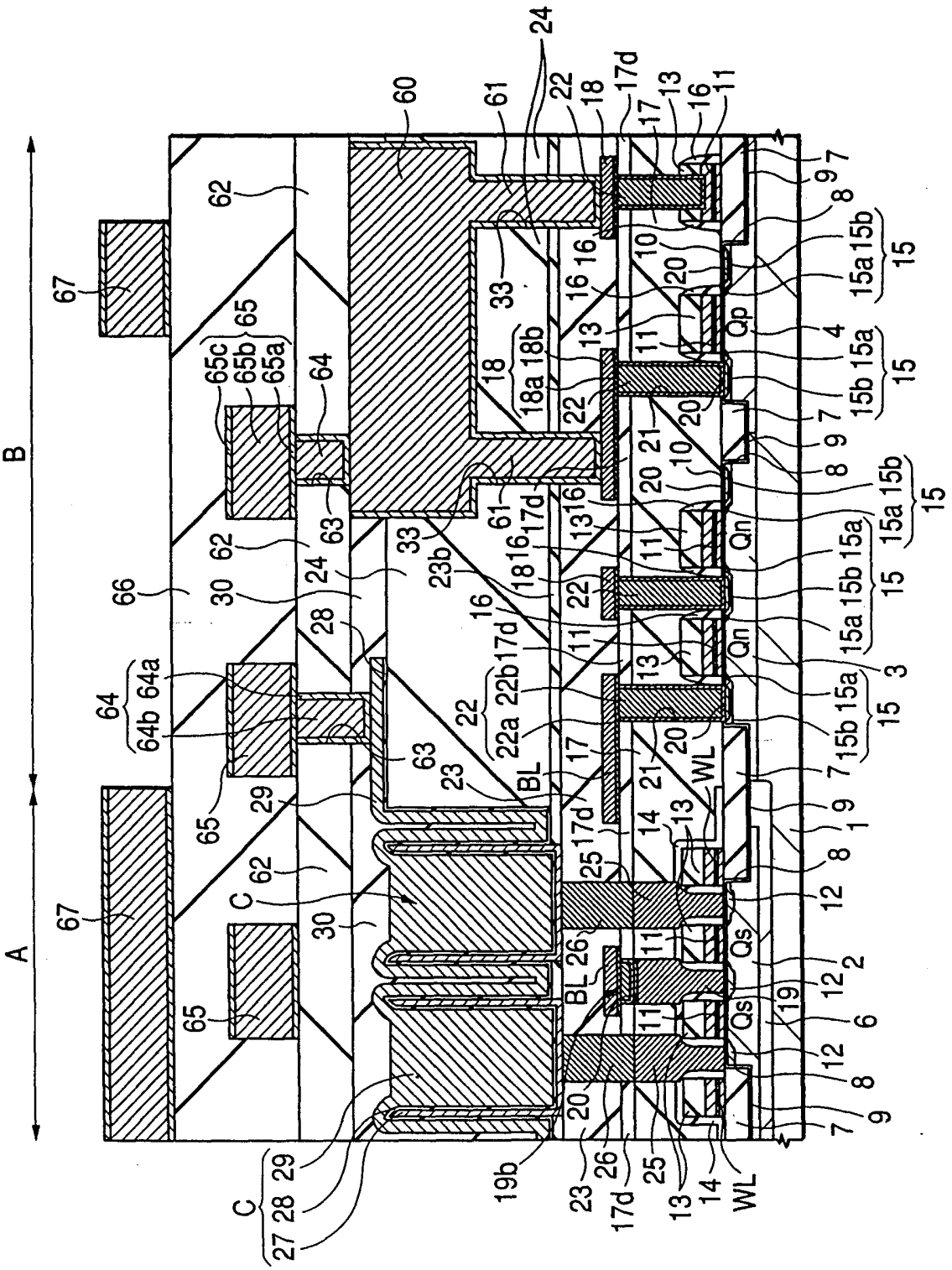
第35圖



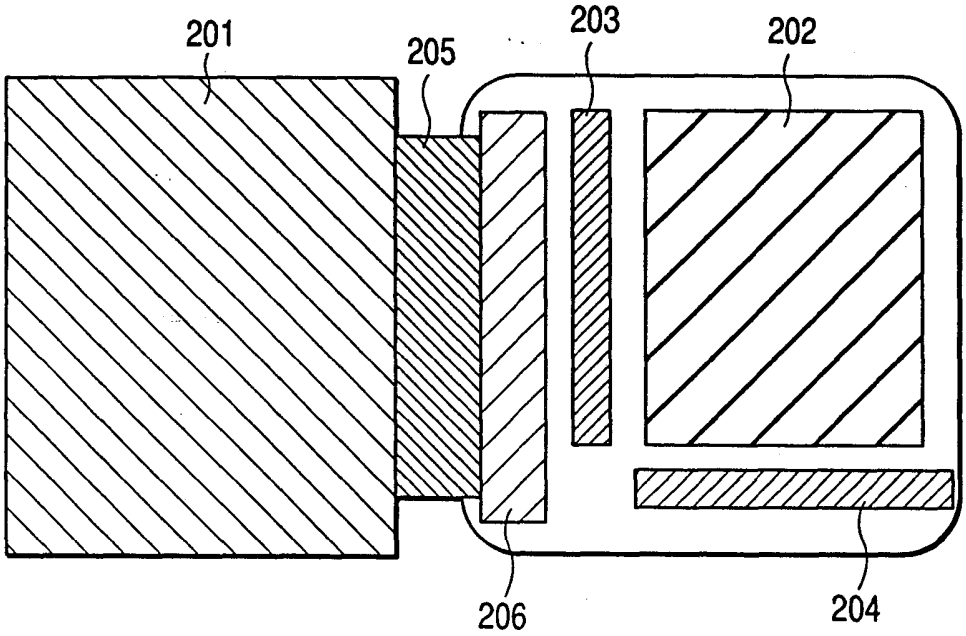
第36圖



第37圖



第38圖



第39圖

