



## (12) 发明专利

(10) 授权公告号 CN 101346774 B

(45) 授权公告日 2013.06.19

(21) 申请号 200680049344.5

G11C 16/08 (2006.01)

(22) 申请日 2006.12.14

G11C 16/28 (2006.01)

## (30) 优先权数据

11/320,529 2005.12.28 US

## (56) 对比文件

## (85) PCT申请进入国家阶段日

2008.06.26

US 2005018488 A1, 2005.01.27, 说明书 [0011]-[0012] 段、[0034]-[0045] 段、[0057]-[0083] 段, 附图 1-2, 4-7, 11A-11B.

## (86) PCT申请的申请数据

PCT/US2006/048043 2006.12.14

US 5748534 A, 1998.05.05, 说明书第4栏38行至第5栏30行, 附图2.

审查员 俞晨

## (87) PCT申请的公布数据

W02007/078885 EN 2007.07.12

## (73) 专利权人 英特尔公司

地址 美国加利福尼亚州

## (72) 发明人 K·D·泰德罗 D·阮 B·李

R·哈克 A·拉曼 S·P·莫纳萨

M·戈尔德曼

## (74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 柯广华 张志醒

## (51) Int. Cl.

G11C 11/56 (2006.01)

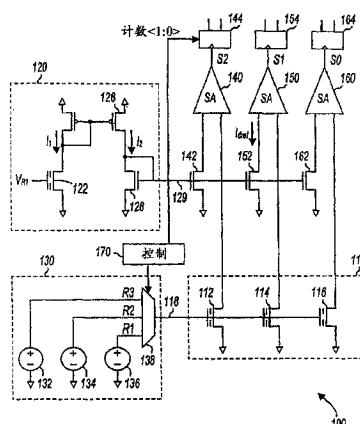
权利要求书1页 说明书8页 附图10页

## (54) 发明名称

多电平存储单元的读出

## (57) 摘要

一种多电平单元存储装置, 通过在字线上提供一个步进电压波形并将单元电流与一个基本上恒定的基准电流比较来进行读出。在施加该步进电压波形之前, 该字线可与另一个电路节点共用电荷。



1. 一种存储电路,包括:

多个具有至少四个可编程阈值电压的存储单元晶体管,所述多个存储单元晶体管中的每一个都具有栅极节点和漏极节点;

与所述多个存储单元晶体管的栅极节点耦合的字线;

用以在所述字线上施加电压序列的电路,以生成流动到所述存储单元晶体管的漏极节点中的每一个的电流,其中所述电压序列中的每一个在两个连续可编程阈值电压之间,并且所述电压序列中的电压值的数量比所述多个存储单元晶体管的可编程阈值电压的数量小1;

多个读出放大器,其中每个读出放大器耦合到所述多个存储单元晶体管的相应的漏极节点;以及

耦合到所述多个读出放大器中每一个的电流镜电路,以便提供固定的电流,用以与在所述存储单元晶体管的漏极节点中流动的电流比较,从而确定由所述电压序列表示的数据。

2. 权利要求1的存储电路,其中,所述电流镜电路包括多个并联耦合的电流基准电路。

3. 权利要求2的存储电路,其中,多个电流基准电路中的每一个包括具有可编程阈值电压的晶体管。

4. 权利要求1的存储电路,还包括耦合在所述电流镜电路和所述多个读出放大器之间的采样-保持电路。

5. 权利要求1的存储电路,还包括多个耦合成在所述多个读出放大器的输出节点改变状态时存储数据的锁存器。

6. 权利要求5的存储电路,还包括控制电路,用以控制在所述字线上的所述电压序列的施加,并向所述多个锁存器提供数据。

7. 权利要求6的存储电路,还包括具有耦合成可在电源节点上接收电压序列的输出电路的x-译码器。

8. 权利要求7的存储电路,其中,所述电源节点耦合成在提供所述电压序列之前在电气上浮置。

9. 权利要求7的存储电路,其中,所述控制电路耦合成使所述电源节点预充电,然后在提供所述电压序列之前在电气上浮置。

10. 一种电子系统,包括:

处理器;及

如权利要求1-9中任一项的存储电路。

## 多电平存储单元的读出

### 发明领域

[0001] 本发明一般涉及存储装置,更具体地说,涉及带有多电平单元的存储装置。

### 背景技术

[0002] 存储装置存储数字信息。随着技术的进展,存储装置能够存储数量越来越大的信息。在历史上,存储器中的信息密度已经通过缩小装置尺寸和增大集成度而增大。通过在每个存储“单元”中存储多于一位的信息,也可以使信息密度增大。

### 附图说明

- [0003] 图 1 示出一种多电平单元存储装置;
- [0004] 图 2 示出与图 1 的存储装置的读取周期对应的波形;
- [0005] 图 3 示出具有基准电流平均作用的电流镜;
- [0006] 图 4 示出耦合在步进电压发生器和字线之间的 x-译码器的部分;
- [0007] 图 5 和图 6 示出电压基准电路;
- [0008] 图 7 示出耦合到字线的电压基准电路;
- [0009] 图 8 示出与图 7 的电路的操作对应的波形;
- [0010] 图 9 示出根据本发明各种实施例的流程图;以及
- [0011] 图 10 示出根据本发明各种实施例的电子系统。

### 具体实施方式

[0012] 在以下的详细说明中,参照以举例说明的方式示出可以实施本发明的具体的实施例的附图。对这些实施例进行足够详细的描述,以使本领域的技术人员能够实施本发明。应知,本发明的各种实施例尽管不同,但不一定就是互相排斥的。例如,在本文结合一个实施例描述的特定的特征、结构或特性,在不脱离本发明的精神和范围的情况下,可以在其他的实施例中实现。另外,应知,在不脱离本发明的精神和范围的情况下,在每个公开的实施例中各个元件的位置或布置可以修改。因此,以下详细的说明不是限制性的,本发明的范围只由适当解释的后附的权利要求书以及权利要求书所赋予权利的全部等效物限定。附图的所有各视图中,类似的号码标示相同的或相似的功能。

[0013] 图 1 示出多电平单元存储装置。存储装置 100 包括存储阵列 110、基准电流发生器 120、步进电压发生器 130、读出放大器 140、150 和 160、电流镜晶体管 142、152 和 162、锁存器 144、154 和 164 以及控制电路 170。

[0014] 所示出的存储阵列 110 包括具有耦合到字线 118 的栅极节点的多电平单元晶体管 112、114 和 116。晶体管 112、114 和 116 是各自能够通过“被编程”以具有不同的阈值电压  $V_t$  来存储多位信息的晶体管。例如,晶体管 112、114 和 116 中的每一个可以是具有能够存储电荷的浮置栅极的“闪存”单元。已编程的晶体管的阈值电压部分地取决于存储在浮置栅极上的电荷量。通过改变所存储的电荷量,晶体管 112、114 和 116 可以被编程到多个不

同电平中的一个。例如，晶体管 112、114 和 116 每一个可以被编程到四个电平之一，以有效地在每个存储单元中存储两位信息。尽管本说明书集中在每个多电平单元被编程到四个电平之一的实施例上，但是本发明的各种实施例并不受此限制。例如，在本发明的一些实施例中，每个多电平单元可被编程到八个电平之一或 16 个电平之一。

[0015] 为简单起见，图 1 示出阵列 110 中的一行单元。在一些实施例中，该阵列包括许多行和列的单元。另外，在一些实施例中，阵列按块布置，并且在存储装置 100 内包括许多块。在不脱离本发明的范围的情况下，存储装置 100 可以是任何尺寸，具有任何的分级布置。

[0016] 在操作中，本发明的各种实施例为阵列 110 中的多电平单元提供准确读出的方案。单元的状态是通过将单元的漏极电流与固定的基准电流进行多次比较确定的，其中单元的栅极电压在每次比较时发生变化。对于 N 状态存储器，用与 N-1 个栅极电压值进行的 N-1 次比较来唯一地确定单元的状态。

[0017] 步进电压发生器 130 供应 N-1 个栅极电压值，其中 N 等于 4。N-1 个栅极电压值是固定的并利用理想的与环境条件无关的片上电压基准电路 132、134 和 136 产生。定时控制电路 170 产生控制信号来控制多路复用器 138。多路复用器 138 选择 N-1 个栅极电压值之一，施加在字线上。在一些实施例中，栅极电压的顺序为从高值到低值（向下步进）。在另一些实施例中，栅极电压的顺序为从低到高（向上步进）。在再一些实施例中，栅极电压的顺序是任意的。例如，对于具有四个可能状态的多电平单元，栅极可以依次用 3 个电压值驱动，从中心值开始，然后到低值，然后到高值。

[0018] 读出放大器 140、150 和 160 用来将阵列单元中的电流与基准电流比较。例如，读出放大器 140 将晶体管 112 中的漏极电流与晶体管 142 中的漏极电流比较。读出放大器的输出是表示比较结果的数字信号。通过将比较结果与表示被比较的单元状态的数字计数在逻辑上组合，比较结果被转换为单元状态的二进制表示。可以用各种方法来实现该状态确定。在一些实施例中，将一个或几个锁存器耦合到每一个放大器，以锁存状态值。图 1 所示的示例性实施例带有锁存器 144、154 和 164，它们从控制电路 170 接收“计数”值，并从相关的读出放大器接收时钟信号。当读出放大器的输出改变状态时，锁存表示单元状态的计数值。如图 1 所示，包括多个读出放大器，其中每一个读出放大器连接到唯一的位线。这允许多个单元被同时读取，以增大数据吞吐量。同时被读取的所有单元接收通过字线施加的公共栅极电压。

[0019] 对于编程和擦除操作，可能希望将单元电平定位在用于读取的状态边界之间的中间。这为后续的读取操作提供高可靠性。该状态定位可以通过将称为校验模式的特殊读取模式并入编程和擦除操作中来实现。该模式用以校验单元状态是否正确定位。校验模式的栅极电压值有意偏离读出模式的电压，以达到所希望的状态定位。对于校验模式，可能还希望使用与在读取模式过程中使用的相同的栅极电压定时和顺序，使得栅极路径中的瞬时偏移量将为校验和读取所共有，从而被消除。

[0020] 基准电流发生器 120 包括基准单元 122，它在一些实施例中与阵列单元是等同的。例如，基准单元 122 可以等同于单元晶体管 112、114 和 116。在制造或测试过程中调整基准单元 122 的阈值电压值，以达到所希望的标称基准电流。基准单元的栅极电压是理想的（与环境无关）。在一些实施例中，为每一个读出放大器提供单独的基准电流发生器 120。在图 1 所表示的实施例中，用电流镜来将单个基准单元的电流传播到每个读出放大器。例如，基

准单元 122 中的电流 ( $I_1$ ) 被镜像到晶体管 126 和 128 成为  $I_2$ , 而  $I_2$  又被镜像到晶体管 142、152 和 162 成为  $I_{\text{dref}}$ 。可以采用晶体管缩放技术 (transistor scaling techniques) 来在电流  $I_1$ 、 $I_2$  和  $I_{\text{dref}}$  之间提供固定的关系。

[0021] 在一些实施例中, 基准单元 122 用许多单元代替, 对它们的电流求平均, 以产生平均基准单元的电流。还在一些实施例中, 用大电容器对节点 129 上的镜栅极电压进行采样并保持, 从而允许基准电流发生器在大部分时间被关闭。下面参照图 3 描述这些实施例的示例。

[0022] 在基准单元 122 上具有与温度无关的栅极电压的实施例中, 由于基准单元固有的温度相关性, 基准单元的电流与温度有关。基准电流的温度相关性与也接收与温度无关的栅极电压的主阵列单元的温度相关性匹配。该温度跟踪特性确保即使在校验操作和读取操作之间温度发生变化时, 在校验过程中获得的状态差异在读取过程中也得以保留。

[0023] 图 2 示出与图 1 的存储装置的读取周期对应的波形。这四个电平 L0、L1、L2、L3 表示存储单元的四个可能的状态。在读出操作开始时, 读出放大器的输出 S0、S1、S2 被设置在已知的状态下。在图 2 所表示的实施例中, 存储单元的栅极电压 (字线电压) 通过不同的单元电平提升到示为 R1、R2 和 R3 的基准电压值。随着字线电压斜坡上升, 读出放大器的输出的状态在基于闪存单元的  $V_T$  的点上变化。读出放大器的输出改变状态的点称作“读出放大器的跳步 (trip) 点”。栅极电压的步进与对不同的数据输出状态进行计数的计数器同步。读出放大器的输出在读出之后一改变状态, 计数器的信号值就被锁存并确定闪存单元的电平。

[0024] 在图 2 所提供的示例中, 存储单元晶体管 112 (图 1) 具有编程于 L0 状态的  $V_T$ , 存储单元晶体管 114 具有编程于 L1 状态的  $V_T$ , 而存储单元晶体管 116 具有编程于 L2 状态的  $V_T$ 。随着字线电压提升, 每一个读出放大器相应地跳步。例如, 作为在 202 执行的读出操作的结果, S2 在 204 跳步, 作为在 212 执行的读出操作的结果, S1 在 214 跳步, 而作为在 222 执行的读出操作的结果, S0 在 224 跳步。S2、S1 和 S0 用以锁存计数值, 于是锁存器 144 存储逻辑电平 “11”, 锁存器 154 存储逻辑电平 “10”, 而锁存器 164 存储逻辑电平 “00”。任何耦合到没有跳步的读出放大器的锁存器仍旧处于它们的与最后一个电平 L3 对应的初始化状态 “01”。

[0025] 在一些实施例中, 读出放大器在点 202、212 和 222 上对差分输入进行采样。在位线被采样之后, 字线可开始改变到下一电平。在读出放大器与存储单元隔离的情况下, 读出操作可与下一步的字线变化并行完成。在字线斜坡上升的同时进行该后台读出可以改善速度和性能。

[0026] 图 3 示出具有基准电流平均作用的电流镜。在一些实施例中, 图 3 所示的电路用于基准电流发生器 120 (图 1)。图 3 的电流镜包括多个电流基准电路。例如, 电流基准电路 320、322 和 324 并联耦合, 以对各个基准电流进行平均。可以利用编程电路 (未示出) 单独调节图 3 所示的每个闪存单元。晶体管 126 和 128 与图 1 所示的相同。图 3 中的电路还包括开关 302 和电容器 304。开关和电容器可以用来对节点 129 上的提供给每个读出放大器处的镜晶体管的电压值进行采样和保持。通过对该电压进行采样和保持, 剩余的电流镜电路的大部分可以被关闭以节省功率。

[0027] 图 4 示出耦合在步进电压发生器和字线之间的 x-译码器的部分。x-译码器 400 对

提供给存储装置的地址的部分进行译码并选择字线。图 4 示出单条字线,但在一些实施例中,x-译码器 400 可以选择多条字线中的一条。预译码器 410 接收地址信号并在 NAND(与非)门 412 的输入端驱动信号。当字线 440 要被选中时,NAND 门 412 在驱动输出缓冲器 420 的节点 413 上驱动低电压。输出缓冲器 420 接收在电源节点上的电压  $V_{px}$ 。相应地,当字线 440 被选中时,电源节点电压  $V_{px}$  被驱动到字线 440 上。

[0028] 电压提升波形由步进电压发生器 130 作为  $V_{px}$  供应。现在再回到图 1,示出字线 118 正在直接由步进电压发生器 130 驱动。图 4 提供示例性实施例,示出字线如何可以被选中以耦合到步进电压发生器。电压基准电路 132、134 和 136 可以用许多不同的方法实现。下面论述的图 5 和图 6 示出适合的电压基准电路的示例。

[0029] 图 5 示出电压基准电路。电压基准电路 500 可用在用于供应字线电压的步进电压发生器中。例如,电压基准电路 500 可以包括在步进电压发生器 130 中(图 1、4)。另外,电压基准电路 500 的其他实例可以包括在步进电压发生器 130 中。在一些实施例中,电压基准电路 500 用作电压基准电路 136 来产生基准电压电平  $R_1$ 。

[0030] 电压基准电路 500 包括闪存单元 510、晶体管 520、550 和 570 以及电流源 530、540 和 560。闪存单元 510、晶体管 520 和电流源 530 形成第一级;晶体管 550 和电流源 540 形成第二级;而电流源 560 和晶体管 570 形成输出级。第二级作为单位增益配置(unity gain configuration)中的反馈环路的部分耦合到第一级,而输出级被耦合以提供开环输出响应。

[0031] 闪存单元 510 是具有可变阈值电压( $V_T$ )的浮置栅极晶体管的示例。闪存单元 510 的阈值电压可以通过改变存储在闪存单元 510 的浮置栅极上的电荷量来改变。这也可以称作“编程”闪存单元 510。可用对浮置栅极晶体管的编程有用的编程电路(未示出)来对闪存单元 510 编程。

[0032] 正如在本文使用的,术语“阈值电压电流”是指当基本上为  $V_T$  的电压跨接在晶体管的控制端子上而且漏极电压设定为标称值时流过晶体管的电流。例如,NMOS 晶体管的阈值电压电流等于当栅极-源极电压基本上为  $V_T$  时晶体管的漏极-源极电流。还例如,当节点 516 和 514 之间的栅极-源极电压基本上是  $V_T$  时,闪存单元 510 的阈值电压电流( $I_{VT}$ )从漏极 512 流到源极 514。

[0033] 晶体管 520 在共源-共栅放大器(cascode)配置中耦合在电流源 530 和闪存单元 510 之间。晶体管 520 的栅极节点耦合到电压为  $V_{CASC}$  的节点 522。 $V_{CASC}$  是被选择来在闪存单元 510 的漏极节点 512 上提供适合的漏极电压的电压。例如,在一些实施例中, $V_{CASC}$  被选择来提供约 0.7 伏和 1.2 伏之间的漏极电压。在一些实施例中, $V_{CASC}$  设置一次,而此后便是静态的。例如, $V_{CASC}$  可以由保持为静态的片上电压基准提供。在另一些实施例中, $V_{CASC}$  可以由可变电压基准电路提供,以使闪存单元 510 上的漏极电压可以改变。

[0034] 晶体管 550 的栅极节点耦合到晶体管 520 的漏极节点,以接收受闪存单元 510 影响的电压。晶体管 550 的漏极节点耦合到电源节点(它可以是“地”),而晶体管 550 的源极节点被耦合以提供节点 554 上的反馈电压  $V_{INTREF}$ 。在一些实施例中,晶体管 550 工作在亚阈值区,其中晶体管的跨导( $g_m$ )与漏极电流成比例。该操作与在反转饱和区中的操作形成对照,在反转饱和区中  $g_m$  与漏极电流的平方根成比例。换句话说,在亚阈值工作区中, $g_m$  的值对于给定的漏极电流是较高的。源极跟随器级的输出阻抗等于晶体管 550 的  $1/g_m$ ,而且

可以通过选择源极跟随器晶体管 550 的尺寸和电流源 540 提供的漏极电流来调整。

[0035] 电流源 530 提供基本上等于闪存单元 510 的阈值电压电流的电流  $I_{VT}$ 。反馈环路的操作与电流源 530 供应的电流结合,迫使闪存单元 510 的栅极 - 源极电压基本上为  $V_T$ ,  $V_T$  可以根据闪存单元 510 已经被如何编程来改变。输出电压  $V_{REF}$  由栅极节点 516 上的基本上等于  $V_T$  的电压提供。通过对闪存单元 510 编程以具有不同的  $V_T$ ,  $V_{REF}$  可被修改。

[0036] 晶体管 570 是耦合成源极跟随器的 P- 沟道晶体管。当初始电压高于标称电压时, P- 沟道源极跟随器可以有利地用来以快得多的速度拉低输出节点。将栅极电压固定,源极跟随器晶体管的初始源极 - 栅极电压将高于其标称值,而且它能够很强烈地将输出电压拉低到标称值。

[0037] 在一些实施例中,电流源 540 和 560 设计成供应相同的电流值。还在一些实施例中,晶体管 550 和 570 是匹配器件,它们基本上呈现相同的工作特性。在图 5 所表示的实施例中,晶体管 550 和 570 由公共栅极电压驱动。在这些实施例中,若晶体管 550 和 570 匹配,而且由电流源 540 和 560 提供的两个负载电流匹配,则输出电压  $V_{REF}$  将基本上等于节点 554 上的内部环路电压  $V_{INTREF}$ ,而节点 554 上的内部环路电压  $V_{INTREF}$  又基本上等于闪存单元 510 的阈值电压  $V_T$ 。通过闭环配置使晶体管 570 的栅极电压保持固定,晶体管 570 可很快速地响应,并能够将输出节点 552 上的任何电压拉低到  $V_{REF}$  电压值,而又不破坏反馈环路的操作。

[0038] 图 6 示出电压基准电路。电压基准电路 600 可在步进电压发生器内使用。例如,电压基准电路 600 可以包括在步进电压发生器 130 中(图 1、4)。另外,电压基准电路 600 的其他实例可包括在步进电压发生器 130 中。在一些实施例中,电压基准电路 600 用来实现电压基准电路 134 和 132,以产生基准电压 R2 和 R3。

[0039] 电压基准电路 600 包括闪存单元 510、晶体管 520 和电流源 530,已在上面参照图 5 对它们全部进行了描述。如上所述,闪存单元 510、晶体管 520 和电流源 530 共同形成放大器级。电压基准电路 600 还包括在源极跟随器布置中与为晶体管 650 提供漏极 - 源极电流的电流源 640 耦合的晶体管 650。包括晶体管 650 和电流源 640 的源极跟随器电路被耦合到单位增益反馈配置中的第一放大器级。在一些实施例中,源极跟随器晶体管 650 工作在亚阈值区中。

[0040] 电压基准电路 600 的操作类似于电压基准电路 500(图 5)的操作,只是源极跟随器电路的晶体管 650 和 660 是 N- 沟道器件,而不是 P- 沟道器件。N- 沟道源极跟随器可以有利地用来在初始电压低于标称电压时拉高输出节点。将栅极电压固定,源极跟随器晶体管的初始栅极 - 源极电压将高于其标称值,而且它能够很强烈地将该输出电压拉高到标称值。

[0041] 图 7 示出耦合到字线的电压基准电路。电路 702、704 和 706 表示诸如电压基准电路 500 和 600(图 5、6)等电压基准电路的输出电路。开关 710 对应于多路复用器 138,并选择性地将电压基准电路耦合到节点 450。节点 450 是中间节点,起到图 4 所示的 x- 译码器输出缓冲器的电源节点的作用。晶体管 720 是传输晶体管 (pass transistor),它表示输出缓冲器 420 中的上晶体管。当节点 413 上的 PRA 信号为低时,字线被选中并耦合到节点 450。

[0042] 电压基准电路输出级 702 包括 P- 沟道晶体管,用以有效而迅速地将节点 450 上的

电压拉低,而电压基准电路输出级 704 和 706 包括 N 沟道晶体管,用以有效而迅速地拉高节点 450 上的电压。

[0043] 可以通过控制开关 710 和晶体管 720 而在字线上产生步进电压波形。信号 ATD<1:3>可以依次闭合,以在节点 450 上提供步进电压波形,并在晶体管 720 导通时,将节点 450 上的电压耦合到字线。现参照图 8 和 9 描述图 7 所示电路的操作。

[0044] 图 8 示出与图 7 电路的操作对应的波形。如图 8 所示,节点 450 上的 Vpx 在电压上从 R1 提升到 R2 再提升到 R3。在第 1 步的过程中,Vpx(和字线)稳定为 R1;在第 2 步的过程中,它们稳定为 R2;而在第 3 步的过程中,它们稳定为 R3。在每一步或其附近,多电平单元的读出可以如参照前面的附图所描述的那样发生。

[0045] 图 8 还示出在耦合到字线之前 Vpx 被预充电到 R3。在 810,ATD3 被设为有效以对 Vpx 进行预充电,而在 820,通过打开开关 710 而允许节点 450 在电气上浮置。还在 820,节点 450 被耦合到字线,以允许节点 450 上的电容 (Cvpx) 和字线上的电容 (Cw1) 之间的电荷共用。作为电荷共用的结果,随着被预充电的 Vpx 电压下降,字线电压被拉高。

[0046] 在一些实施例中,电压电平、电容值和定时被调整,以允许字线从较高电压接近 R1。例如,如图 8 所示,在 ATD1 被设为有效之前,在 820 的电荷共用操作使字线电压高于 R1。当 ATD1 被设为有效时,供应 R1 的电压基准电路会将字线从较高电压拉低到 R1,而不是将字线从较低电压拉高到 R1。

[0047] 在一些实施例中,供应 R1 的电压基准电路具有类似于输出级 702(图 7)的输出级。输出级 702 在拉低时是有效的,部分地因为 P- 沟道晶体管被耦合以将电流流至较低电位。

[0048] 在第 2 步的过程中,ATD2 被设为有效,以将 R2 供应到字线上,而在第 3 步的过程中,ATD3 被设为有效,以将 R3 供应到字线上。在一些实施例中,供应 R2 和 R3 的电压基准电路具有类似于输出级 704 和 706(图 7)的输出级。输出级 704 和 706 在拉高时是有效的,部分地因为 N 沟道晶体管被耦合以从较高电位得到电流。

[0049] 图 9 示出根据本发明的各种实施例的流程图。在一些实施例中,方法 900 或其各部分由存储装置执行。在另一些实施例中,方法 900 由控制电路、集成电路或电子系统来执行。方法 900 不受特定类型的执行该方法的装置或软件限制。方法 900 中的各种操作可以按所示的顺序执行,或者可以按不同的顺序完成。另外,在一些实施例中,在图 9 中列出的一些操作从方法 900 中省略。

[0050] 所示出的方法 900 从方框 910 开始,其中具有耦合到存储器中的字线的输出节点的驱动器的电源节点被预充电。在一些实施例中,这相当于 x- 译码器的电源节点被预充电。例如,如图 4 所示,x- 译码器可以有多个电源节点,其中至少一个用来向耦合到字线的输出缓冲器提供电源电压。电源节点可以被预充电到与用于读取操作的字线电压对应的电压值,或者电源节点可以被预充电到不同的电压。

[0051] 在 920,允许电源节点在电气上浮置。在一些实施例中,这相当于断开电源节点与用于 910 的预充电操作的任何电路的耦合。在 930,驱动器被开启,以在电源节点和字线之间共用电荷。例如,再来看图 4,可以通过在节点 413 上使输入信号有效而“开启”驱动器 420,这相当于选中字线。通过“开启”驱动器,字线被耦合到驱动器的电气上浮置的电源节点。如图 7 所示,当驱动器被开启时,晶体管 720 导通,这在 Vpx 和字线之间提供电荷共用

路径。此时，字线和电源节点共用电荷，而如图 8 所示，字线上的电压上升。

[0052] 在 940，在电源节点和选中的字线上提供步进电压波形。字线由译码器选中，而输出缓冲器上的电源电压向字线提供步进电压波形。

[0053] 在 950，在提供步进电压波形的同时，多电平单元中的电流与基本上恒定的电流比较。在 960，表示多电平单元的状态的数据被锁存。现在再看图 1，字线 118 接收步进电压波形，而多电平单元 112、114 和 116 中的漏极电流取决于存储单元晶体管的编程的  $V_T$ 。这些漏极电流与镜晶体管 142、152 和 162 提供的基本上恒定的电流比较，并且由读出放大器 140、150 和 160 进行比较。锁存器 144、154 和 164 响应于读出放大器的操作，锁存存储单元的状态。

[0054] 图 10 示出根据本发明的各种实施例的电子系统。电子系统 1000 包括处理器 1010、非易失存储器 1020、存储器 1025、数字电路 1030、射频 (RF) 电路 1040 和天线 1050。处理器 1010 可以是适于对非易失存储器 1020 和存储器 1025 进行存取的任何类型的处理器。例如，处理器 1010 可以是微处理器、数字信号处理器、微控制器等。

[0055] 图 10 所表示的示例性系统包括蜂窝电话、个人数字助理、无线局域网接口或任何其他适合的系统。非易失存储器 1020 可适于为系统 1000 保存信息。例如，非易失存储器 1020 可以保存装置配置数据，诸如带有电话号码的联系信息或数字电路 1030 或 RF 电路 1040 的设置。另外，非易失存储器 1020 可以保存多媒体文件，诸如照片或音乐文件。再者，非易失存储器 1020 可以保存要由处理器 1010 执行的程序代码。非易失存储器 1020 可以是本文描述的存储器实施例中的任何一种，包括存储装置 100 (图 1)。存在非易失存储器 1020 的许多其他系统应用。例如，非易失存储器 1020 可用在台式计算机、网络桥或路由器或任何其他没有天线的系统中。

[0056] 射频电路 1040 与天线 1050 和数字电路 1030 通信。在一些实施例中，RF 电路 1040 包括与通信协议对应的物理接口 (PHY)。例如，RF 电路 1040 可以包括调制器、解调器、混频器、频率合成器、低噪声放大器、功率放大器等等。在一些实施例中，RF 电路 1040 可以包括外差式接收机，而在另一些实施例中，RF 电路 1040 可以包括直接变换接收机。在一些实施例中，RF 电路 1040 可以包括多个接收机。例如，在带有多个天线 1050 的实施例中，每个天线可以耦合到相应的接收机。在操作中，RF 电路 1040 从天线 1050 接收通信信号，并向数字电路 1030 提供信号。另外，数字电路 1030 可以向 RF 电路 1040 提供信号，RF 电路 1040 对信号进行处理，然后将其发送到天线 1050。

[0057] 数字电路 1030 耦合成与处理器 1010 和 RF 电路 1040 通信。在一些实施例中，数字电路 1030 包括执行差错检测 / 纠正、交织、编码 / 译码等的电路。还在一些实施例中，数字电路 1030 可以实现通信协议的媒体访问控制 (MAC) 层的全部或部分。在一些实施例中，MAC 层的实现可以分布在处理器 1010 和数字电路 1030 之间。

[0058] 射频电路 1040 可适于接收各种格式和各种频率的信号并将其解调。例如，RF 电路 1040 可适于接收时域多址 (TDMA) 信号、码域多址 (CDMA) 信号、全球移动通信系统 (GSM) 信号、正交频分复用 (OFDM) 信号、多输入多输出 (MIMO) 信号、空分多址 (SDMA) 信号或任何其他类型的通信信号。本发明在这方面不受限制。

[0059] 天线 1050 可以包括一个或多个天线。例如，天线 1050 可以包括单定向天线或全向天线。正如文中所使用的，术语“全向天线”是指在至少一个平面中具有基本上均匀的方

向图的任何天线。例如,在一些实施例中,天线 1050 可以包括单个全向天线,诸如偶极子天线或四分之一波长天线。还例如,在一些实施例中,天线 1050 可以包括单定向天线,诸如抛物面碟形天线或八木天线。在再一些实施例中,天线 1050 可以包括多个物理天线。例如,在一些实施例中,多个天线用来支持多输入多输出 (MIMO) 处理或空分多址 (SDMA) 处理。

[0060] 存储器 1025 表示包括机器可读媒体的制品。例如,存储器 1025 表示随机存取存储器 (RAM)、动态随机存取存储器 (DRAM)、静态随机存取存储器 (SRAM)、只读存储器 (ROM)、闪存存储器或包含处理器 1010 可读媒体的任何其他类型的制品。存储器 1025 可以存储用于执行本发明的各种方法实施例的指令。

[0061] 在操作中,处理器 1010 可从非易失存储器 1020 和存储器 1025 之一或从二者中读取指令和数据,并对之作出响应而执行操作。例如,处理器 1010 可存取来自存储器 1025 的指令和非易失存储器 1020 内的基准电压发生器和基准电流发生器内的编程阈值电压。在一些实施例中,非易失存储器 1020 和存储器 1025 结合成单个存储装置。例如,非易失存储器 1020 和存储器 1025 两者可包括在单个非易失存储装置中。

[0062] 尽管在图 10 中系统 1000 的各种元件分开示出,但也存在将处理器 1010、非易失存储器 1020、存储器 1025 和数字电路 1030 的电路结合在单个集成电路中的实施例。例如,存储器 1025 或非易失存储器 1020 可以是处理器 1010 中的内部存储器,或者可以是处理器 1010 内的微程序控制存储器。在一些实施例中,系统 1000 的各种元件可以单独封装并安装在公共电路板上。在另一些实施例中,各种元件是封装在一起的单独的集成电路管芯,诸如在多芯片模块中,而在再一些实施例中,各种元件处于同一集成电路管芯内。

[0063] 处理器 1010 和非易失存储器 1020 之间的互连类型并不构成对本发明的限制。例如,总线 1015 可以是串行接口、测试接口、并行接口以及能够在处理器 1010、非易失存储器 1020 和存储器 1025 之间传输命令和状态信息的任何其他类型的接口。

[0064] 步进电压发生器、电压基准、闪存单元、反馈电路、x-译码器、控制电路及本发明的其他实施例可以用许多方法实现。在一些实施例中,它们用集成电路实现。在一些实施例中,本发明的各种实施例的设计描述包括在库中,库允许设计者在定制或半定制设计中将它们纳入。例如,所公开的实施例中的任何一个可以用可综合硬件设计语言如 VHDL 或 Verilog 来实现,并分发给设计者,以纳入标准单元设计、门阵列等设计中。类似地,本发明的任何实施例还可以表示为其目标为特定制造过程的硬宏 (hard macro)。例如,存储阵列 110 (图 1) 可以表示为分配给集成电路各层的多边形 (polygon)。

[0065] 尽管已经结合某些实施例对本发明进行了描述,但应明白,在不脱离本发明的精神和范围的条件下,本领域技术人员显然知道可以进行修改和变更。这样的修改和变更被认为处于本发明和后附的权利要求书的范围之内。

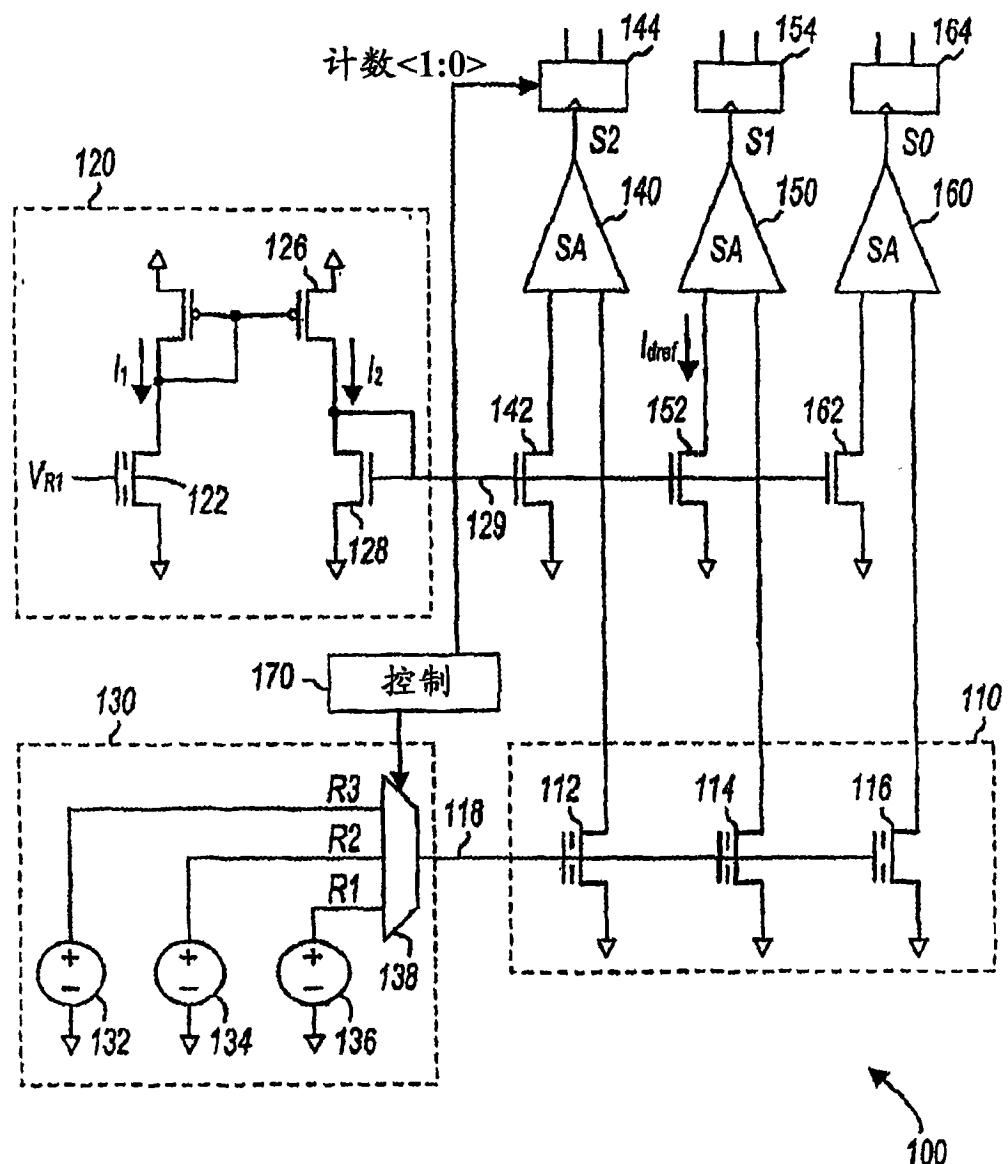


图 1

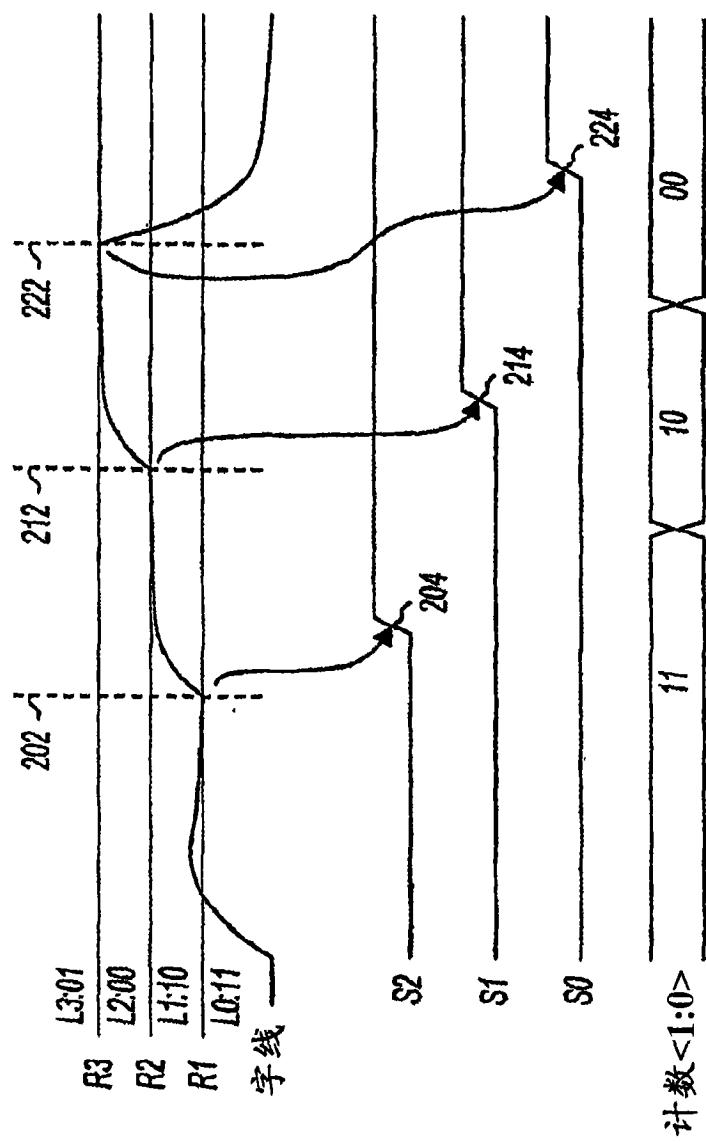


图 2

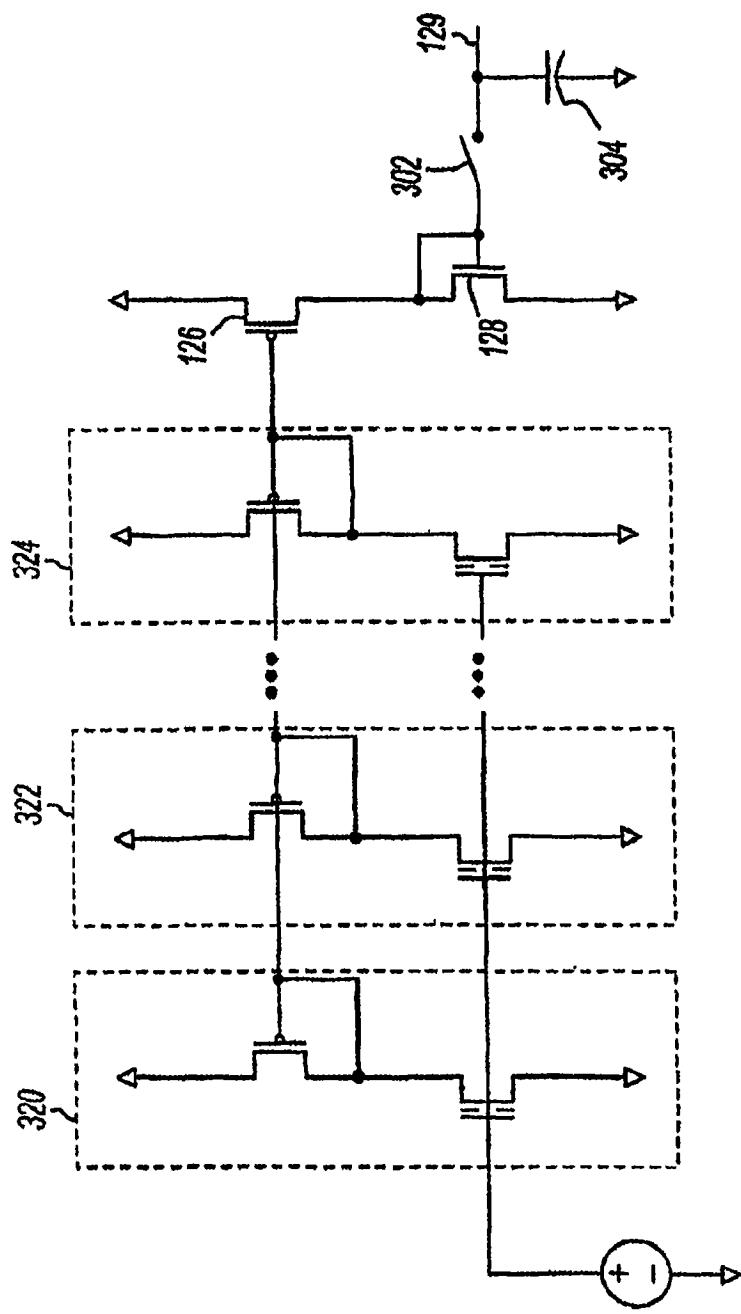


图 3

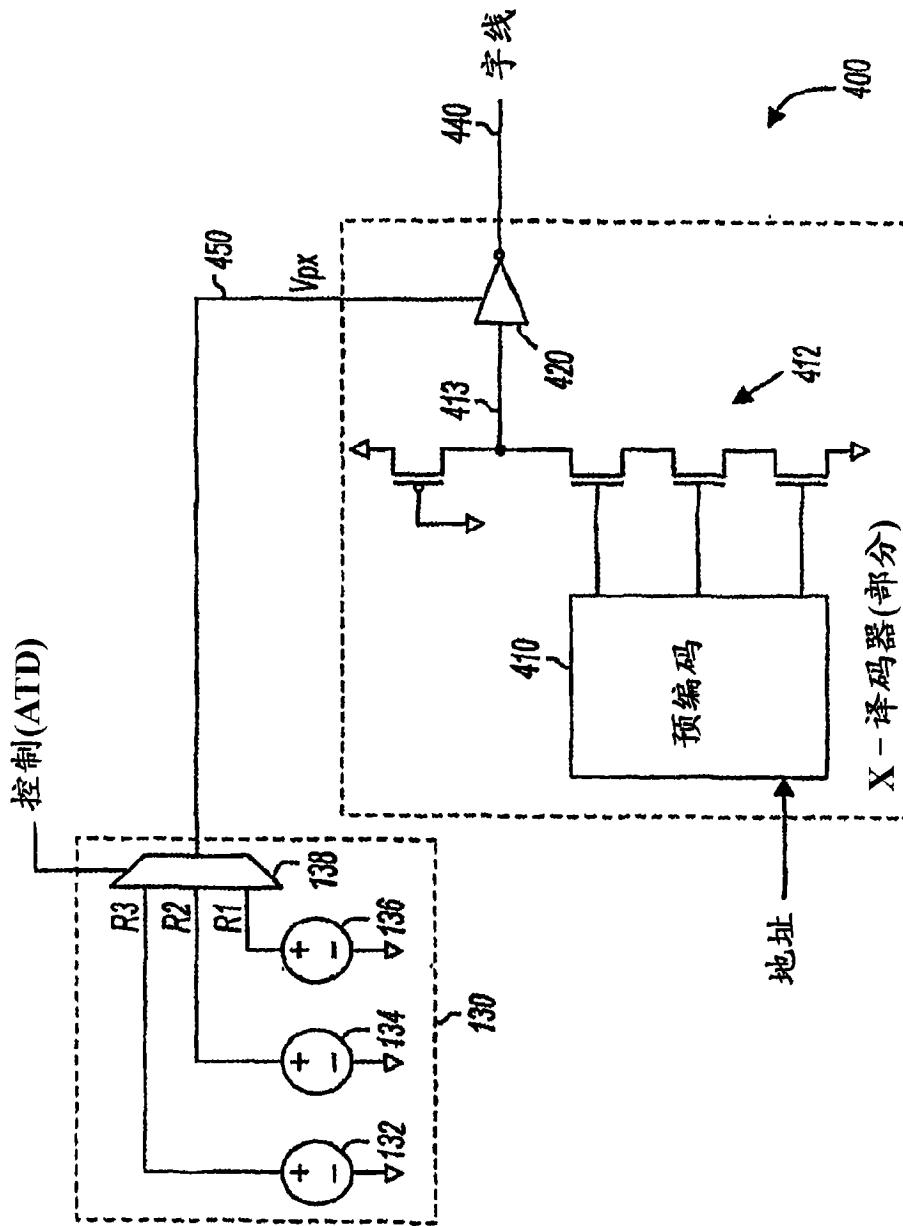


图 4

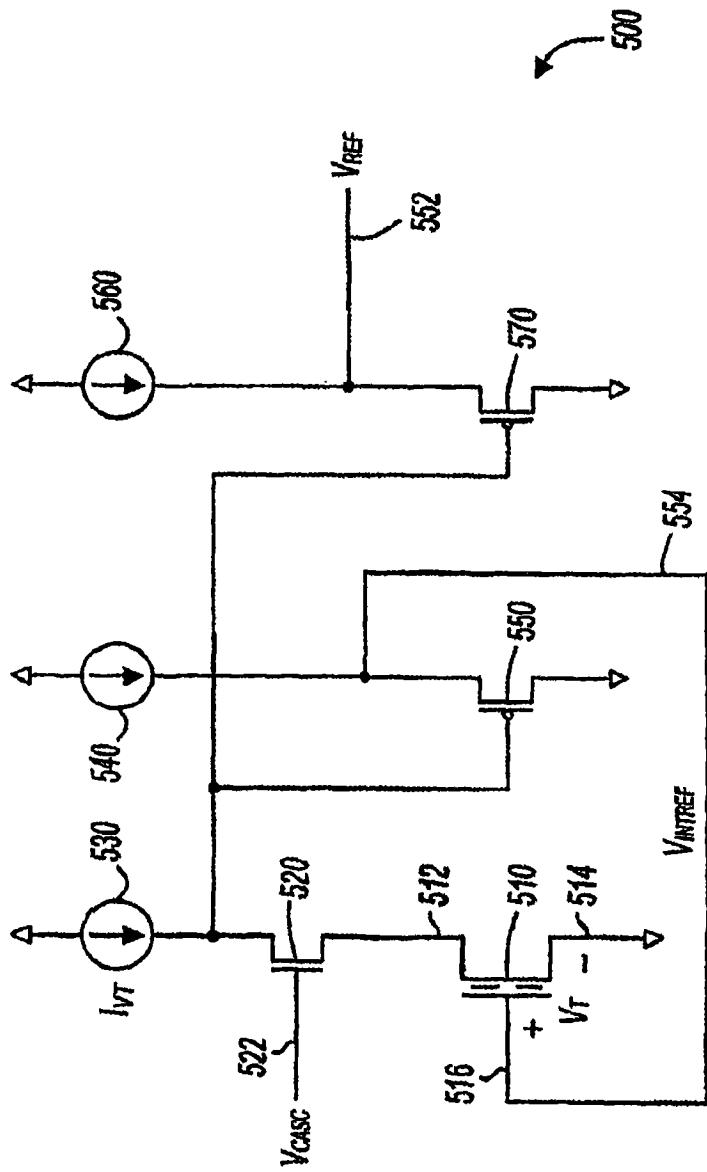


图 5

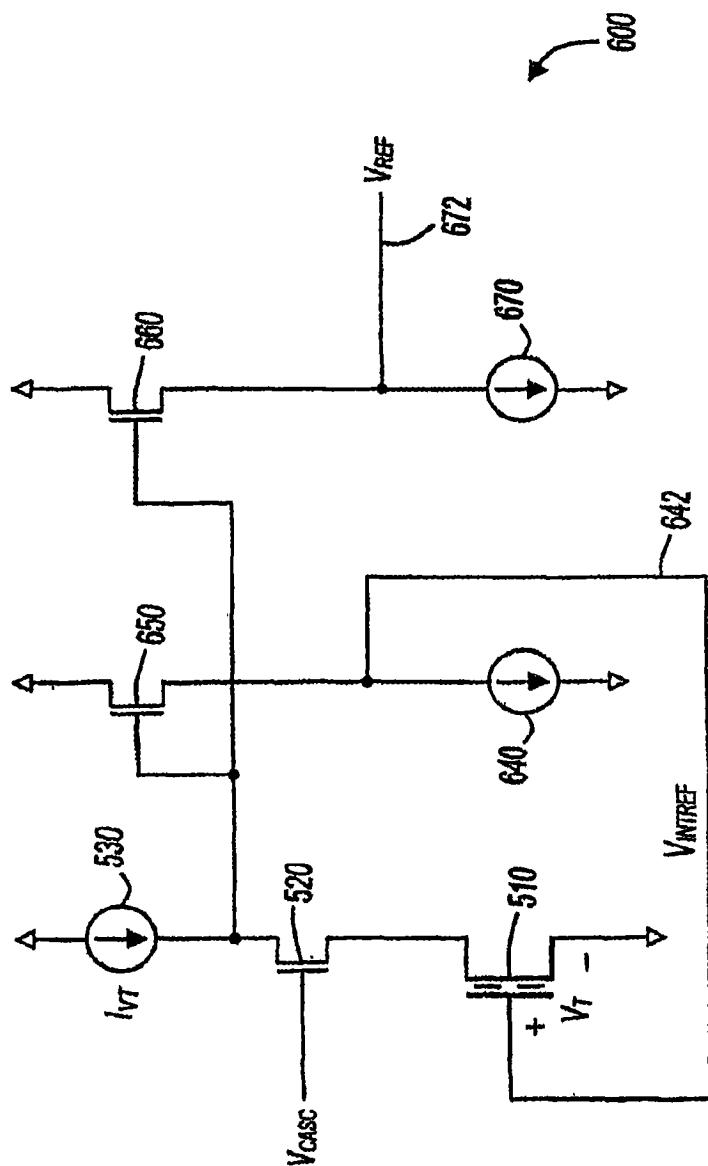


图 6

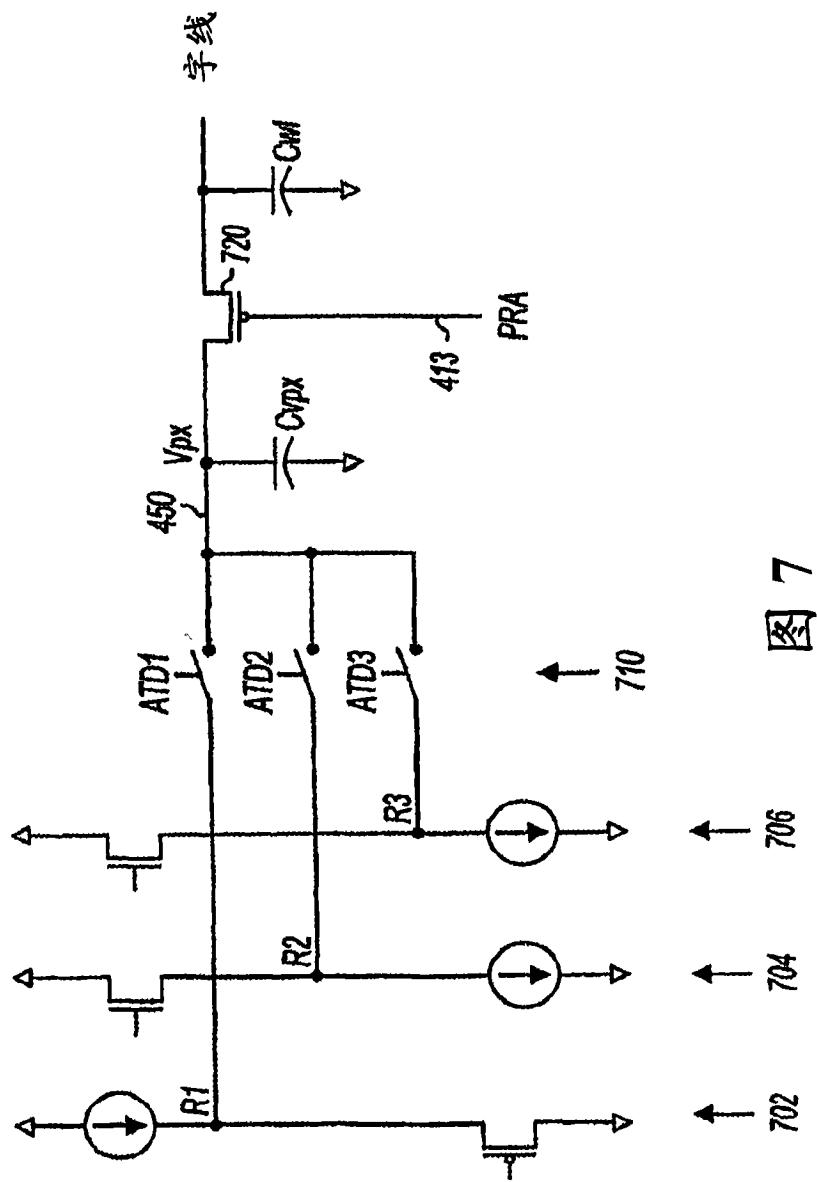


图 7

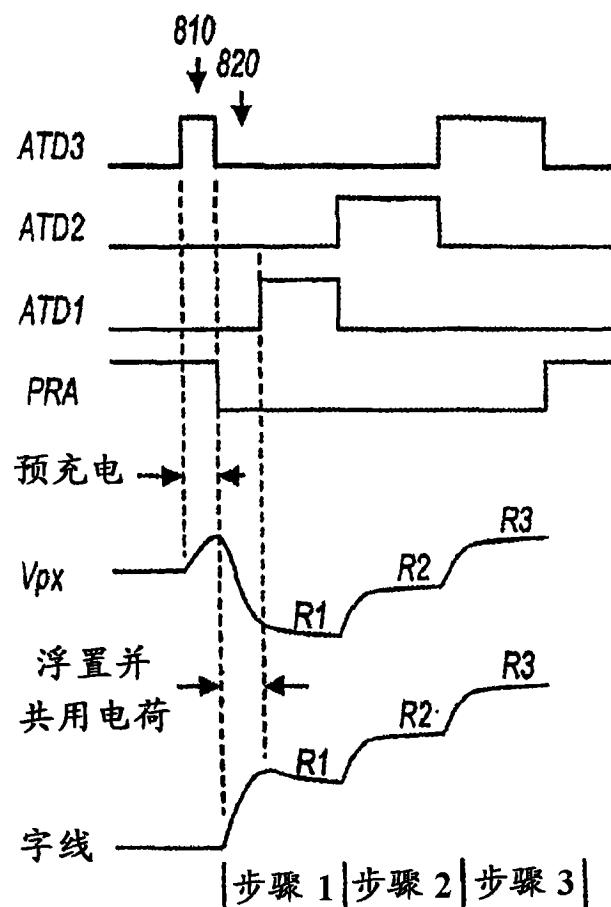


图 8

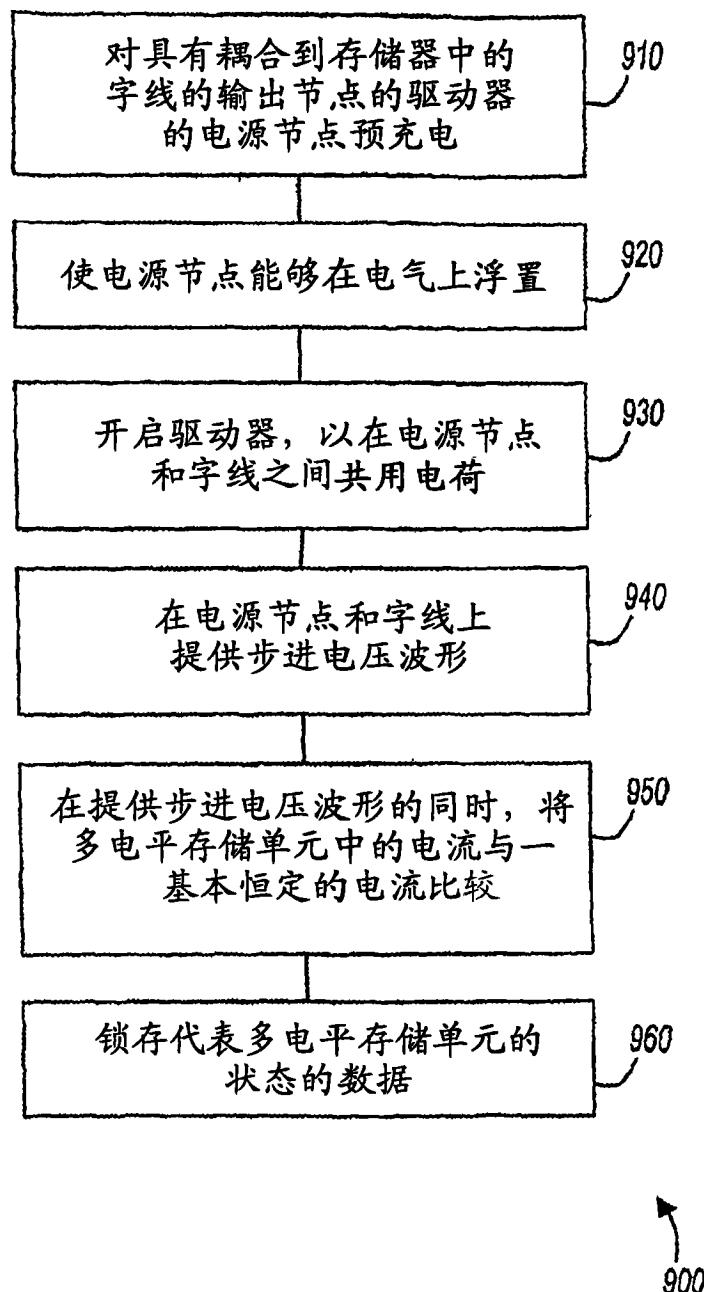


图 9

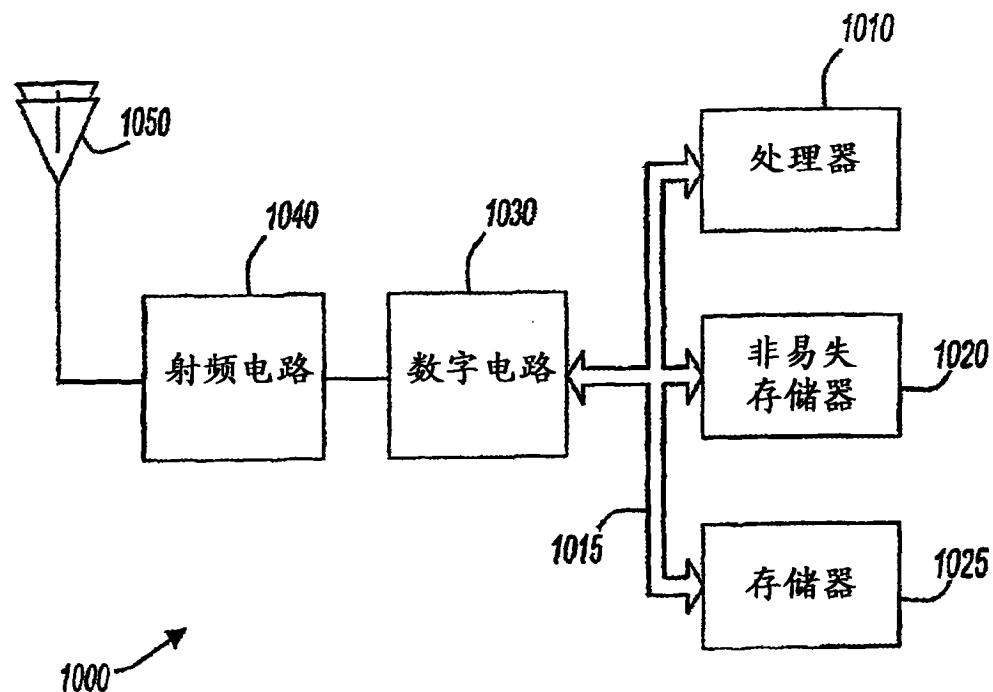


图 10