



通信経路に対応させてデジタルアナログ変換器の分解能とレンジを最適化する技術である。電気信号伝送装置の判定帰還型等化器は、加算器 402 の出力とプログラムで設定された閾値とが入力され、判定結果を制御信号として基準値生成回路 711 に出力し、加算器 402 の出力の平均波高値を検出し、検出した平均波高値と閾値との大小関係を比較して、平均波高値が閾値より大きい場合は基準値生成回路 711 の出力の基準値をプログラムで設定された初期値から上げて、DAC 706 ~ 710 の分解能を初期値から粗くし、平均波高値が閾値より小さい場合は基準値生成回路 711 の出力の基準値をプログラムで設定された初期値から下げて、DAC 706 ~ 710 の分解能を初期値から細かくする平均波高値判定器 801 を有する。

明 細 書

発明の名称：電気信号伝送装置

技術分野

[0001] 本発明は、電気信号伝送装置に関する。より具体的には、高速有線伝送向け受信機およびそれに使用可能な半導体集積回路装置に関するもので、特にフィルタ係数を与えるデジタルアナログ変換器の分解能およびレンジを装置環境に適応させる判定帰還型等化器の技術に関する。

背景技術

[0002] 近年、ビッグデータと呼称される大規模データから相関データを抽出する技術が注目されており、情報機器のデータ量の増加および処理能力の向上が進展している。その際に、大規模データ処理のボトルネックとなる装置内の通信速度や装置外との通信速度も同様に向上しつつある。例えば、装置外の通信では、100G Etherや32G FCなどの規格への対応が進みつつあり、1レーン当たり25Gbps、28Gbpsの通信速度へと高速化が進展している。

[0003] 通信の高速化により、近距離での反射の影響が顕在化し、通信路の周波数特性が線形的でなくなり、また、1UI (Unit Interval) の時間が短くなることでジッタの許容量が小さくなってきている。このため、従来、FFE (Feed Forward Equalizer) やCTLE (Continuous Time Linear Equalizer) を用いて波形等化を行い、符号間干渉 (ISI : Inter Symbol Interference) ジッタを改善していたが、補償しきれなくなっている。そこで、ISIジッタの改善のため、DFE (Decision Feedback Equalizer : 判定帰還型等化器) が用いられることが多くなっている (非特許文献1参照)。

[0004] DFEは、デジタルフィルタの構成となっており、フィルタ係数をデータに掛けたタップ (Tap) が複数個あり、それらを入力に足し合わせている。DFEは、タップの数を増やした分だけ前の信号の影響や遠くからの遅れてくる反射の影響を打ち消すことができる。周波数が高くなると波長が短く

なるため、近くの反射を打ち消すためにD F Eのタップ数を増やす必要がでてくるので、周波数が上がるにつれてD F Eのタップ数は増えていく傾向にある。

先行技術文献

非特許文献

- [0005] 非特許文献1: John F. Bulzacchelli and et. al., “A 28-Gb/s 4-Tap FFE/15-Tap DFE Serial Link Transceiver in 32-nm SOI CMOS Technology”, JS SC, Vol.47, No.12, December 2012

発明の概要

発明が解決しようとする課題

- [0006] ところで、上述したようなD F Eを用いる技術においては、情報機器の高速化が進むと、D F Eの動作速度も上昇し、D F Eが等化可能な物理的な距離が同一タップ数で比較すると短くなる。そのため、同じ距離を補償するために必要なD F Eのタップ数は動作速度に従って増えていく傾向にあり、タップを実現するためのデジタルアナログ変換器(D A C)の数は増えていく。さらに、機器内の通信経路は長さが様々あり、また機器によっても異なるため、D A Cに要求される分解能とレンジはそれぞれの経路で異なる。そのため、複数の機器および通信経路に対応するには、分解能が細かく、レンジが広いD A Cを必要とし、数の多いD A Cの一つ一つが大きくなってしまい、面積および消費電力が増加していくという課題が発生する。

- [0007] そこで、本発明は、このような課題に鑑みてなされたものであり、その代表的な目的は、通信経路に対応させてデジタルアナログ変換器の分解能とレンジを最適化する技術を提供することである。

- [0008] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

- [0009] 本願において開示される発明のうち、代表的なものの概要を簡単に説明す

れば、次のとおりである。

[0010] すなわち、代表的な電気信号伝送装置は、判定帰還型等化器を有する電気信号伝送装置である。前記判定帰還型等化器は、受信信号が入力され、前記受信信号にフィルタのタップを加算する加算器と、前記加算器の出力の正負を判定して出力する比較器と、前記比較器の出力を、入力されるクロックの周期の整数倍で遅延させるシフトレジスタと、入力制御信号に応じて出力の基準値を切り替える基準回路と、フィルタのタップ係数をデジタルアナログ変換するデジタルアナログ変換器と、前記デジタルアナログ変換器の出力と前記シフトレジスタの出力とを掛け算した前記フィルタのタップを前記加算器に出力する掛け算器とを有する。さらに、前記判定帰還型等化器は、前記加算器の出力と前記比較器の出力と前記シフトレジスタの出力とが入力され、前記デジタルアナログ変換器に前記フィルタのタップ係数を出力し、前記フィルタのタップ係数をフィードバックループにより調整するフィルタ係数調整器を有する。さらに、前記判定帰還型等化器は、前記加算器の出力とプログラムで設定された閾値とが入力され、判定結果を制御信号として前記基準回路に出力し、前記加算器の出力の平均波高値を検出し、検出した平均波高値と前記閾値との大小関係を比較して、前記平均波高値が前記閾値より大きい場合は前記基準回路の出力の基準値をプログラムで設定された初期値から上げて、前記デジタルアナログ変換器の分解能を初期値から粗くし、前記平均波高値が前記閾値より小さい場合は前記基準回路の出力の基準値を前記プログラムで設定された初期値から下げて、前記デジタルアナログ変換器の分解能を初期値から細かくする平均波高値判定器を有する。

発明の効果

[0011] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

[0012] すなわち、代表的な効果は、通信経路に対応させてデジタルアナログ変換器の分解能とレンジを最適化することができる。この結果、判定帰還型等化器を含む半導体集積回路装置の面積および消費電力を抑えることができる。

図面の簡単な説明

[0013] [図1]本発明の実施の形態の前提技術における電気信号伝送装置の構成の一例（同一基板上での電気信号伝送装置）を示す図である。

[図2]本発明の実施の形態の前提技術における電気信号伝送装置の構成の別の一例（複数基板で中継器を用いたときの電気信号伝送装置）を示す図である。

[図3]図 1 および図 2 における電気信号伝送装置内の送信機および受信機の構成の一例を示す図である。

[図4]図 3 における電気信号伝送装置内の受信機において、判定帰還型等化器の基本的な構成の一例を示す図である。

[図5]本発明の実施の形態の前提技術において、（a）（b）は判定帰還型等化器における入力インパルスと出力インパルスとの関係の一例を示す図である。

[図6]本発明の実施の形態の前提技術において、異なる伝送路における判定帰還型等化器の入力インパルスの一例を示す図である。

[図7]図 3 における電気信号伝送装置内の受信機において、判定帰還型等化器の構成の一例を示す図である。

[図8]本発明の実施の形態 1 における電気信号伝送装置内の受信機において、判定帰還型等化器の構成の一例を示す図である。

[図9]図 8 における判定帰還型等化器において、平均波高値判定器の構成の一例を示す図である。

[図10]図 8 における判定帰還型等化器において、基準値生成回路の構成の一例を示す図である。

[図11]図 8 における判定帰還型等化器において、平均波高値検出の動作シーケンスの一例を示す図である。

[図12]図 9 における平均波高値判定器において、平均波高値検出器の構成の第 1 の例を示す図である。

[図13]図 9 における平均波高値判定器において、平均波高値検出器の構成の

第2の例を示す図である。

[図14]図13における平均波高値検出器において、比較器の動作の一例を示す図である。

[図15]図9における平均波高値判定器において、平均波高値検出器の構成の第3の例を示す図である。

[図16]図15における平均波高値検出器において、平均波高値検出の動作シーケンスの一例を示す図である。

[図17]図16に続く、平均波高値検出の動作シーケンスの一例を示す図である。

[図18]本発明の実施の形態2における電気信号伝送装置内の受信機において、判定帰還型等化器の構成の一例を示す図である。

[図19]図18における判定帰還型等化器において、平均波高値判定器の構成の一例を示す図である。

[図20]図18における判定帰還型等化器において、フィルタ係数調整器の構成の一例を示す図である。

[図21]図20におけるフィルタ係数調整器において、判定器の構成の一例を示す図である。

[図22]図18における判定帰還型等化器において、平均波高値検出の動作シーケンスの一例を示す図である。

発明を実施するための形態

[0014] 以下の実施の形態においては、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

[0015] さらに、以下の実施の形態において、その構成要素（要素ステップなども

含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合などを除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合などを除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

[0016] [実施の形態の概要]

まず、本発明の実施の形態の概要について説明する。本実施の形態の概要では、一例として、括弧内に各実施の形態の対応する構成要素および符号を付して説明する。

[0017] 実施の形態の代表的な電気信号伝送装置は、判定帰還型等化器（D F E 3 1 3）を有する電気信号伝送装置である。前記判定帰還型等化器は、受信信号が入力され、前記受信信号にフィルタのタップを加算する加算器（加算器 4 0 2）と、前記加算器の出力の正負を判定して出力する比較器（比較器 4 0 4）と、前記比較器の出力を、入力されるクロックの周期の整数倍で遅延させるシフトレジスタ（シフトレジスタ 4 1 0）と、入力制御信号に応じて出力の基準値を切り替える基準回路（基準値生成回路 7 1 1）と、フィルタのタップ係数をデジタルアナログ変換するデジタルアナログ変換器（D A C 7 0 6～7 1 0）と、前記デジタルアナログ変換器の出力と前記シフトレジスタの出力とを掛け算した前記フィルタのタップを前記加算器に出力する掛け算器（掛け算器 7 0 1～7 0 5）とを有する。さらに、前記判定帰還型等化器は、前記加算器の出力と前記比較器の出力と前記シフトレジスタの出力とが入力され、前記デジタルアナログ変換器に前記フィルタのタップ係数を出力し、前記フィルタのタップ係数をフィードバックループにより調整するフィルタ係数調整器（フィルタ係数調整器 7 0 0）を有する。さらに、前記判定帰還型等化器は、前記加算器の出力とプログラムで設定された閾値とが入力され、判定結果を制御信号として前記基準回路に出力し、前記加算器の

出力の平均波高値を検出し、検出した平均波高値と前記閾値との大小関係を比較して、前記平均波高値が前記閾値より大きい場合は前記基準回路の出力の基準値をプログラムで設定された初期値から上げて、前記デジタルアナログ変換器の分解能を初期値から粗くし、前記平均波高値が前記閾値より小さい場合は前記基準回路の出力の基準値を前記プログラムで設定された初期値から下げて、前記デジタルアナログ変換器の分解能を初期値から細かくする平均波高値判定器（平均波高値判定器 801）を有する。

[0018] すなわち、本発明は、上述した背景技術の課題を解決するための手段として、以下のような特徴を有する。本発明は、通信経路によって異なる判定帰還型等化器（DFE）の入力での平均波高値を検出し、この平均波高値を元にタップ係数を加えるデジタルアナログ変換器（DAC）のレンジと分解能を調整する機能を持つ DFE に関する発明である。

[0019] 例えば、入力の信号から $1/U$ を超えて裾野が延びている $|S|$ の部分を DFE で引いた残りをノイズとして、このノイズ以外の信号であるメイン信号とこのノイズとの比でジッタは計算される。平均波高値は、このメイン信号の大きさを表しており、ジッタの考え方から、この信号が大きいほど DAC の量子化雑音の許容値は大きくなり DAC の分解能を上げてもよくなる。逆に、この信号が小さいほど DAC の量子化雑音の許容値は小さくなり DAC の分解能を下げる必要がでてくる。また、 $|S|$ の裾野の高さはメイン信号が大きいほど絶対値としては大きくなる。そのため、DFE のタップ係数は DFE 入力の平均波高値が大きいほど大きくなって DAC のレンジが広くなり、平均波高値が小さいほど小さくなって DAC のレンジが狭まる。

[0020] 上記の検討より、本発明では、DFE の入力における平均波高値を検出し、その結果を用いることでタップ係数の必要な分解能およびレンジが求められることを利用して、タップ係数を加える DAC の分解能およびレンジを最適化する。また、DAC の分解能を変更することで、タップ係数を温度などの環境変化に応じて最適な値に適応させるループのゲインが変わってしまっ

ープゲインを下げ、分解能を下げた場合にループゲインを上げる機能も有する。

[0021] 以下、上述した実施の形態の概要に基づいた各実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

[0022] また、以下においては、本実施の形態の特徴を分かり易くするために、本実施の形態に対する比較例である本実施の形態の前提技術と比較して説明する。まず、本実施の形態の前提技術について説明する。

[0023] [本実施の形態の前提技術]

本実施の形態の前提技術における電気信号伝送装置について、図１～図７を用いて説明する。

[0024] <電気信号伝送装置>

まず、図１および図２を用いて、本実施の形態の前提技術における電気信号伝送装置について説明する。図１および図２は、電気信号伝送装置の構成の一例を示す図であり、それぞれ、図１は同一基板上での電気信号伝送装置を示し、図２は複数基板で中継器を用いたときの電気信号伝送装置を示す。なお、図１および図２に示す電気信号伝送装置の構成は、後述する本実施の形態においても同様である。

[0025] 図１に示す電気信号伝送装置は、同一の装置内基板１０１に搭載された高速有線伝送の装置構成例である。この電気信号伝送装置は、信号処理用半導体集積回路装置（ＡＳＩＣ）１０２と、通信用半導体集積回路装置（ＡＳＩＣ）１０３と、コネクタ１０４とを有する。

[0026] 信号処理用半導体集積回路装置１０２は、信号処理を行うための半導体集積回路装置である。通信用半導体集積回路装置１０３は、通信を行うための半導体集積回路装置である。コネクタ１０４は、別の機器との通信を行うための接続装置である。

[0027] この電気信号伝送装置においては、装置内基板１０１に信号処理用半導体集積回路装置１０２と通信用半導体集積回路装置１０３とコネクタ１０４と

が搭載されている。そして、信号処理用半導体集積回路装置 102 と通信用半導体集積回路装置 103 とが通信し合い、通信用半導体集積回路装置 103 はコネクタ 104 を通じて別の機器と通信を行う。

[0028] 例えば、信号処理用半導体集積回路装置 102 から出力された信号は、通信用半導体集積回路装置 103 に送られ、コネクタ 104 を通じて外部の機器へと伝達される。逆に、外部の機器からコネクタ 104 を通じて通信用半導体集積回路装置 103 が受信した信号は、信号処理用半導体集積回路装置 102 に送られる。

[0029] 図 2 に示す電気信号伝送装置は、複数（図 2 では 2 枚の例）の装置内基板 201, 203 に搭載され、装置内伝送路基板 202 を介在した高速有線伝送の装置構成例である。この図 2 は、図 1 での通信を同一の装置内基板 101 だけではなく別々の装置内基板 201, 203 で行い、かつ、中継器が搭載されている例を示す。

[0030] この電気信号伝送装置は、信号処理用半導体集積回路装置（ASIC）204 と、中継器（LSI）205 と、中継器（LSI）206 と、通信用半導体集積回路装置（ASIC）207 と、コネクタ 208, 209, 210 とを有する。中継器 205, 206 は、信号の中継を行うための半導体集積回路装置である。

[0031] この電気信号伝送装置においては、信号処理用半導体集積回路装置 204 と中継器 205 とを搭載した装置内基板 201 と、装置内伝送路基板 202 とが、コネクタ 208 を介して接続されている。さらに、装置内伝送路基板 202 と、中継器 206 と通信用半導体集積回路装置 207 とコネクタ 210 とを搭載した装置内基板 203 とが、コネクタ 209 を介して接続されている。そして、図 1 での信号の流れと同様に、信号処理用半導体集積回路装置 204 は通信用半導体集積回路装置 207 を通じてコネクタ 210 の先に接続されている別の機器と通信を行う。

[0032] 例えば、信号処理用半導体集積回路装置 204 から出力された信号は、中継器 205 によって中継され、コネクタ 208 と装置内伝送路基板 202 と

コネクタ 209 とを通り、さらに中継器 206 によって中継されて通信用半導体集積回路装置 207 に送られる。そして、通信用半導体集積回路装置 207 からコネクタ 210 を通じて外部の機器へと伝達される。逆に、外部の機器からコネクタ 210 を通じて通信用半導体集積回路装置 207 が受信した信号は、中継器 206 に送られて中継され、コネクタ 209 と装置内伝送路基板 202 とコネクタ 208 とを通り、中継器 205 で中継されて信号処理用半導体集積回路装置 204 に送られる。

[0033] <電気信号伝送装置内の送信機および受信機>

続いて、図 3 を用いて、上述した電気信号伝送装置内の送信機および受信機について説明する。図 3 は、送信機および受信機の構成の一例を示す図である。この図 3 は、図 1 で説明した信号処理用半導体集積回路装置 102 と通信用半導体集積回路装置 103 との送信機および受信機のみを抜粋した図である。同様に、図 2 で説明した信号処理用半導体集積回路装置 204 と中継器 205 と中継器 206 と通信用半導体集積回路装置 207 との送信機および受信機のみを抜粋した図である。なお、図 3 に示す送信機および受信機の構成は、後述する本実施の形態においても同様である。

[0034] この送信機および受信機においては、送信側の半導体集積回路装置 301 から信号が送信され、伝送路 302 を通じて、受信側の半導体集積回路装置 303 で信号を受信する例を示している。送信側の半導体集積回路装置 301 は、送信機 (TX) 304 と、信号処理部 305 とを有する。受信側の半導体集積回路装置 303 は、受信機 (RX) 310 と、信号処理部 311 とを有する。

[0035] 半導体集積回路装置 301 内の送信機 304 は、パラレルシリアル変換器 (P/S) 306、FFE (Feed Forward Equalizer) 307、PLL (Phase Locked Loop) 309 から構成される。半導体集積回路装置 303 内の受信機 310 は、CTLE (Continuous Time Linear Equalizer) 312、DFE (Decision Feedback Equalizer) 313、PLL 314、CDR (Clock and Data Recovery) 315、シリアルパラレル変換器 (S/P) 316 か

ら構成される。

[0036] 送信機 304 において、パラレルシリアル変換器 306 は、信号処理部 305 から入力されたデータ信号をパラレル伝送からシリアル伝送に変換して FFE 307 へ出力する変換器である。FFE 307 は、パラレルシリアル変換器 306 から入力されたデータ信号に対して低周波側のゲインを下げるように波形等化して伝送路 302 へ出力するフィードフォワード型等化器である。PLL 309 は、位相を同期させるためのクロックをパラレルシリアル変換器 306 へ出力する回路である。

[0037] 受信機 310 において、CTLE 312 は、伝送路 302 から伝達されたデータ信号を高周波側の利得が高くなるように増幅して DFE 313 へ出力する連続時間線形型等化器である。DFE 313 は、CTLE 312 から入力されたデータ信号に対して符号間干渉成分と反射成分とをフィルタ処理し、CDR 315 から入力されたクロックでサンプルホールドしてシリアルパラレル変換器 316 へ出力する判定帰還型等化器である。PLL 314 は、位相を同期させるためのクロックを CDR 315 へ出力する回路である。CDR 315 は、DFE 313 から入力されたデータ信号からエッジを検出し、PLL 314 から入力されたクロックの位相を調整して、DFE 313 およびシリアルパラレル変換器 316 へ出力するクロック・データ再生回路である。シリアルパラレル変換器 316 は、DFE 313 から入力されたデータ信号を複数の遅いデータ信号に変換して信号処理部 311 へ出力する変換器である。

[0038] 半導体集積回路装置 303 内において、318 は CTLE 312 から DFE 313 への CTLE 出力（データ信号）、319 は CDR 315 から DFE 313 への DFE クロックである。

[0039] 次に、送信機 304 での信号の流れを説明する。送信機 304 は、信号処理部 305 からデータ信号を受け取る。このデータ信号はパラレル伝送されていたものがパラレルシリアル変換器 306 において、PLL 309 からのクロックで同期を取ってシリアル伝送に変換されて送信される。パラレルシ

リアル変換器 306 から出力されたデータ信号は FFE 307 において、低周波側のゲインを落とすように波形等化され、伝送路 302 へ出力される。この伝送路 302 を通ったデータ信号は、半導体集積回路装置 303 内の受信機 310 に伝達される。

[0040] 次に、受信機 310 での信号の流れを説明する。伝送路 302 から伝達されたデータ信号は C T L E 312 において、高周波側の利得が高くなるように増幅される。この増幅された C T L E 出力 318 のデータ信号は D F E 313 において、符号間干渉成分と反射成分とをフィルタ処理され、C D R 315 で位相を合わせた D F E クロック 319 でサンプルホールドされる。C D R 315 は、D F E 313 でフィルタ処理されたデータ信号からエッジを検出し、P L L 314 から受け取ったクロックの位相を調整する。D F E 313 でサンプルホールドされたデータ信号は、シリアルパラレル変換器 316 に伝達されて複数の遅いデータ信号に変換され、信号処理部 311 に伝達される。信号処理部 311 は受け取ったデータ信号を送信機に送り、送信機から伝送路へ伝達され、データ信号が中継される。

[0041] <判定帰還型等化器 (D F E)>

続いて、図 4 ~ 図 7 を用いて、上述した電気信号伝送装置内の受信機 310 において、D F E 313 について説明する。図 4 は、D F E 313 の基本的な構成の一例を示す図である。この図 4 は、図 3 内の D F E 313 の基本的な構成として、5 タップ (T a p) の D F E の例を示している。なお、D F E のタップ数は、5 タップに限らず、増減が可能であり、タップ数が増減しても加算器に加えられるタップとシフトレジスタ内のフリップフロップの数が増減するだけで、構成は同様である。

[0042] この 5 タップの D F E 313 は、加算器 402、サンプルホールド回路 403、比較器 404、タップ 1 ~ 5 可変アンプ 405, 406, 407, 408, 409、シフトレジスタ 410 から構成される。シフトレジスタ 410 は、フリップフロップ 411, 412, 413, 414, 415 から構成される。この D F E 313 は、C T L E 312 からの C T L E 出力 (データ

信号) 318、CDR 315からのDFEクロック319をそれぞれ入力として、シリアルパラレル変換器316へDFE出力データ(データ信号) 416を出力する。

[0043] C T L E 312で増幅されたデータ信号318は、加算器402においてタップが加算される。タップとは、1クロック前から5クロック前までのDFE出力データをそれぞれ、タップ1～5可変アンプ405～409によりタップ係数倍した値である。加算器402でタップが加算されたDFEタップ加算出力(データ信号) 401はサンプルホールド回路403において、CDR 315からのDFEクロック319のエッジでサンプルホールドされる。さらに、サンプルホールドされたデータ信号は比較器404において、0以上だと+1と判定され、0未満だと-1と判定される。

[0044] 比較器404で判定されたデータ信号416はシフトレジスタ410に入力され、それぞれのフリップフロップ411～415でDFEクロック319に同期して遅延される。フリップフロップ411は1クロック分前のデータ信号をタップ係数倍するタップ1可変アンプ405に伝達して、1クロック分前のデータにタップ係数を掛け算する。同様に、タップ2可変アンプ406には2クロック分前のデータ、タップ3可変アンプ407には3クロック分前のデータ、タップ4可変アンプ408には4クロック分前のデータ、タップ5可変アンプ409には5クロック分前のデータがそれぞれ入力される。そして、それぞれのタップ1～5可変アンプ405～409は、それぞれの可変アンプのタップ係数倍して出力する。タップ1～5可変アンプ405～409の利得はタップ係数に相当し、それぞれがフィルタ係数調整器からの制御信号により制御されている。以上より、DFE 313の入力のデータ信号318に対する出力のデータ信号401は下記の式(output / input)で表され、DFE 313はフィルタとして機能する。

[0045] $output / input =$

$$1 / (1 - Tap1 \cdot Z^{-1} - Tap2 \cdot Z^{-2} - Tap3 \cdot Z^{-3} - Tap4 \cdot Z^{-4} - Tap5 \cdot Z^{-5})$$

[0046] このD F E 3 1 3の入出力特性を理解しやすくするため、D F E 3 1 3のインパルス応答について、図5を用いて説明する。図5は、D F E 3 1 3における入力インパルスと出力インパルスとの関係の一例を示す図である。図5において、(a)は入力インパルス、(b)は出力インパルスをそれぞれ示し、また、横軸は時間(t)、縦軸は電圧(V)をそれぞれ示している。

[0047] 図5(a)のD F Eの入力(データ信号3 1 8)に対して、D F E入力のクロック幅を持つタップ1(5 0 1)、タップ2(5 0 2)、タップ3(5 0 3)、タップ4(5 0 4)、タップ5(5 0 5)が足し合わされる。その結果、図5(b)のD F Eの出力(データ信号4 0 1)のように、差分が残った符号間干渉の抑えられた波形が生成される。

[0048] 図5で示したタップはD F Eの入力特性で異なり、異なる伝送路における傾向について、図6を用いて説明する。図6は、異なる伝送路におけるD F Eの入力インパルスの一例を示す図である。図6において、横軸は時間(t)、縦軸は電圧(V)をそれぞれ示しており、また、破線は長い伝送路、実線は短い伝送路をそれぞれ示している。

[0049] 図6に示すように、入力波高値が大きいとタップは大きくなる傾向にある。図6は横軸の一目盛りがD F Eの1クロック分の幅となっており、頂点から1クロックずつずれた時の高さがそれぞれタップ1、タップ2、・・・に相当する。例えば、タップ1は、D F Eの入力が大きい実線(短い伝送路)と比較してD F Eの入力の小さい破線(長い伝送路)は小さくなっている。短い伝送路において、頂点(0.15V程度)から1クロックずれたタップ1の高さは0.1V程度である。これに対して、長い伝送路において、頂点(0.1V程度)から1クロックずれたタップ1の高さは0.06V程度である。

[0050] また、D F Eの入力は図6のようなインパルスの重ね合わせであるため、D F Eの入力波高値が大きければ、前の信号から符号間干渉される大きさが同じであれば、D F Eの入力波高値が小さいものに対してジッタの劣化量が減少する。これは、D F Eの入力波高値が大きければ、D F Eでタップを加

えたときに残るノイズ成分によるジッタへの影響が小さくなることを言っており、D F Eの入力波高値によってノイズの許容量が決まる。

[0051] ここで、実際のD F E 3 1 3について、図 7を用いて説明する。図 7は、D F E 3 1 3の構成の一例を示す図である。

[0052] このD F E 3 1 3は、加算器4 0 2、サンプルホールド回路4 0 3、比較器4 0 4、シフトレジスタ4 1 0、フィルタ係数調整器7 0 0、掛け算器7 0 1, 7 0 2, 7 0 3, 7 0 4, 7 0 5、D A C (Digital Analog Converter) 7 0 6, 7 0 7, 7 0 8, 7 0 9, 7 1 0、基準値生成回路7 1 1から構成される。図 7のように、図 4に示したタップ1～5可変アンプ4 0 5～4 0 9は、掛け算器7 0 1～7 0 5とD A C 7 0 6～7 1 0とで代替される。

[0053] このD F E 3 1 3において、7 1 2は基準値生成回路7 1 1から各D A C 7 0 6～7 1 0へ出力される基準値、7 1 3～7 1 7はフィルタ係数調整器7 0 0から各D A C 7 0 6～7 1 0へ出力されるタップ1～5係数コードである。また、7 1 8はサンプルホールド回路4 0 3からフィルタ係数調整器7 0 0および比較器4 0 4へ出力されるD F Eサンプルホールド出力、7 1 9はシフトレジスタ4 1 0からフィルタ係数調整器7 0 0および各掛け算器7 0 1～7 0 5へ出力される遅延データ列である。

[0054] D A C 7 0 6～7 1 0は、基準値生成回路7 1 1から基準電流または基準電圧の基準値7 1 2を受け取り、この基準値7 1 2に比例した分解能で入力データをアナログの電圧または電流に変換する。また、D F Eのフィルタ係数（タップ係数）は温度や電源電圧などの環境変動で適正值が変化するため、タップ係数を適正に保つフィルタ係数調整器7 0 0が加えられている。D A C 7 0 6～7 1 0は、フィルタ係数調整器7 0 0からタップ係数データであるタップ1～5係数コード7 1 3～7 1 7を受け取り、それぞれのデータに従った電圧または電流を出力する。D A C 7 0 6～7 1 0の出力はそれぞれ掛け算器7 0 1～7 0 5に入力され、それぞれ1クロック前のデータ、2クロック前のデータ、3クロック前のデータ、4クロック前のデータ、5クロック前のデータと掛け算される。そして、それぞれの掛け算されたデータ

は加算器402において、CTLE出力318の入力データと加算される。

なお、シフトレジスタ410から掛け算器701～705に入力されるデータが1ビットの場合、掛け算器はマルチプレクサでも実現可能である。

[0055] フィルタ係数調整器700は、DFEサンプルホールド出力718とDFE出力データ416と遅延データ列719とが入力され、DAC706～710にタップ1～5係数コード713～717をそれぞれ出力する。このフィルタ係数調整器700は、DFEサンプルホールド出力718とDFE出力データ416から求めた波高値と遅延データ列719との相関を取って平均化して各タップのタップ係数を出力する。そして、タップがかかった結果であるDFEサンプルホールド出力718とDFE出力データ416と遅延データ列719とを受け取るというフィードバックループの一部となっている。そのため、タップ係数がフィルタ係数調整器700を含んだフィードバックループにより適正值に収束する。

[0056] 図6に示すように伝送路によってDFE313の入力が様々存在し、タップの大きさや許容ノイズ量が様々存在する。これは、図7でのDAC706～710の出力範囲と分解能に影響する。例えば、DFE313の入力波高値が大きい時はタップ係数が大きくなってDAC706～710の出力範囲が大きくなり、逆に、DFE313の入力波高値が小さい時は量子化雑音を抑えなくてはならないために分解能を小さくする必要がある。そのため、これらを両立すると分解能が小さく、出力範囲の大きいビット数の大きなDAC706～710が必要となる。これは、DAC706～710の面積と消費電力とが増大することを言っており、伝送速度の高速化が進むにつれてタップ数が増えてくると、この影響はさらに深刻になる。

[0057] ここで、本発明者は、以下の点に着目する。DFE313の入力波高値が大きい時は、タップ係数が大きくなるが雑音許容値も上がるため、量子化雑音が増えてもよくてDAC706～710の分解能は粗くしてもよい。逆に、DFE313の入力波高値が小さい時は、タップ係数が小さくなると同時に雑音の許容値が下がるため、量子化雑音を抑えるようにDAC706～7

10の分解能を細かくする必要がある。このDFE313の入力波高値とDAC706～710の分解能との関係と、有線伝送では伝送路は一度決まると固定される点とに着目する。

[0058] DFE313の入力波高値は、伝送路によってFFE307やCTLE312の設定を変更して波形等化することで、伝送路単体で生じる波高値の変動に比べると小さく抑えられるが、以下の課題がある。FFE307やCTLE312の設定は柔軟度が低いために、どうしてもDFE313の入力波高値は伝送路により変動してしまう。しかしながら、有線伝送では伝送路が固定であるため、時間ごとにDFE313の入力波高値が変動することはないので、DFE313の入力波高値を検出し、その入力波高値にしたがってDAC706～710の分解能を切り替えることが可能である。

[0059] そこで、検出したDFE313の入力波高値が大きければ、DAC706～710の分解能を粗くしてDAC706～710の出力範囲を増やすように制御する。逆に、検出したDFE313の入力波高値が小さければ、DAC706～710の分解能を細かくしてDAC706～710の出力範囲を減らすように制御する。これにより、DAC706～710のビット数を増やすことなく柔軟に伝送路の違いに対応可能となる。すなわち、DFE313の入力波高値が大きい伝送路では、DAC706～710の出力範囲を広くして大きなタップ係数に対応可能とする。逆に、DFE313の入力波高値が小さい伝送路では、DAC706～710の分解能を小さくして低い量子化雑音への要求に対応可能とする。この結果、柔軟に伝送路に対応しつつ面積や消費電力の増加を抑えることが可能となる。

[0060] この本発明者が着目した考え方を実現するための本実施の形態のDFE313について、以下において説明する。

[0061] [実施の形態1]

実施の形態1における電気信号伝送装置について、図8～図17を用いて説明する。本実施の形態1における電気信号伝送装置は、上述した本実施の形態の前提技術における電気信号伝送装置と比較して、判定帰還型等化器（

D F E) の構成および動作が異なっている。本実施の形態 1 では、電気信号伝送装置は上述した図 1 および図 2 に示した電気信号伝送装置、送信機および受信機は上述した図 3 に示した送信機および受信機と同様であるので、ここでの説明は省略する。以下においては、図 7 に示した前提技術の D F E と異なる点を主に説明する。

[0062] <実施の形態 1 の判定帰還型等化器 (D F E)>

まず、図 8 を用いて、上述した前提技術の D F E に対して、本実施の形態 1 の D F E 3 1 3 について説明する。図 8 は、本実施の形態 1 の D F E 3 1 3 の構成の一例を示す図である。

[0063] 本実施の形態 1 の D F E 3 1 3 は、上述した前提技術の図 7 の構成に対して、D F E タップ加算出力 4 0 1 をサンプルホールドした結果の D F E サンプルホールド出力 7 1 8 の平均波高値を検出する平均波高値判定器 8 0 1 と、その制御回路 8 0 3 とが追加されている。平均波高値判定器 8 0 1 は、検出した平均波高値に基づいて、D A C 7 0 6 ~ 7 1 0 の分解能を決める基準値 7 1 2 を生成する基準値生成回路 7 1 1 を制御して、D A C 7 0 6 ~ 7 1 0 の分解能を切り替える機能を持つ。すなわち、本実施の形態 1 の D F E 3 1 3 は、加算器 4 0 2、サンプルホールド回路 4 0 3、比較器 4 0 4、シフトレジスタ 4 1 0、フィルタ係数調整器 7 0 0、掛け算器 7 0 1 ~ 7 0 5、D A C 7 0 6 ~ 7 1 0、基準値生成回路 7 1 1、平均波高値判定器 8 0 1、制御回路 8 0 3 から構成される。

[0064] 加算器 4 0 2 は、C T L E 出力 3 1 8 にフィルタのタップを加算する加算器である。サンプルホールド回路 4 0 3 は、加算器 4 0 2 からの D F E タップ加算出力 4 0 1 をサンプルホールドする回路である。比較器 4 0 4 は、サンプルホールド回路 4 0 3 からの D F E サンプルホールド出力 7 1 8 の正負を判定して出力する比較器である。シフトレジスタ 4 1 0 は、比較器 4 0 4 からの D F E 出力データ 4 1 6 を D F E クロック 3 1 9 の周期の整数倍で遅延させるシフトレジスタである。フィルタ係数調整器 7 0 0 は、D F E サンプルホールド出力 7 1 8 と D F E 出力データ 4 1 6 とシフトレジスタ 4 1 0

からの遅延データ列 719 とが入力され、DAC 706～710 にフィルタのタップ係数を出力し、このフィルタのタップ係数をフィードバックループにより調整する調整器である。掛け算器 701～705 は、DAC 706～710 の出力とシフトレジスタ 410 からの遅延データ列 719 とを掛け算したフィルタのタップを加算器 402 に出力する掛け算器である。DAC 706～710 は、フィルタのタップ係数をデジタルアナログ変換する変換器である。基準値生成回路 711 は、入力制御信号である DAC 分解能切替信号 802 に応じて出力の基準値 712 を切り替える基準回路である。

[0065] 平均波高値判定器 801 は、DFE サンプルホールド出力 718 と DFE 出力データ 416 とが入力され、DFE タップ加算出力 401 の平均波高値を検出し、検出した平均波高値をプログラムで設定した閾値と比較する。平均波高値が閾値より大きければ、平均波高値判定器 801 は DAC 分解能切替信号 802 のコードを上げて基準値生成回路 711 から出力される基準値 712 をプログラムで設定した初期値から上げ、DAC 706～710 の分解能を初期値から粗くする。逆に、平均波高値が閾値より小さければ、平均波高値判定器 801 は DAC 分解能切替信号 802 のコードを下げて基準値生成回路 711 から出力される基準値 712 をプログラムで設定した初期値から下げ、DAC 706～710 の分解能を初期値から細かくする。

[0066] 制御回路 803 は、平均波高値判定器 801、フィルタ係数調整器 700 を制御する制御器である。この制御のために、制御回路 803 から平均波高値判定器 801 に、平均波高値検出制御信号 805、DAC 分解能切替閾値信号 806、判定トリガ信号 807、DAC 分解能切替信号初期値 808 がそれぞれ入力される。また、制御回路 803 からフィルタ係数調整器 700 に、フィルタ係数調整器制御信号 809 が入力される。

[0067] 平均波高値検出制御信号 805 は、平均波高値の検出の開始および終了を制御するための信号である。DAC 分解能切替閾値信号 806 は、DAC 706～710 の分解能を切り替える時の閾値となる信号である。判定トリガ信号 807 は、平均波高値と DAC 分解能切替閾値信号 806 とを比較する

時のトリガとなる信号である。DAC分解能切替信号初期値808は、DAC706～710の分解能を切り替える時の初期値となる信号である。フィルタ係数調整器制御信号809は、タップ係数の更新の停止および開始を制御するための信号である。例えば、制御回路803は、フィルタ係数調整器制御信号809により、平均波高値を検出してDAC706～710の分解能を切り替えるまではタップ係数の更新を停止する。

[0068] <平均波高値判定器>

続いて、上述したDFE313内の平均波高値判定器801について、図9を用いて説明する。図9は、平均波高値判定器801の構成の一例を示す図である。

[0069] 平均波高値判定器801は、平均波高値検出器901、比較器902から構成される。平均波高値検出器901は、DFEサンプルホールド出力718とDFE出力データ416とが入力され、制御回路803からの平均波高値検出制御信号805で動作を制御されて、平均波高値904を出力する。比較器902は、制御回路803からの判定トリガ信号807で動作を制御され、平均波高値904と制御回路803からのDAC分解能切替閾値信号806とを比較し、判定結果であるDAC分解能切替信号802を基準値生成回路711に出力する。DAC分解能切替信号802は、比較後、DAC分解能切替信号初期値808から値を粗くする、または細かくするように切り替える。

[0070] <基準値生成回路>

続いて、上述したDFE313内の基準値生成回路711について、図10を用いて説明する。図10は、基準値生成回路711の構成の一例を示す図である。この図10は、基準値生成回路711の例として、DAC分解能切替用基準電圧切替回路を示し、3ビットの例を示している。

[0071] 基準値生成回路711は、基準電流源1001、電流源回路1002、電流ミラー回路1003、1004、1005、スイッチ1006、1007、1008、電流源回路1009から構成される。基準電流源1001は、

バンドギャップ回路などからなる。この基準値生成回路 711 は、基準電流源 1001 で生成できる基準電流 (I_{ref}) を、ダイオード接続した電流源回路 1002 に流し、電流源回路 1002 のゲートと各電流ミラー回路 1003 ~ 1005 のゲートとが接続されるカレントミラーの構成となっている。

[0072] 電流ミラー回路 1003 と 1004 と 1005 のミラー比は 1 : 2 : 4 となっており、各電流ミラー回路はそれぞれスイッチ 1006 ~ 1008 により電流源回路 1009 に電流を流すか、流さないかを制御される。各スイッチ 1006 ~ 1008 の制御信号 ($DAC_SW<2:0>$) は DAC 分解能切替信号 802 であり、この一番下のビット $<0>$ がスイッチ 1006、2 番目のビット $<1>$ がスイッチ 1007、3 番目のビット $<2>$ がスイッチ 1008 に接続している。そして、接続しているビットが High の時は各電流ミラー回路から電流源回路 1009 に電流を流し、接続しているビットが Low の時は各電流ミラー回路から電流源回路 1009 に電流が流れなくなっている。そのため、DAC 分解能切替信号 802 の値により電流源回路 1009 に流れる電流が変わり、各 DAC 706 ~ 710 へと配る基準値 712 (電圧: TAP_BIAS) が変化して各 DAC の分解能が切り替わる。

[0073] <平均波高値検出の動作>

続いて、上述した DFE 313 における平均波高値検出の動作を、図 11 を用いて説明する。図 11 は、平均波高値検出の動作シーケンスの一例を示す図である。

[0074] まず、制御回路 803 は、フィルタ係数調整器制御信号 809 を Low とし、タップ係数の更新を止め、その後、平均波高値検出制御信号 805 を High とし、平均波高値検出器 901 において平均波高値検出を開始する ($S1301$, $S1302$)。その後、待ち時間を経て、制御回路 803 が判定トリガ信号 807 を Low から High に切り替えると、比較器 902 は平均波高値 904 と DAC 分解能切替閾値信号 806 とを比較する ($S13$

03, S1304)。

[0075] 比較の結果、平均波高値904がDAC分解能切替閾値信号806の2倍より小さければ(S1305-Yes)、DAC分解能切替信号802を1に設定する(S1307)。平均波高値904がDAC分解能切替閾値信号806の2倍より大きく3倍より小さければ(S1305-No、S1306-Yes)、DAC分解能切替信号802を2に設定する(S1308)。平均波高値904がDAC分解能切替閾値信号806の3倍より大きければ(S1306-No)、DAC分解能切替信号802を3に設定する(S1309)。

[0076] その後、制御回路803は、判定トリガ信号をLowとし、フィルタ係数調整器制御信号809をHighにして、それまで更新を止めていたタップ係数の更新を開始する(S1310, S1311)。

[0077] なお、ここでは、DAC分解能切替信号802を、1、2または3に設定する場合を説明したが、1または2に設定する場合や、4以上に設定する場合などにも、判定条件による分岐数を変更することで同様に適用することができる。

[0078] <平均波高値検出器の第1の例>

続いて、上述した平均波高値判定器801内の平均波高値検出器901について、図12を用いて説明する。図12は、平均波高値検出器901の構成の第1の例を示す図である。

[0079] 図12に示す平均波高値検出器901は、ADC (Analog Digital Converter) 1101、掛け算器1102、引き算器1103、積分器1104から構成される。ADC 1101は、加算器402の出力をサンプルホールドした結果のDFEサンプルホールド出力718をアナログデジタル変換する変換器である。掛け算器1102は、ADC 1101の出力と比較器404の出力であるDFE出力データ416とを掛け算する掛け算器である。引き算器1103は、掛け算器1102の出力であるDFE波高値1105から積分器1104の出力を引き算する引き算器である。積分器1104は、ゲイ

ンの可変機能を持ち、引き算器 1103 の出力を積分する積分器である。この積分器 1104 の出力を引き算器 1103 に入力して掛け算器 1102 の出力から引き算することで、平均波高値 904 を検出する。

[0080] この平均波高値検出器 901 において、D F E サンプルホールド出力 718 は A D C 1101 でデジタル信号に変換され、掛け算器 1102 において D F E 出力データ 416 と掛け算されて絶対値に変換され、D F E 波高値 1105 となる。掛け算器 1102 の出力側に接続された引き算器 1103 と積分器 1104 とはフィードバックループを形成している。このフィードバックループにおいて、引き算器 1103 への入力である D F E 波高値 1105 と、積分器 1104 からの出力である平均波高値 904 とが一致するように動作し、積分器 1104 は入力の平均化を行うため、D F E の平均波高値を検出することができる。このフィードバックループは、積分器 1104 のイネーブル端子 (E N) に入力される平均波高値検出制御信号 805 が H i g h の間動作する。

[0081] <平均波高値検出器の第 2 の例>

続いて、上述した平均波高値検出器 901 の構成を変更した例として、平均波高値検出器 901 の第 2 の例について、図 13 を用いて説明する。図 13 は、平均波高値検出器 901 の構成の第 2 の例を示す図である。この図 13 の例では、高速な A D C が使えない場合の構成となっている。

[0082] 図 13 に示す平均波高値検出器 901 は、掛け算器 1201、D A C 1202、比較器 1203、掛け算器 1204、積分器 1205 から構成される。掛け算器 1201 は、積分器 1205 の出力と比較器 404 の出力である D F E 出力データ 416 とを掛け算する掛け算器である。D A C 1202 は、掛け算器 1201 の出力をデジタルアナログ変換する変換器である。比較器 1203 は、D A C 1202 の出力である平均出力電圧 1208 と加算器 402 の出力をサンプルホールドした結果の D F E サンプルホールド出力 718 との大小を比較する比較器である。掛け算器 1204 は、比較器 1203 の出力と D F E 出力データ 416 とを掛け算する掛け算器である。積分器

1205は、ゲインの可変機能を持ち、掛け算器1204の出力である波高値比較結果1210を積分する積分器である。この積分器1205の出力を掛け算器1201に入力することで、平均波高値904を検出する。

[0083] この平均波高値検出器901において、積分器1205の出力を掛け算器1201に入力し、掛け算器1201とDAC1202と比較器1203と掛け算器1204と積分器1205とはフィードバックループを形成している。このフィードバックループにおいて、上述した図12と同様に、平均波高値904をDAC1202でアナログ値に変換した値と、DFEサンプルホールド出力718の平均値とを一致させるように動作し、DFE313の平均波高値を検出することができる。

[0084] 次に、平均波高値検出器901内の比較器1203の動作について、図14を用いて説明する。図14は、比較器1203の動作の一例を示す図である。この図14では、DFEタップ加算出力401、DFEクロック319、DFEサンプルホールド出力718、DFE出力データ416、掛け算器1204の波高値比較結果1210の各波形を示している。

[0085] 図14のように、平均波高値904は掛け算器1201によりDFE出力データ416に従った極性を加えられ、DFE出力データ416がHighの時は、DAC1202から平均出力電圧1208として中心電圧に対して正側の電圧が出力される。逆に、DFE出力データ416がLowの時は、DAC1202から平均出力電圧1208として中心電圧に対して負側の電圧が出力される。比較器1203は、DFEサンプルホールド出力718とDAC1202からの平均出力電圧1208とを比較し、DFEサンプルホールド出力718が大きければ-1を出力し、小さければ+1を出力する。

[0086] 比較器1203の出力とDFE出力データ416とを掛け算器1204で掛けることで、DFEサンプルホールド出力718が平均出力電圧1208の最大値と最小値との間にあれば、波高値比較結果1210は+1となる。DFEサンプルホールド出力718が平均出力電圧1208の最大値と最小値との間になければ、波高値比較結果1210は-1となる。

[0087] 波高値比較結果 1 2 1 0 が積分器 1 2 0 5 において、平均波高値検出制御信号 8 0 5 が H i g h の間積分され、その出力が掛け算器 1 2 0 1 へフィードバックする。積分器 1 2 0 5 は平均化を行うため、D F E サンプルホールド出力 7 1 8 の絶対値の平均が平均波高値 9 0 4 をアナログ値に変換した平均出力電圧 1 2 0 8 の絶対値に一致するように動作する。

[0088] <平均波高値検出器の第 3 の例>

続いて、上述した平均波高値検出器 9 0 1 の構成を変更した例として、平均波高値検出器 9 0 1 の第 3 の例について、図 1 5 を用いて説明する。図 1 5 は、平均波高値検出器 9 0 1 の構成の第 3 の例を示す図である。この図 1 5 の例では、二分探索を用いて平均波高値を検出する構成となっている。

[0089] 図 1 5 に示す平均波高値検出器 9 0 1 は、掛け算器 1 5 0 1、D A C 1 5 0 2、比較器 1 5 0 3、掛け算器 1 5 0 4、リセット付き積分器 1 5 0 5、制御回路 1 5 0 6 から構成される。掛け算器 1 5 0 1 は、制御回路 1 5 0 6 の出力と比較器 4 0 4 の出力である D F E 出力データ 4 1 6 とを掛け算する掛け算器である。D A C 1 5 0 2 は、掛け算器 1 5 0 1 の出力をデジタルアナログ変換する変換器である。比較器 1 5 0 3 は、D A C 1 5 0 2 からの D A C 出力 1 5 0 8 と加算器 4 0 2 の出力をサンプルホールドした結果の D F E サンプルホールド出力 7 1 8 との大小を比較する比較器である。掛け算器 1 5 0 4 は、比較器 1 5 0 3 からの比較器出力 1 5 0 9 と D F E 出力データ 4 1 6 とを掛け算する掛け算器である。リセット付き積分器 1 5 0 5 は、ゲインの可変機能を持ち、掛け算器 1 5 0 4 からの掛け算器出力 1 5 1 0 を積分する積分器である。制御回路 1 5 0 6 は、積分器 1 5 0 5 の出力に基づいて制御する制御器である。この制御回路 1 5 0 6 の出力を掛け算器 1 5 0 1 に入力してフィードバックループを形成し、二分探索を行うことで平均波高値 9 0 4 を検出する。

[0090] 制御回路 1 5 0 6 は、平均波高値検出制御信号 8 0 5 が H i g h になると動作を開始し、平均波高値 9 0 4 を最上位ビットから 1 ビットずつ順に H i g h にして、D F E サンプルホールド出力 7 1 8 の平均値との大小を比較（

正負判定)する。この比較により、最上位ビットから1ビットずつ順に値を確定し、平均波高値904を検出する。平均波高値904は、DFE出力データ416と掛け算器1501において掛け合わされ、DAC1502においてアナログ電圧に変換される。

[0091] DAC1502からのDAC出力1508は、比較器1503においてDFEサンプルホールド出力718と大小を比較され、DFEサンプルホールド出力718がDAC出力1508より大きい場合は+1が出力され、小さい場合は-1が出力される。比較器1503からの比較器出力1509は、DFE出力データ416と掛け算器1504において掛け合わされ、DFEサンプルホールド出力718の絶対値がDAC出力1508より大きい場合は、掛け算器出力1510が+1となる。DFEサンプルホールド出力718の絶対値がDAC出力1508より小さい場合は、掛け算器出力1510が-1となる。

[0092] 掛け算器1504からの掛け算器出力1510は、リセット付き積分器1505により、この積分器1505のリセット端子(RST)に入力される制御回路1506からのリセット信号1512がLowの間積分される。積分器1505からの積分器出力1511は制御回路1506に入力され、一定時間後、積分器出力1511の正負が判定される。積分器出力1511が正の場合は平均波高値904のビットをHighに確定し、積分器出力1511が負の場合は平均波高値904のビットをLowに確定する。

[0093] 次に、平均波高値検出器901における平均波高値検出の動作について、図16および図17を用いて説明する。図16および図17は、平均波高値検出の動作シーケンスの一例を示す図である。ここでは、平均波高値検出の例として、平均波高値904を3ビットの信号Vref<2:0>としている。

[0094] まず、制御回路803は、フィルタ係数調整器制御信号809をLowとしてタップ係数の更新を止め、その後、平均波高値検出制御信号805をHighとし、平均波高値検出器901において平均波高値検出を開始する(

S 1 6 0 1, S 1 6 0 2)。

[0095] その後、平均波高値検出器 9 0 1 内の制御回路 1 5 0 6 は、リセット信号 1 5 1 2 を H i g h にしてリセット付き積分器 1 5 0 5 をリセットする (S 1 6 0 3)。その後、制御回路 1 5 0 6 は、平均波高値 9 0 4 の最上位ビット $V_{ref} < 2 >$ を H i g h に設定し、リセット信号 1 5 1 2 を L o w に設定して、リセット付き積分器 1 5 0 5 の動作を開始させる (S 1 6 0 4, S 1 6 0 5)。一定時間後 (S 1 6 0 6、ここでは例として待ち時間を $1 \mu s$ とする)、積分器出力 1 5 1 1 が正であれば (S 1 6 0 7 - Y e s)、制御回路 1 5 0 6 は $V_{ref} < 2 >$ を H i g h に設定する (S 1 6 0 8)。積分器出力 1 5 1 1 が負であれば (S 1 6 0 7 - N o)、制御回路 1 5 0 6 は $V_{ref} < 2 >$ を L o w に設定する (S 1 6 0 9)。

[0096] 次に、制御回路 1 5 0 6 は、リセット信号 1 5 1 2 を H i g h にしてリセット付き積分器 1 5 0 5 をリセットする (S 1 6 1 0)。その後、制御回路 1 5 0 6 は、平均波高値 9 0 4 の 2 番目のビット $V_{ref} < 1 >$ を H i g h に設定し、リセット信号 1 5 1 2 を L o w に設定して、リセット付き積分器 1 5 0 5 の動作を開始させる (S 1 6 1 1, S 1 6 1 2)。一定時間後 (S 1 6 1 3、 $1 \mu s$)、積分器出力 1 5 1 1 が正であれば (S 1 6 1 4 - Y e s)、制御回路 1 5 0 6 は $V_{ref} < 1 >$ を H i g h に設定する (S 1 6 1 5)。積分器出力 1 5 1 1 が負であれば (S 1 6 1 4 - N o)、制御回路 1 5 0 6 は $V_{ref} < 1 >$ を L o w に設定する (S 1 6 1 6)。

[0097] 次に、制御回路 1 5 0 6 は、リセット信号 1 5 1 2 を H i g h にしてリセット付き積分器 1 5 0 5 をリセットする (S 1 6 1 7)。その後、制御回路 1 5 0 6 は、平均波高値 9 0 4 の 3 番目のビット $V_{ref} < 0 >$ を H i g h に設定し、リセット信号 1 5 1 2 を L o w に設定して、リセット付き積分器 1 5 0 5 の動作を開始させる (S 1 6 1 8, S 1 6 1 9)。一定時間後 (S 1 6 2 0、 $1 \mu s$)、積分器出力 1 5 1 1 が正であれば (S 1 6 2 1 - Y e s)、制御回路 1 5 0 6 は $V_{ref} < 0 >$ を H i g h に設定する (S 1 6 2 2)。積分器出力 1 5 1 1 が負であれば (S 1 6 2 1 - N o)、制御回路 1

506はVref<0>をLowに設定する(S1623)。

[0098] その後、制御回路803が判定トリガ信号807をLowからHighに切り替え、比較器902が平均波高値904とDAC分解能切替閾値信号806とを比較する(S1624)。比較の結果、平均波高値904がDAC分解能切替閾値信号806の2倍より小さければ(S1625-Yes)、DAC分解能切替信号802を1に設定する(S1627)。平均波高値904がDAC分解能切替閾値信号806の2倍より大きく3倍より小さければ(S1625-No、S1626-Yes)、DAC分解能切替信号802を2に設定する(S1628)。平均波高値904がDAC分解能切替閾値信号806の3倍より大きければ(S1626-No)、DAC分解能切替信号802を3に設定する(S1629)。

[0099] その後、制御回路803は判定トリガ信号807をLowとし、フィルタ係数調整器制御信号809をHighにして、それまで更新を止めていたタップ係数の更新を開始する(S1630、S1631)。

[0100] <実施の形態1の効果>

以上説明した本実施の形態1における電気信号伝送装置によれば、DFE313は、平均波高値判定器801と制御回路803とが追加されていることで、以下のような効果を得ることができる。

[0101] (1) DFE313は、平均波高値判定器801を有することで、加算器402の出力に基づく平均波高値を検出し、検出した平均波高値と閾値との大小関係を比較する。比較の結果、平均波高値が閾値より大きい場合は、基準値生成回路711の出力の基準値をプログラムで設定された初期値から上げて、DAC706～710の分解能を初期値から粗くする。これにより、DAC706～710の出力範囲を増やすように制御することができる。逆に、平均波高値が閾値より小さい場合は、基準値生成回路711の出力の基準値をプログラムで設定された初期値から下げて、DAC706～710の分解能を初期値から細かくする。これにより、DAC706～710の出力範囲を減らすように制御することができる。

- [0102] (2) DFE 313は、制御回路803を有することで、平均波高値を検出してDAC 706～710の分解能を切り替えるまで、DFE 313におけるフィルタのタップ係数の更新を止めることができる。そして、DAC 706～710の分解能を切り替えた後は、更新を止めていたフィルタのタップ係数の更新を開始することができる。
- [0103] (3) 平均波高値判定器801内の平均波高値検出器901は、ADC 1101、掛け算器1102、引き算器1103、積分器1104、積分器1104の出力から引き算器1103の入力へのフィードバックループを有する。このフィードバックループにより、引き算器1103への入力であるDFE波高値1105と、積分器1104からの出力である平均波高値904とが一致するように動作して平均化を行うため、DFE 313の平均波高値を検出することができる。
- [0104] (4) 平均波高値判定器801内の平均波高値検出器901は、掛け算器1201、DAC 1202、比較器1203、積分器1205、積分器1205の出力を掛け算器1201の入力へのフィードバックループを有する。このフィードバックループにより、平均波高値904をDAC 1202でアナログ値に変換した値と、DFEサンプルホールド出力718の平均値とを一致させるように動作し、DFE 313の平均波高値を検出することができる。この構成によれば、高速なADCが使えない場合に良好に適用することができる。
- [0105] (5) 平均波高値判定器801内の平均波高値検出器901は、掛け算器1501、DAC 1502、比較器1503、積分器1505、制御回路1506、制御回路1506の出力を掛け算器1501の入力へのフィードバックループを有する。このフィードバックループにより、平均波高値904を上ビットから順にHighにして、DFEサンプルホールド出力718の平均値との大小を比較し、上ビットから順に値を確定し、平均波高値を検出することができる。この構成によれば、二分探索を用いて平均波高値を検出する場合に良好に適用することができる。

[0106] (6) 上記(1)により、DAC706～710の出力範囲を増やす(レンジを広くする)、または出力範囲を減らす(レンジを狭くする)ように制御することができるので、DAC706～710のビット数を増やすことなく柔軟に伝送路の違いに対応可能となる。すなわち、DFE313の入力波高値が大きい伝送路では、DAC706～710の出力範囲を広くして大きなタップ係数に対応可能とする。逆に、DFE313の入力波高値が小さい伝送路では、DAC706～710の分解能を小さくして低い量子化雑音への要求に対応可能とする。この結果、伝送路の違いに対応させてDAC706～710の分解能とレンジを最適化することができ、柔軟に伝送路に対応しつつ面積や消費電力の増加を抑えることが可能となる。

[0107] [実施の形態2]

実施の形態2における電気信号伝送装置について、図18～図22を用いて説明する。本実施の形態2における電気信号伝送装置は、上述した実施の形態1における電気信号伝送装置と比較して、判定帰還型等化器(DFE)を、DACの分解能切替だけでなく、フィルタ係数調整器のゲイン切替を行い、タップ係数収束ループゲインを調整する方式とする点が異なっている。以下においては、上述した実施の形態1と異なる点を主に説明する。

[0108] <実施の形態2の判定帰還型等化器(DFE)>

まず、図18を用いて、本実施の形態2のDFE313について説明する。図18は、本実施の形態2のDFE313の構成の一例を示す図である。

[0109] 本実施の形態2のDFE313は、上述した実施の形態1の図8の構成に対して、平均波高値判定器801からフィルタ係数調整器700に出力するゲイン切替信号1701が追加されている。

[0110] <平均波高値判定器>

続いて、上述したDFE313内の平均波高値判定器801について、図19を用いて説明する。図19は、平均波高値判定器801の構成の一例を示す図である。

[0111] 平均波高値判定器801は、上述した実施の形態1の図9の構成に対して

、平均波高値判定器 801 内の比較器 902 からゲイン切替信号 1701 が出力される。すなわち、本実施の形態 2 の平均波高値判定器 801 は、平均波高値検出器 901、比較器 902 から構成され、この比較器 902 からフィルタ係数調整器 700 に対してゲイン切替信号 1701 が出力される。なお、平均波高値検出器 901 は、上述した図 12、図 13、図 15 に示した構成と同様である。

[0112] <フィルタ係数調整器>

続いて、上述した DFE 313 内のフィルタ係数調整器 700 について、図 20 を用いて説明する。図 20 は、フィルタ係数調整器 700 の構成の一例を示す図である。

[0113] フィルタ係数調整器 700 は、判定器 1901、相関器 1902、平均化フィルタ 1903、1904、1905、1906、1907 から構成される。

[0114] 判定器 1901 は、DFE サンプルホールド出力 718 と DFE 出力データ 416 とが入力され、波高値がプログラムなどで設定されている目標波高値より高いか低いかを判定する。判定器 1901 の構成は、図 21 を用いて後述する。判定器 1901 の出力の判定結果 1908 は相関器 1902 に入力され、DFE 出力の遅延データ列 719 との相関を取る。

[0115] DFE 出力データ 416 の 1 クロック前のデータと判定結果 1908 との相関を取ったものを平均化フィルタ 1903 に入力し、タップ 1 係数コード 713 を出力する。同様に、DFE 出力データ 416 の 2～5 クロック前のデータと判定結果 1908 とでそれぞれ相関を取り、それらの結果をそれぞれ平均化フィルタ 1904～1907 に入力して平均化し、タップ 2～5 係数コード 714～717 を出力する。DFE 313 内でタップ係数はフィードバックループで収束するようになっており、判定結果 1908 の平均値が 0 に近づくように各タップ係数が収束する。

[0116] 平均化フィルタ 1903～1907 はフィルタ係数調整器制御信号 809 が High の間、値を更新し、平均波高値判定器 801 内の比較器 902 か

ら出力されるゲイン切替信号1701が高くなると、平均化回数を増やしてゲインを下げるように動作する。逆に、ゲイン切替信号1701が低くなると、平均化回数を減らしてゲインを上げるように動作する。

[0117] <判定器>

続いて、上述したフィルタ係数調整器700内の判定器1901について、図21を用いて説明する。図21は、判定器1901の構成の一例を示す図である。

[0118] 判定器1901は、掛け算器2001、DAC2002、比較器2003から構成される。DFE出力データ416は、プログラムなどで設定されている目標波高値と掛け算器2001において掛け合わされ、DAC2002においてアナログ電圧に変換される。DAC2002からの出力は、比較器2003においてDFEサンプルホールド出力718と大小を比較され、DFEサンプルホールド出力718がDAC2002の出力より大きい場合は+1が出力され、小さい場合は-1が出力される。

[0119] <平均波高値検出の動作>

続いて、上述したDFE313における平均波高値検出の動作を、図22を用いて説明する。図22は、平均波高値検出の動作シーケンスの一例を示す図である。

[0120] まず、制御回路803は、フィルタ係数調整器制御信号809をLowとしてタップ係数の更新を止め、その後、平均波高値検出制御信号805をHighとし、平均波高値検出器901において平均波高値検出を開始する（S2101，S2102）。その後、待ち時間を経て、制御回路803が判定トリガ信号807をLowからHighに切り替えると、比較器902は平均波高値904とDAC分解能切替閾値信号806とを比較する（S2103，S2104）。

[0121] 比較の結果、平均波高値904がDAC分解能切替閾値信号806の2倍より小さければ（S2105－Yes）、DAC分解能切替信号802を1に設定し、ゲイン切替信号1701を1に設定する（S2107）。平均波

高値 904 が DAC 分解能切替閾値信号 806 の 2 倍より大きく 3 倍より小さければ (S2105-No、S2106-Yes)、DAC 分解能切替信号 802 を 2 に設定し、ゲイン切替信号 1701 を 2 に設定する (S2108)。平均波高値 904 が DAC 分解能切替閾値信号 806 の 3 倍より大きければ (S2106-No)、DAC 分解能切替信号 802 を 3 に設定し、ゲイン切替信号 1701 を 3 に設定する (S2109)。

[0122] その後、制御回路 803 は、判定トリガ信号 807 を Low とし、フィルタ係数調整器制御信号 809 を High にして、それまで更新を止めていたタップ係数の更新を開始する (S2110, S2111)。

[0123] <実施の形態 2 の効果>

以上説明した本実施の形態 2 における電気信号伝送装置によれば、上述した実施の形態 1 と同様の効果 ((1) ~ (6)) に加えて、以下のような異なる効果を得ることができる。

[0124] (11) DFE313 は、平均波高値判定器 801 からフィルタ係数調整器 700 に出力するゲイン切替信号 1701 が追加されている。これにより、DAC 706 ~ 710 の分解能切替だけでなく、フィルタ係数調整器 700 のゲイン切替を行い、タップ係数収束ループゲインを調整することができる。この結果、DAC 706 ~ 710 の分解能を切り替え、かつ、フィルタ係数調整器 700 のゲインを分解能の増減方向と逆方向に切り替えることで、フィルタのタップ係数収束ループのゲインの変化を抑えることができる。

[0125] (12) DFE313 は、制御回路 803 を有することで、平均波高値を検出して DAC 706 ~ 710 の分解能を切り替え、かつ、フィルタ係数調整器 700 のゲインを切り替えるまで、DFE313 におけるフィルタのタップ係数の更新を止めることができる。そして、DAC 706 ~ 710 の分解能を切り替え、かつ、フィルタ係数調整器 700 のゲインを切り替えた後は、更新を止めていたフィルタのタップ係数の更新を開始することができる。

[0126] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明

したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、上記した実施の形態は、本発明を分かり易く説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施の形態の構成の一部を他の実施の形態の構成に置き換えることが可能であり、また、ある実施の形態の構成に他の実施の形態の構成を加えることも可能である。また、各実施の形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

符号の説明

[0127] 101…装置内基板、102…信号処理用半導体集積回路装置、103…通信用半導体集積回路装置、104…コネクタ、

201…装置内基板、202…装置内伝送路基板、203…装置内基板、204…信号処理用半導体集積回路装置、205…中継器、206…中継器、207…通信用半導体集積回路装置、208…コネクタ、209…コネクタ、210…コネクタ、

301…半導体集積回路装置、302…伝送路、303…半導体集積回路装置、304…送信機、305…信号処理部、306…パラレルシリアル変換器、307…FFE、309…PLL、310…受信機、311…信号処理部、312…CTLE、313…DFE、314…PLL、315…CDR、316…シリアルパラレル変換器、318…CTLE出力、319…DFEクロック、

401…DFEタップ加算出力、402…加算器、403…サンプルホールド回路、404…比較器、405…タップ1可変アンプ、406…タップ2可変アンプ、407…タップ3可変アンプ、408…タップ4可変アンプ、409…タップ5可変アンプ、410…シフトレジスタ、411…フリップフロップ、412…フリップフロップ、413…フリップフロップ、414…フリップフロップ、415…フリップフロップ、416…DFE出力データ、

501…タップ1、502…タップ2、503…タップ3、504…タップ4、505…タップ5、

700…フィルタ係数調整器、701…掛け算器、702…掛け算器、703…掛け算器、704…掛け算器、705…掛け算器、706…DAC、707…DAC、708…DAC、709…DAC、710…DAC、711…基準値生成回路、712…基準値、713…タップ1係数コード、714…タップ2係数コード、715…タップ3係数コード、716…タップ4係数コード、717…タップ5係数コード、718…DFEサンプルホールド出力、719…遅延データ列、

801…平均波高値判定器、802…DAC分解能切替信号、803…制御回路、805…平均波高値検出制御信号、806…DAC分解能切替閾値信号、807…判定トリガ信号、808…DAC分解能切替信号初期値、809…フィルタ係数調整器制御信号、

901…平均波高値検出器、902…比較器、904…平均波高値、

1001…基準電流源、1002…電流源回路、1003…電流ミラー回路、1004…電流ミラー回路、1005…電流ミラー回路、1006…スイッチ、1007…スイッチ、1008…スイッチ、1009…電流源回路、

1101…ADC、1102…掛け算器、1103…引き算器、1104…積分器、1105…DFE波高値、

1201…掛け算器、1202…DAC、1203…比較器、1204…掛け算器、1205…積分器、1208…平均出力電圧、1210…波高値比較結果、

1501…掛け算器、1502…DAC、1503…比較器、1504…掛け算器、1505…リセット付き積分器、1506…制御回路、1508…DAC出力、1509…比較器出力、1510…掛け算器出力、1511…積分器出力、1512…リセット信号、

1701…ゲイン切替信号、

1901…判定器、1902…相関器、1903…平均化フィルタ、1904…平均化フィルタ、1905…平均化フィルタ、1906…平均化フィルタ、1907…平均化フィルタ、1908…判定結果、2001…掛け算器、2002…DAC、2003…比較器。

請求の範囲

[請求項1]

判定帰還型等化器を有する電気信号伝送装置であって、
前記判定帰還型等化器は、
受信信号が入力され、前記受信信号にフィルタのタップを加算する加算器と、
前記加算器の出力の正負を判定して出力する比較器と、
前記比較器の出力を、入力されるクロックの周期の整数倍で遅延させるシフトレジスタと、
入力制御信号に応じて出力の基準値を切り替える基準回路と、
フィルタのタップ係数をデジタルアナログ変換するデジタルアナログ変換器と、
前記デジタルアナログ変換器の出力と前記シフトレジスタの出力とを掛け算した前記フィルタのタップを前記加算器に出力する掛け算器と、
前記加算器の出力と前記比較器の出力と前記シフトレジスタの出力とが入力され、前記デジタルアナログ変換器に前記フィルタのタップ係数を出力し、前記フィルタのタップ係数をフィードバックループにより調整するフィルタ係数調整器と、
前記加算器の出力とプログラムで設定された閾値とが入力され、判定結果を制御信号として前記基準回路に出力し、前記加算器の出力の平均波高値を検出し、検出した平均波高値と前記閾値との大小関係を比較して、前記平均波高値が前記閾値より大きい場合は前記基準回路の出力の基準値をプログラムで設定された初期値から上げて、前記デジタルアナログ変換器の分解能を初期値から粗くし、前記平均波高値が前記閾値より小さい場合は前記基準回路の出力の基準値を前記プログラムで設定された初期値から下げて、前記デジタルアナログ変換器の分解能を初期値から細かくする平均波高値判定器と、
を有する、電気信号伝送装置。

- [請求項2] 請求項1記載の電気信号伝送装置において、
前記判定帰還型等化器は、
前記平均波高値を検出して前記デジタルアナログ変換器の分解能を切り替えるまで、前記判定帰還型等化器における前記フィルタのタップ係数の更新を止める制御器をさらに有する、電気信号伝送装置。
- [請求項3] 請求項1記載の電気信号伝送装置において、
前記平均波高値判定器は、
前記平均波高値を検出する平均波高値検出器と、
前記平均波高値検出器で検出した前記平均波高値と前記閾値との大小関係を比較する第1の比較器と、
を有し、
前記平均波高値検出器は、
前記加算器の出力をアナログデジタル変換するアナログデジタル変換器と、
前記アナログデジタル変換器の出力と前記比較器の出力とを掛け算する第1の掛け算器と、
前記第1の掛け算器の出力から前記平均波高値検出器の出力を引き算する引き算器と、
前記引き算器の出力を積分する、ゲインの可変機能を持つ積分器と、
前記積分器の出力を前記平均波高値検出器の出力として前記引き算器に入力して前記第1の掛け算器の出力から引き算することで前記平均波高値を検出するフィードバックループと、
を有する、電気信号伝送装置。
- [請求項4] 請求項1記載の電気信号伝送装置において、
前記平均波高値判定器は、
前記平均波高値を検出する平均波高値検出器と、
前記平均波高値検出器で検出した前記平均波高値と前記閾値との大

小関係を比較する第 1 の比較器と、

を有し、

前記平均波高値検出器は、

前記平均波高値検出器の出力と前記比較器の出力とを掛け算する第 1 の掛け算器と、

前記第 1 の掛け算器の出力をデジタルアナログ変換する第 1 のデジタルアナログ変換器と、

前記第 1 のデジタルアナログ変換器の出力と前記加算器の出力との大小を比較する第 1 の比較器と、

前記第 1 の比較器の出力を積分する、ゲインの可変機能を持つ積分器と、

前記積分器の出力を前記平均波高値検出器の出力として前記第 1 の掛け算器に入力することで前記平均波高値を検出するフィードバックループと、

を有する、電気信号伝送装置。

[請求項5]

請求項 1 記載の電気信号伝送装置において、

前記平均波高値判定器は、

前記平均波高値を検出する平均波高値検出器と、

前記平均波高値検出器で検出した前記平均波高値と前記閾値との大小関係を比較する第 1 の比較器と、

を有し、

前記平均波高値検出器は、

前記平均波高値検出器の出力と前記比較器の出力とを掛け算する第 1 の掛け算器と、

前記第 1 の掛け算器の出力をデジタルアナログ変換する第 1 のデジタルアナログ変換器と、

前記第 1 のデジタルアナログ変換器の出力と前記加算器の出力との大小を比較する第 1 の比較器と、

前記第 1 の比較器の出力を積分する、ゲインの可変機能を持つ積分器と、

前記積分器の出力に基づいて制御する制御器と、

前記制御器から出力される前記平均波高値検出器の出力を前記第 1 の掛け算器に入力し、前記平均波高値検出器の出力を最上位ビットから 1 ビットずつ High にしては前記平均波高値検出器の比較結果の正負を判定して前記平均波高値検出器の出力のビットを最上位ビットから 1 ビットずつ確定させる二分探索を行うことで前記平均波高値を検出するフィードバックループと、

を有する、電気信号伝送装置。

[請求項 6] 請求項 1 記載の電気信号伝送装置において、
前記平均波高値判定器は、

前記デジタルアナログ変換器の分解能を切り替え、かつ、前記フィルタ係数調整器のゲインを前記分解能の増減方向と逆方向に切り替えることで、前記フィルタのタップ係数収束ループのゲインの変化を抑える、電気信号伝送装置。

[請求項 7] 請求項 6 記載の電気信号伝送装置において、
前記判定帰還型等化器は、

前記平均波高値を検出して前記デジタルアナログ変換器の分解能を切り替え、かつ、前記フィルタ係数調整器のゲインを切り替えるまで、前記判定帰還型等化器における前記フィルタのタップ係数の更新を止める制御器をさらに有する、電気信号伝送装置。

[請求項 8] 請求項 1 記載の電気信号伝送装置において、
前記判定帰還型等化器を有する受信機を有し、
前記受信機は、

伝送路を通じて受信した信号を高周波側の利得が高くなるように増幅する受信側等化器と、

前記受信側等化器の出力信号に対して符号間干渉成分と反射成分と

をフィルタ処理する前記判定帰還型等化器と、

前記判定帰還型等化器の出力信号からエッジを検出し、クロックの位相を調整するリカバリ回路と、

前記リカバリ回路に位相を同期させるためのクロックを供給する受信側PLL回路と、

前記判定帰還型等化器でサンプルホールドされた信号を複数の遅延信号に変換するシリアルパラレル変換器と、

を有する、電気信号伝送装置。

[請求項9]

請求項8記載の電気信号伝送装置において、

前記受信機で受信する信号を伝送路を通じて送信する送信機を有し、

前記送信機は、

送信する信号をパラレル伝送からシリアル伝送に変換するパラレルシリアル変換器と、

前記パラレルシリアル変換器の出力信号に対して低周波側のゲインを下げるように波形等化する送信側等化器と、

前記送信側等化器に位相を同期させるためのクロックを供給する送信側PLL回路と、

を有する、電気信号伝送装置。

[請求項10]

送信信号を送信する送信機と、前記送信機から送信された信号を伝達する伝送路と、前記伝送路を通じて伝達された信号を受信する受信機と、を有する電気信号伝送装置であって、

前記受信機は、判定帰還型等化器を有し、

前記判定帰還型等化器は、

受信信号が入力され、前記受信信号にフィルタのタップを加算する加算器と、

前記加算器の出力の正負を判定して出力する比較器と、

前記比較器の出力を、入力されるクロックの周期の整数倍で遅延さ

せるシフトレジスタと、

入力制御信号に応じて出力の基準値を切り替える基準回路と、

フィルタのタップ係数をデジタルアナログ変換するデジタルアナログ変換器と、

前記デジタルアナログ変換器の出力と前記シフトレジスタの出力とを掛け算した前記フィルタのタップを前記加算器に出力する掛け算器と、

前記加算器の出力と前記比較器の出力と前記シフトレジスタの出力とが入力され、前記デジタルアナログ変換器に前記フィルタのタップ係数を出力し、前記フィルタのタップ係数をフィードバックループにより調整するフィルタ係数調整器と、

前記加算器の出力とプログラムで設定された閾値とが入力され、判定結果を制御信号として前記基準回路に出力し、前記加算器の出力の平均波高値を検出し、検出した平均波高値と前記閾値との大小関係を比較して、前記平均波高値が前記閾値より大きい場合は前記基準回路の出力の基準値をプログラムで設定された初期値から上げて、前記デジタルアナログ変換器の分解能を初期値から粗くし、前記平均波高値が前記閾値より小さい場合は前記基準回路の出力の基準値を前記プログラムで設定された初期値から下げて、前記デジタルアナログ変換器の分解能を初期値から細かくする平均波高値判定器と、

を有する、電気信号伝送装置。

[請求項11]

請求項10記載の電気信号伝送装置において、

前記判定帰還型等化器は、

前記平均波高値を検出して前記デジタルアナログ変換器の分解能を切り替えるまで、前記判定帰還型等化器における前記フィルタのタップ係数の更新を止める制御器をさらに有する、電気信号伝送装置。

[請求項12]

請求項10記載の電気信号伝送装置において、

前記平均波高値判定器は、

前記デジタルアナログ変換器の分解能を切り替え、かつ、前記フィルタ係数調整器のゲインを前記分解能の増減方向と逆方向に切り替えることで、前記フィルタのタップ係数収束ループのゲインの変化を抑える、電気信号伝送装置。

[請求項13]

請求項12記載の電気信号伝送装置において、

前記判定帰還型等化器は、

前記平均波高値を検出して前記デジタルアナログ変換器の分解能を切り替え、かつ、前記フィルタ係数調整器のゲインを切り替えるまで、前記判定帰還型等化器における前記フィルタのタップ係数の更新を止める制御器をさらに有する、電気信号伝送装置。

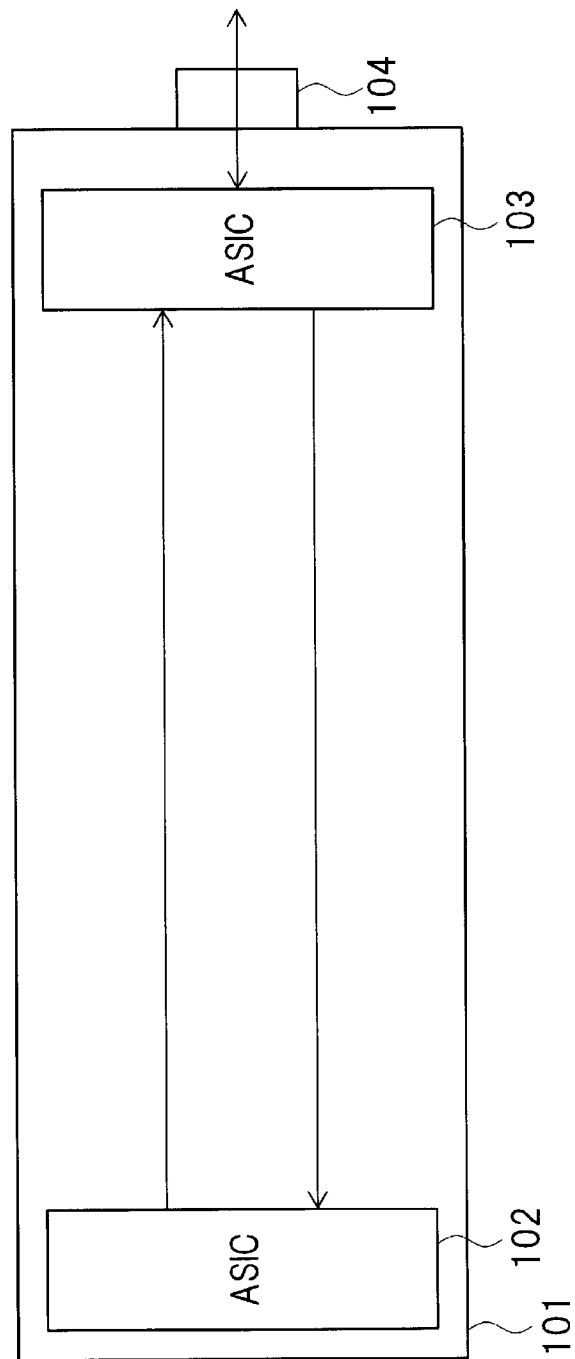
[請求項14]

請求項10記載の電気信号伝送装置において、

前記送信機は第1の半導体集積回路装置で形成され、前記受信機は前記第1の半導体集積回路装置とは異なる第2の半導体集積回路装置で形成されている、電気信号伝送装置。

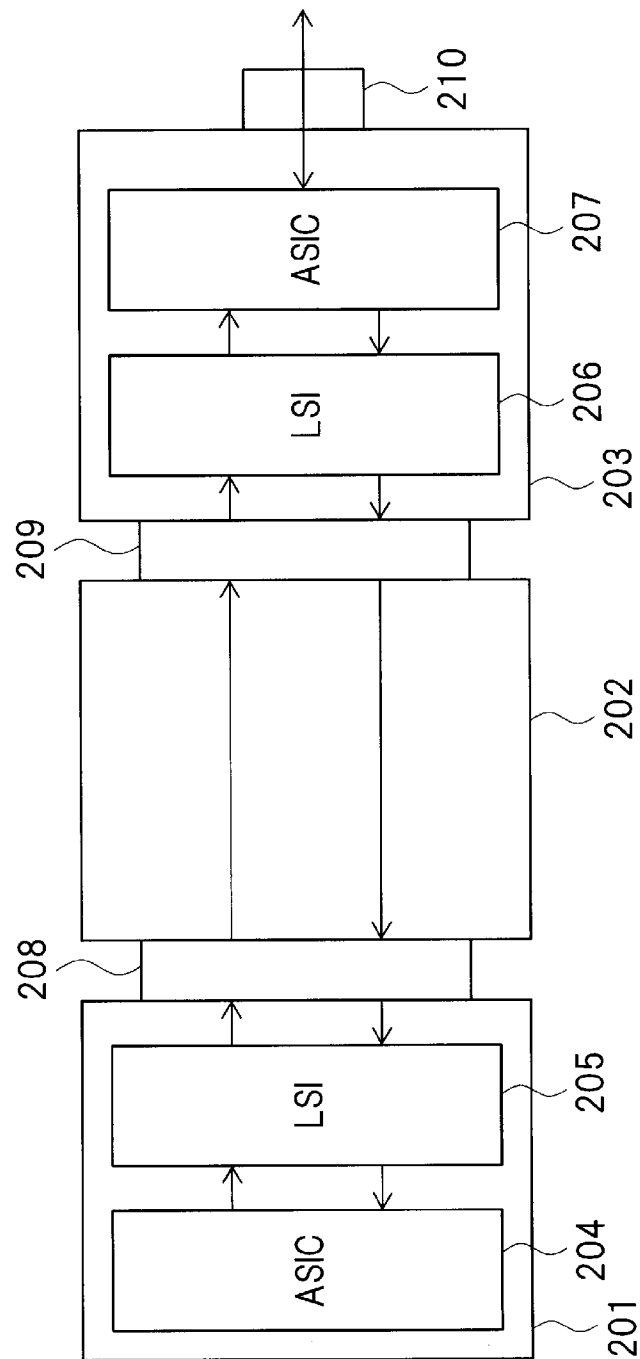
[図1]

図 1



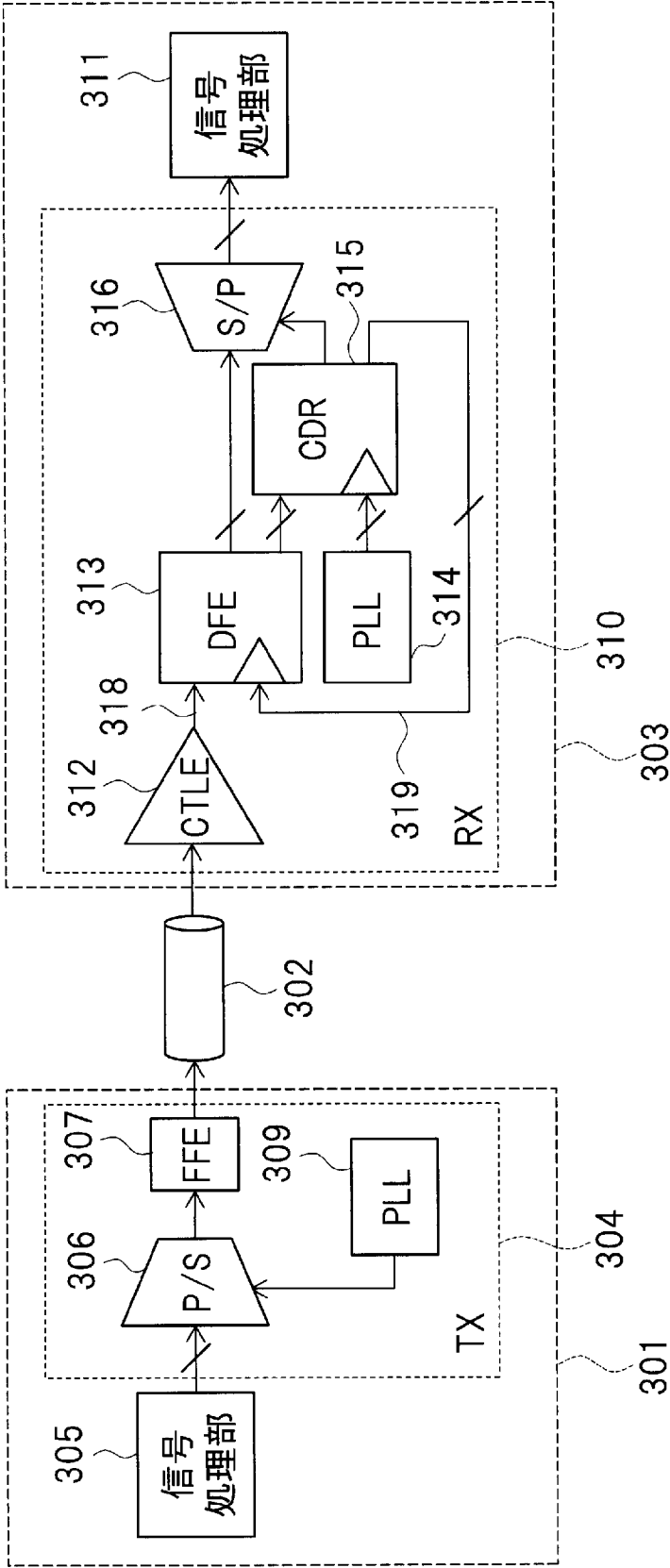
[図2]

図 2



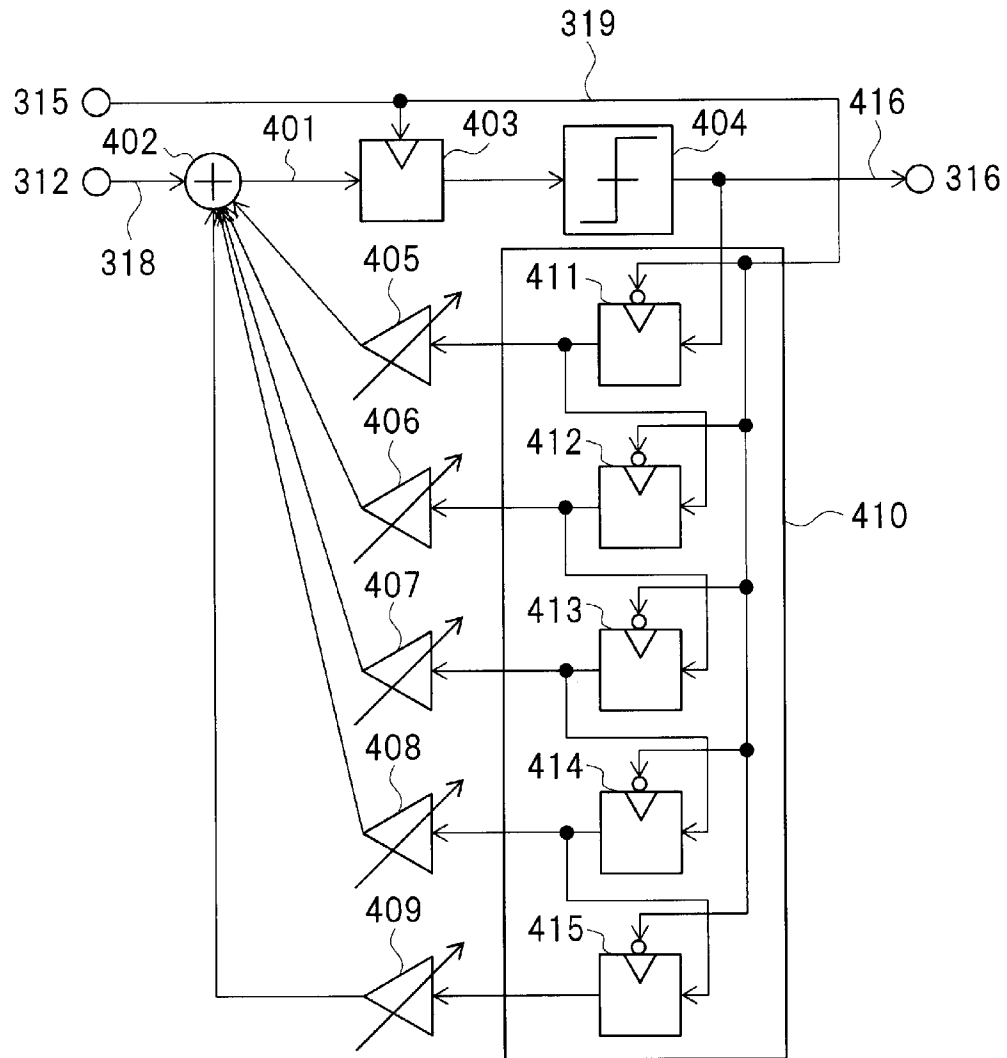
[図3]

図 3



[図4]

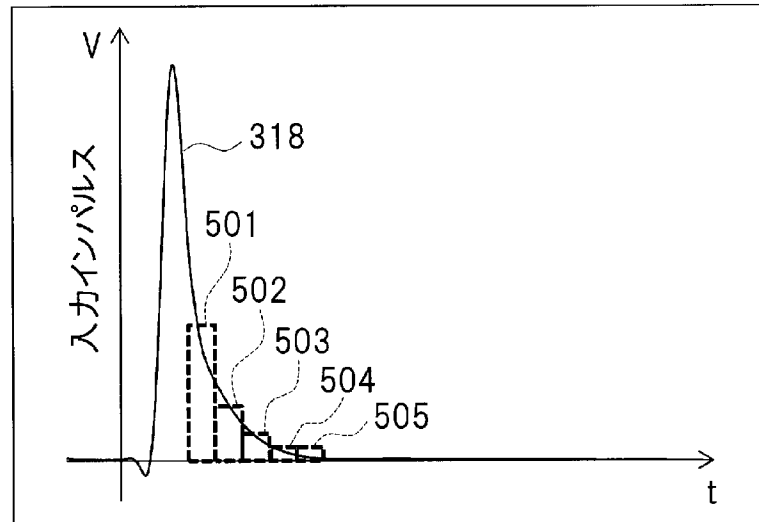
図 4



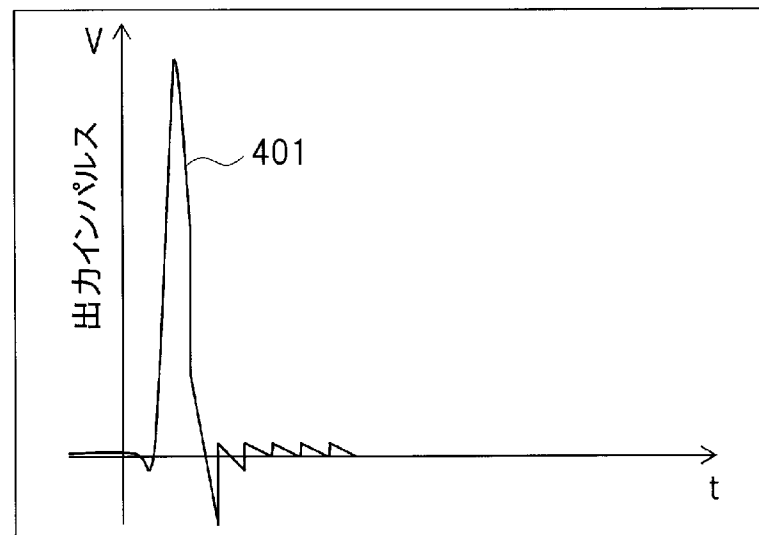
[図5]

図 5

(a)

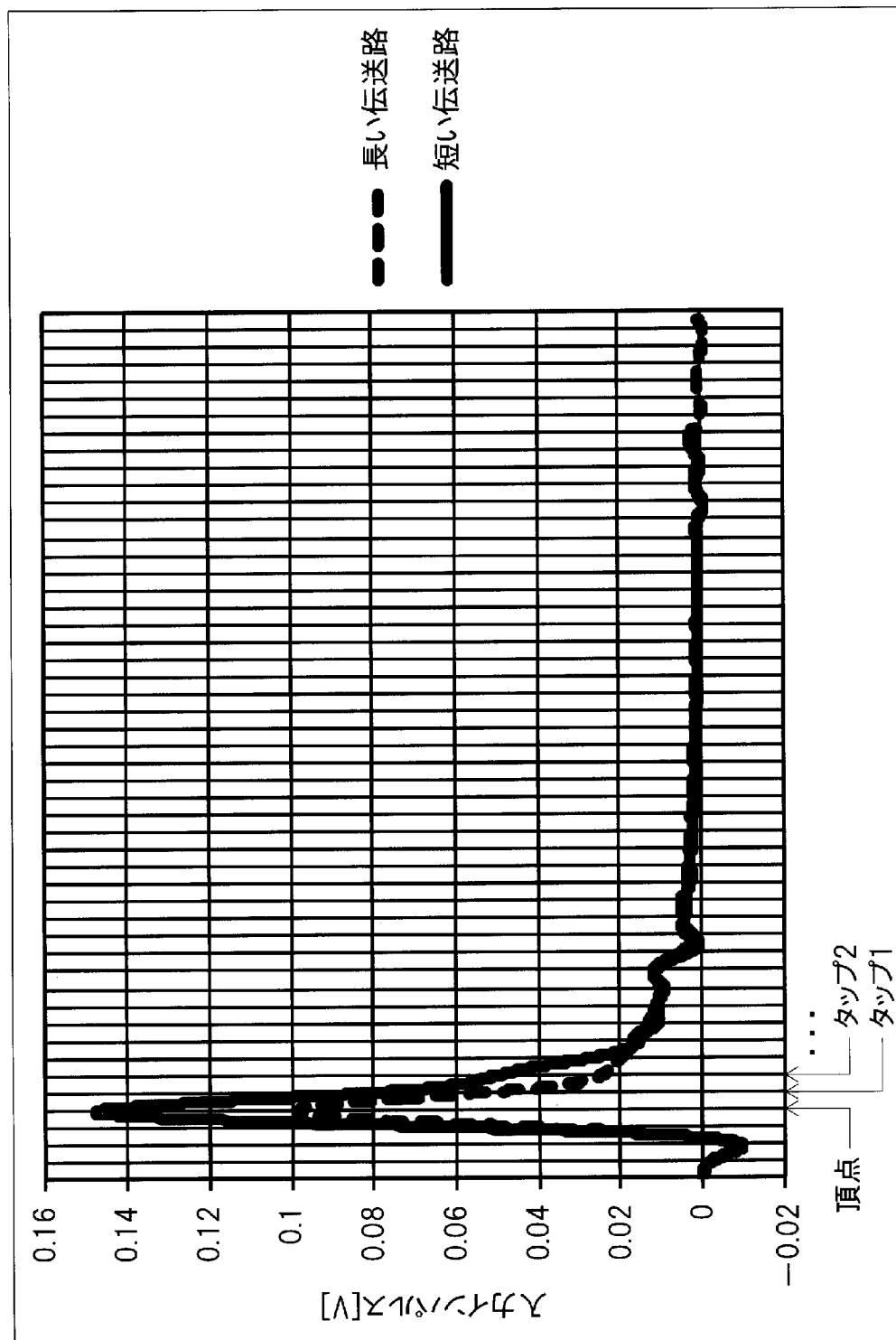


(b)



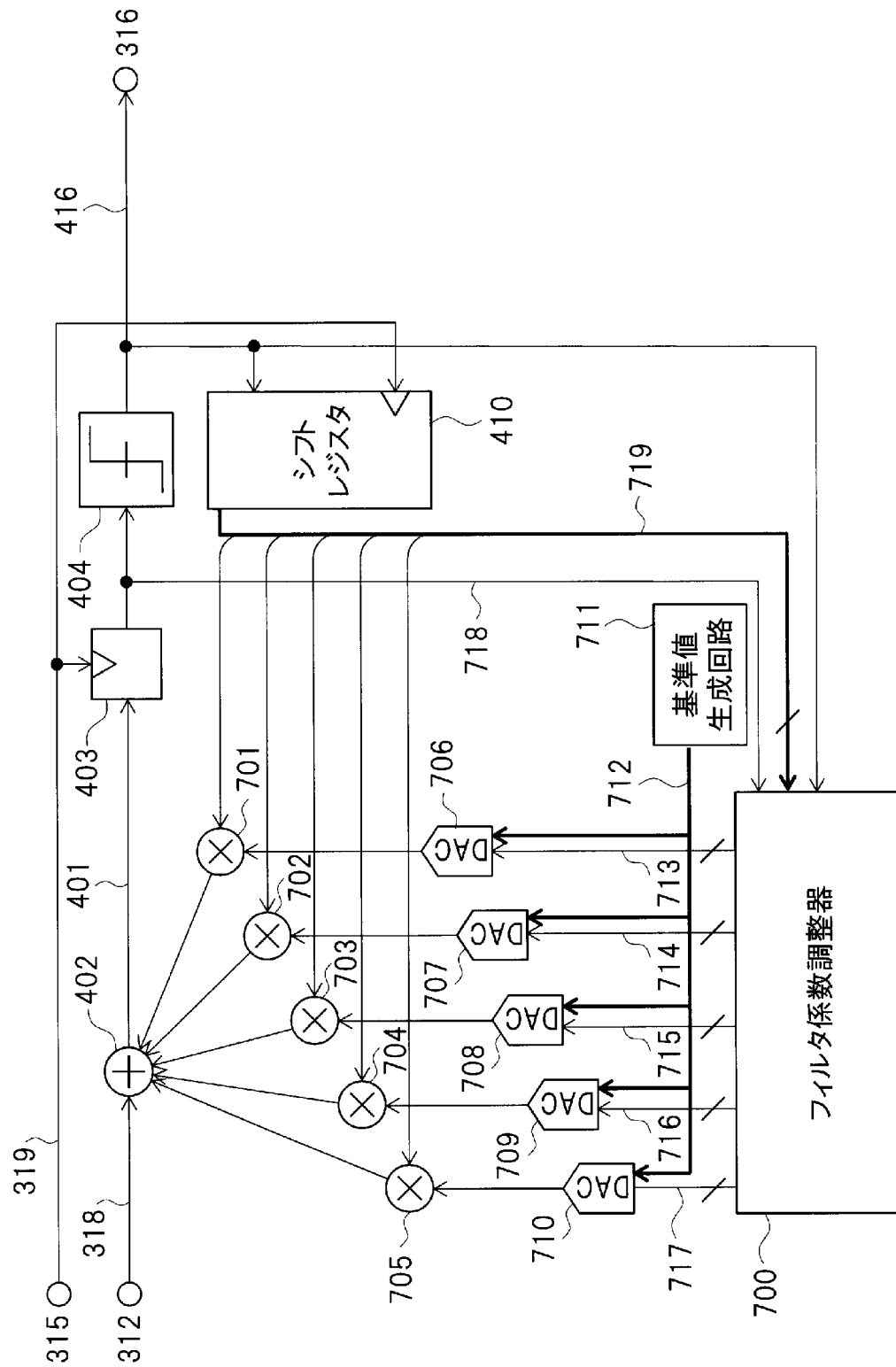
[図6]

図 6

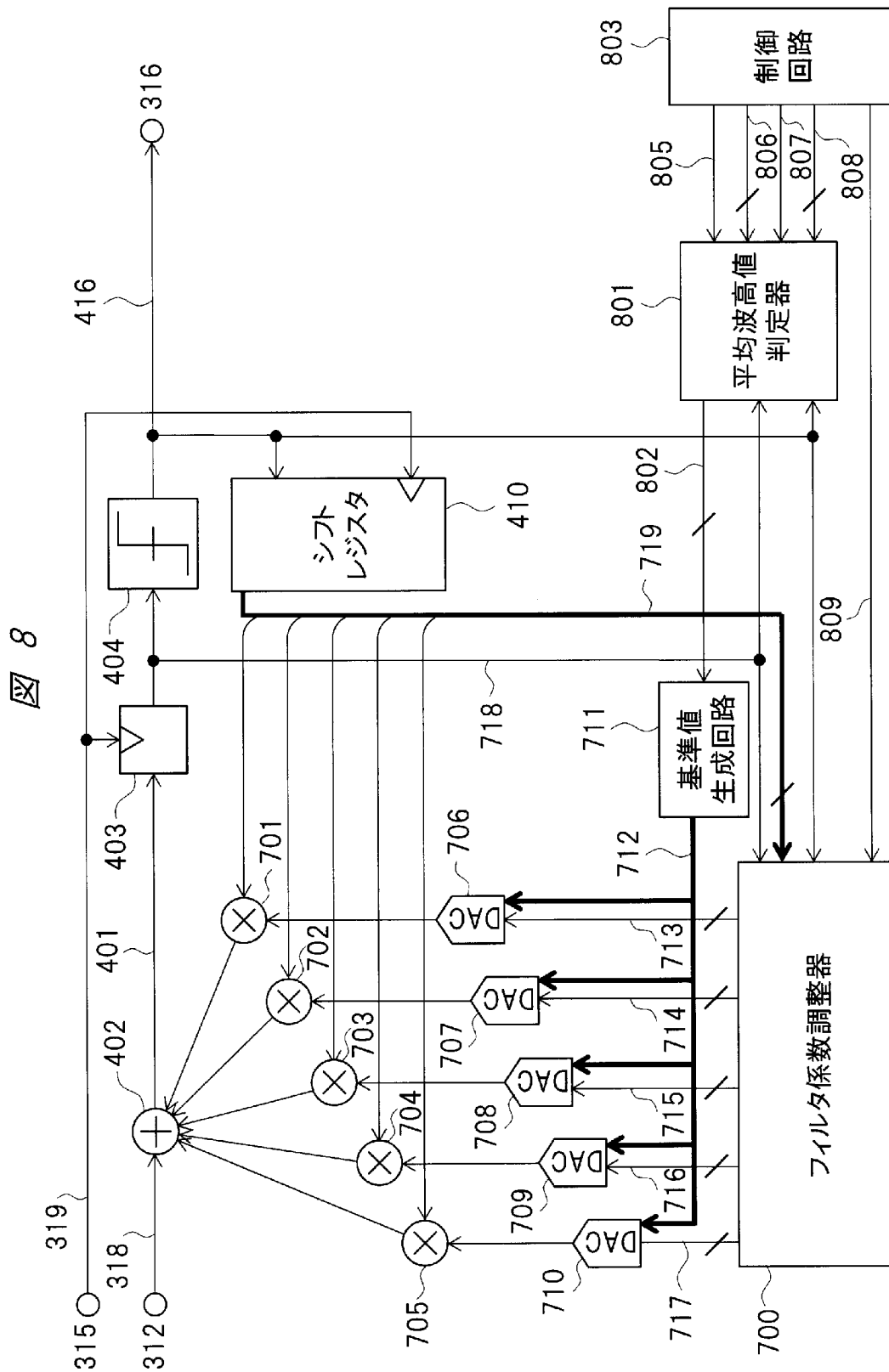


7

☒ 7

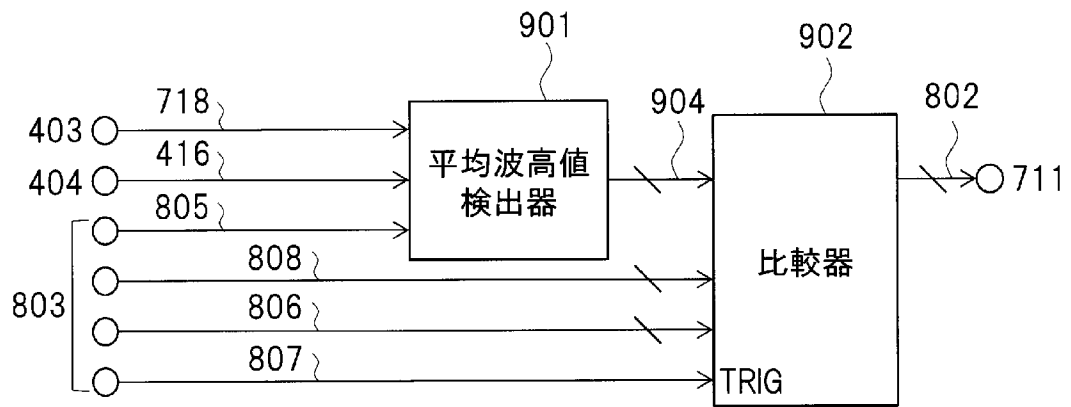


[図8]



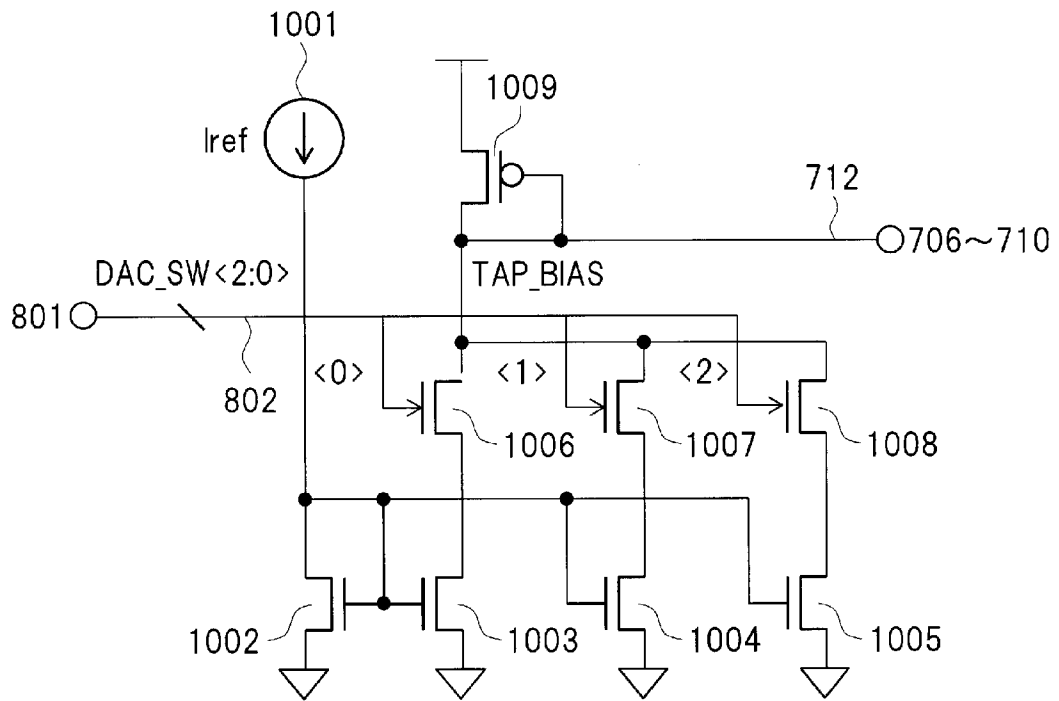
[図9]

図 9



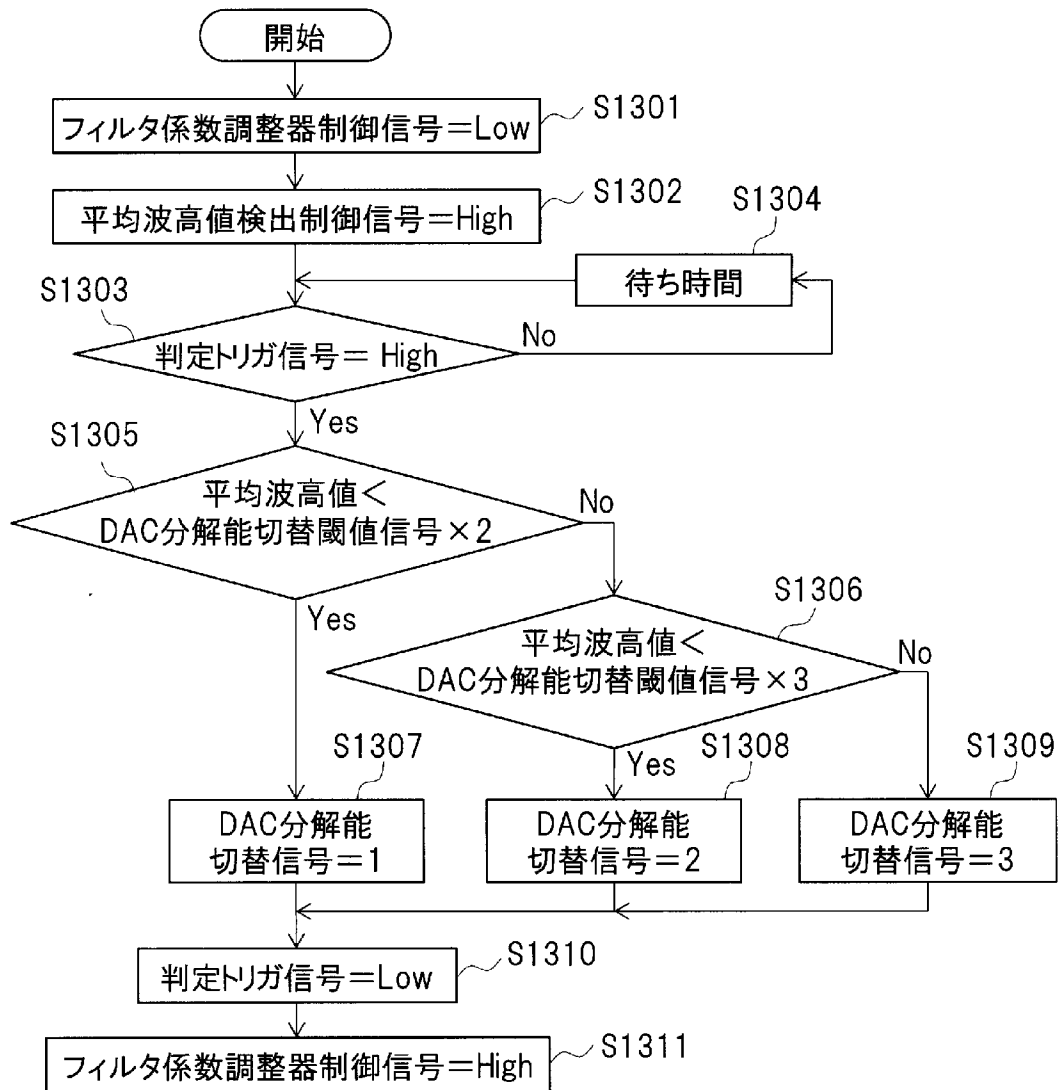
[図10]

図 10



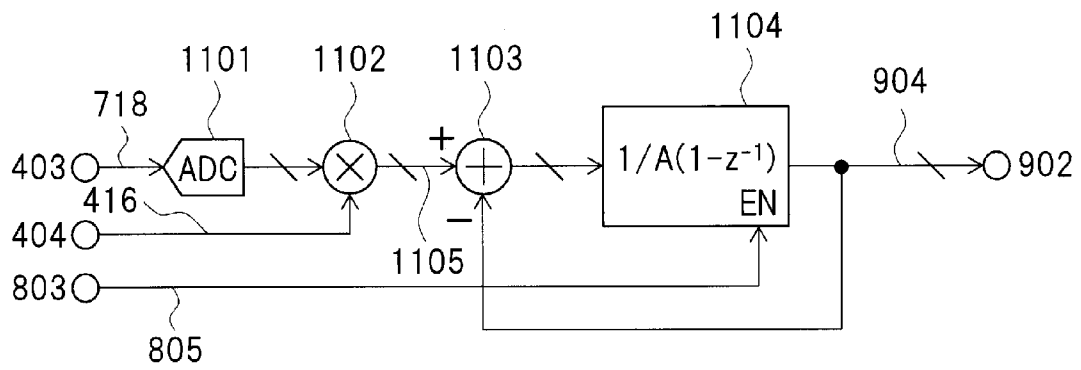
[図11]

図 11



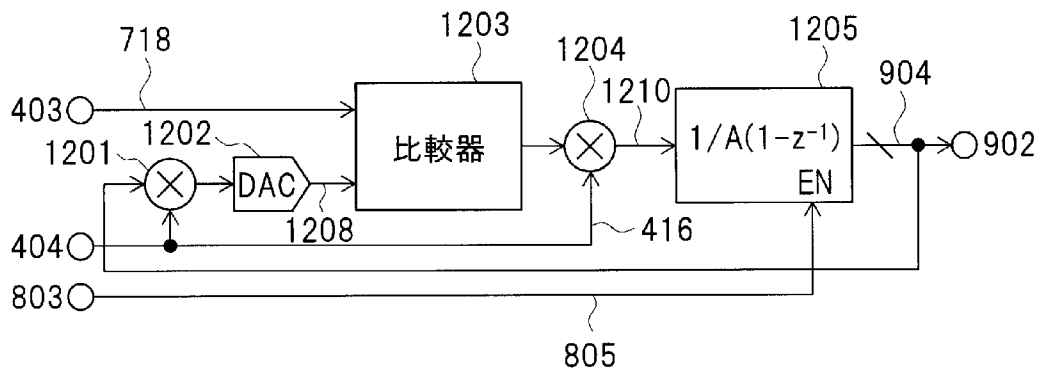
[図12]

図 12



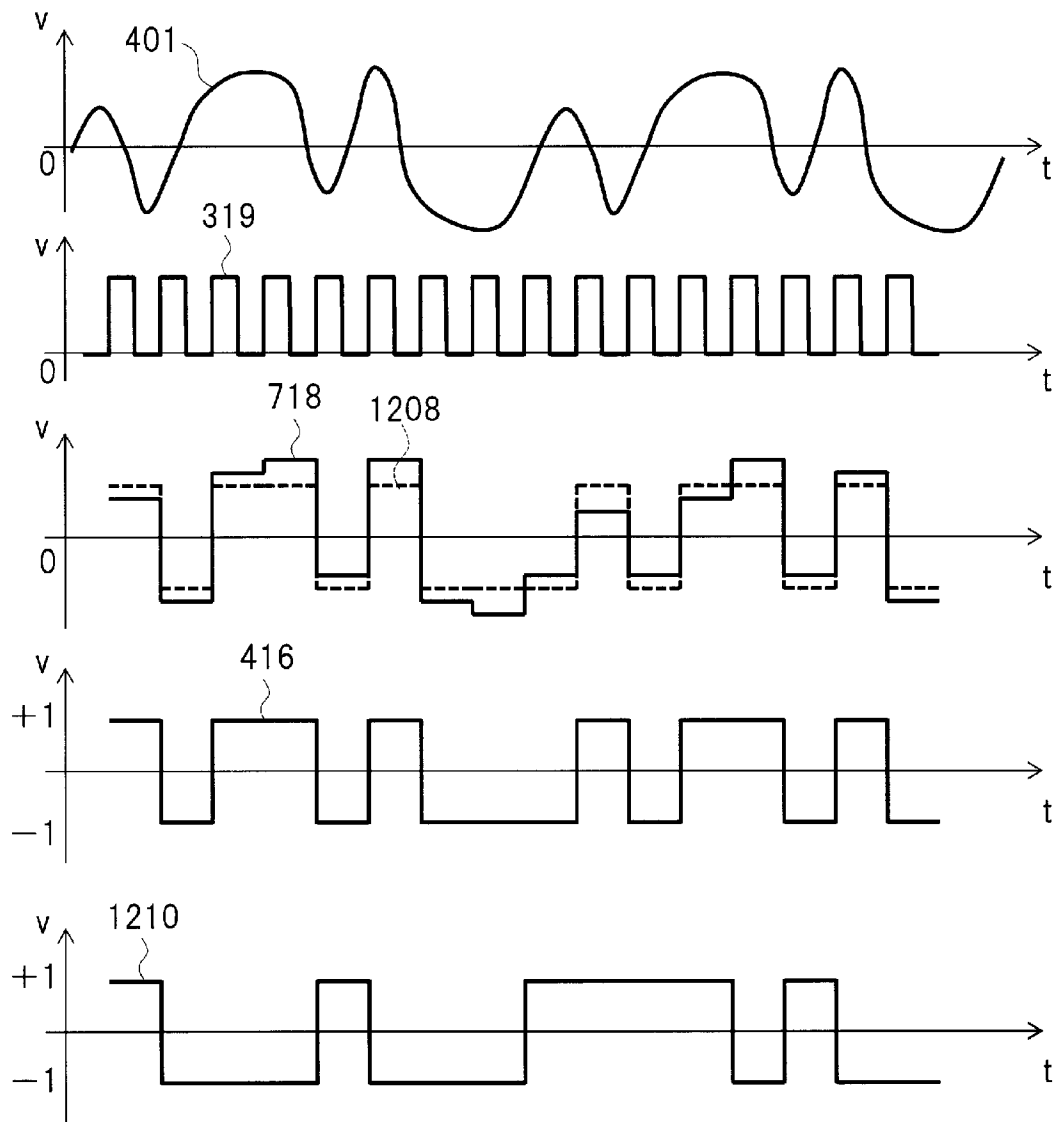
[図13]

図 13



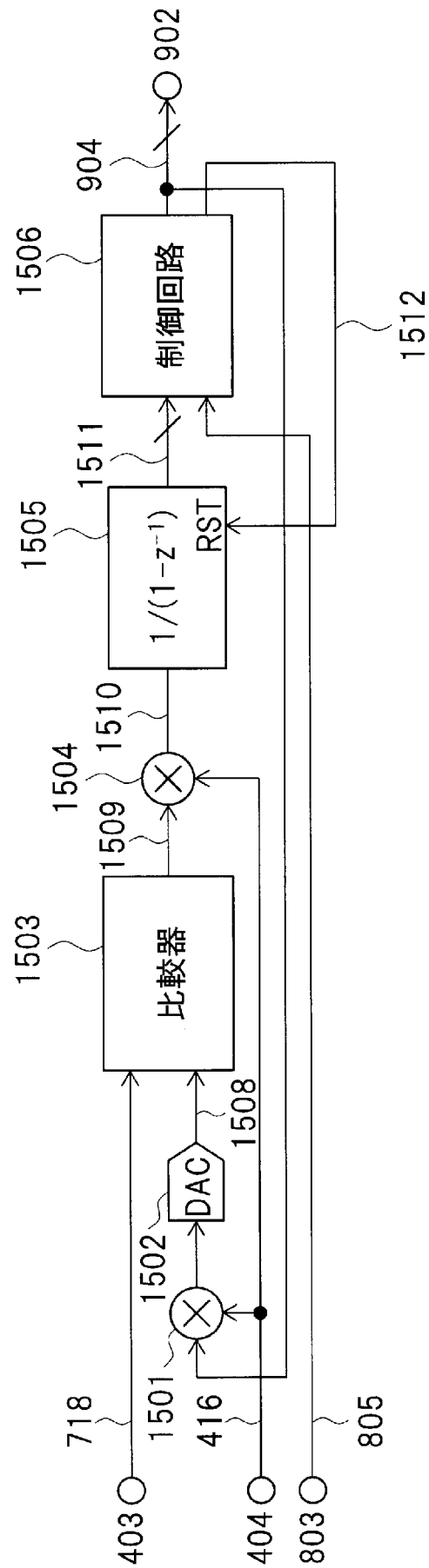
[図14]

図 14



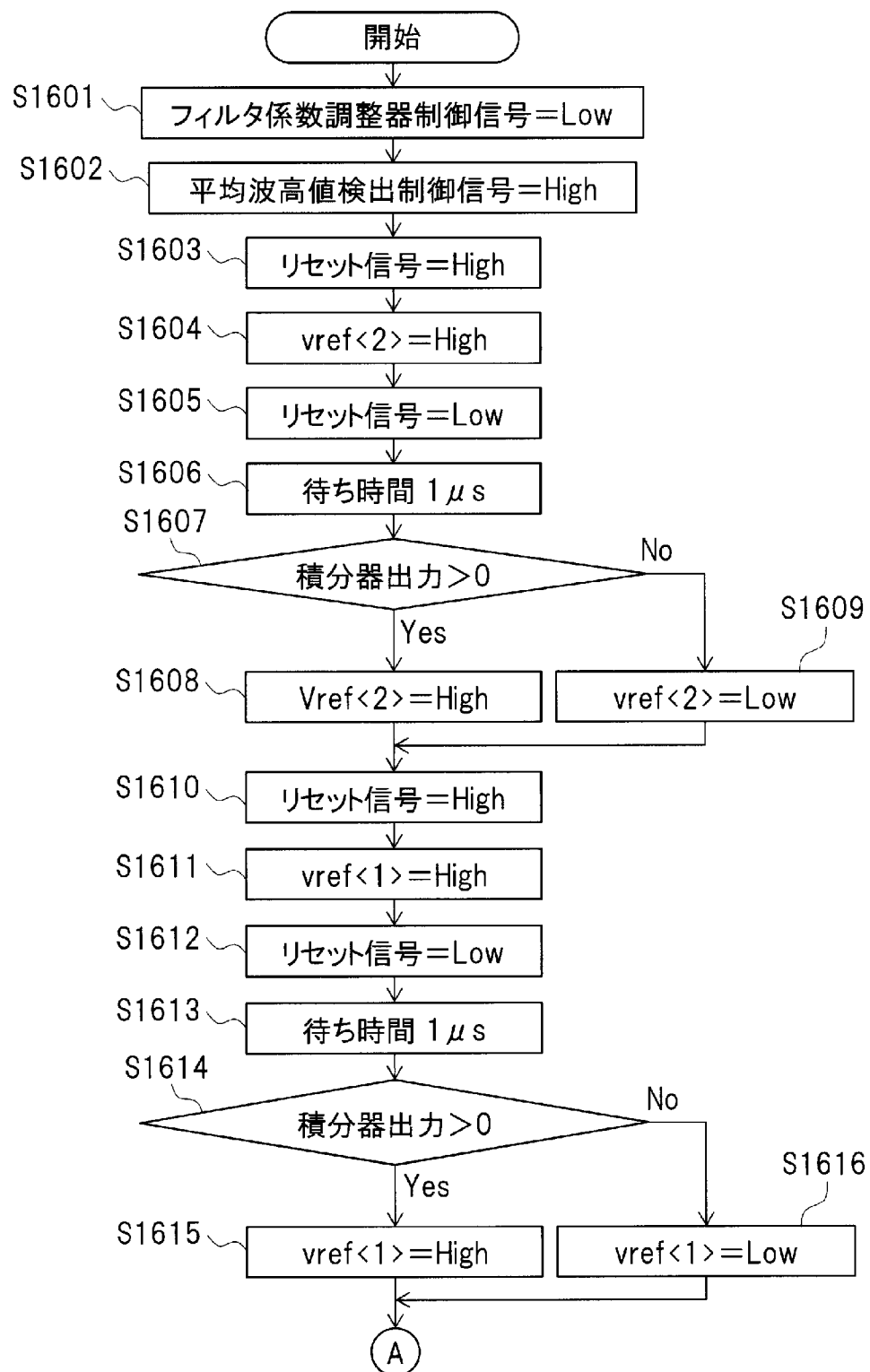
[図15]

図 15



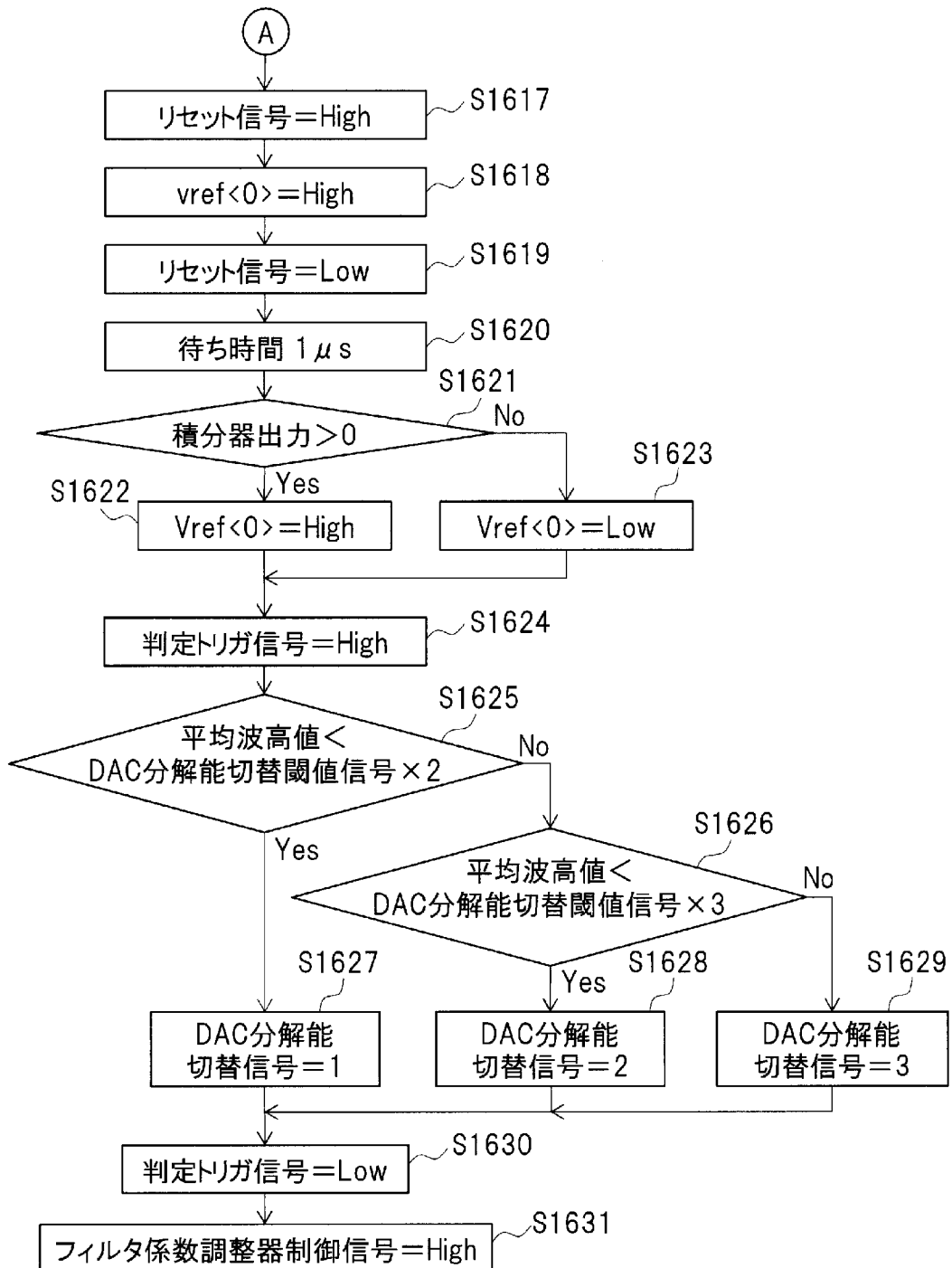
[図16]

図 16

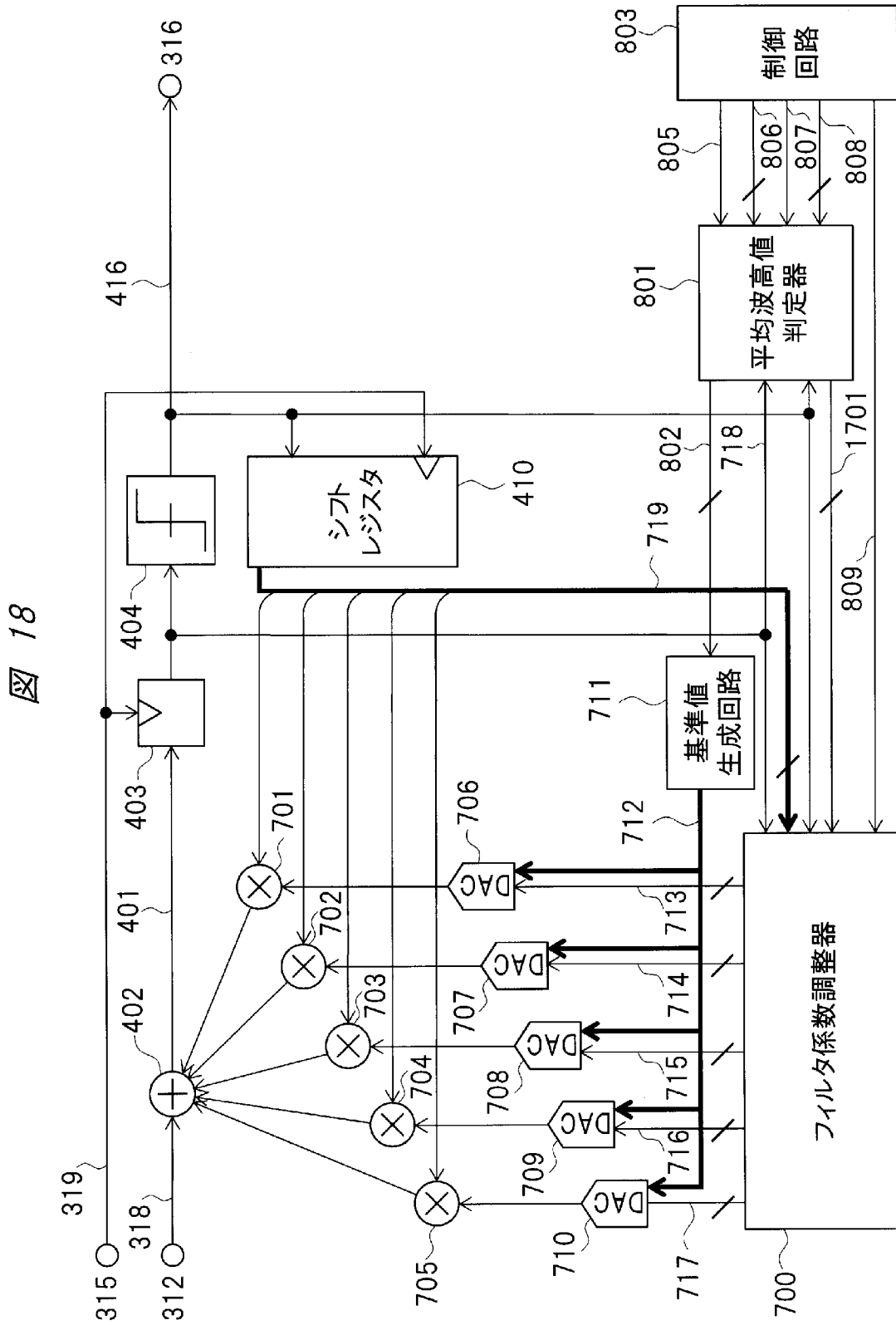


[図17]

図 17

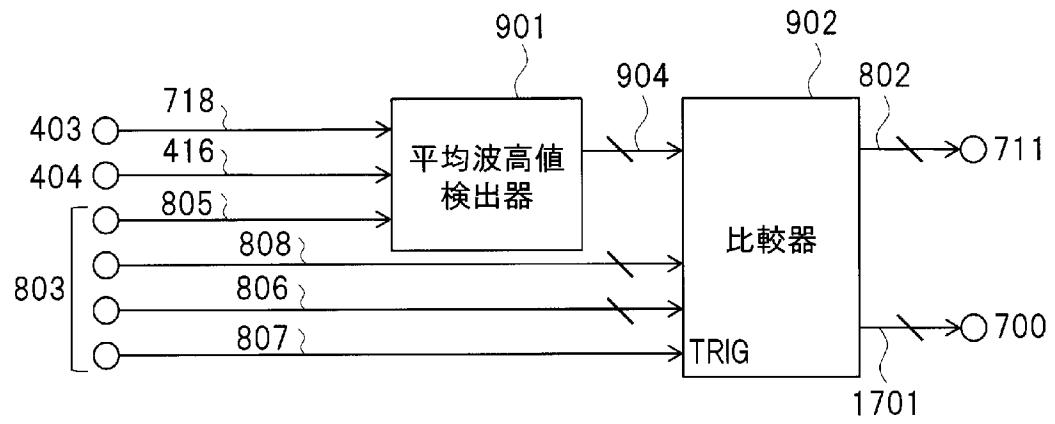


[図18]

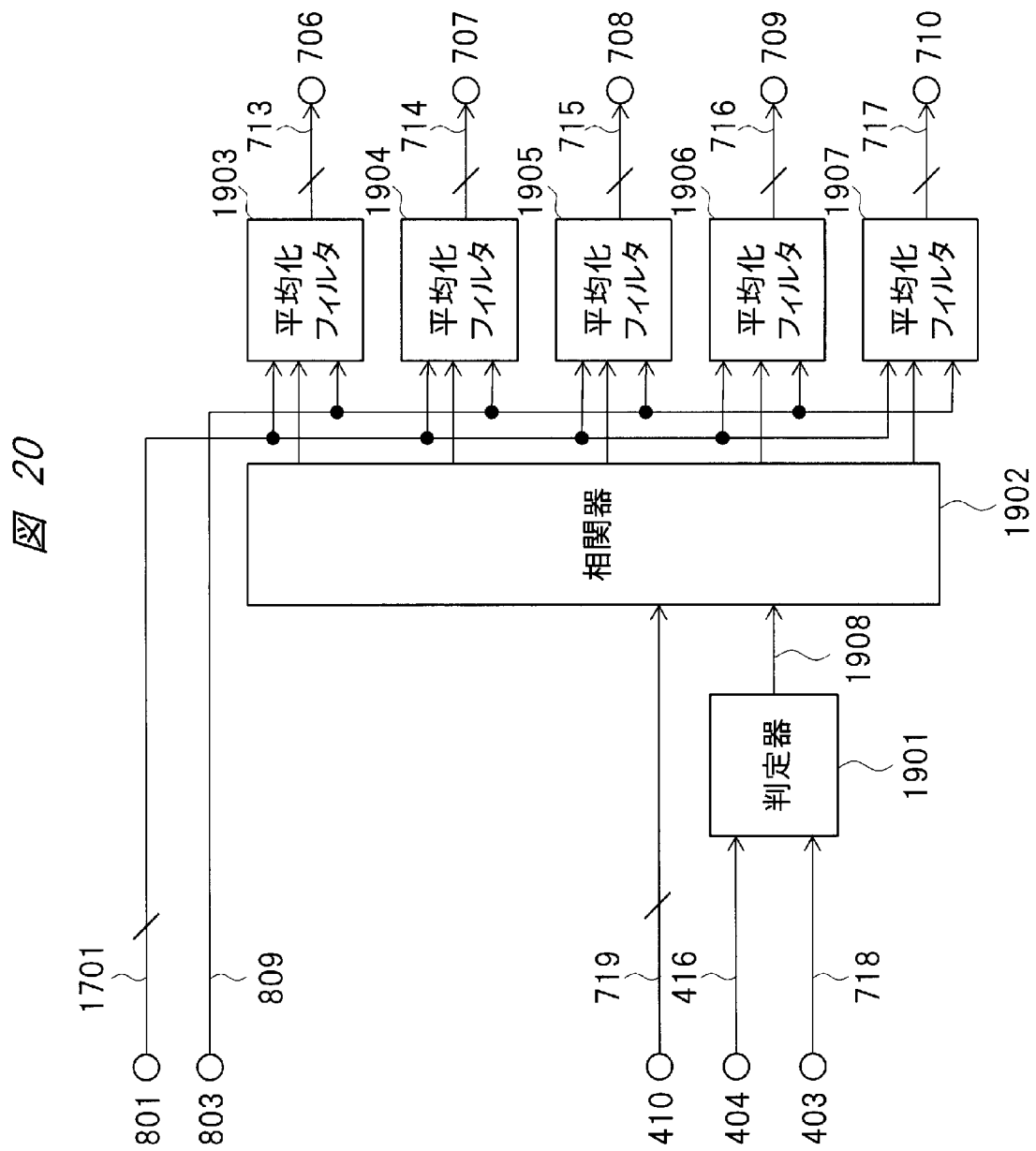


[図19]

図 19

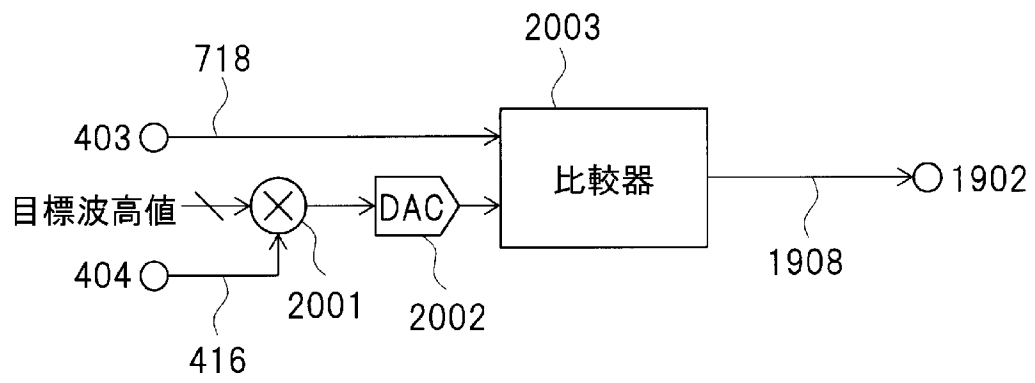


[図20]



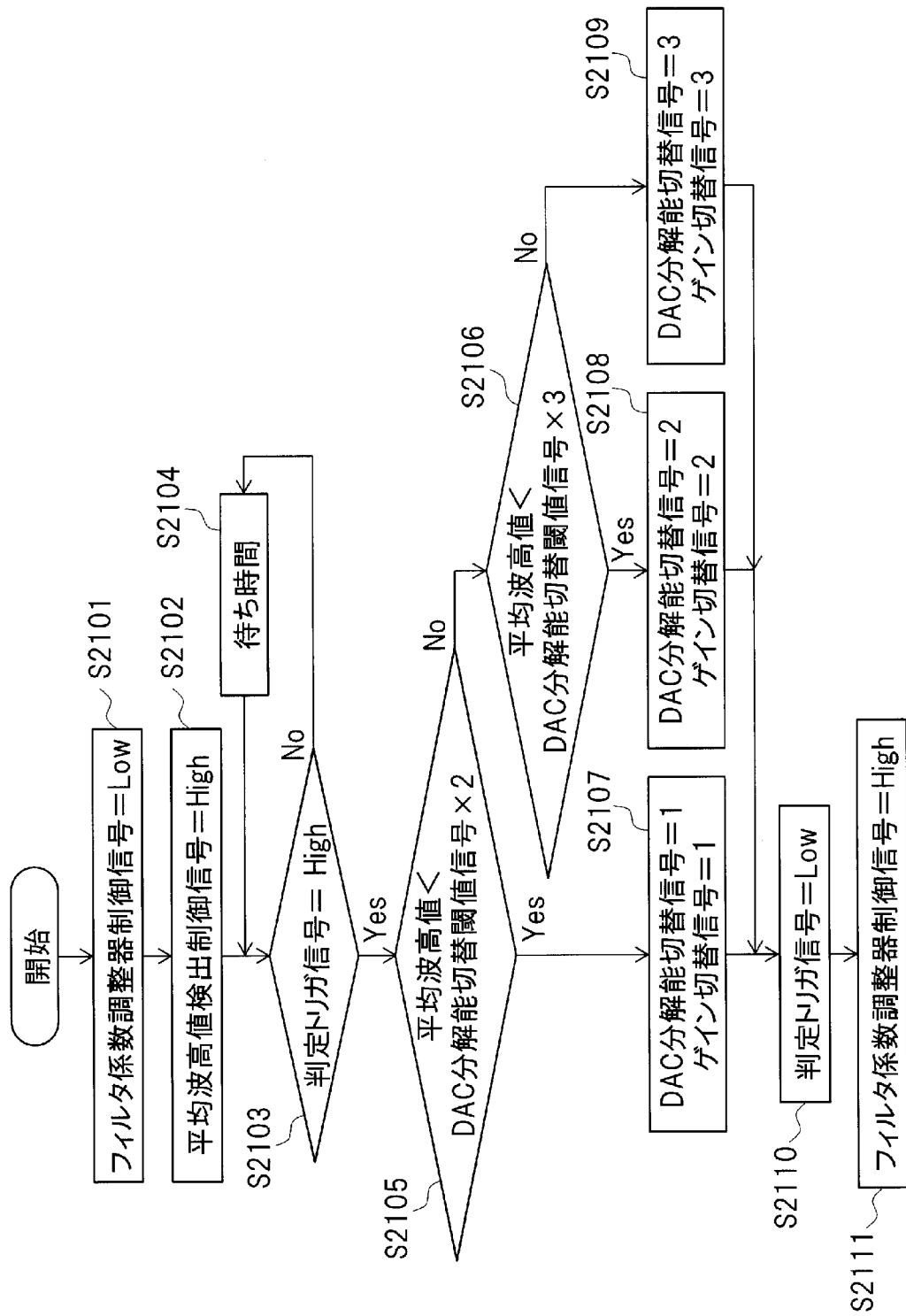
[図21]

図 21



[図22]

図 22



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054208

A. CLASSIFICATION OF SUBJECT MATTER

H04B3/06(2006.01)i, H03H21/00(2006.01)i, H04L25/03(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B3/06, H03H21/00, H04L25/03

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-44895 A (3COM Technologies), 16 February 2001 (16.02.2001), fig. 1 (Family: none)	1-14
A	WO 2009/047852 A1 (Fujitsu Ltd.), 16 April 2009 (16.04.2009), claim 1; paragraphs [0006] to [0007]; fig. 3 & US 2010/0226421 A1 claim 1; paragraphs [0007] to [0008]; fig. 3	1-14
A	JP 2007-97160 A (Altera Corp.), 12 April 2007 (12.04.2007), abstract; claim 8 & US 2007/0071084 A1 abstract; claim 8 & EP 1770856 A1	1-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 March, 2014 (10.03.14)

Date of mailing of the international search report
18 March, 2014 (18.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04B3/06(2006.01)i, H03H21/00(2006.01)i, H04L25/03(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04B3/06, H03H21/00, H04L25/03

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 1 - 4 4 8 9 5 A（スリー・シィ・オウ・エム・テク ノロジーズ） 2 0 0 1 . 0 2 . 1 6 , 第 1 図（ファミリー無し）	1-14
A	WO 2 0 0 9 / 0 4 7 8 5 2 A 1（富士通株式会社） 2 0 0 9 . 0 4 . 1 6 , 請求項 1 , 第 0 0 0 6 - 0 0 0 7 段落, 第 3 図 & US 2 0 1 0 / 0 2 2 6 4 2 1 A 1 , 請求項 1 , 第 0 0 0 7 - 0 0 0 8 段落, 第 3 図	1-14

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 3 . 2 0 1 4

国際調査報告の発送日

1 8 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

川口 貴裕

5 J

3 0 5 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 7 - 9 7 1 6 0 A (アルテラ コーポレイション) 2 0 0 7 . 0 4 . 1 2 , 要約, 請求項 8 & U S 2 0 0 7 / 0 0 7 1 0 8 4 A 1 , 要約, 請求項 8 & E P 1 7 7 0 8 5 6 A 1	1-14