

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年3月3日(03.03.2011)

PCT

(10) 国際公開番号
WO 2011/024351 A1

- (51) 国際特許分類:
H02M 7/12 (2006.01) H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2010/003144
- (22) 国際出願日: 2010年5月7日(07.05.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-195097 2009年8月26日(26.08.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): ダイキン工業株式会社 (DAIKIN INDUSTRIES, LTD.) [JP/JP]; 〒5308323 大阪府大阪市北区中崎西2丁目4番12号 梅田センタービル Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 藤田崇之 (FUJITA, Takayuki) [JP/JP]; 〒5258526 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社 滋賀製作所内 Shiga (JP). 榊原憲一 (SAKAKIBARA, Kenichi) [JP/JP]; 〒5258526 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社 滋賀製作所内 Shiga (JP).
- (74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

[続葉有]

(54) Title: POWER CONVERSION DEVICE AND CONTROL METHOD THEREFOR

(54) 発明の名称: 電力変換装置、及びその制御方法

[図5]

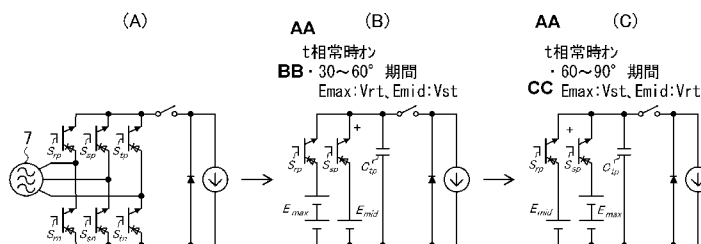


FIG. 5:
 AA t-PHASE ALWAYS ON
 BB · 30°-60° PERIOD
 CC · 60°-90° PERIOD

(57) Abstract: A converter unit (2) is provided with three sets, each set consisting of two switching elements (Srp,..., Ssn) connected serially, between two DC link sections (L1, L2), and each of the phases of an input three-phase alternate current is connected to each of the connection nodes of the serial connections. Each of the switching elements (Srp,..., Ssn) is composed of a transistor comprising a bipolar construction. A control unit (5) controls each of the switching elements (Srp,..., Ssn) so that line voltages between a basis phase and the other phases are output to the two DC link sections (L1, L2), in time division, assuming one phase of the input three-phase alternate current to be the basis phase. The control unit (5) applies a prescribed gate voltage to switching elements, among the switching elements (Srp,..., Ssn), that have reverse bias applied thereto.

(57) 要約:

[続葉有]



WO 2011/024351 A1

コンバータ部(2)には、2つの直流リンク部(L1,L2)間に直列接続した2つのスイッチング素子(Srp,...,Stn)の組を3組設け、直列接続における各接続ノードに入力三相交流の相を1つずつ接続する。それぞれのスイッチング素子(Srp,...,Stn)は、バイポーラ構造を含んだトランジスタで構成する。また、制御部(5)は、入力三相交流の1つの相を基準相として、基準相と他のそれぞれの相との線間電圧が時分割で2つの直流リンク部(L1,L2)に出力されるように、それぞれのスイッチング素子(Srp,...,Stn)を制御する。そして、制御部(5)は、スイッチング素子(Srp,...,Stn)のうち、逆バイアスが印加されているものに所定のゲート電圧を印加する。

明 細 書

発明の名称：電力変換装置、及びその制御方法

技術分野

[0001] 本発明は、交流電力から直流電力又は交流電力への変換を行う電力変換装置及びその制御方法に関するものである。

背景技術

[0002] 空気調和機では、圧縮機の電動機に電力を供給するために、商用交流電力を所定の交流電力に変換する電力変換装置が用いられることが多い。このような電力変換装置には、例えば、交流電圧から所望の交流出力を直接得る方式の直接形交流電力変換装置とよばれるものがあり、その代表例として、いわゆるマトリックスコンバータが知られている。このマトリックスコンバータは、商用周波数による電圧脈動を平滑する大型のコンデンサやリアクトルが不要となることから、電力変換装置の小型化が期待でき、次世代の電力変換装置として近年注目されつつある（例えば、特許文献1を参照）。

[0003] また、このような電力変換装置では、その効率の向上も種々検討されている。例えば、電力変換装置で用いられるスイッチング素子には、逆バイアスに対する耐圧を確保するために、逆阻止ダイオードを直列接続することがある。しかしながら、このような逆阻止ダイオードが設けられていると導通損失が増大するので、高効率化の妨げになる。これに対しては、逆阻止ダイオードが不要で、スイッチング素子のオン電圧降下を低減することが可能な逆阻止 I G B T（Insulated Gate Bipolar Transistor）をスイッチング素子として用いることが提案されている（例えば、非特許文献1を参照）。

先行技術文献

特許文献

[0004] 特許文献1：特許第4135026号公報

非特許文献

[0005] 非特許文献1：武井学、他2名 “富士時報” V o l . 7 5 N o . 8 2

002

発明の概要

発明が解決しようとする課題

- [0006] しかしながら、逆阻止 IGBT のようなバイポーラ構造を含んだトランジスタは、オフ状態で逆バイアスが印加されると、その電圧が大きいほど漏れ電流が大きくなるという特性があり、その特性はスイッチング素子の温度が高いほど顕著になる。すなわち、逆阻止 IGBT の採用によって導通抵抗が低減したとしても、必ずしも電力変換装置の高効率化を図れるとは限らないのである。そして、このことは、直接形交流電力変換装置のみならず、交流電力を受けて直流電力を出力するコンバータ回路でも同様のことがいえる。
- [0007] 本発明は上記の問題に着目してなされたものであり、バイポーラ構造を含んだトランジスタを用いた電力変換装置において、該スイッチング素子の漏れ電流を低減することを目的としている。

課題を解決するための手段

- [0008] 上記の課題を解決するため、第 1 の発明は、
- 2 つの出力線 (L1, L2) 間に直列接続した 2 つのスイッチング素子 (Srp, …, Stn) の組を 3 組有し、前記直列接続における各接続ノードに入力三相交流の相が 1 つずつ接続されたコンバータ部 (2) と、
- 前記入力三相交流の 1 つの相を基準相として、前記基準相と他のそれぞれの相との線間電圧が時分割で前記 2 つの出力線 (L1, L2) に出力されるように、スイッチング素子 (Srp, …, Stn) のオンオフを制御する制御部 (5) と、
- を備え、
- それぞれのスイッチング素子 (Srp, …, Stn) は、バイポーラ構造を含んだトランジスタで構成され、
- 前記制御部 (5) は、前記スイッチング素子 (Srp, …, Stn) のうち、逆バイアスが印加されているスイッチング素子 (Srp, …, Stn) に所定のゲート電圧を印加することを特徴とする。
- [0009] この構成では、スイッチング素子 (Srp, …, Stn) のスイッチングによって

、入力三相交流が直流電圧に変換される。この場合、これらのスイッチング素子 (Srp, ..., Stn) のなかには逆バイアスが印加されることとなるスイッチング素子が存在する。コンバータ部 (2) の各スイッチング素子 (Srp, ..., Stn) は、バイポーラ構造を含んだトランジスタで構成されており、一般的には逆バイアスが印加されたスイッチング素子は漏れ電流を生ずる。これに対し、この電力変換装置では、逆バイアスが印加された状態でゲート電圧を印加すると漏れ電流が低減するという、バイポーラ構造を含んだトランジスタの特性を利用し、上記漏れ電流の低減を図っている。具体的には、逆バイアスが印加されたスイッチング素子に対し、制御部 (5) によってゲート電圧を印加している。なお、このように逆バイアスが印加されたスイッチング素子 (Srp, ..., Stn) にゲート電圧を印加しても、各スイッチング素子 (Srp, ..., Stn) を逆阻止 IGBT で構成したり、逆阻止ダイオードを付加したりすれば、2つの出力線 (L1, L2) 間が短絡することはない。

[0010] また、第2の発明は、

第1の発明の電力変換装置において、

前記基準相は、前記入力三相交流を2つの相電圧が正で残りの相電圧が負となる期間であるセクターと、2つの相電圧が負で残りの相電圧が正となる期間であるセクターとに分けたそれぞれのセクターにおいて電圧の絶対値が最大となる相をセクター毎に選択したものであり、

前記基準相以外の相であって電圧の絶対値が大きい方の相を最大相とした場合に、

前記制御部 (5) は、少なくとも前記最大相の順バイアスが印加されたスイッチング素子 (Srp, ..., Stn) を所定の通流比 (drt, dst) でオンオフ制御することを特徴とする。

[0011] この構成により、直流電圧成分に交流電圧成分が重畳した、2レベルの直流電圧が出力される。

[0012] また、第3の発明は、

第2の発明の電力変換装置において、

前記制御部 (5) における前記オンオフ制御の対象は、前記最大相のスイッチング素子 (Srp, ..., Stn) のみであることを特徴とする。

[0013] この構成では、1つの相のスイッチング素子をスイッチングする（すなわち、1相のみを変調する）のみで、直流電圧成分に交流電圧成分が重畳した、2レベルの直流電圧が出力される。そして、スイッチング動作を行わないスイッチング素子には所定のゲート電圧が印加される。

[0014] また、第4の発明は、
第2の発明の電力変換装置において、
前記基準相及び前記最大相以外の相を中間相とした場合に、
各セクターの一部の期間は、前記順バイアスが印加されているスイッチング素子 (Srp, ..., Stn) と、前記中間相に対応したスイッチング素子 (Srp, ..., Stn) のうち電流が流出する側のスイッチング素子 (Srp, ..., Stn) とを、所定の通流比 (drt, dst) で相補的にオンオフ制御し、残りの期間は、前記順バイアスが印加されているスイッチング素子 (Srp, ..., Stn) のみを所定の通流比 (drt, dst) でオンオフ制御することを特徴とする。

[0015] この構成では、1相のみを変調するスイッチングパターンと、2相を変調するスイッチングパターンの2種類のスイッチングパターンでの動作が可能になる。

[0016] また、第5の発明は、
第4の発明の電力変換装置において、
前記入力三相交流の各相には、フィルタコンデンサ (C11, C12, C13) が設けられ、
前記一部の期間は、前記最大相に対応したフィルタコンデンサ (C11, C12, C13) の電圧よりも前記中間相に対応したフィルタコンデンサ (C11, C12, C13) の電圧の方が大きい期間を含む期間であることを特徴とする。

[0017] この構成では、フィルタコンデンサ (C11, C12, C13) にはキャリアリプルが重畳する。そのため、最大相と中間相が入れ替わる位相角付近では、フィルタコンデンサ (C11, C12, C13) の電圧の大きさが、本来の大小関係とは逆転す

る場合がある。この発明では、この大小関係が逆転した期間に2相変調が行われる。

- [0018] また、第6の発明は、
第4又は第5の発明の電力変換装置において、
前記一部の期間は、前記入力三相交流の位相角30度分に相当する期間であることを特徴とする。
- [0019] この構成では、セクターの整数分の1期間で、1相変調と2相変調の期間が切り替わる。
- [0020] また、第7の発明は、
第2の発明の電力変換装置において、
前記基準相及び前記最大相以外の相を中間相とした場合に、
前記制御部(5)は、前記順バイアスが印加されているスイッチング素子(S_{rp}, \dots, S_{tn})と、前記中間相に対応したスイッチング素子(S_{rp}, \dots, S_{tn})のうち電流が流出する側のスイッチング素子(S_{rp}, \dots, S_{tn})とを、所定の通流比(d_{rt}, d_{st})で相補的にオンオフ制御することを特徴とする。
- [0021] この構成では、2相の変調を行いつつ、他の相の逆バイアスが印加されたスイッチング素子に所定のゲート電圧が印加される。
- [0022] また、第8の発明は、
第1から第7の発明のうちの何れか一つの電力変換装置において、
前記制御部(5)は、前記入力三相交流に同期した電源同期信号(V_r)に基づいて、前記入力三相交流の各相に対応した台形波形状の電圧指令信号(V_r^*, V_s^*, V_t^*)の傾斜領域を求める台形波状電圧指令生成部(11)を備え、
前記制御部(5)は、何れかの1つの相の前記電圧指令信号(V_r^*, V_s^*, V_t^*)を用いて、それぞれのスイッチング素子(S_{rp}, \dots, S_{tn})のゲート信号を生成することを特徴とする。
- [0023] この構成では、相ごとの電圧指令信号(V_r^*, V_s^*, V_t^*)を用いるのではなく、何れか1つの相の電圧指令信号(V_r^*, V_s^*, V_t^*)から6つのゲート電圧を生成するので、制御部(30)を簡略化することが可能になる。

- [0024] また、第9の発明は、
第1から第8の発明のうちの何れか1つの電力変換装置において、
前記出力線（L1, L2）に出力された電力を所定の単相交流又は多相交流に変換するインバータ部（3）を備えていることを特徴とする。
- [0025] この構成により、入力三相交流を直接的に所望の交流電力に変換する、直接形交流電力変換装置として動作する。
- [0026] また、第10の発明は、
2つの出力線（L1, L2）間に直列接続した、バイポーラ構造を含んだトランジスタからなる2つのスイッチング素子（Srp, ..., Stn）の組を3組有し、前記直列接続における各接続ノードに入力三相交流の相が1つずつ接続されたコンバータ部（2）を有した電力変換装置の制御方法であって、
前記入力三相交流の1つの相を基準相として選択する選択ステップと、
前記基準相と他のそれぞれの相との線間電圧が時分割で前記2つの出力線（L1, L2）に出力されるように、所定のスイッチング素子（Srp, ..., Stn）のオンオフ制御を行う制御ステップと、
前記オンオフ制御の際に逆バイアスが印加されるスイッチング素子（Srp, ..., Stn）を特定する逆バイアス素子特定ステップと、
前記逆バイアス素子特定ステップで特定したスイッチング素子（Srp, ..., Stn）に、前記オンオフ制御の際に所定のゲート電圧を印加するゲート電圧印加ステップと、
を備えたことを特徴とする制御方法である。

発明の効果

- [0027] 第1の発明によれば、逆バイアスが印加されたスイッチング素子にゲート電圧を印加しているため、各スイッチング素子（Srp, ..., Stn）に、バイポーラ構造を含んだトランジスタを採用しても、逆バイアスが印加された際におけるスイッチング素子の漏れ電流を低減させることが可能になる。そして、逆阻止 IGBT を採用した場合には、従来必要であった逆阻止ダイオードが不要になり、導通抵抗の低減も可能になる。

- [0028] また、第2の発明によれば、2レベルの直流電圧を得られるので、これらの直流電圧を用いて、所望の交流電力を容易に生成できる。
- [0029] また、第3の発明によれば、スイッチングの対象を1つのスイッチング素子に限定することで、漏れ電流の低減効果を最大限引き出すことが可能になる。また、1つのスイッチング素子をスイッチングするので、スイッチング制御が容易になる。
- [0030] また、第4の発明によれば、例えば、1相変調を行う期間は前記漏れ電流を低減が可能になり、2相変調を行う期間に、例えば相電圧の大小関係が本来の関係から逆転した場合に、入力三相交流の電流の歪を改善することが可能になる。
- [0031] また、第5の発明によれば、最大相と中間相が入れ替わる位相角付近での入力三相交流の電流の歪を改善することが可能になる。
- [0032] また、第6の発明によれば、セクターの整数分の1単位で変調方法を切替えるので、容易な制御が可能になる。
- [0033] また、第7の発明によれば、入力三相交流の電流の歪をより確実に改善しつつ、漏れ電流の低減も可能になる。
- [0034] また、第8の発明によれば、制御部(30)を簡略化することが可能になるので、延いては電力変換装置の簡略化、小型化が可能になる。
- [0035] また、第9の発明によれば、いわゆる直接形交流電力変換装置において、上記第1から第8の発明の効果を得ることが可能になる。
- [0036] また、第10の発明によれば、逆バイアスが印加されたスイッチング素子にゲート電圧を印加しているので、各スイッチング素子(S_{rp}, \dots, S_{tn})にバイポーラ構造を含んだトランジスタを採用しても、逆バイアスが印加された際におけるスイッチング素子の漏れ電流を低減させることが可能になる。その結果、導通抵抗を低減できるという、バイポーラ構造を含んだトランジスタの特性を生かしてコンバータ部(2)の低損失化を図ることが可能になる。

図面の簡単な説明

- [0037] [図1] 図1は、本発明の実施形態1に係るマトリックスコンバータの構成を示

すブロック図である。

[図2] 図2は、入力三相交流とコンバータ部が出力する2レベルの直流電圧を説明する波形図である。

[図3] 図3は、実施形態1にかかる制御部の構成を示すブロック図である。

[図4] 図4は、台形波状電圧指令信号の波形を示す図である。

[図5] 図5は、セクター1におけるコンバータ部の状態を説明する図である。

[図6] 図6は、セクター1の位相角 $30^{\circ} \sim 60^{\circ}$ の期間において、マトリックスコンバータで行われるPWM変調を説明する図である。

[図7] 図7は、セクター1の位相角 $60^{\circ} \sim 90^{\circ}$ の期間に、マトリックスコンバータで行われるPWM変調を説明する図である。

[図8] 図8は、セクター2におけるコンバータ部の状態を説明する図である。

[図9] 図9は、実施形態1における各相のゲート信号、入力三相交流の電圧、及び入力電流の波形をそれぞれ示す図である。

[図10] 図10は、変形例にかかる制御部の構成を示すブロック図である。

[図11] 図11は、基準相、最大相、及び中間相の遷移の状態と台形波状電圧指令信号の傾斜領域の関係を示す図である。

[図12] 図12は、本発明の実施形態2に係る制御部の構成を示すブロック図である。

[図13] 図13は、モード0における入力三相交流の各相の電圧の波形図である。

[図14] 図14は、モード0におけるゲートパターンの切替え状態、及び各フィルタコンデンサの電圧波形を示す図である。

[図15] 図15は、実施形態2における各相のゲート信号、入力三相交流の電圧、及びフィルタコンデンサ通過後の入力電流の波形をそれぞれ示す図である。

[図16] 図16は、モード0 ($30^{\circ} \sim 60^{\circ}$) の逆転期間において、ゲートパターンA、Bのそれぞれのパターンでスイッチングを行った場合の相電流の波形を模式的に示す図である。

[図17]図17は、実施形態1やその変形例における、入力三相交流、 r 、 s 相のゲート信号のパターン（ゲートパターンB）、及びフィルタコンデンサ通過後の入力電流の波形をそれぞれ示す図である。

[図18]図18は、本発明の実施形態3に係る制御部の構成を示すブロック図である。

[図19]図19は、 r 相の電圧波形、スイッチング素子（ S_{rp} ）に対応した、電流形ゲート論理変換部、マスク信号生成部、及びマルチプレクサがそれぞれ出力する信号の波形を示す図である。

[図20]図20は、実施形態3における各相のゲート信号、入力三相交流の電圧、及び入力電流の波形をそれぞれ示す図である。

発明を実施するための形態

[0038] 以下、本発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態は、本質的に好ましい例示であって、本発明、その適用物、あるいはその用途の範囲を制限することを意図するものではない。

[0039] 《発明の実施形態1》

《概要》

実施形態1では、本発明の電力変換装置の一例として、マトリックスコンバータの例を説明する。図1は、本発明の実施形態1に係るマトリックスコンバータ(1)の構成を示すブロック図である。このマトリックスコンバータ(1)は、コンバータ部(2)、インバータ部(3)、クランプ回路(4)、制御部(5)、及びLCフィルタ回路(6)を備えている。そして、マトリックスコンバータ(1)には、三相交流電源(7)とモータ(8)とが接続されており、三相交流電源(7)が出力する三相交流（以下、入力三相交流という）の相電圧(V_r, V_s, V_t)を、コンバータ部(2)によって、直流電圧成分に交流電圧成分が重畳した直流電圧に変換し、その直流電圧をインバータ部(3)によって三相交流（以下、出力三相交流という）に変換してモータ(8)に供給するようになっている。このモータ(8)は、例えば空気調和機の冷媒回路に設けられた圧縮機を駆動するものである。図1では、このモータ(8)を、3つの

コイル (L21, L22, L23) と3つの抵抗 (R21, R22, R23) が三相スター結合された負荷として表している。

[0040] 《マトリックスコンバータの各部の構成》

以下では、マトリックスコンバータ (1) の各構成要素について詳述する。

[0041] 〈LCフィルタ回路 (6)〉

LCフィルタ回路 (6) は、前記入力三相交流のそれぞれの相に対応した3つのコイル (L11, L12, L13) と3つのフィルタコンデンサ (C11, C12, C13) とを備えたLCフィルタである。このLCフィルタ回路 (6) は、コンバータ部 (2) 等のスイッチング素子 (後述) のオンオフ動作によって生じる高周波電流が三相交流電源 (7) 側に流れ込むのを抑制するために設けている。具体的に、この例では、三相交流電源 (7) の相電圧 (V_r) がコイル (L11) に、相電圧 (V_s) がコイル (L12) に、相電圧 (V_t) がコイル (L13) にそれぞれ入力されている。

[0042] 〈コンバータ部 (2)〉

-概要-

コンバータ部 (2) は、入力三相交流をスイッチング素子 (後述) でスイッチングして、2レベルの直流電圧に変換して出力するようになっている。コンバータ部 (2) におけるスイッチングは制御部 (5) が制御する。

[0043] 図2は、入力三相交流と、コンバータ部 (2) が出力する2レベルの直流電圧を説明する波形図である。詳しくは、図2 (A) が入力三相交流のそれぞれの相電圧 (V_r, V_s, V_t) を正規化した波形図であり、(B) がコンバータ部 (2) の出力波形を示す図である。図2 (A) に示すように、これらの相電圧 (V_r, V_s, V_t) は、2つの相の電圧が正で残りの相の電圧が負である期間 (以下、セクター1という) と、2つの相の電圧が負で残りの相の電圧が正である期間 (以下、セクター2という) とがあり、セクター1とセクター2とは位相角60度ごとに交互に繰り返している。

[0044] このコンバータ部 (2) は、出力する直流電圧の基準となる相 (以下、基準相という) をセクター毎に選択し、基準相の電圧を基準とした残り2つの相

の線間電圧を、時分割でそれぞれ選択することによって2レベルの直流電圧を出力するようになっている。具体的には、基準相の相電圧を基準として、残り2つの相のうち、その絶対値が大きい方の相（以下、最大相という）と基準相との線間電圧を最大電圧（ E_{max} ）として出力し、もう一方の相（以下、中間相という）と基準相との線間電圧を中間電圧（ E_{mid} ）として出力する。

[0045] 本実施形態では、上記の基準相は、各セクターにおいて電圧の絶対値が最大となる相である。例えばセクター1では、電圧の絶対値が最大となる相は t 相であり t 相が基準相である（図2（A）を参照）。また、入力三相交流では、基準相以外の2相は、各セクターにおいて、前半の位相角 30° 分の期間と後半の位相角 30° 分の期間で電圧の大小関係が入れ替わっている（図2（A）を参照）。すなわち、セクターの前半と後半で、最大相となる相と中間相となる相が入れ替わることになる。例えば、セクター1の位相角 $30^\circ \sim 60^\circ$ の期間では、相電圧（ V_r ）が相電圧（ V_s ）よりも高い。すなわち、位相角 $30^\circ \sim 60^\circ$ の期間は r 相が最大相であり s 相が中間相である。一方、セクター1の位相角 $60^\circ \sim 90^\circ$ の期間では、相電圧（ V_s ）が相電圧（ V_r ）よりも高い。すなわち、位相角 $60^\circ \sim 90^\circ$ の期間は s 相が最大相であり r 相が中間相である。

[0046] -構成-

本実施形態のコンバータ部（2）は、具体的には図1に示すように、上アームを構成する3つのスイッチング素子（ S_{rp} , S_{sp} , S_{tp} ）と、下アームを構成する3つのスイッチング素子（ S_{rn} , S_{sn} , S_{tn} ）を備えている。本実施形態では、上及び下アームの各スイッチング素子（ S_{rp} , ..., S_{tn} ）を単方向スイッチング素子によって構成している。より具体的には、各スイッチング素子（ S_{rp} , ..., S_{tn} ）として、いわゆる逆阻止 IGBT を採用している。なお、図1では、コンバータ部（2）の各スイッチング素子（ S_{rp} , ..., S_{tn} ）のコレクタにダイオードのシンボルが記載されているが、実際にこれらのダイオードが別個に接続されているのではなく、この図は、各スイッチング素子（ S_{rp} , ..., S_{tn} ）が逆

方向の電圧を阻止することを模式的に示している（以下、他の図でも同様）。すなわち、コンバータ部（2）では、この逆阻止 IGBT の採用により従来のコンバータ回路では必要であった逆阻止ダイオードが不要になり、コンバータ部（2）における導通損失の低減を期待できる。

[0047] 具体的に、このコンバータ部（2）では、上アームのスイッチング素子（ S_{rp} , S_{sp} , S_{tp} ）は、エミッタ側で並列接続してある。一方、下アームのスイッチング素子（ S_{rn} , S_{sn} , S_{tn} ）は、コレクタ側で並列接続してある。また、上アームのスイッチング素子（ S_{rp} , S_{sp} , S_{tp} ）と下アームのスイッチング素子（ S_{rn} , S_{sn} , S_{tn} ）とは、1対1に対応しており、各上アームのスイッチング素子（ S_{rp} , S_{sp} , S_{tp} ）のコレクタには、対応した下アームのスイッチング素子（ S_{rn} , S_{sn} , S_{tn} ）のエミッタを接続してある。なお、以下では、上アームのスイッチング素子（ S_{rp} , S_{sp} , S_{tp} ）のエミッタ側に繋がる母線を第1直流リンク部（L1）とよび、下アームのスイッチング素子（ S_{rn} , S_{sn} , S_{tn} ）のコレクタ側に繋がる母線を第2直流リンク部（L2）と呼ぶことにする。この第1及び第2直流リンク部（L1, L2）は、本発明の出力線の一例である。

[0048] また、図1に示すように、スイッチング素子（ S_{rp} ）とスイッチング素子（ S_{rn} ）の接続ノードには、LCフィルタ回路（6）のコイル（L11）の一端を接続して、該コイル（L11）を介して、三相交流電源（7）からの相電圧（ V_r ）を入力している。また、スイッチング素子（ S_{sp} ）とスイッチング素子（ S_{sn} ）の接続ノードには、コイル（L12）を介して、三相交流電源（7）からの相電圧（ V_s ）を入力している。同様に、スイッチング素子（ S_{tp} ）とスイッチング素子（ S_{tn} ）の接続ノードには、コイル（L13）を介して、三相交流電源（7）からの相電圧（ V_t ）を入力している。つまり、このコンバータ部（2）は、第1直流リンク部（L1）と第2直流リンク部（L2）の間に直列接続した2つのスイッチング素子（ S_{rp} , ..., S_{tn} ）の組を3組有し、直列接続の各接続ノードに入力三相交流の相が1つずつ接続されている。

[0049] 〈クランプ回路（4）〉

クランプ回路（4）は、2つのコンデンサ（ C_1 , C_2 ）と、3つのダイオード

(D1, D2, D3) を備えている。このクランプ回路 (4) は、コンデンサ (C1) の一端を、第 1 直流リンク部 (L1) に接続し、そのコンデンサ (C1) の他端にダイオード (D1) のアノードを接続している。そして、このダイオード (D1) のカソードにはコンデンサ (C2) の一端を接続し、そのコンデンサ (C2) の他端は第 2 直流リンク部 (L2) に接続している。

[0050] また、ダイオード (D2) は、そのアノードを上記ダイオード (D1) のカソードに接続し、ダイオード (D2) のカソードは、第 1 直流リンク部 (L1) に接続している。また、ダイオード (D3) は、そのカソードを上記ダイオード (D1) のアノードに接続し、ダイオード (D3) のアノードは第 2 直流リンク部 (L2) に接続している。

[0051] 〈インバータ部 (3)〉

インバータ部 (3) は、コンバータ部 (2) が出力した直流電圧を、相電圧が V_u , V_v , V_w である出力三相交流に変換してモータ (8) に供給するようになっている。具体的には、本実施形態のインバータ部 (3) は、図 1 に示すように、上アームを構成する 3 つのスイッチング素子 (Sup, Svp, Swp) 及び 3 つのダイオード (Dup, Dvp, Dwp)、下アームを構成する 3 つのスイッチング素子 (Sun, Svn, Swn) 及び 3 つのダイオード (Dun, Dvn, Dwn) を備えている。このインバータ部 (3) では、上及び下アームの各スイッチング素子 (Sup, ..., Swn) に一般的な IGBT を採用している。

[0052] そして、このインバータ部 (3) では、上アームのスイッチング素子 (Sup, Svp, Swp) は、コレクタ側で並列接続するとともに、前記第 1 直流リンク部 (L1) に接続してある。また、上アームのこれらのスイッチング素子 (Sup, Svp, Swp) は、コレクタとエミッタの間に、ダイオード (Dup, Dvp, Dwp) をそれぞれ逆並列接続してある。

[0053] 一方、下アームのスイッチング素子 (Sun, Svn, Swn) は、エミッタ側で並列接続するとともに、前記第 2 直流リンク部 (L2) に接続してある。また、下アームのこれらのスイッチング素子 (Sun, Svn, Swn) は、コレクタとエミッタの間に、ダイオード (Dun, Dvn, Dwn) をそれぞれ逆並列接続してある。

[0054] また、上アームのスイッチング素子 (Sup, Svp, Swp) と下アームのスイッチング素子 (Sun, Svn, Swn) とは、1対1に対応しており、上アームの各スイッチング素子 (Sup, Svp, Swp) のエミッタには、対応した下アームのスイッチング素子 (Sun, Svn, Swn) のコレクタを接続してある。

[0055] そして、このインバータ部 (3) では、スイッチング素子 (Sup) とスイッチング素子 (Sun) の接続ノードから相電圧 (Vu) を出力し、スイッチング素子 (Svp) とスイッチング素子 (Svn) の接続ノードから相電圧 (Vv) を出力し、スイッチング素子 (Swp) とスイッチング素子 (Swn) の接続ノードから相電圧 (Vw) を出力する。これらの相電圧 (Vu, Vv, Vw) は、前記モータ (8) に供給されている。

[0056] <制御部 (5)>

制御部 (5) は、コンバータ部 (2) とインバータ部 (3) をPWM変調方式 (Pulse Width Modulation) でそれぞれ制御する。例えばコンバータ部 (2) に対しては、入力三相交流の1つの相を基準相として、基準相と他のそれぞれの相との線間電圧が時分割で第1及び第2直流リンク部 (L1, L2) に出力されるように、スイッチング素子 (Srp, ..., Stn) のオンオフを制御する。

[0057] 図3は、本実施形態にかかる制御部 (5) の構成を示すブロック図である。同図に示すように、制御部 (5) は、コンバータ部 (2) を制御するコンバータ制御部 (5a) と、インバータ部 (3) を制御するインバータ制御部 (5b) とを備えている。このコンバータ制御部 (5a) は、台形波状電圧指令生成部 (11)、比較部 (12)、電流形ゲート論理変換部 (13)、中間相検出部 (14)、キャリア信号生成部 (15)、最大相素子検出部 (16)、及び導通素子選択部 (17) を備えており、中間相検出部 (14) とキャリア信号生成部 (15) とをインバータ制御部 (5b) と共用するようになっている。また、インバータ制御部 (5b) は、出力電圧指令生成部 (21)、演算部 (22)、演算部 (23)、比較部 (24)、及び論理和演算部 (25) を備えている。以下では、制御部 (5) の各構成要素について説明する。

[0058] -台形波状電圧指令生成部 (11) -

台形波状電圧指令生成部（11）は、電源同期信号（Vr）が入力され、該電源同期信号（Vr）に基づいて台形波状電圧指令信号（Vr*, Vs*, Vt*）の傾斜領域の値を、入力三相交流の各相に対応して生成するようになっている。なお、電源同期信号（Vr）は、入力三相交流の何れかの相に同期した信号である。

[0059] より具体的には、本実施形態の台形波状電圧指令生成部（11）は、次の式に基づいて台形波状電圧指令信号（Vr*, Vs*, Vt*）の傾斜領域の値を求めて予めテーブルに設定しておき、動作時にそのテーブルを用いて該台形波状電圧指令信号（Vr*, Vs*, Vt*）の傾斜領域の値を出力する。

[0060] [数1]

$$V_u^* = 1, V_v^* = \sqrt{3} \tan(\theta - \pi/6), V_w^* = -1$$

ここで、位相角 θ は、入力三相交流の相電圧（Vr）に同期している。

[0061] 図4は、台形波状電圧指令信号（Vr*, Vs*, Vt*）の波形を示す図である。これらの台形波状電圧指令信号（Vr*, Vs*, Vt*）は、コンバータ部（2）の各相における通流比（デューティ比）を表している。本実施形態では、通流比が正の場合にコンバータ部（2）の上アームが導通し、通流比が負の場合に下アームが導通する。

[0062] -キャリア信号生成部（15）-

キャリア信号生成部（15）は、キャリア信号を生成するようになっている。このキャリア信号は三角波状の信号である。

[0063] -比較部（12）-

比較部（12）は、台形波状電圧指令生成部（11）が生成した台形波状電圧指令信号（Vr*, Vs*, Vt*）と、キャリア信号生成部（15）が生成したキャリア信号とを比較する。

[0064] -電流形ゲート論理変換部（13）-

電流形ゲート論理変換部（13）は、比較部（12）における比較結果に基づいて、6つのゲート信号を出力する。これらのゲート信号は、コンバータ部（2）の6つのスイッチング素子（Srp, ..., Stn）のゲートを制御するための信号である。

[0065] この電流形ゲート論理変換部 (13) は、最大相及び中間相の各スイッチング素子に対しては、通流比 (d_{rt} , d_{st}) で、互いに相補的にオンオフを繰り返すようにゲート信号を生成する。つまり、電流形ゲート論理変換部 (13) は、従来のPWM制御 (例えば特許文献1を参照) 用の信号を生成する。これらのゲート信号は、導通素子選択部 (17) を介してコンバータ部 (2) の各スイッチング素子 (S_{rp} , ..., S_{tn}) に入力されている。

[0066] -中間相検出部 (14) -

中間相検出部 (14) は、前記台形波状電圧指令信号 (V_{r^*} , V_{s^*} , V_{t^*}) に基づいて、中間相の通流比 (d_{rt} , d_{st}) を検出する。

[0067] -最大相素子検出部 (16) -

最大相素子検出部 (16) は、電源同期信号 (V_r) に基づいて、入力三相交流の各相電圧 (V_r , V_s , V_t) のなかから前記最大相を検出する。

[0068] -導通素子選択部 (17) -

導通素子選択部 (17) は、最大相素子検出部 (16) の検出結果に基づいて、最大相に対応したスイッチング素子 (S_{rp} , ..., S_{tn}) のうち、順バイアスが印加されているスイッチング素子のゲート (制御端子) に対しては、電流形ゲート論理変換部 (13) の出力をそのまま印加し、最大相のもう一方のスイッチング素子、中間相に対応したスイッチング素子、及び基準相に対応したスイッチング素子に対しては、電流形ゲート論理変換部 (13) の出力にかかわらず、ゲートに所定のゲート電圧を印加する。すなわち、本実施形態の制御部 (5) は、6つのスイッチング素子 (S_{rp} , ..., S_{tn}) のうち、逆バイアスが印加されているスイッチング素子に所定のゲート電圧を印加する。ここで、所定のゲート電圧とは、スイッチング素子のコレクタ・エミッタ間が導通する電圧と等しい電圧であるが、漏れ電流値に応じて、より低い電圧または高い電圧を適宜選択することも可能である。

[0069] -出力電圧指令生成部 (21) -

出力電圧指令生成部 (21) は、インバータ部 (3) に対する出力電圧指令信号 (V_{u^*} , V_{v^*} , V_{w^*}) を生成する。

[0070] -演算部 (22, 23) -

演算部 (22) は、前記出力電圧指令信号 (V_u^* , V_v^* , V_w^*) と前記通流比 (d_{rt} , d_{st}) に基づいて、

$d_{rt} + d_{st} V^*$ (V^* : 各相の電圧ベクトル) を出力する。

[0071] また、演算部 (23) は、前記出力電圧指令信号 (V_u^* , V_v^* , V_w^*) と通流比 (d_{rt}) とに基づいて、

$d_{rt} (1 - V^*)$ (V^* : 各相の電圧ベクトル) を出力する。

[0072] -比較部 (24) -

比較部 (24) は、2つの演算部 (22, 23) におけるそれぞれの演算結果と、キャリア信号生成部 (15) が生成したキャリア信号とを比較する。

[0073] -論理和演算部 (25) -

論理和演算部 (25) は、上記比較部 (24) における比較結果に基づいて、ゲート信号を出力する。これらのゲート信号は、インバータ部 (3) の6つのスイッチング素子 (Sup, \dots, S_{wn}) をオンオフ制御する信号である。

[0074] 《マトリックスコンバータ (1) の動作》

図5は、セクター1におけるコンバータ部 (2) の状態を説明する図であり、(A) がコンバータ部 (2) の主要部を模式的に表した等価回路図、(B) が位相角 $30 \sim 60^\circ$ の期間における状態を示す等価回路図、(C) が位相角 $60 \sim 90^\circ$ の期間における状態を示す等価回路図である。以下では、セクター1を位相角 $30 \sim 60^\circ$ の期間と位相角 $60 \sim 90^\circ$ の期間に分けて、マトリックスコンバータ (1) の動作を説明する。

[0075] 〈位相角 $30 \sim 60^\circ$ の期間〉

図6は、セクター1の位相角 $30 \sim 60^\circ$ の期間において、マトリックスコンバータ (1) で行われるPWM変調を説明する図である。図6において、 t_s はキャリア周期、 I_{rt} は電流指令、 I_{st} は電流指令、 d_{rt} 、 d_{st} は通流比、 I_{dc} はDCリンク電流、 V_0 、 V_4 、 V_6 は電圧指令、 d_0 は電圧指令 V_0 に対応する通流比、 d_4 は電圧指令 V_4 に対応する通流比である。

[0076] また、 S_{rp} , S_{sp} , S_{tn} は、それぞれコンバータ部 (2) のスイッチング素子 (S_{rp} , S_{sp} , S_{tn}) へのゲート信号である。また、 S_{up} , S_{vp} , S_{wp} は、インバータ部 (3) のそれぞれ上アーム側のスイッチング素子 (S_{up} , S_{vp} , S_{wp}) へのゲート信号であり、 S_{un} , S_{vn} , S_{wn} は、それぞれ下アーム側のスイッチング素子 (S_{un} , S_{vn} , S_{wn}) へのゲート信号である。この図6からわかるように、マトリックスコンバータ (1) では、三角波状のキャリア信号を用いている。

[0077] セクター1のこの期間では t 相が基準相である (図2 (A) を参照)。また、この期間では r 相が最大相であり、 s 相が中間相である。この場合、制御部 (5) は、最大相、すなわち r 相に対応したスイッチング素子 (S_{rp}) のみを上記通流比 (d_{rt} , d_{st}) に応じてオンオフ制御し、コンバータ部 (2) におけるその他のスイッチング素子 (S_{sp} , S_{tp} , S_{rn} , S_{sn} , S_{tn}) には、既述した所定のゲート電圧を印加する (図6を参照)。なお、この場合、 t 相 (基準相) に対応したスイッチング素子 (S_{tp}) は、所定の接合容量を有しているので、図5 (B) では、該スイッチング素子 (S_{tp}) をコンデンサ (C_{tp}) で表している。

[0078] 上記のように各スイッチング素子 (S_{rp} , ..., S_{tn}) が制御されると、スイッチング素子 (S_{rp}) のコレクタと第2直流リンク部 (L2) との間の電圧が最大電圧 (E_{max}) になる。一方、スイッチング素子 (S_{sp}) のコレクタと第2直流リンク部 (L2) 間の電圧が中間電圧 (E_{mid}) になる。すなわち、スイッチング素子 (S_{sp}) には逆バイアスが印加されることになる。スイッチング素子 (S_{sp}) に逆バイアスが印加されていても、このスイッチング素子 (S_{sp}) は単方向スイッチ (具体的には逆阻止 IGBT) で構成されているので、直流リンク部 (L1, L2) 間が短絡することはない。そして、最大電圧 (E_{max}) と中間電圧 (E_{mid}) とは電位差を有しているので、直流リンク部 (L1, L2) には最大電圧 (E_{max}) のみが発生する。

[0079] また、図5 (B) に現れていないスイッチング素子 (S_{rn} , S_{sn} , S_{tp}) についてみると、これらのすべてについて逆バイアスが印加されることになる。具

体的には、スイッチング素子 (Srn) に最大電圧 (Emax)、スイッチング素子 (Ssn) に中間電圧 (Emid)、スイッチング素子 (Stp) に最大電圧 (Emax) 又は中間電圧 (Emid) がそれぞれ印加される。これらのスイッチング素子 (Srn, Ssn, Stp) は単方向スイッチなので、これらにゲート電圧を印加しても電流は流れない。

[0080] 以上のように、最大相において順方向電圧が印加されたスイッチング素子のみを上記通流比 (drt, dst) でオンオフを切り替え、その他のスイッチング素子は所定のゲート電圧が印加された状態に固定することで、直流電圧成分に交流電圧成分が重畳した直流電圧を出力することができる。

[0081] そして、コンバータ部 (2) が出力した直流電圧は、インバータ部 (3) に入力される。このインバータ部 (3) は、上記制御部 (5) が出力したゲート信号によって、6つのスイッチング素子 (Sup, ..., Swn) のオンオフが制御される。これにより、インバータ部 (3) は所定の交流電圧をモータ (8) に出力する。

[0082] 〈位相角 $60 \sim 90^\circ$ の期間〉

セクター1のこの期間でも、t相が基準相である(図2(A)を参照)。一方、この期間の最大相はs相であり、中間相はr相である。図7は、セクター1の位相角 $60 \sim 90^\circ$ の期間に、マトリックスコンバータ(1)で行われるPWM変調を説明する図である。この期間には、制御部(5)は図7に示すように、最大相、すなわちs相に対応したスイッチング素子(Ssp)のみを、上記通流比(drt, dst)に応じてオンオフ制御し、コンバータ部(2)におけるその他のスイッチング素子(Srp, Stp, Srn, Ssn, Stn)に所定のゲート電圧を印加する。この状態では、スイッチング素子(Ssp)以外の、コンバータ部(2)におけるスイッチング素子には逆バイアスが印加される。そして、コンバータ部(2)の各スイッチング素子(Srp, ..., Stn)は単方向スイッチなので、逆バイアスが印加されたスイッチング素子のゲート電圧を印加しても電流は流れない。

[0083] 〈セクター2における動作〉

図8は、セクター2におけるコンバータ部(2)の状態を説明する図であり、(A)がコンバータ部(2)の主要部を模式的に表した等価回路図、(B)が位相角 $90 \sim 120^\circ$ の期間における状態を示す等価回路図、(C)が位相角 $120 \sim 150^\circ$ の期間における状態を示す等価回路図である。このマトリックスコンバータ(1)は、セクター2では、各相電圧(V_r, V_s, V_t)の関係から、基準相の下アーム側のスイッチング素子を上記通流比(d_{rt}, d_{st})でオンオフ制御し、その他のスイッチング素子を、所定のゲート電圧が印加された状態に固定する。なお、このセクター2でも位相角 30° ごとに、最大相となる相と中間相となる相のが入れ替わるので、セクター1で行ったのと同様に、 30° ごとの期間に分けて制御を行う。そして、本実施形態のマトリックスコンバータ(1)では、上記と同様の動作が繰り返される。このときの各相のゲート信号、入力三相交流の電圧、及び入力電流の波形は図9のようになる。同図に示すように、本実施形態では、何れかの1相の一方のスイッチング素子が所定の通流比でオンオフ制御されている。

[0084] 〈本実施形態における効果〉

逆阻止IGBTはコレクタ・エミッタ間に逆バイアスが印加されると、比較的大きな漏れ電流を生ずるが、このように逆バイアスが印加された状態でゲート電圧を印加すると、漏れ電流が低減するという特性を有していることが知られている。その点、このマトリックスコンバータ(1)では、制御部(5)が、逆バイアスが印加されたスイッチング素子に、所定のゲート電圧が印加されるように制御しているので、各スイッチング素子(S_{rp}, \dots, S_{tn})に逆阻止IGBTを採用しても、逆バイアスが印加された際の漏れ電流を低減させることが可能になる。そして、逆阻止IGBTを採用した結果、従来必要であった逆阻止ダイオードが不要になり、コンバータ部(2)における導通抵抗の低減も可能になる。

[0085] 《実施形態1の変形例》

上記実施形態1の変形例として、制御部の他の例を説明する。図10は、本変形例にかかる制御部(30)の構成を示すブロック図である。制御部(30)

)は、上記実施形態1における制御部(5)のコンバータ制御部(5a)の構成を変更したものである。具体的に制御部(30)のコンバータ制御部(30a)は、比較部(12)、電流形ゲート論理変換部(13)及び導通素子選択部(17)に代えて、導通素子選択部(31)、比較部(32)を設けたものである。

[0086] 比較部(32)は、中間相検出部(14)で求めた中間相の通流比と、キャリア信号生成部(15)の出力とを比較して中間相の通流比を求め、その結果を導通素子選択部(31)に出力している。また、本変形例の導通素子選択部(31)は、比較部(32)から入力された中間相の通流比に基づいて、最大相の通流比を求めて、各スイッチング素子(S_{rp}, \dots, S_{tn})に対するゲート電圧を生成している。図11は、基準相、最大相、及び中間相の遷移の状態(モード0, モード1, ...)と、台形波状電圧指令信号(V_r^*, V_s^*, V_t^*)の傾斜領域の関係を示す図である。図11から分かるように、入力三相交流では、基準相、最大相、及び中間相が所定の周期で入れ替わっている。そのため、何れかの相に対する通流比が分かれば、他の相の通流比も決定することができる。そこで、この導通素子選択部(31)は、最大相素子検出部(16)の検出結果に応じ、最大相に対応したスイッチング素子(S_{rp}, \dots, S_{tn})のうち、順バイアスが印加されているスイッチング素子(S_{rp}, \dots, S_{tn})のゲートに対しては、求めた通流比に応じてゲート電圧を印加し、最大相のもう一方のスイッチング素子、中間相に対応したスイッチング素子、及び基準相に対応したスイッチング素子に対しては、所定のゲート電圧を印加する。

[0087] このように、1つの相の信号(通流比)のみから6つのゲート電圧を生成することで、コンバータ制御部(30a)を簡略化することが可能になる。

[0088] 《発明の実施形態2》

実施形態2では、制御部の他の構成例を説明する。図12は、本発明の実施形態2に係る制御部(50)の構成を示すブロック図である。この制御部(50)は、コンバータ制御部(50a)とインバータ制御部(5b)とを備えている。すなわち、この制御部(50)は、コンバータ制御部(50a)の構成が実施形態1とは異なっている。本実施形態のコンバータ制御部(50a)は、台形波状

電圧指令生成部（11）、中間相検出部（14）、キャリア信号生成部（15）、第1ゲート信号生成部（51）、第2ゲート信号生成部（52）、セレクタ（53）、及びセレクタ制御部（54）を備えている。なお、中間相検出部（14）及びキャリア信号生成部（15）は、インバータ制御部（5b）と共用して用いる。

[0089] 第1ゲート信号生成部（51）は、実施形態1でそれぞれ説明した比較部（12）と電流形ゲート論理変換部（13）とを備え、電流形ゲート論理変換部（13）の出力信号をセレクタ（53）に出力している。すなわち、第1ゲート信号生成部（51）は、従来のPWM制御（例えば特許文献1を参照）用の信号を生成してセレクタ（53）に出力するのである。第1ゲート信号生成部（51）が出力するゲート信号を各スイッチング素子（ S_{rp}, \dots, S_{tn} ）に印加すれば、三相交流の2相が変調される。

[0090] また、第2ゲート信号生成部（52）は、上記変形例で説明した、最大相素子検出部（16）、比較部（32）、及び導通素子選択部（31）を備え、導通素子選択部（31）の出力をセレクタ（53）に出力している。すなわち、第2ゲート信号生成部（52）は、上記変形例のコンバータ制御部（30a）と同じゲート信号をセレクタ（53）に出力するのである。したがって、第2ゲート信号生成部（52）が出力するゲート信号を各スイッチング素子（ S_{rp}, \dots, S_{tn} ）に印加すれば、三相交流の1相が変調される。なお、以下では、第1及び第2ゲート信号生成部（51, 52）がそれぞれ出力するゲート信号のパターンを、それぞれゲートパターンA、Bと呼ぶ。

[0091] セレクタ（53）は、セレクタ制御部（54）の制御に応じて、第1ゲート信号生成部（51）からのゲート信号、及び第2ゲート信号生成部（52）からのゲート信号の何れかを選択し、コンバータ部（2）の各スイッチング素子（ S_{rp}, \dots, S_{tn} ）に出力するようになっている。すなわち、セレクタ（53）からは、ゲートパターンAの信号、又はゲートパターンBの信号が選択的に出力されるのである。

[0092] セレクタ制御部（54）は、各セクターの一部の期間は、前記セレクタ（53）が第1ゲート信号生成部（51）の出力を選択し、残りの期間は第2ゲート

信号生成部 (52) の出力を選択するようにセレクタ (53) を制御する。以下では、セレクタ (53) が第 1 ゲート信号生成部 (51) の出力を選択した期間、すなわちゲートパターン A で制御される期間を 2 相変調期間と呼び、第 2 ゲート信号生成部 (52) の出力を選択した期間を 1 相変調期間と呼ぶことにする。この 2 相変調期間は、順バイアスが印加されているスイッチング素子 (S_{rp}, \dots, S_{tn}) と、中間相に対応したスイッチング素子 (S_{rp}, \dots, S_{tn}) のうち電流が流出する側のスイッチング素子 (S_{rp}, \dots, S_{tn}) とが、所定の通流比 (d_{rt}, d_{st}) で相補的にオンオフ制御される。一方、1 相変調期間は、順バイアスが印加されているスイッチング素子 (S_{rp}, \dots, S_{tn}) のみが所定の通流比 (d_{rt}, d_{st}) でオンオフ制御される。

[0093] 本実施形態では、前記 2 相変調期間 (ゲートパターン A で制御される期間) は、最大相に対応したフィルタコンデンサ (C_{11}, C_{12}, C_{13}) の電圧よりも中間相に対応したフィルタコンデンサ (C_{11}, C_{12}, C_{13}) の電圧の方が大きい期間を含む期間である。より具体的には、入力三相交流の中間相と最大相が入れ替わるタイミング (位相角) を中心とした位相角 30° 分の期間である。

[0094] 〈実施形態 2 のマトリックスコンバータの動作〉

以下では、例としてモード 0 における動作を説明する。図 13 は、モード 0 における入力三相交流の各相の電圧の波形図である。モード 0 では、基準相は t 相で、前半の期間では r 相が最大相、s 相が中間相であり、後半の期間では s 相が最大相、r 相が中間相である (図 11 を参照)。従前の図 9 では、例えば位相角 $30^\circ \sim 90^\circ$ (セクター 1) の期間が対応する。このモード 0 では、図 13 に示すように、位相角 60° で中間相と最大相が入れ替わっている。

[0095] 図 14 は、モード 0 におけるゲートパターンの切替え状態、及び各フィルタコンデンサ (C_{11}, C_{12}, C_{13}) の電圧波形を示す図である。同図に示すように、本実施形態のコンバータ制御部 (50a) (より詳しくはセレクタ制御部 (54)) は、モード 0 では、位相角 45° から 75° の期間は、ゲート信号をゲートパターン A に制御し、残りの期間 (位相角 30° から 45° の期間と位

相角 60° から 90° の期間)は、ゲートパターンBに制御する。すなわち、位相角 45° から 75° の期間は2相変調期間であり、位相角 30° から 45° の期間と位相角 60° から 90° の期間は1相変調期間である。そして、本実施形態のコンバータ制御部(50a)は、他の各モードについても同様のスイッチングの制御を行う。図15は、本実施形態における各相のゲート信号、入力三相交流の電圧、及びフィルタコンデンサ通過後の入力電流の波形をそれぞれ示す図である。

[0096] 図14に示したように、コンバータ部(2)のような電流形コンバータ回路を有した電力変換装置では、フィルタコンデンサ(C11, C12, C13)はキャリアリプルが重畳する。そして、最大相と中間相が入れ替わる位相角付近では、フィルタコンデンサ(C11, C12, C13)の電圧の大きさが、本来の大小関係とは逆転する期間(以下、単に逆転期間と呼ぶ)が存在する。この例では、r相のフィルタコンデンサ(C11)の電圧(V_{rc})と、s相のフィルタコンデンサ(C12)の電圧(V_{sc})とが複数箇所逆転している。また、この例では、これらの逆転期間は、中間相と最大相が入れ替わるタイミング(位相角 60°)を中心とした位相角 30° 分の期間に含まれている。すなわち、逆転期間は、ゲートパターンAでスイッチングが行われるのである。

[0097] 〈実施形態2における効果〉

図15(本実施形態)を図9(実施形態1)とを比べると、本実施形態では、入力三相交流の電流の歪が改善していることが分かる。これは、次に説明する理由によるものである。

[0098] 図16は、モード0(位相角 $30^\circ \sim 60^\circ$)の逆転期間において、ゲートパターンA, Bのそれぞれのパターンでスイッチングを行った場合の相電流の波形を模式的に示す図である。例えば、ゲートパターンAでスイッチングを行うと、モード0では、スイッチング素子(S_{rp})とスイッチング素子(S_{sp})とが相補的にスイッチングされる。この際、スイッチング素子(S_{sp})をオンにすることにより最大相が接続され、オフにすることにより中間相が接続される。そのため、図16の(A)に示すように、相電流(I_{rp}, I_{sp}, I_{tn}

)はスイッチング素子 (Srp) とスイッチング素子 (Ssp) を相補的に流れる。
。

[0099] 一方、ゲートパターンBのスイッチングでは、相電圧 $V_r > V_s$ の関係が維持されている場合には、スイッチング素子 (Ssp) をオンすることにより最大相が接続され、オフすることにより中間相が接続される (図5 (B) を参照)。そのため、図16の (A) に示したのと同様に、相電流はスイッチング素子 (Srp) とスイッチング素子 (Ssp) を相補的に流れる。しかし、最大相と中間相の大小関係が逆転した場合 (図14参照) は、スイッチング素子 (Srp) を流れるべき電流が、常時オン状態にあるスイッチング素子 (Ssp) を流れる。そのため、図16の (B) に示すように、スイッチング素子 (Srp) の電流が欠落する。

[0100] 実施形態1やその変形例におけるゲートパターンは常にゲートパターンBであるので、実施形態1やその変形例では、このような電流の欠落が起こりえる。図17は、実施形態1やその変形例における、入力三相交流、r, s相のゲート信号のパターン (ゲートパターンB)、及びフィルタコンデンサ (C11, C12, C13) 通過後の入力電流の波形をそれぞれ示す図である。このように、ゲートパターンBのみでスイッチングを行うと、フィルタコンデンサ通過後の入力電流は、最大相と中間相が切り替わる 60° 毎に歪が大きくなる。
。

[0101] これに対し、本実施形態では、前記逆転期間を含んだ、中間相と最大相が入れ替わるタイミング (位相角) を中心とした位相角 30° 分の期間は、ゲートパターンAでスイッチング (すなわち2相変調) を行っている。それゆえ、この期間は電流波形の歪の増大を抑えることが可能になる。また、ゲートパターンBでスイッチング (すなわち1相変調) を行う期間には、実施形態1や変形例のマトリックスコンバータと同様に逆バイアスが印加されたスイッチング素子の漏れ電流を低減させることが可能になる。このように、本実施形態では、漏れ電流低減の効果と、電流波形の歪の増大を抑える効果とをバランスよく得ることが可能になる。

[0102] また、本実施形態では、位相角 30° 単位でゲートパターン A, B を切替えている。この 30° という値は前記セクターの整数分の 1 の値なので、ゲートパターンの切り替え制御をより容易に行える。勿論、2 相変調を行う期間（前記の例では位相各 30° 分の期間）は、例示であり、他の値に変更することも可能である。

[0103] 《発明の実施形態 3》

図 18 は、本発明の実施形態 3 に係る制御部 (60) の構成を示すブロック図である。この制御部 (60) は、コンバータ制御部 (60a) とインバータ制御部 (5b) とを備えている。すなわち、この制御部 (60) は、コンバータ制御部 (60a) の構成が実施形態 1 とは異なっている。本実施形態のコンバータ制御部 (60a) は、台形波状電圧指令生成部 (11)、電流形ゲート論理変換部 (13)、中間相検出部 (14)、キャリア信号生成部 (15)、マスク信号生成部 (61)、及びマルチプレクサ (62) を備えている。なお、中間相検出部 (14) 及びキャリア信号生成部 (15) は、インバータ制御部 (5b) と共用して用いる。

[0104] マスク信号生成部 (61) は、各スイッチング素子 (S_{rp}, \dots, S_{tn}) に対応した 6 つのマスク信号 (S_2) を出力する。このマスク信号 (S_2) は、変調させる相に対応したスイッチング素子 (S_{rp}, \dots, S_{tn}) に対してハイレベル（以下、H レベル）、その他のスイッチング素子 (S_{rp}, \dots, S_{tn}) に対してローレベル（以下、L レベル）になる。本実施形態のマトリックスコンバータでは、前記 2 相変調を行うようになっており、マスク信号生成部 (61) は、変調にかかわる 2 つスイッチング素子 (S_{rp}, \dots, S_{tn}) に対して H レベル信号を出力するようになっている。

[0105] 図 19 は、 r 相の相電圧 V_r （電圧は正規化してある）の波形、スイッチング素子 (S_{rp}) に対応した、電流形ゲート論理変換部 (13)、マスク信号生成部 (61)、及びマルチプレクサ (62) がそれぞれ出力する信号 (S_1, S_2, S_3) の波形を示す図である。図 19 では、モード 4 からモード 0 の期間を図示してある。この例では、スイッチング素子 (S_{rp}) に対応したマスク信号 (S_2) は、図 19 に示す領域 A（モード 4 の前半）と領域 C（モード 5 の前半）

ではHレベルになり、領域B（モード4の後半）と領域D（モード5の後半からモード0の全域）ではLレベルある。

[0106] また、図19のS1は、電流形ゲート論理変換部(13)が出力する信号の波形である。すなわち、S1は、従来のPWM制御用のゲート信号である。このゲート信号(S1)は、スイッチング素子(Srp)に変調動作を行わせない領域DではLレベルになる。このゲート信号(S1)とマスク信号(S2)と、さらにハイレベルの信号(図19中のHigh信号)が、マルチプレクサ(62)に入力されている。

[0107] このマルチプレクサ(62)は、マスク信号(S2)がHレベルの場合にゲート信号(S1)を選択し、マスク信号(S2)がLレベルの場合に、前記High信号を選択して、各スイッチング素子(Srp, ..., Stn)に出力するようになっている。例えば、r相の上アームのスイッチング素子(Srp)に対しては、電流形ゲート論理変換部(13)が出力したスイッチング素子(Srp)用のゲート信号(S1)又はHigh信号を、前記のようにマスク信号(S2)に応じて選択して出力する。なお、ゲート信号(S1)、マスク信号(S2)、ゲート信号(S3)の各信号については、r相に関するものを代表で説明したがその他のs、t相についても同様である。

[0108] 〈実施形態3における動作〉

図20は、実施形態3における各相のゲート信号、入力三相交流の電圧、及び入力電流の波形をそれぞれ示す図である。本実施形態のコンバータ制御部(60a)によれば、例えば、モード4では、スイッチング素子(Srp)とスイッチング素子(Stp)とが相補的に所定の通流比でオンオフ動作を行って、r相とt相とが変調される。すなわち、このマトリックスコンバータ(1)では、2相変調が行われるのである。このとき、r相の下アームのスイッチング素子(Srn)、t相の下アームのスイッチング素子(Stn)、及びs相の2つのスイッチング素子(Ssp, Ssn)のそれぞれのゲートには、マルチプレクサ(62)によってHレベルの信号が印加される。他のモードでも同様に2相変調を行いつつ、スイッチングを行っていないスイッチング素子(Srp, ..., Stn)

にHレベルの信号が印加される。

[0109] 〈実施形態3における効果〉

以上のように、本実施形態では、各モードの全域にわたって2相変調が行われるので、入力電流の歪を前記の各実施形態や変形例よりも、より小さくすることが可能になる。しかも、逆バイアス状態のスイッチング素子には所定のゲート電圧が印加されるので、漏れ電流の低減も可能になる。

[0110] 《その他の実施形態》

なお、電力変換装置は、例えば、インバータ部(3)を省略し、コンバータ部(2)によって前記直流電圧を出力する装置として構成してもよい。

[0111] また、前記スイッチング素子(Srp, ..., Stn)には、逆阻止IGBTの他に、バイポーラ構造を含んだトランジスタなどを採用することも可能である。

産業上の利用可能性

[0112] 本発明は、交流電力から直流電力又は交流電力への変換を行う電力変換装置として有用である。

符号の説明

- [0113]
- | | |
|---------------|----------------------|
| 1 | マトリックスコンバータ (電力変換装置) |
| 2 | コンバータ部 |
| 3 | インバータ部 |
| 5 | 制御部 |
| 11 | 台形波状電圧指令生成部 |
| 30 | 制御部 |
| 50 | 制御部 |
| 60 | 制御部 |
| L1 | 第1直流リンク部 (出力線) |
| L2 | 第2直流リンク部 (出力線) |
| Srp, ..., Stn | スイッチング素子 |

請求の範囲

[請求項1]

2つの出力線 (L1, L2) 間に直列接続した2つのスイッチング素子 (Srp, ..., Stn) の組を3組有し、前記直列接続における各接続ノードに入力三相交流の相が1つずつ接続されたコンバータ部 (2) と、

前記入力三相交流の1つの相を基準相として、前記基準相と他のそれぞれの相との線間電圧が時分割で前記2つの出力線 (L1, L2) に出力されるように、スイッチング素子 (Srp, ..., Stn) のオンオフを制御する制御部 (5) と、

を備え、

それぞれのスイッチング素子 (Srp, ..., Stn) は、バイポーラ構造を含んだトランジスタで構成され、

前記制御部 (5) は、前記スイッチング素子 (Srp, ..., Stn) のうち、逆バイアスが印加されているスイッチング素子 (Srp, ..., Stn) に所定のゲート電圧を印加することを特徴とする電力変換装置。

[請求項2]

請求項1の電力変換装置において、

前記基準相は、前記入力三相交流を2つの相電圧が正で残りの相電圧が負となる期間であるセクターと、2つの相電圧が負で残りの相電圧が正となる期間であるセクターとに分けたそれぞれのセクターにおいて電圧の絶対値が最大となる相をセクター毎に選択したものであり、

前記基準相以外の相であって電圧の絶対値が大きい方の相を最大相とした場合に、

前記制御部 (5) は、少なくとも前記最大相の順バイアスが印加されたスイッチング素子 (Srp, ..., Stn) を所定の通流比 (drt, dst) でオンオフ制御することを特徴とする電力変換装置。

[請求項3]

請求項2の電力変換装置において、

前記制御部 (5) における前記オンオフ制御の対象は、前記最大相のスイッチング素子 (Srp, ..., Stn) のみであることを特徴とする電力

変換装置。

- [請求項4] 請求項2の電力変換装置において、
前記基準相及び前記最大相以外の相を中間相とした場合に、
各セクターの一部の期間は、前記順バイアスが印加されているスイッチング素子 (S_{rp}, \dots, S_{tn}) と、前記中間相に対応したスイッチング素子 (S_{rp}, \dots, S_{tn}) のうち電流が流出する側のスイッチング素子 (S_{rp}, \dots, S_{tn}) とを、所定の通流比 (d_{rt}, d_{st}) で相補的にオンオフ制御し、残りの期間は、前記順バイアスが印加されているスイッチング素子 (S_{rp}, \dots, S_{tn}) のみを所定の通流比 (d_{rt}, d_{st}) でオンオフ制御することを特徴とする電力変換装置。
- [請求項5] 請求項4の電力変換装置において、
前記入力三相交流の各相には、フィルタコンデンサ (C_{11}, C_{12}, C_{13}) が設けられ、
前記一部の期間は、前記最大相に対応したフィルタコンデンサ (C_{11}, C_{12}, C_{13}) の電圧よりも前記中間相に対応したフィルタコンデンサ (C_{11}, C_{12}, C_{13}) の電圧の方が大きい期間を含む期間であることを特徴とする電力変換装置。
- [請求項6] 請求項4の電力変換装置において、
前記一部の期間は、前記入力三相交流の位相角30度分に相当する期間であることを特徴とする電力変換装置。
- [請求項7] 請求項2の電力変換装置において、
前記基準相及び前記最大相以外の相を中間相とした場合に、
前記制御部(5)は、前記順バイアスが印加されているスイッチング素子 (S_{rp}, \dots, S_{tn}) と、前記中間相に対応したスイッチング素子 (S_{rp}, \dots, S_{tn}) のうち電流が流出する側のスイッチング素子 (S_{rp}, \dots, S_{tn}) とを、所定の通流比 (d_{rt}, d_{st}) で相補的にオンオフ制御することを特徴とする電力変換装置。
- [請求項8] 請求項1の電力変換装置において、

前記制御部 (5) は、前記入力三相交流に同期した電源同期信号 (V_r) に基づいて、前記入力三相交流の各相に対応した台形波形状の電圧指令信号 (V_r^* , V_s^* , V_t^*) の傾斜領域を求める台形波状電圧指令生成部 (11) を備え、

前記制御部 (5) は、何れかの 1 つの相の前記電圧指令信号 (V_r^* , V_s^* , V_t^*) を用いて、それぞれのスイッチング素子 (S_{rp} , ..., S_{tn}) のゲート信号を生成することを特徴とする電力変換装置。

[請求項9]

請求項 1 の電力変換装置において、

前記出力線 (L1, L2) に出力された電力を所定の単相交流又は多相交流に変換するインバータ部 (3) を備えていることを特徴とする電力変換装置。

[請求項10]

2 つの出力線 (L1, L2) 間に直列接続した、バイポーラ構造を含んだトランジスタからなる 2 つのスイッチング素子 (S_{rp} , ..., S_{tn}) の組を 3 組有し、前記直列接続における各接続ノードに入力三相交流の相が 1 つずつ接続されたコンバータ部 (2) を有した電力変換装置の制御方法であって、

前記入力三相交流の 1 つの相を基準相として選択する選択ステップと、

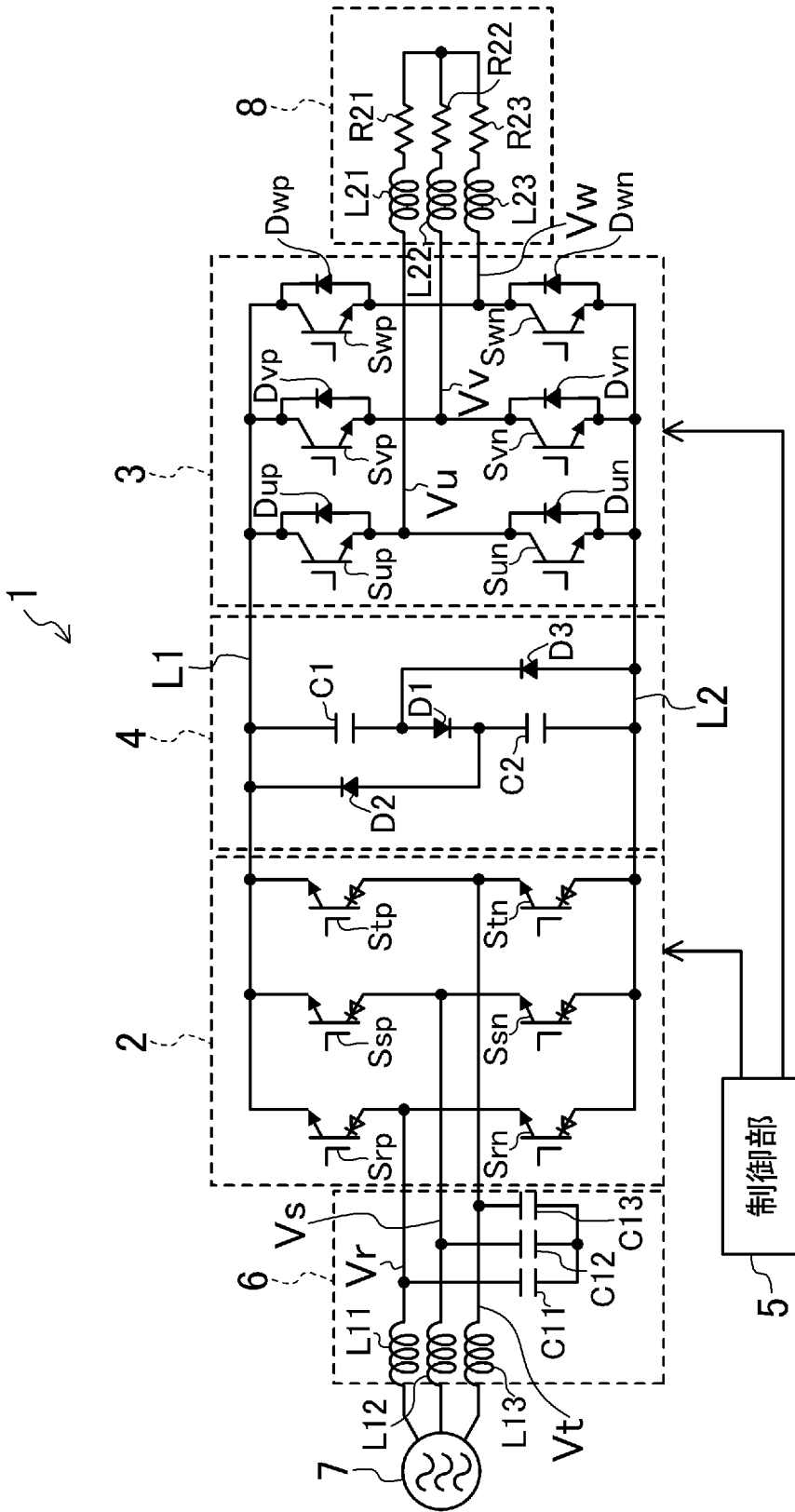
前記基準相と他のそれぞれの相との線間電圧が時分割で前記 2 つの出力線 (L1, L2) に出力されるように、所定のスイッチング素子 (S_{rp} , ..., S_{tn}) のオンオフ制御を行う制御ステップと、

前記オンオフ制御の際に逆バイアスが印加されるスイッチング素子 (S_{rp} , ..., S_{tn}) を特定する逆バイアス素子特定ステップと、

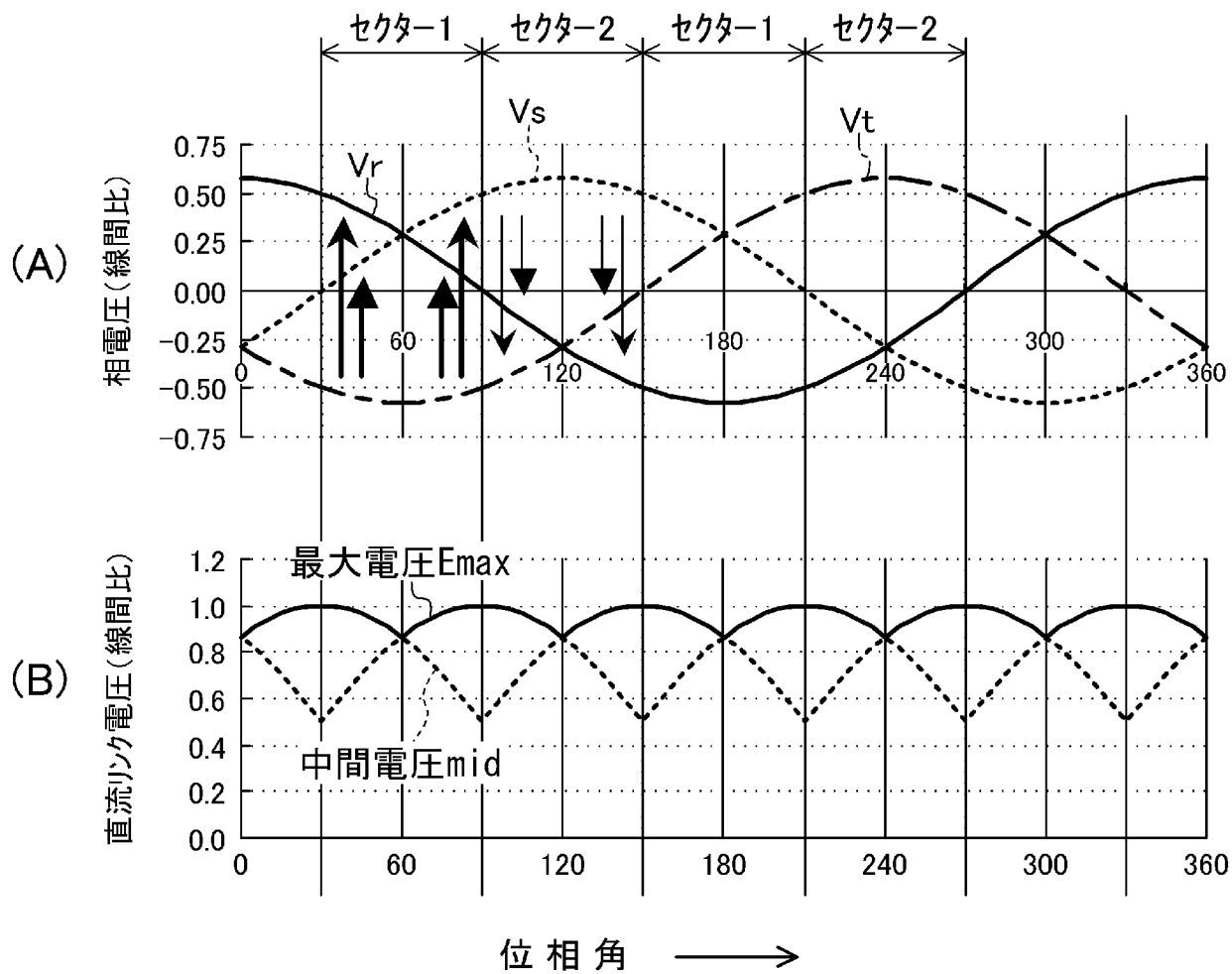
前記逆バイアス素子特定ステップで特定したスイッチング素子 (S_{rp} , ..., S_{tn}) に、前記オンオフ制御の際に所定のゲート電圧を印加するゲート電圧印加ステップと、

を備えたことを特徴とする電力変換装置の制御方法。

[図1]

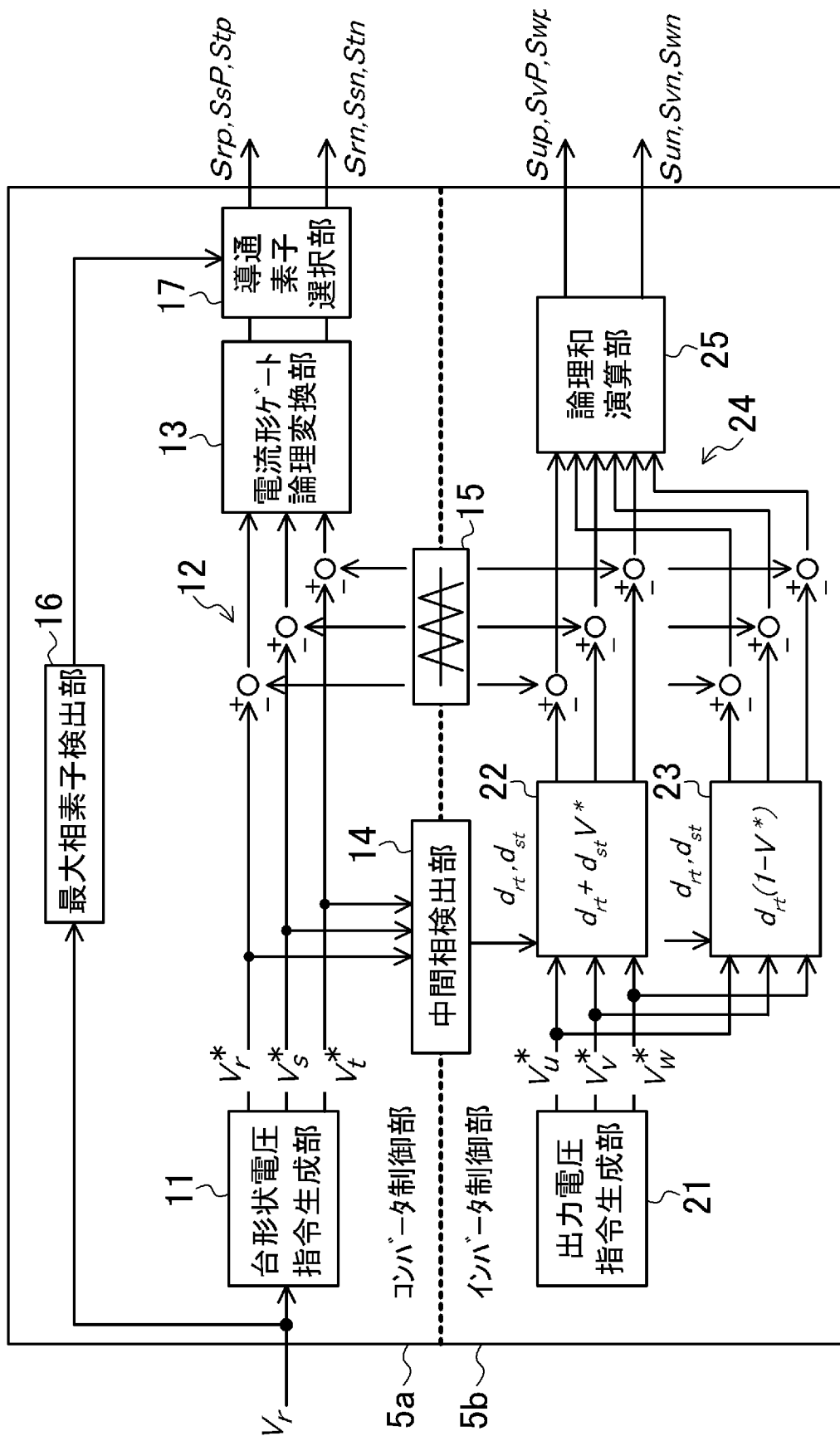


[図2]

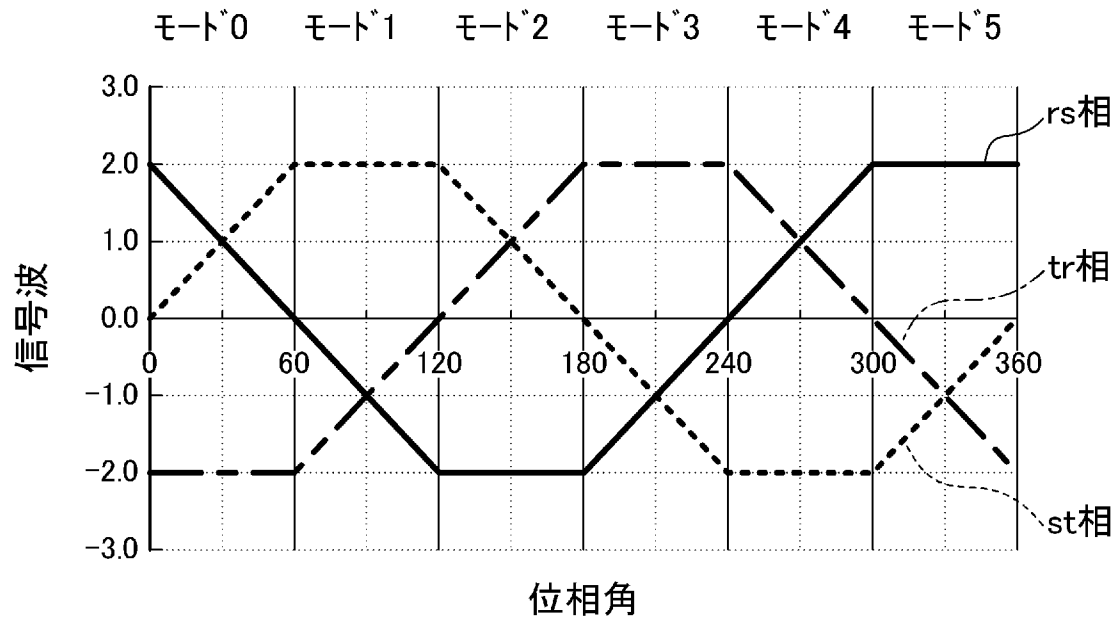


[図3]

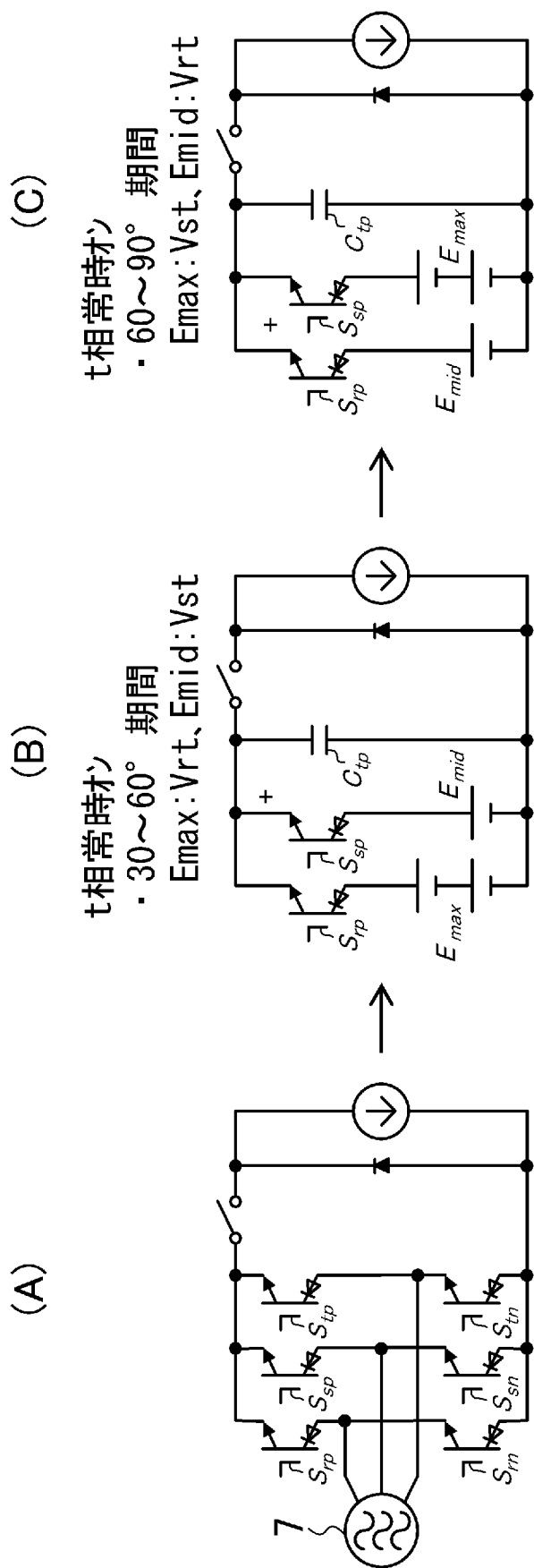
5



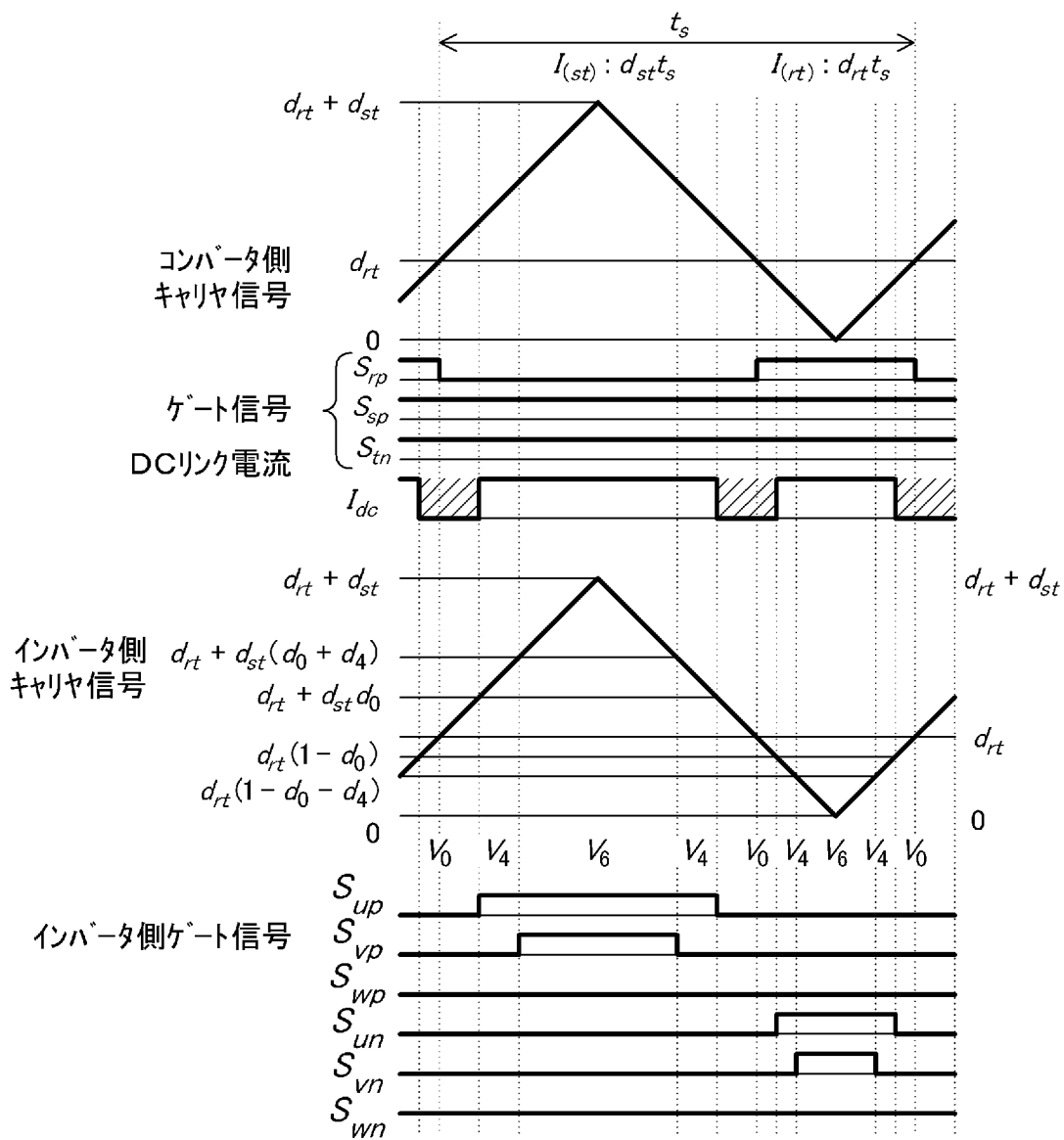
[図4]



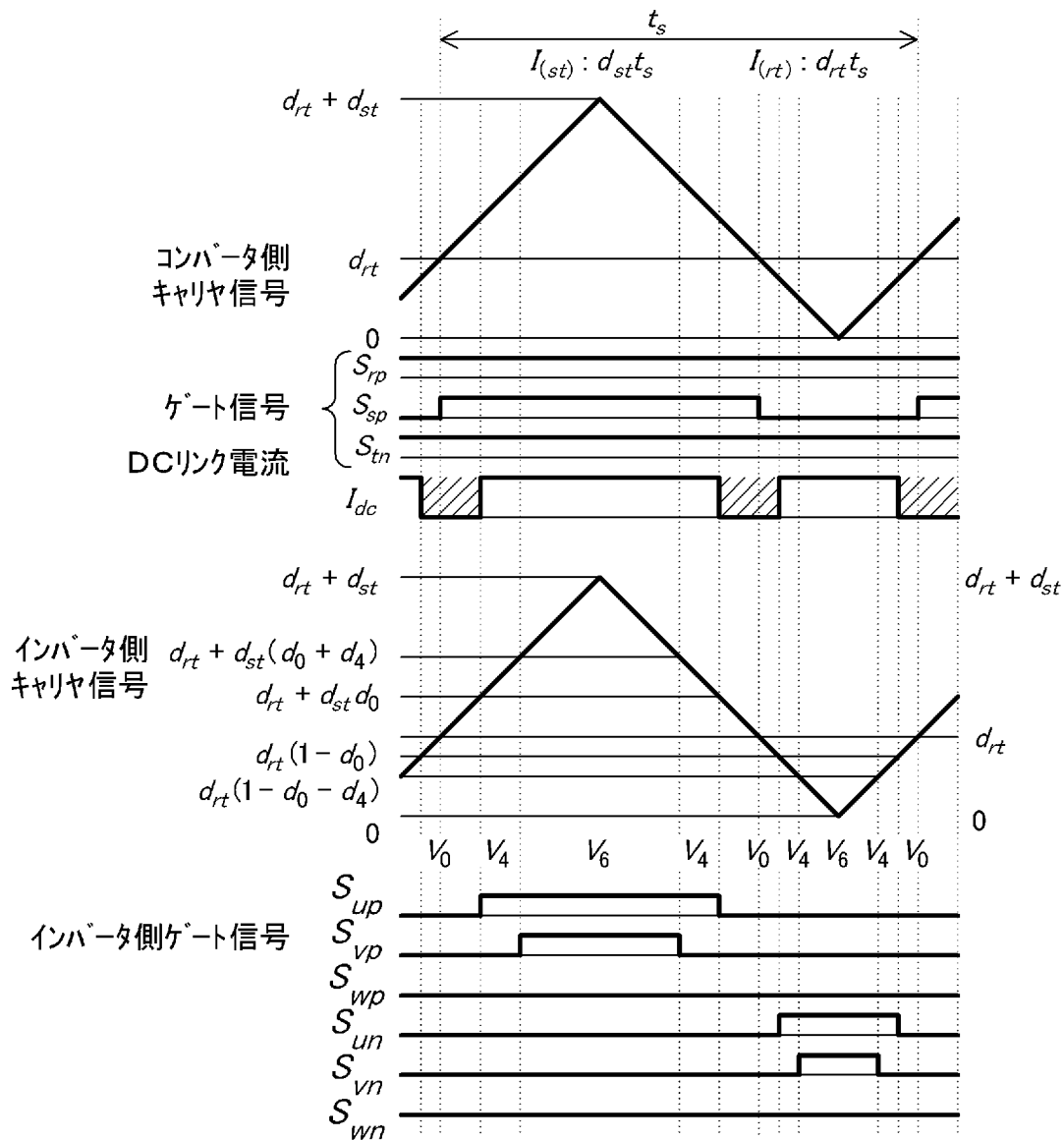
[図5]



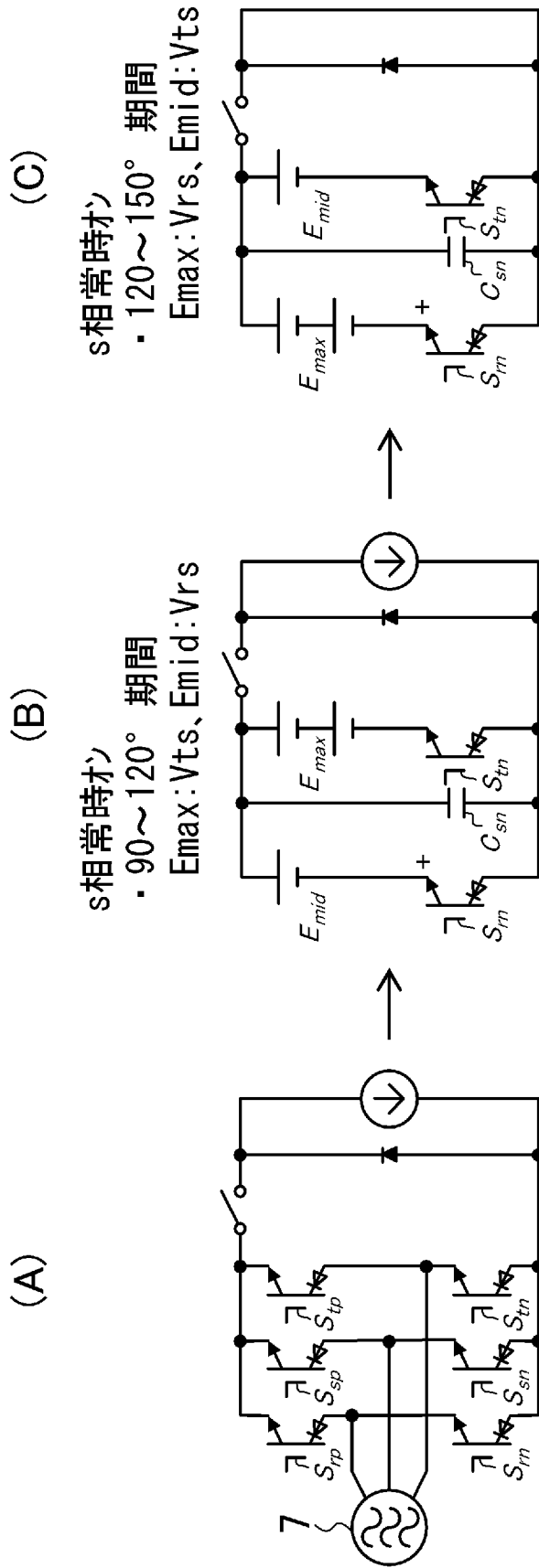
[図6]



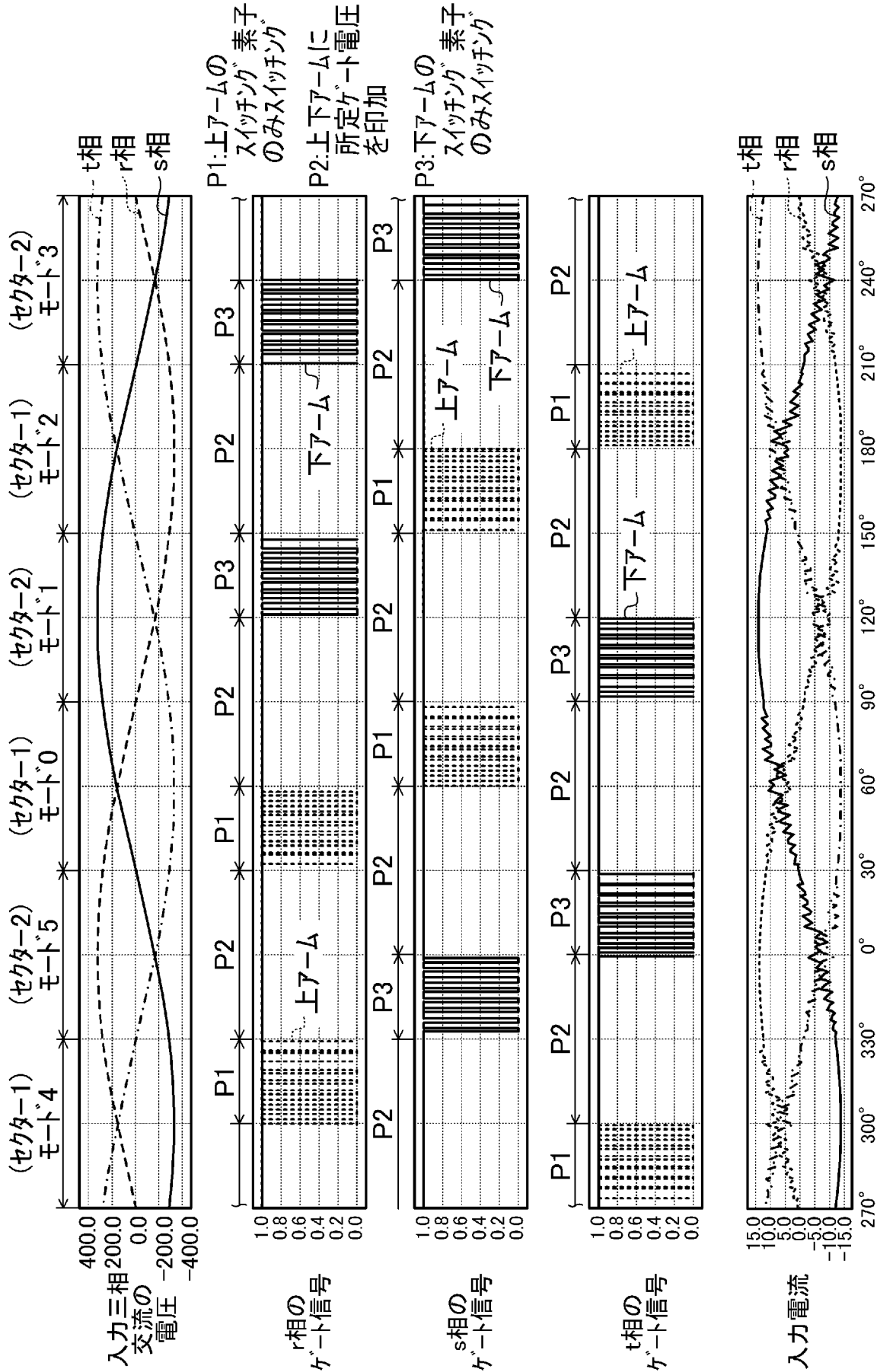
[図7]



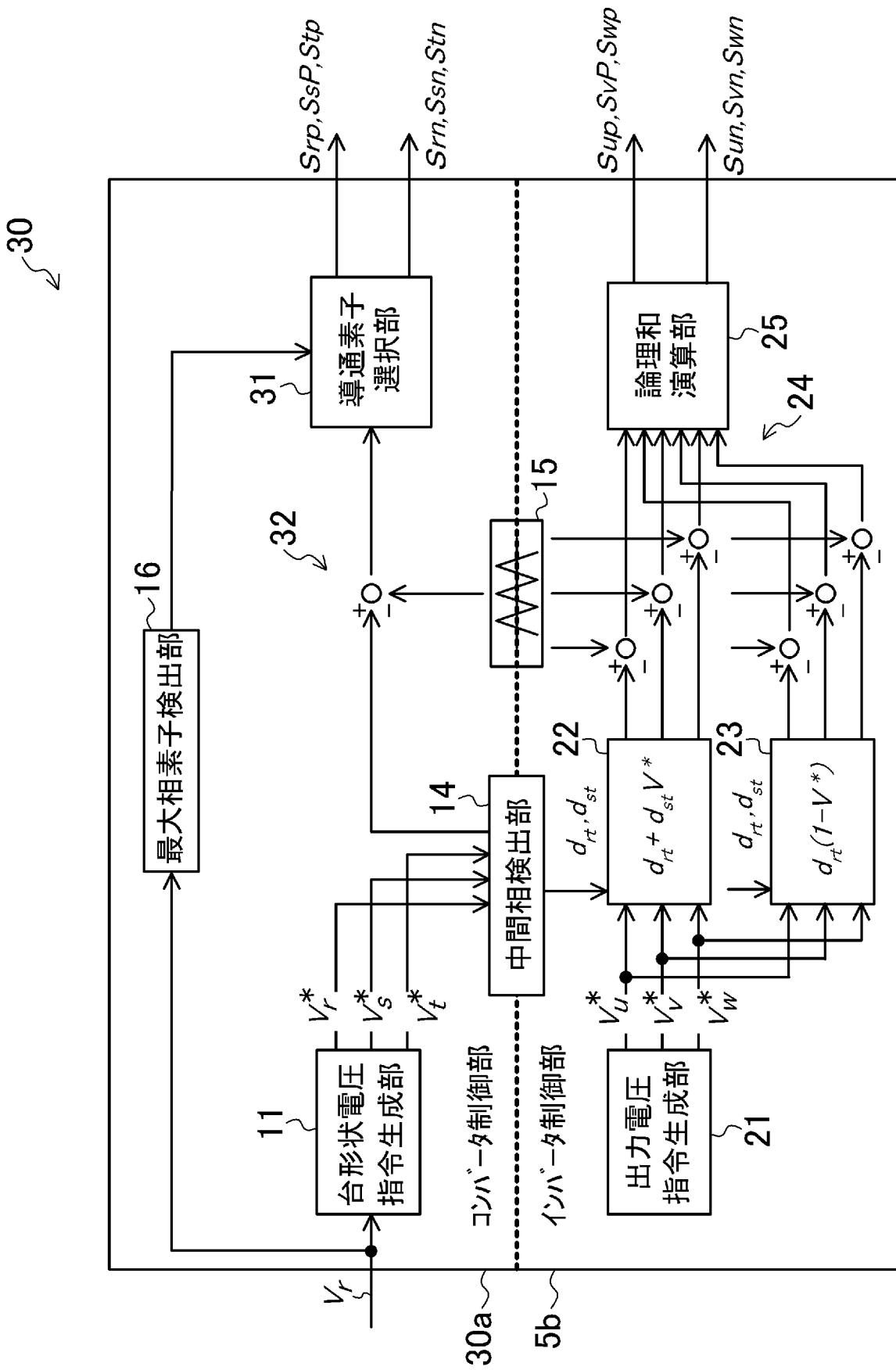
[図8]



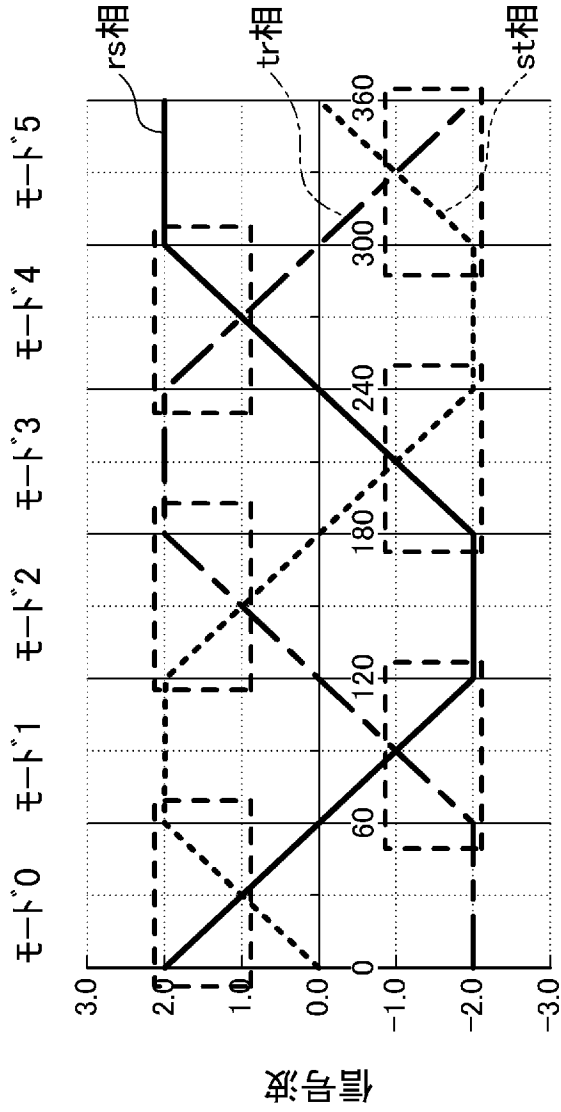
[図9]



[図10]



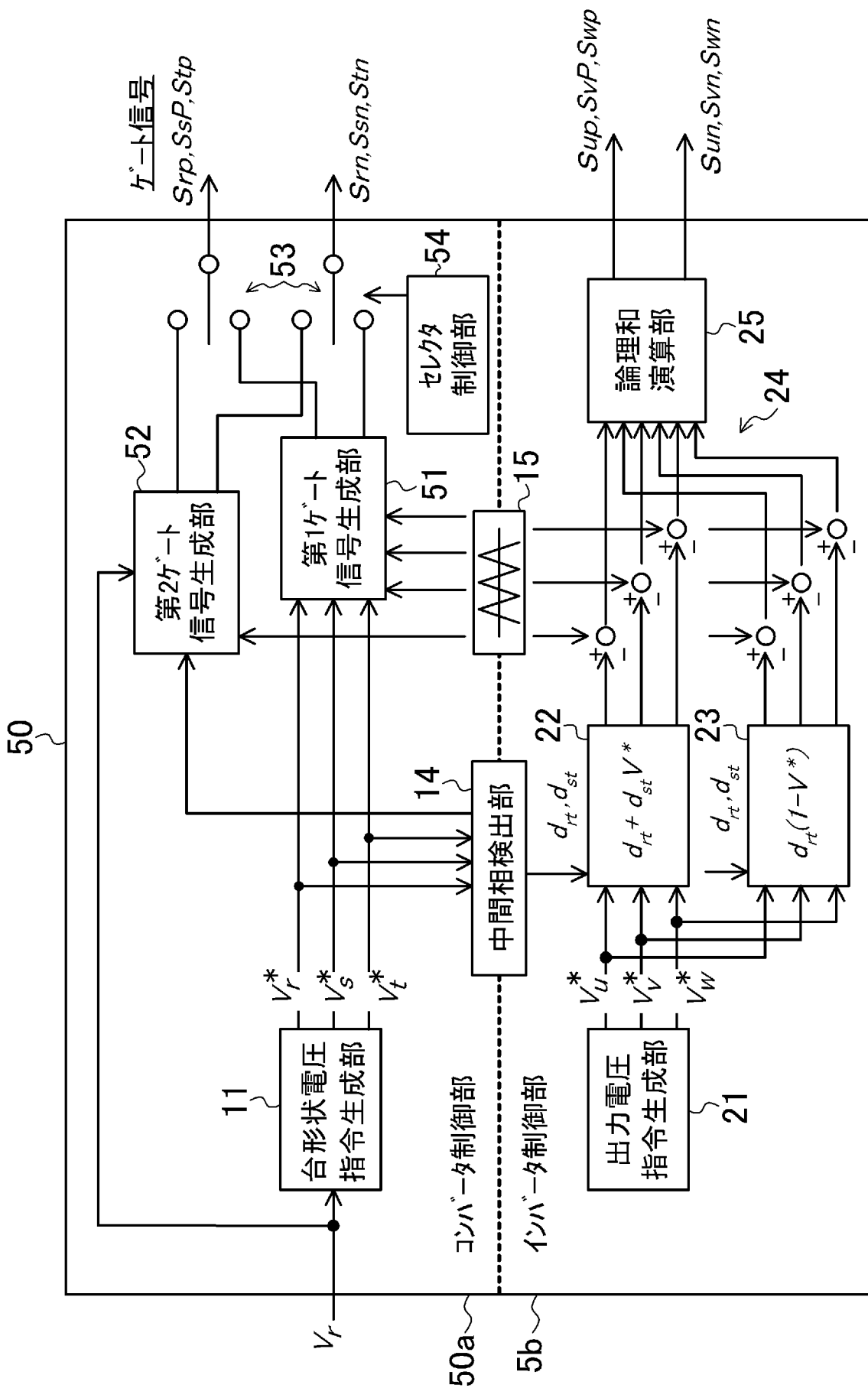
[図11]



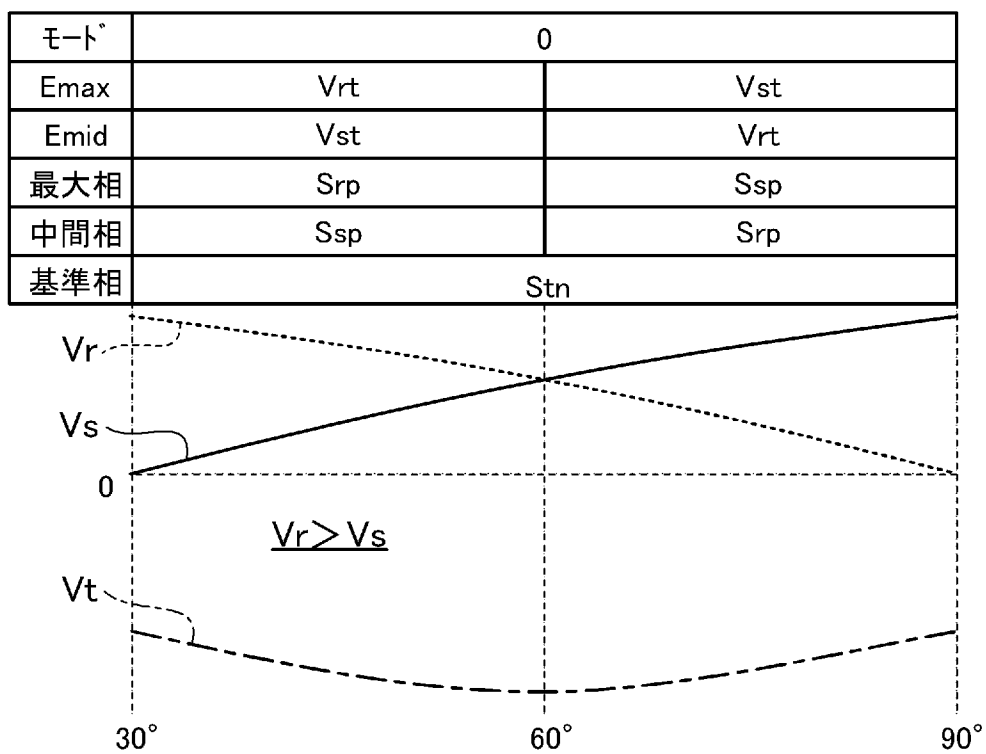
位相角

	モータ ⁰		モータ ¹		モータ ²		モータ ³		モータ ⁴		モータ ⁵	
最大相	Srp	Ssp	Stn	Srn	Ssp	Stp	Srn	Ssn	Stp	Srp	Ssn	Stn
中間相	Ssp	Srp	Srn	Stn	Stp	Ssp	Ssn	Srn	Srp	Stp	Stn	Ssn
基準相	Stn		Ssp		Srn		Stp		Ssn		Srp	

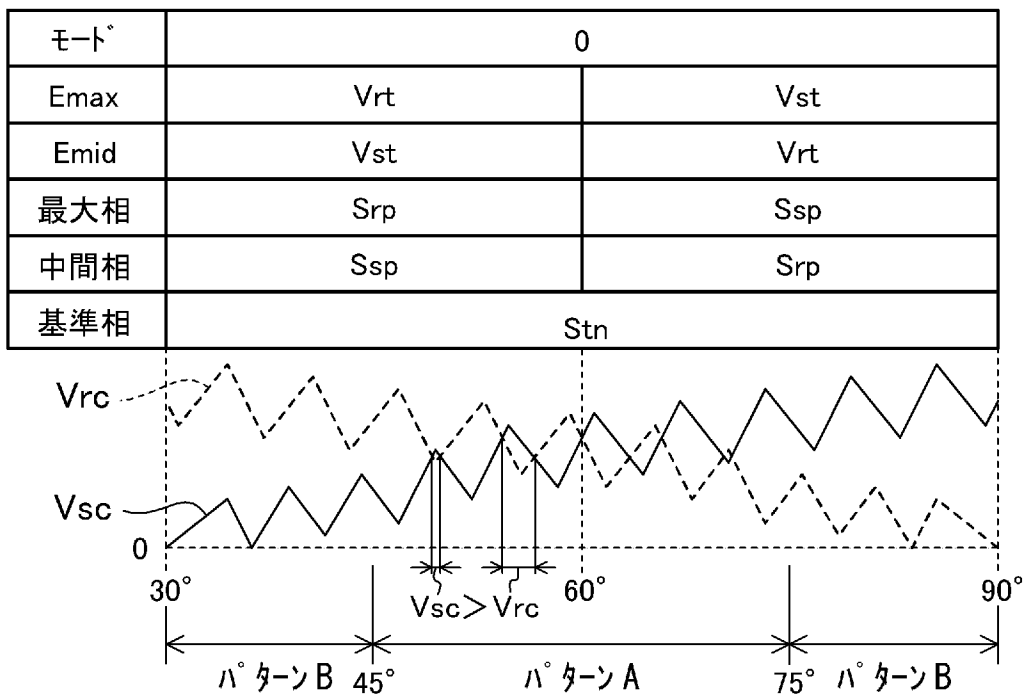
[図12]



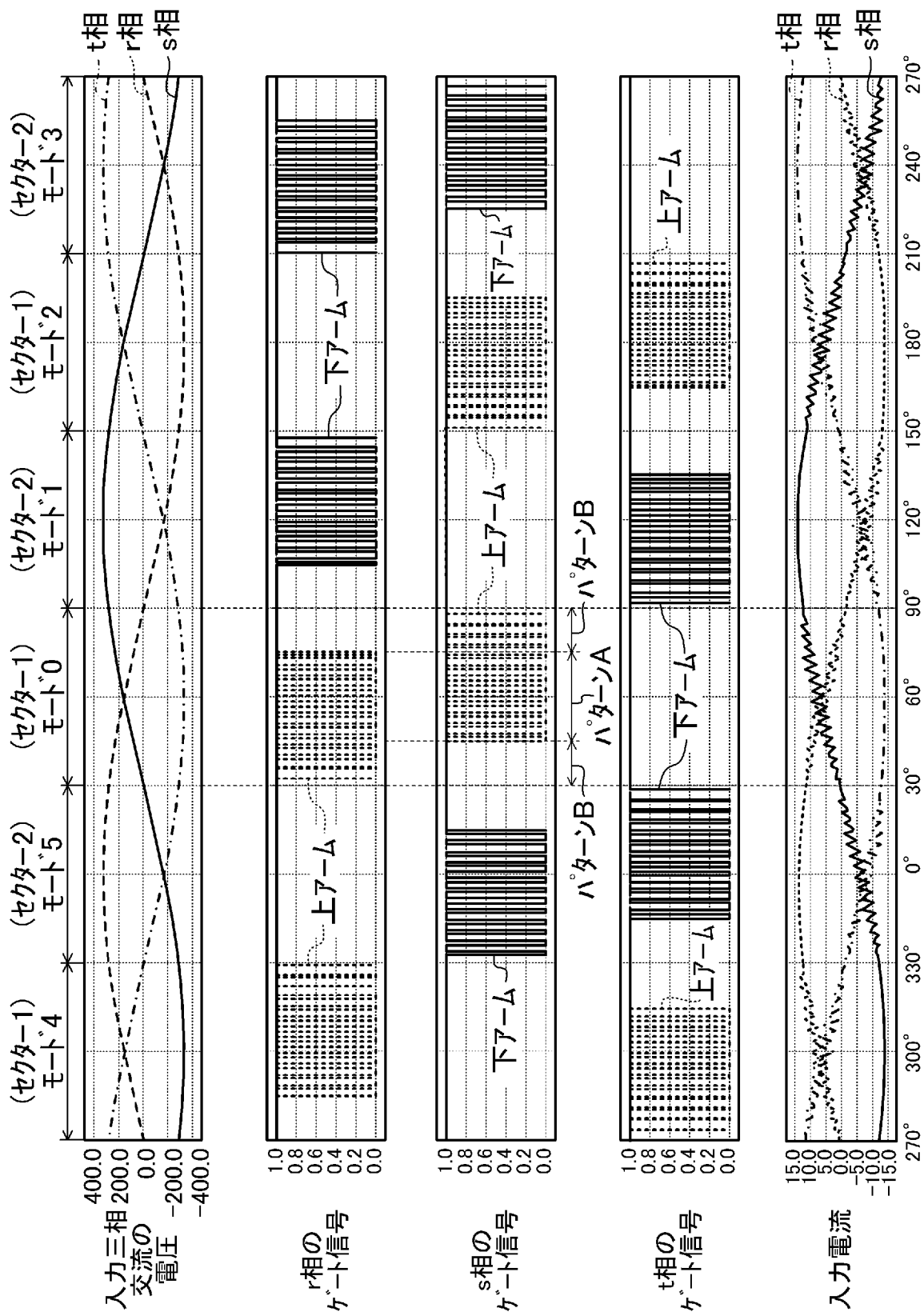
[図13]



[図14]

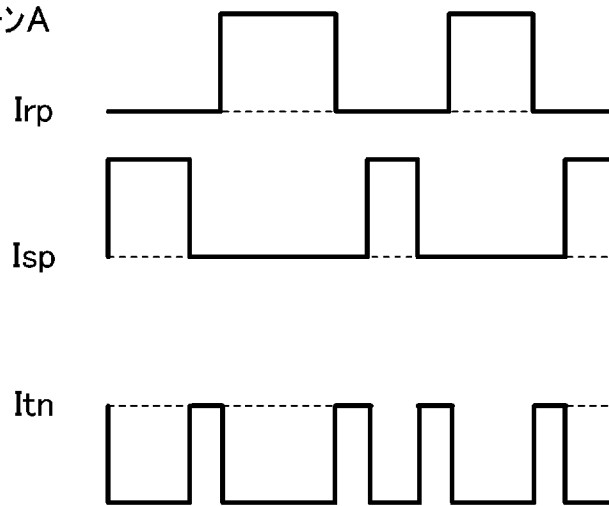


[図15]

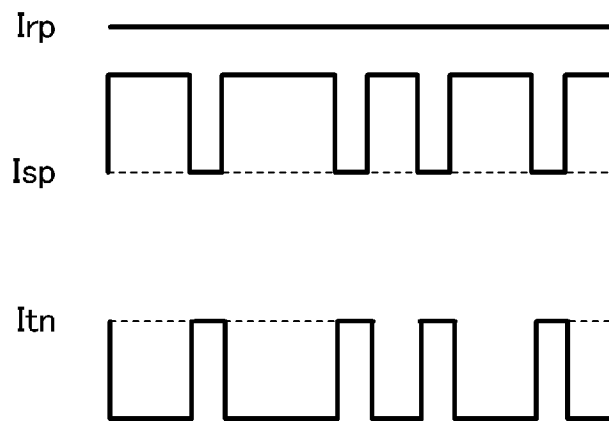


[図16]

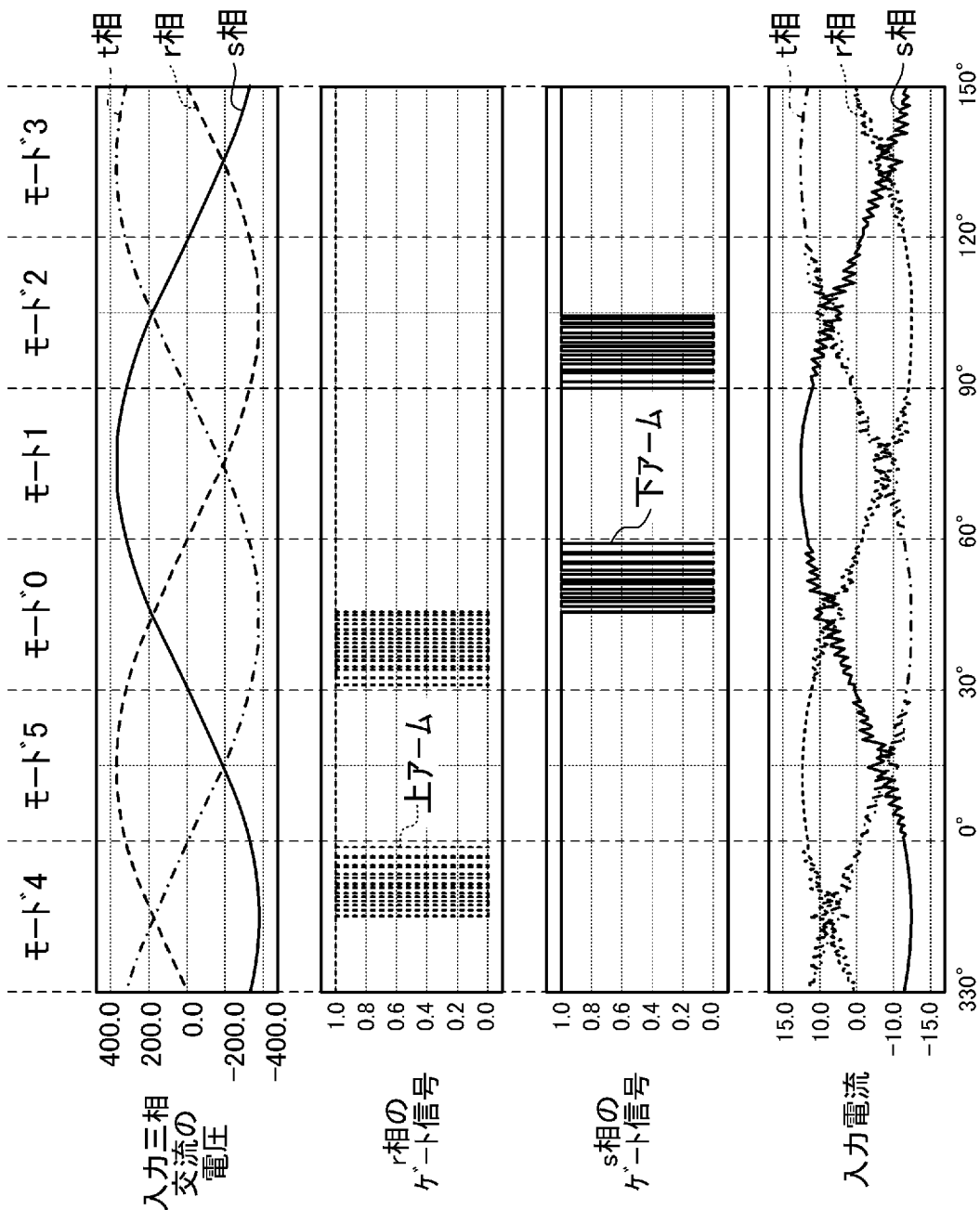
(A)ゲートパターンA



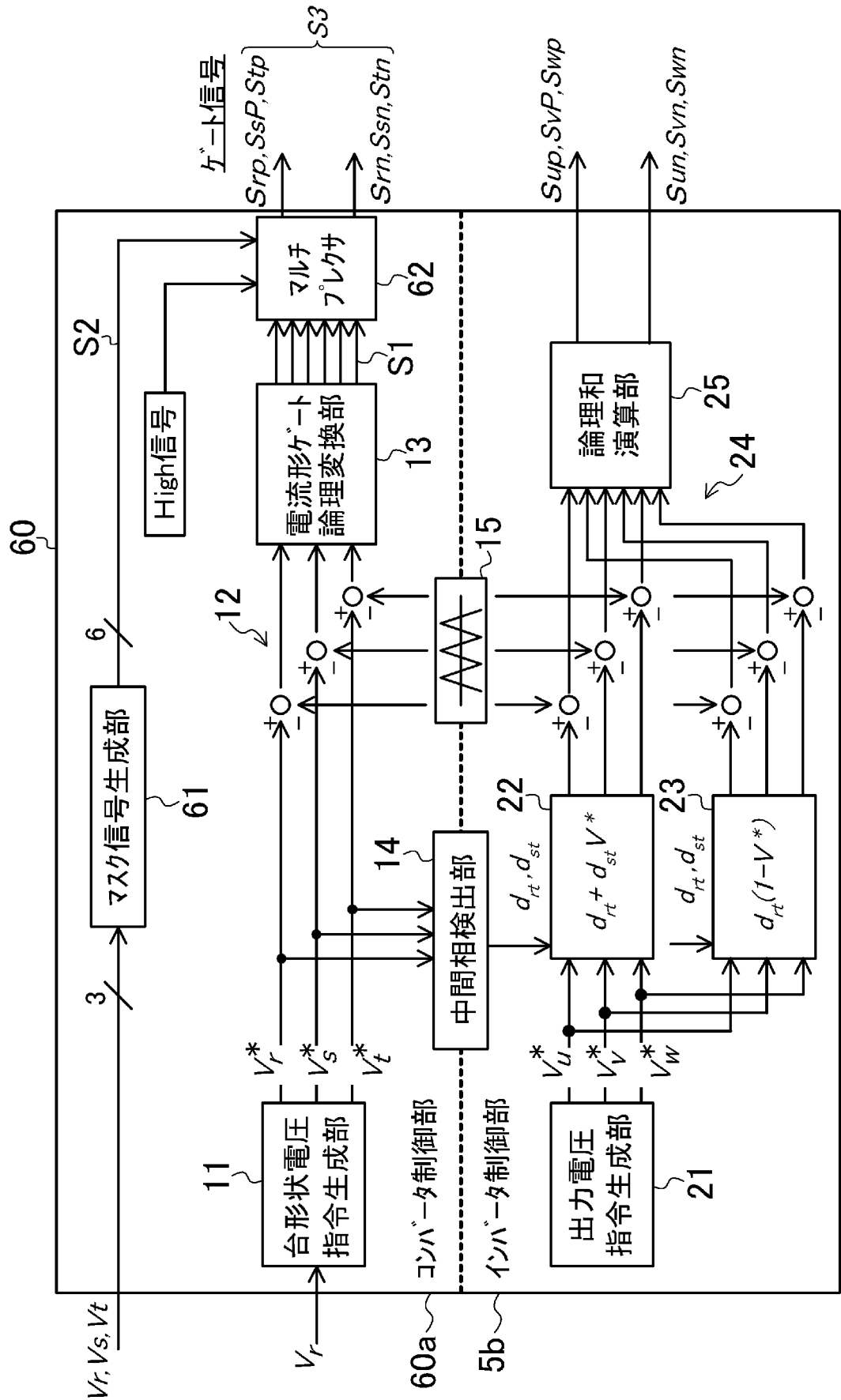
(B)ゲートパターンB



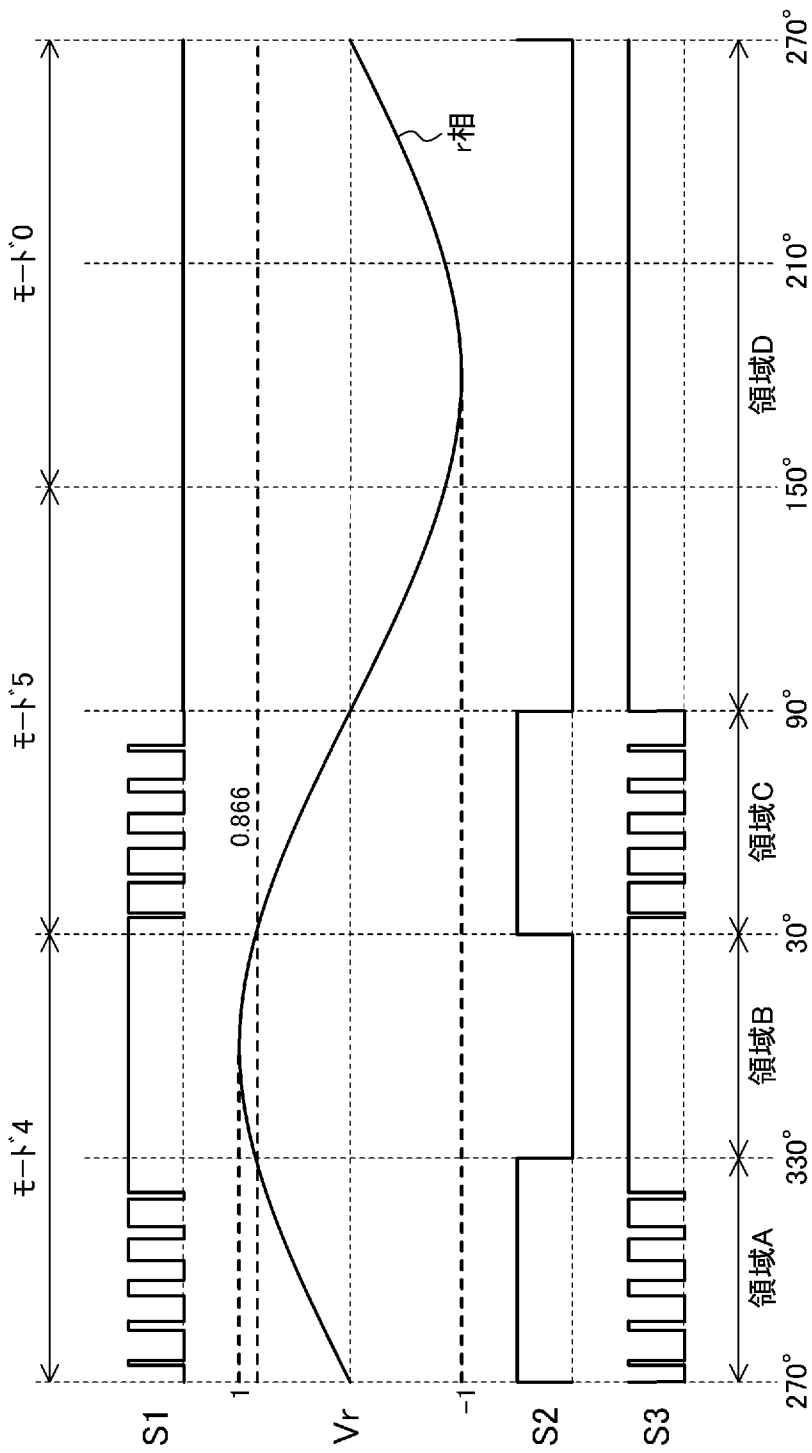
[図17]



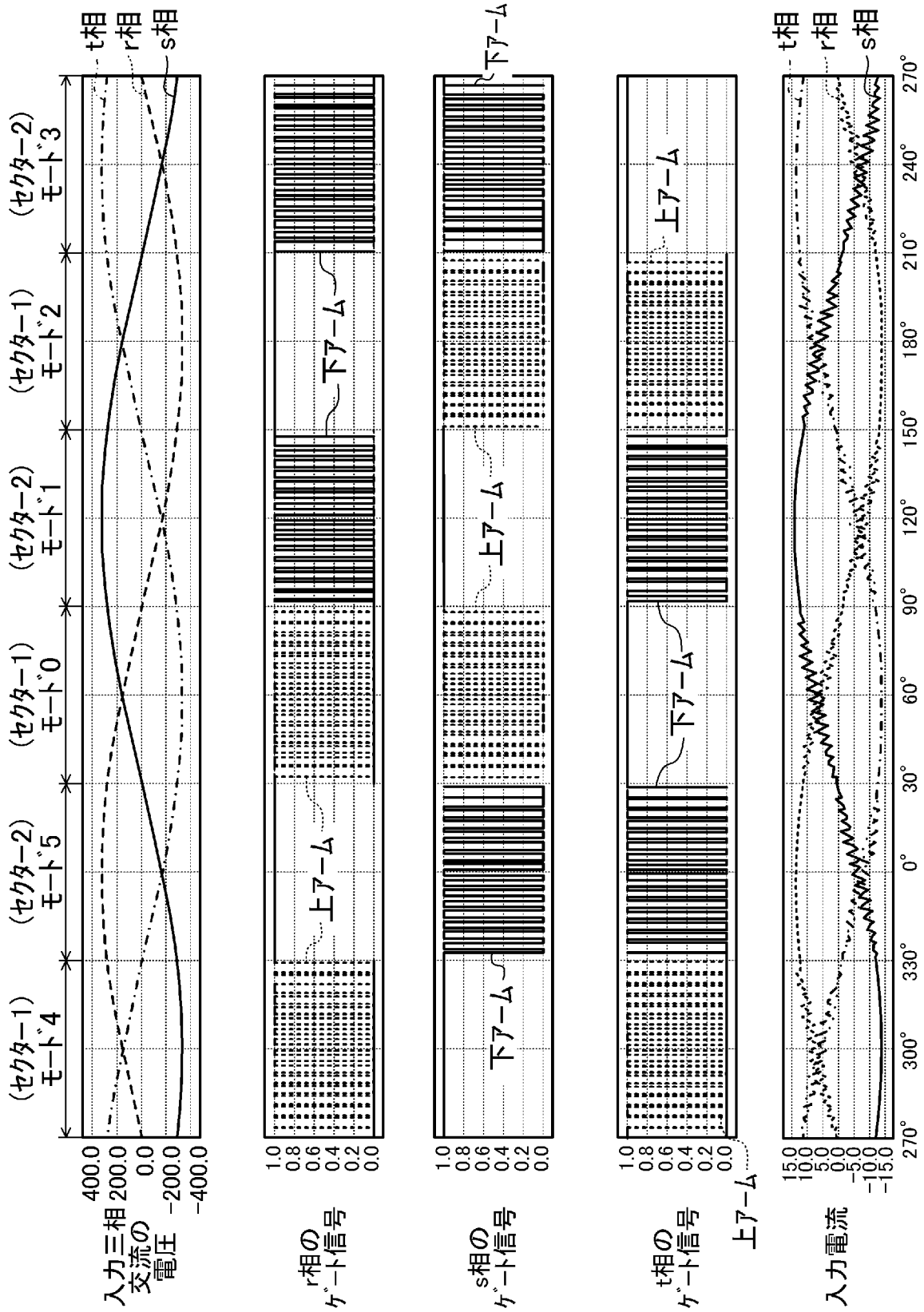
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003144

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/12(2006.01) i, H02M7/48(2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/12, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-106111 A (Daikin Industries, Ltd.), 14 May 2009 (14.05.2009), paragraphs [0023] to [0087]; fig. 1 to 12 & WO 2009/054380 A1	1-10
Y	JP 2007-28860 A (Hitachi, Ltd.), 01 February 2007 (01.02.2007), entire text; all drawings (Family: none)	1-10
Y	JP 2006-166582 A (Fuji Electric Holdings Co., Ltd.), 22 June 2006 (22.06.2006), entire text; all drawings (Family: none)	1-10

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 May, 2010 (28.05.10)Date of mailing of the international search report
08 June, 2010 (08.06.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003144

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-210831 A (Fuji Electric Holdings Co., Ltd.), 04 August 2005 (04.08.2005), entire text; all drawings (Family: none)	1-10
Y	JP 2002-209390 A (Denso Corp.), 26 July 2002 (26.07.2002), paragraph [0085] & US 2001/0015904 A1 & DE 10065432 A & FR 2803137 A1	3-6, 8-9
Y	WO 2007/123118 A1 (Daikin Industries, Ltd.), 01 November 2007 (01.11.2007), fig. 3 & JP 2007-312589 A & JP 2007-312590 A & JP 2007-312598 A & JP 2007-318994 A & US 2009/0175059 A1 & EP 2053731 A1	5, 6, 8-9
Y	JP 2003-92888 A (Denso Corp.), 28 March 2003 (28.03.2003), paragraph [0032] & US 2003/0053323 A1 & DE 10243602 A1	6, 8-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M7/12(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M7/12, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-106111 A (ダイキン工業株式会社) 2009.05.14, 【0023】 - 【0087】 , 図 1-12 & WO 2009/054380 A1	1-10
Y	JP 2007-28860 A (株式会社日立製作所) 2007.02.01, 全文, 全図 (ファミリーなし)	1-10
Y	JP 2006-166582 A (富士電機ホールディングス株式会社) 2006.06.22, 全文, 全図 (ファミリーなし)	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

28.05.2010

国際調査報告の発送日

08.06.2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松本 泰典

電話番号 03-3581-1101 内線 3358

3V

3328

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-210831 A (富士電機ホールディングス株式会社) 2005.08.04, 全文, 全図 (ファミリーなし)	1-10
Y	JP 2002-209390 A (株式会社デンソー) 2002.07.26, 【0085】 & US 2001/0015904 A1 & DE 10065432 A & FR 2803137 A1	3-6, 8-9
Y	WO 2007/123118 A1 (ダイキン工業株式会社) 2007.11.01, 図3 & JP 2007-312589 A & JP 2007-312590 A & JP 2007-312598 A & JP 2007-318994 A & US 2009/0175059 A1 & EP 2053731 A1	5, 6, 8-9
Y	JP 2003-92888 A (株式会社デンソー) 2003.03.28, 【0032】 & US 2003/0053323 A1 & DE 10243602 A1	6, 8-9