

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-174790
(P2012-174790A)

(43) 公開日 平成24年9月10日(2012.9.10)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 8 1 B	5 F 0 8 3
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 7 1 B	
	HO 1 L 27/10 6 2 1 Z	

審査請求 未請求 請求項の数 16 O L (全 31 頁)

(21) 出願番号 特願2011-33431 (P2011-33431)
(22) 出願日 平成23年2月18日 (2011. 2. 18)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100106909
弁理士 棚井 澄雄
(74) 代理人 100108578
弁理士 高橋 詔男
(74) 代理人 100138759
弁理士 大房 直樹
(74) 代理人 100140774
弁理士 大浪 一徳
(72) 発明者 三笠 典章
東京都中央区八重洲二丁目2番1号 エル
ピーダメモリ株式会社内

最終頁に続く

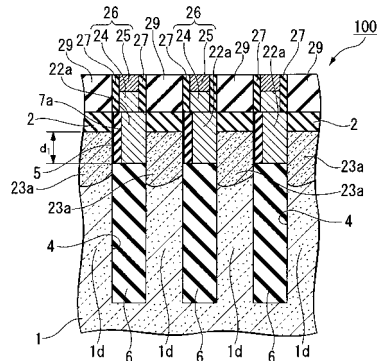
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 活性領域とビット線コンタクトとの間の接触面積が大きく、コンタクト抵抗の低下が図られた半導体装置及びその製造方法を提供する。

【解決手段】 本発明に係る半導体装置100は、基板1に形成された第1の方向に延在する第1の溝4と、第1の溝4の下部を埋めこんで形成された第2の絶縁層6と、基板1に形成された第1の方向に直交する第2の方向に延在する複数の第2の溝と、第2の溝の下部を埋めこんで第2の溝内に形成されたワード線と、第1の溝4と第2の溝とによって基板1内に区画して形成され、基板1に垂直に立設すると共に、上部に拡散領域23aを有する半導体ピラー1dと、第1の方向に並ぶ所定数ごとの半導体ピラー1dにその上部の側面を介して拡散領域23aに接続するビット線コンタクト22aと、ビット線コンタクト22aに接続するビット線26と、を備える。

【選択図】 図1C



【特許請求の範囲】**【請求項 1】**

半導体基板の主面に形成された第 1 の方向に直線状に延在する複数の第 1 の溝と、
前記第 1 の溝の下部を埋めこんで形成された第 2 の絶縁層からなる素子分離領域と、
前記半導体基板の主面に形成された第 1 の方向に直交する第 2 の方向に直線状に延在する複数の第 2 の溝と、

前記第 2 の溝の下部を埋め込んで、該第 2 の溝の内壁上の第 5 の絶縁膜を介して第 2 の溝内に形成されたワード線と、

前記第 1 の溝と前記第 2 の溝とによって前記半導体基板内に区画して形成され、前記半導体基板の主面に対して垂直方向に立設すると共に、上部に活性領域たる不純物拡散領域を有する複数の半導体ピラーと、

第 1 の方向に並ぶ所定数ごとの半導体ピラーの前記上部の側面を介して前記不純物拡散領域に電氣的に接続すると共に、前記第 2 の絶縁層上に形成されたビット線コンタクトと、

第 1 の方向に直線状に延在し、前記ビット線コンタクトに電氣的に接続するビット線と、を備えることを特徴とする半導体装置。

【請求項 2】

前記ビット線コンタクトの底面は前記ワード線の上面よりも前記半導体基板の主面側に位置していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ビット線コンタクトは不純物がドーブされたシリコン膜からなることを特徴とする請求項 1 又は 2 のいずれかに記載の半導体装置。

【請求項 4】

前記ドーブされた不純物は前記不純物拡散領域にドーブされている不純物と同じであることを特徴とする請求項 1 から 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記第 2 の絶縁層上には前記ビット線コンタクトを介して、前記不純物拡散領域の反対側に第 3 の絶縁膜を備えることを特徴とする請求項 1 から 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記半導体ピラーは前記第 1 の方向及び前記第 2 の方向のそれぞれの方向で等ピッチ間隔で配置していることを特徴とする請求項 1 から 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記等ピッチ間隔は前記第 1 の方向と前記第 2 の方向とで異なることを特徴する請求項 6 に記載の半導体装置。

【請求項 8】

前記ビット線は不純物をドーブしたポリシリコン膜、窒化タングステン膜及びタングステン膜が順に積層されてなることを特徴する請求項 1 から 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記所定数ごとの半導体ピラー以外の半導体ピラーの上面を介してその不純物拡散領域に電氣的に接続するストレージノードコンタクトと、

前記ストレージノードコンタクトに電氣的に接続するキャパシタと、を備えることを特徴とする請求項 1 から 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記所定数が 3 であることを特徴とする請求項 1 から 9 のいずれか一項に記載の半導体装置。

【請求項 11】

半導体基板の面内に、第 1 の絶縁膜を用いて第 1 の方向に直線状に延在する複数の第 1 の溝を形成すると共に、これによって隣接する第 1 の溝間に素子形成領域を形成する工程

10

20

30

40

50

と、

前記第 1 の溝に、前記素子形成領域の上部側面が露出されたままとするように、第 1 の溝の下部を埋めこんで第 2 の絶縁膜を形成する工程と、

前記素子形成領域の、第 1 の方向に平行な一对の上部側面のうち一方の上部側面上にのみ、前記第 1 の溝の下部を埋めこんで第 3 の絶縁膜を形成する工程と、

前記第 1 の溝を埋め込むように、前記第 3 の絶縁膜と異なる材料からなる第 4 の絶縁膜を形成する工程と、

前記半導体基板の面内に第 1 の方向に直交する第 2 の方向に直線状に延在する複数の第 2 の溝を形成すると共に、これによって前記素子形成領域を第 2 の方向で分離して複数の半導体ピラーを形成する工程と、

10

前記第 2 の溝内の下部に該第 2 の溝の内壁に形成した第 5 の絶縁膜を介してワード線を形成すると共に、前記第 2 の溝内の前記ワード線上に第 6 の絶縁膜を形成する工程と、

第 1 の方向において所定数の半導体ピラーごとに、第 2 の方向に並ぶ複数の半導体ピラーの上方に第 2 の方向に延在する開口を有する第 7 の絶縁膜を全面に形成する工程と、

前記第 7 の絶縁膜をマスクとして前記第 3 の絶縁膜よりも前記第 4 の絶縁膜に対してエッチング速度が高い溶液で湿式エッチングを施して、前記第 4 の絶縁膜のうち前記開口の形成により露出された第 4 の絶縁膜を一括して除去して、前記一对の上部側面のうち前記第 3 の絶縁膜が形成されていない方の上部側面を露出させる工程と、

前記第 7 の絶縁膜を除去する工程と、

前記第 4 の絶縁膜が除去された前記第 1 の溝内を埋め込むことにより前記露出させた上部側面に接触する、不純物がドーブされた第 1 の半導体膜からなるビット線コンタクトを形成する工程と、

20

前記不純物を前記接触する上部側面を介して前記半導体ピラーの上部に拡散させて拡散領域を形成する工程と、

前記ビット線コンタクト上に第 1 の方向に延在するビット線を形成する工程と、

前記半導体ピラーのうち、前記ビット線コンタクトが接触していない半導体ピラー上の前記第 1 の絶縁膜を除去してその半導体ピラーの上面を露出させ、その上面にストレージノードコンタクトを形成する工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 1 2】

前記一方の上部側面上にのみ第 3 の絶縁膜を形成する工程は、

30

前記素子形成領域の前記一对の上部側面のそれぞれに、前記第 1 の溝の下部を埋めこんで前記第 3 の絶縁膜を形成する小工程と、

前記第 1 の溝 4 内に前記第 3 の絶縁膜と異なる材料からなる第 8 の絶縁膜を、前記第 3 の絶縁膜の上面より低くなるように形成して、前記第 1 の溝内の前記第 8 の絶縁膜上に凹部を形成する小工程と、

前記凹部の下部を埋めこんで、該凹部を含む全面に第 2 の半導体膜を形成する小工程と、

前記第 2 の半導体膜にその垂直方向に対して傾いた角度から不純物を注入した後、湿式エッチングを施して、前記第 2 の半導体膜のうち、前記一方の上部側面と反対側の上部側面上の第 3 の絶縁膜を介して形成されている第 2 の半導体膜の部分と、前記第 8 の絶縁膜上の第 2 の半導体膜の部分の一部とを除去する小工程と、

40

前記一对の上部側面のうち前記一方の上部側面と反対側の上部側面上の第 3 の絶縁膜を除去する小工程と、

前記第 8 の絶縁膜を除去する小工程と、

前記第 2 の半導体膜を除去する小工程と、を有することを特徴とする請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 3】

前記ストレージノードコンタクトに電氣的に接続するキャパシタを形成する工程をさらに備えることを特徴とする請求項 1 1 又は 5 のいずれかに記載の半導体装置の製造方法。

【請求項 1 4】

50

前記第1の半導体膜がポリシリコン膜であることを特徴とする請求項4から6のいずれか一項に記載の半導体装置の製造方法。

【請求項15】

前記第3の絶縁膜がシリコン窒化膜であり、前記第8の絶縁膜がシリコン酸化膜であることを特徴とする請求項4から7のいずれか一項に記載の半導体装置の製造方法。

【請求項16】

前記第2の半導体膜がアモルファスシリコン膜であることを特徴とする請求項5から8のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、半導体装置の高集積化、高性能化に伴い、半導体装置の配線ピッチは益々縮小され、さらなる縮小が求められている。そしてこれに伴い、克服すべき課題が生じている。例えば、半導体装置の一例であるDRAM(Dynamic Random Access Memory)では、配線ピッチの縮小に伴い、メモリセルにおいて、活性領域とビット線コンタクトとの間の接触面積が縮小化され、これに伴うコンタクト抵抗の増大の問題が発生している。

特に、活性領域がビット線及びワード線に対して交差する方向に延在する構成(例えば、特許文献1)では、活性領域とビット線コンタクトとの間の接触面積の縮小が顕著である。

20

【0003】

特許文献2には、活性領域がビット線の延在方向に対して平行に配置される構成で、活性領域をT字形状にしてT字の凸部分の上面にビット線コンタクトをコンタクトさせることにより、活性領域若しくは不純物拡散領域とビット線コンタクトとの間の接触面積の増大を図り、コンタクト抵抗を低下させる方法が開示されている。

【先行技術文献】

【特許文献】

【0004】

30

【特許文献1】特開2010-147078号公報

【特許文献2】特開2000-307084号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、活性領域がビット線に延在する方向に平行な構成であっても、活性領域をT字形状にする上記構成ではT字の凸部分のためにDRAMの高集積化を十分に達成できないという問題があった。

【課題を解決するための手段】

【0006】

40

そこで、本発明は、以下の構成を採用した。

本発明に係る半導体装置は、半導体基板の主面に形成された第1の方向に直線状に延在する複数の第1の溝と、前記第1の溝の下部を埋めこんで形成された第2の絶縁層からなる素子分離領域と、前記半導体基板の主面に形成された第1の方向に直交する第2の方向に直線状に延在する複数の第2の溝と、前記第2の溝の下部を埋め込んで、該第2の溝の内壁上の第5の絶縁膜を介して第2の溝内に形成されたワード線と、前記第1の溝と前記第2の溝とによって前記半導体基板内に区画して形成され、前記半導体基板の主面に対して垂直方向に立設すると共に、上部に活性領域たる不純物拡散領域を有する複数の半導体ピラーと、第1の方向に並ぶ所定数ごとの半導体ピラーにその前記上部の側面を介して前記不純物拡散領域に電氣的に接続すると共に、前記第2の絶縁層上に形成されたビット線コ

50

ンタクトと、第 1 の方向に直線状に延在し、前記ビット線コンタクトに電氣的に接続するビット線と、を備えることを特徴とする。

【発明の効果】

【0007】

以上のように、本発明は、直線状に並んで配置する活性領域が直線状に並んで配置するビット線と平行な構成であって、ビット線コンタクトが活性領域の半導体ピラーの上部の不純物拡散領域の側面に接触することにより電氣的なコンタクトをとる構成なので、従来技術のようにビット線コンタクトを形成するために活性領域を T 字状に形成していた構成が不要となりメモリセルの微細化を図ることが可能となる。また、活性領域の側面にコンタクトを形成する構成となるので、平面的な活性領域の面積を増大することなく、活性領域（不純物拡散領域）とビット線コンタクトとの間の接触面積を増大させることが可能となり、コンタクト抵抗の低下を図ることができる。また、本発明は、トランジスタのゲート電極となるワード線が溝内に埋め込まれており半導体基板表面より上方に突出していない。

10

且つ、ビット線を活性領域に平行に延在する構成としていることからビット線が活性領域を横切らない構成となっており、微細化された状態でもストレージノードコンタクトとなる活性領域の上面の面積を最大限確保することができストレージノードコンタクトの抵抗を低減することができる。

【図面の簡単な説明】

【0008】

20

【図 1 A】本発明を適用した半導体装置の一例の一部を示す平面レイアウト図である。

【図 1 B】図 1 A に示す半導体装置を説明するための図であり、切断線 A - A による断面図である。

【図 1 C】図 1 A に示す半導体装置を説明するための図であり、切断線 B - B による断面図である。

【図 2 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 2 B】図 2 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 2 C】図 2 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

30

【図 3 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 3 B】図 3 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 3 C】図 3 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 4 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 4 B】図 4 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

40

【図 4 C】図 4 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 5 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 5 B】図 5 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 5 C】図 5 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 6 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である

50

。

【図 6 B】図 6 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 6 C】図 6 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 7 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 7 B】図 7 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 7 C】図 7 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

10

【図 8 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 8 B】図 8 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 8 C】図 8 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 9 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 9 B】図 9 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

20

【図 9 C】図 9 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 10 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 10 B】図 10 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 10 C】図 10 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 11 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

30

【図 11 B】図 11 A に示す半導体装置を説明するための図であり、切断線 A - A による断面図である。

【図 11 C】図 11 A に示す半導体装置を説明するための図であり、切断線 B - B による断面図である。

【図 12 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 12 B】図 12 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 12 C】図 12 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

40

【図 13 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 13 B】図 13 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 13 C】図 13 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 14 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 14 B】図 14 A に示す半導体装置の製造工程を説明するための図であり、切断線 A

50

- A による断面図である。

【図 1 4 C】図 1 4 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 1 5 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 1 5 B】図 1 5 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 1 5 C】図 1 5 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 1 6 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 1 6 B】図 1 6 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 1 6 C】図 1 6 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 1 7 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 1 7 B】図 1 7 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 1 7 C】図 1 7 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 1 8 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 1 8 B】図 1 8 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 1 8 C】図 1 8 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 1 9 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 1 9 B】図 1 9 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 1 9 C】図 1 9 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【図 2 0 A】図 1 A に示す半導体装置の製造工程を説明するための平面レイアウト図である。

【図 2 0 B】図 2 0 A に示す半導体装置の製造工程を説明するための図であり、切断線 A - A による断面図である。

【図 2 0 C】図 2 0 A に示す半導体装置の製造工程を説明するための図であり、切断線 B - B による断面図である。

【発明を実施するための形態】

【0009】

以下に、本発明を適用した一実施形態である半導体装置及びその製造方法について、図面を適宜参照しながら説明する。本実施形態においては、半導体装置の一例として、DRAM (Dynamic Random Access Memory) に、本発明を適用した場合を例に挙げて説明する。なお、以下の説明において参照する図面は、本実施形態の半導体装置の製造方法を説明する図面であって、図示される各部の大きさや厚さや寸法等は、実際の半導体装置等の寸法関係とは異なっていることがある。また、以下の説明において例示する材料や寸法等は一例であり、本発明はそれらに必ずしも限定されるものではなく、その要旨を変更しない範囲で適宜変更して実施することが可能である。

以下の実施形態では、実施例を併せて説明するが、具体的に示した材料や寸法等の条件

10

20

30

40

50

は例示に過ぎない。

【 0 0 1 0 】

まず、図 1 A ~ 図 1 C に示す本発明を適用した半導体装置の一例である半導体記憶装置 (D R A M) の構造について説明する。図示した構造は半導体装置の一部を示すものである。

なお、図 1 A はこの半導体装置 1 0 0 の一部を示す平面レイアウトを示す図である。その内部の構造も一部示している。図 1 B は図 1 A で示す半導体装置 1 0 0 の切断線 A - A による断面図、図 1 C は図 1 A で示す半導体装置 1 0 0 の切断線 B - B による断面図である。

【 0 0 1 1 】

この半導体装置 1 0 0 は、最終的に D R A M として機能させるものであり、各メモリセルはソース又はドレイン領域 (不純物拡散領域) 2 3 a、2 3 b、及びゲート電極 (ワード線) 1 7 を有する M O S トランジスタと、キャパシタ 4 0 とを有する。

図 1 A においてはキャパシタ 4 0 の位置を示しているが、図 1 B においては省略している。

なお、本実施形態で説明する半導体装置 (D R A M) 1 0 0 は、図 1 A に示すように、 $6 F^2$ ($2 F \times 3 F$) セル配置 (F は最小加工寸法) とされている。

【 0 0 1 2 】

この半導体装置 1 0 0 は、半導体基板 1 の主面に形成された y 方向 (第 1 の方向) に直線状に延在する複数の素子分離溝 (第 1 の溝) 4 と、素子分離溝 4 の下部を埋めこんで形成された素子分離領域 (第 2 の絶縁層) 6 と、半導体基板 1 の主面に形成された y 方向に直交する x 方向 (第 2 の方向) に直線状に延在する複数のワード線形成溝 (第 2 の溝) 1 4 と、ワード線形成溝 1 4 の下部を埋めこんで、ワード線形成溝 1 4 の内壁上のゲート絶縁膜 (第 5 の絶縁膜 ; 図示せず) を介してワード線形成溝 1 4 内に形成されたワード線 1 7 と、素子分離溝 4 とワード線形成溝 1 4 とによって半導体基板 1 内に区画して形成され、半導体基板 1 の主面に対して垂直方向に立設すると共に、上部に不純物拡散領域 2 3 を有する複数の半導体ピラー 1 d と、y 方向に並ぶ 3 個ごと (3 個目ごと) の半導体ピラー 1 d にその上部の側面を介して不純物拡散領域 2 3 a に電氣的に接続すると共に、素子分離領域 6 上に形成されたビット線コンタクト 2 2 a と、x 方向に直線状に延在し、ビット線コンタクト 2 2 a に電氣的に接続するビット線 2 6 と、を備える。

【 0 0 1 3 】

上述の、y 方向に並ぶ 3 個ごとの半導体ピラー 1 d について以下に説明する。

図 1 A を参照すると、y 方向には W L (ワード線 1 7) が等ピッチ間隔で 4 本配置されている。図の右側に記載されているように、下に配置された W L と、上に配置された W L は、F S W L (Field Shield Word Line) となっており、y 方向に延在する活性領域を電氣的に分離するための素子分離領域として設けられている。上下の 2 本の F S W L に挟まれて配置された 2 本の W L がトランジスタのゲート電極およびワード線として機能するものである。F S W L は、W L と同一構成で形成されるが、トランジスタのゲート電極およびワード線としては機能しない。F S W L は、いわゆるダミー W L となる。ここで、ビット線コンタクトは、2 本の W L に挟まれた半導体ピラー 1 d (図 1 A において、上下方向の中央に位置する半導体ピラー) の側面に接触して形成される。D R A M のメモリセルでは、図 1 A に示した W L、W L、F S W L の 3 本の W L が単位構成となって y 方向に繰り返し配置される。具体的には、W L、W L、F S W L、W L、W L、F S W L の順に配置される。各 W L および F S W L の間には半導体ピラーが位置している。ビット線コンタクトは W L、W L 間の半導体ピラーに対して形成されるので、y 方向には半導体ピラーの 3 個に 1 個の割合で、ビット線コンタクトが形成された半導体ピラー 1 d が出現することとなる。

【 0 0 1 4 】

説明を戻すと、この半導体装置 1 0 0 は、上記の上部に不純物拡散領域 2 3 a を有する複数の半導体ピラー 1 d 以外の半導体ピラーにおいてはその上面を介してその不純物拡散

10

20

30

40

50

領域 2 3 b に電氣的に接続するストレージノードコンタクト 3 0 と、ストレージノードコンタクト 3 0 に電氣的に接続するキャパシタ 4 0 と、を備える。

本実施形態では、3 個ごと (3 個目ごと) の半導体ピラー 1 d にその上部の側面を介して不純物拡散領域 2 3 a にビット線コンタクト 2 2 a が電氣的に接続する構成であるが、他の個数とすることもできる。

【0015】

半導体基板 1 は、所定濃度の不純物を含有する基板、例えば p 型単結晶シリコン基板からなり、この半導体基板 1 の面内のうち、素子分離溝 (第 1 の溝) 4 の下部を第 2 の絶縁層が埋め込まれて形成された素子分離領域 6 はこの場合、S T I (Shallow Trench Isolation) と呼ばれる構造であり、素子形成領域はこの素子分離領域 (第 2 の絶縁層) 6 によって絶縁分離された活性領域である。したがって、活性領域は、y 方向に延在する各々の素子分離領域 6 によって挟まれ、素子分離領域 6 と同じ y 方向に延在する半導体基板 1 で構成される。素子分離溝 (第 1 の溝) 4 の深さは、ワード線形成溝 (第 2 の溝) 1 4 の深さに対して 1 . 3 ~ 2 . 0 倍深くなるように形成される。好ましくは 1 . 6 倍とする。

本発明に係る半導体装置の製造方法で記載する実施例は、半導体基板 1 として p 型シリコン基板を用いた場合について説明する。

【0016】

また、各素子形成領域には、x 方向 (第 2 の方向) 及び y 方向 (第 1 の方向) のそれぞれに対して平行にマトリクス状に配置する半導体ピラー 1 d が複数並んで半導体基板 1 の主面に対して垂直方向に立設している。半導体ピラー 1 d の上部には不純物拡散領域 2 3 (2 3 a、2 3 b) を有する。

不純物拡散領域には、ビット線コンタクト 2 2 a に接続する不純物拡散領域 2 3 a と、ストレージノードコンタクト 3 0 に接続する不純物拡散領域 2 3 b とがある。

【0017】

また、半導体基板 1 には、素子分離領域 (第 2 の絶縁層) 6 及び素子形成領域 1 a (図 2 C 参照) を形成した後形成され、素子形成領域 1 a に交差する方向である x 方向に直線状に延在するワード線形成溝 (第 2 の溝) 1 4 を有する。

ワード線形成溝 (第 2 の溝) 1 4 にはその下部にワード線 1 7 が埋め込まれ、その上に第 6 の絶縁膜 1 8 が形成されている。

【0018】

ワード線 1 7 には、実際にトランジスタを動作させる機能を有するワード線 W L と、トランジスタを動作させる機能を有さずに、素子分離の機能を有する F S W L とがある。

すなわち、埋め込みワード線 W L と埋め込みワード線 (素子分離) F S W L とは同一の構造を有しているが、機能が異なっている。ここで、埋め込みワード線 W L がメモリセルのゲート電極として用いられるのに対して、素子分離用の F S W L は、所定の電位をかけて隣接するトランジスタ間を分離するために設けられている。すなわち、同一の活性領域上で隣接するトランジスタ間は、素子分離用の埋め込みワード線 F S W L を所定の電位に維持することで、寄生トランジスタをオフ状態として分離することができる。

【0019】

また、半導体装置 1 0 0 は、x 方向に直交する y 方向に直線状に延在するビット線 (B L) 2 6 を有する。ビット線 (B L) 2 6 はビット線コンタクト 2 2 a を介して半導体ピラー 1 d の上部の不純物拡散領域 2 3 a に電氣的に接続されている。

ビット線 (B L) 2 6 は不純物をドーブしたポリシリコン層 2 4 と、窒化タングステン (W N) 膜とタングステン (W) 膜とを順次堆積させることにより W / W N 膜 (メタル膜) 2 5 との積層構造からなる。ビット線 (B L) 2 6 の側面はシリコン窒化膜からなるサイドウォール絶縁膜 2 7 によって覆われている。隣接するビット線 (B L) 2 6 の側面を覆うサイドウォール絶縁膜 2 7 の間は、ストレージノードコンタクト 3 0 を形成するためのマスクとして用いられたシリコン酸化膜からなる絶縁膜 2 9 で埋め込まれている。ビット線 (B L) 2 6 と隣接するストレージノードコンタクト 3 0 は、ビット線の側壁に形成されたサイドウォール絶縁膜 2 7 を介して相互に絶縁されている。

10

20

30

40

50

【0020】

図1Cを参照すると、第2の方向(x方向)には、ビット線コンタクト22aが接続される半導体ピラー1dが等ピッチ間隔で複数配置されている。各々の半導体ピラー1dの間にはx方向の素子分離領域となる第1の溝4が設けられている。視点を変えると、一つの第1の溝4の両側に接して、それぞれ半導体ピラー1dが設けられている。第1の溝4の下部には素子分離絶縁膜6が埋め込まれている。素子分離絶縁膜6上にはビット線コンタクト22aが設けられている。ビット線コンタクト22aは、第1の溝4に隣接する両側の半導体ピラー1dの内、一方の半導体ピラーの表面を含む上部の側面と接触して設けられている。他の一方の半導体ピラーに対しては、当該半導体ピラーの側面に酸化膜5を介して形成されたサイドウォール絶縁膜(第3の絶縁膜)7aによって絶縁されている。各々の半導体ピラー1dの上面には第1の絶縁膜2が設けられており、ビット線コンタクトプラグ22aは、素子分離絶縁膜6の上面を底面とし、接続される側の半導体ピラーと第1の絶縁膜2の側面を一方の側壁とし、他の一方の側壁を対向するサイドウォール絶縁膜7aとして構成される溝を埋め込んで設けられている。これによって、ビット線コンタクト22aは、半導体ピラー1dの上部側面と接続される。ビット線コンタクト22aの上面は、各々の半導体ピラーの上面に設けられた第1の絶縁膜の上面と面一となっている。複数のビット線コンタクト22aは、第1の方向に延在する各々の活性領域(半導体ピラー1d)間に位置しており、各々のビット線コンタクト22aの上面を接続して第1の方向に延在するビット線26が設けられている。したがって、各々のビット線26は、各々直線で構成される活性領域の間に位置して、活性領域と平行な第1の方向に延在する直線で構成される。

ビット線コンタクト22aの底面は、埋め込みワード線17の上面よりも浅い位置、すなわち埋め込みワード線17の上面よりも半導体基板表面側に位置するように設けることが望ましい。

【0021】

以上のように、本発明の半導体装置では、上部に不純物拡散領域23を有する半導体ピラー1dが素子分離溝(第1の溝)4によって区画されており、この第1の溝4の下部を埋め込んで素子分離領域(第2の絶縁層)6が形成され、この素子分離領域6の上には素子分離溝(第1の溝)4を埋め込む厚さでビット線コンタクト22aが形成されている。この構成とすることにより、ビット線コンタクト22aは不純物拡散領域23とその側面で接触することになるため、素子分離溝(第1の溝)4に埋め込まれるビット線コンタクト22aの厚さ(深さ)d1(図1C)を適切にとることにより、ビット線コンタクト22aは不純物拡散領域23との接触面積を増大させ、コンタクト抵抗を低下させることができる。

素子分離溝(第1の溝)4に埋め込まれるビット線コンタクト22aの厚さ(深さ)d1は、半導体基板1の主面から25nm程度であるのが望ましい。

また、ビット線26を活性領域23(23a、23b)に平行に延在する構成としていることからビット線26が活性領域23(23a、23b)を横切らない構成となっている。したがって、微細化された状態でもストレージノードコンタクト30と接触する活性領域23bの上面と、ビット線26およびビット線サイドウォール絶縁膜27とを重ならないように構成することができ、ストレージノードコンタクト30と接触する活性領域23bの上面の面積を最大限確保することができストレージノードコンタクトの抵抗を低減することができる。

さらに、図1Cに示したように、本実施例ではビット線をポリシリコン層24とメタル層25との2層構成としているが、下層のポリシリコン層24を省いて、メタル層25だけで構成することもできる。この構成とすれば、ビット線自体の高さを低減でき、ビット線より上方に形成される構造物の加工を容易化できる効果がある。

【0022】

なお、素子形成領域には、実際はメモリセルが多数並んで形成されているものの、図1A~図1Cに示す半導体装置100では、これらのメモリセルを全て図示することが困難

なことから、便宜上、素子形成領域内においてメモリセルの数を減らした状態で模式的に示している。

【0023】

以上のような半導体装置100の動作の例を説明すると、図1Bに矢印によって模式的に示すように、ビット線26からビット線コンタクト22aへ流れた電流はビット線コンタクト22aから半導体ピラー1dの上部の側面を介して不純物拡散領域23aへ流れ、矢印に沿ってワード線17の側面に沿って形成されたチャンネルを通過して隣接する半導体ピラー1dの上部の不純物拡散領域23bへ流れ、さらにストレージノードコンタクト30を介してキャパシタ40へ流れ込んでキャパシタ40に電荷が蓄積される。

【0024】

(半導体装置の製造方法)

次に、本発明を適用した半導体装置の一例である半導体記憶装置(DRAM)の製造方法について図2～図20を参照して説明する。

図2A～図20Aは各製造工程における平面レイアウトを示す図である。図2B～図20Bはそれぞれ、図2A～図20Aのそれぞれの切断線A-Aによる断面図、図2C～図20Cはそれぞれ、図2A～図20Aのそれぞれの切断線B-Bによる断面図である。

なお、以下の説明では、上記半導体装置100と同等の部位については、説明を省略すると共に、図面において同じ符号を付すものとする。

【0025】

(素子分離溝の形成工程)

まず、図2A～図2Cに示すように、半導体基板1の面内に、第1の絶縁膜2を用いてy方向(第1の方向)に直線状に延在する複数の素子分離溝(第1の溝)4をx方向(第2の方向)に離間して並ぶように形成すると共に、これによって隣接する素子分離溝4間に素子形成領域1aを形成する。素子分離溝4は素子分離領域を埋め込むことによって素子分離領域となり、隣接する素子分離領域間に形成された素子形成領域1aは素子形成領域となる。この素子分離領域はこの場合、STIと呼ばれる構造であり、素子形成領域は素子分離領域によって絶縁分離された活性領域である。

半導体基板1に素子分離溝4を設けるには、半導体基板1上に、マスク用の絶縁膜(第1の絶縁膜)2を堆積し、フォトリソグラフィ技術およびドライエッチング技術を用いて、マスク用絶縁膜2、半導体基板1のパターニングを順次行ない、半導体基板1に素子形成領域1a(もしくは活性領域)を区画するための素子分離溝(第1の溝)4を形成する。

素子分離溝(第1の溝)4は素子形成領域1aで挟まれた部位だけでなく、素子形成領域1a上に形成されたマスク用の絶縁膜(第1の絶縁膜)2で挟まれた部位まで含む。

【0026】

具体的には例えば、P型のシリコン基板からなる半導体基板1上に、CVD法によってマスク用のシリコン窒化膜(第1の絶縁膜)2を堆積し、フォトリソグラフィ技術およびドライエッチング技術を用いて、シリコン窒化膜2、半導体基板1のパターニングを順次行ない、半導体基板1に活性領域1aを区画するためのSTI素子分離溝(トレンチ)4を形成する。STI素子分離溝(トレンチ)4で区画された活性領域1aは素子形成領域からなる。活性領域1aとなる領域は図1A～図1Cに示すように、マスク用のシリコン窒化膜2で覆われている。

【0027】

(素子分離溝の充填工程)

次に、図3A～図3Cに示すように、素子分離溝(第1の溝)4に、素子形成領域1aの上部側面1cが露出されたままとするように、素子分離溝4の下部を埋めこんで第2の絶縁膜6を形成する。

【0028】

具体的には例えば、素子分離溝4の内面を含む全面にCVD法によってシリコン酸窒化膜(絶縁膜)を形成して、素子分離溝4をシリコン酸窒化膜6で埋め込む。次いで、熱燐

10

20

30

40

50

酸にてシリコン窒化膜（第2の絶縁膜）6を選択的にエッチバックして、シリコン窒化膜6の上面が半導体基板（シリコン基板）1の上面から25nm程度下になる（図3C中の深さd1が25nm程度になる）ように露出させる。次いで、熱酸化（ISSG：In Situ Steam Generation）により酸化させることによって、露出されたシリコン基板面（上部側面）1c、及びシリコン窒化膜（第1の絶縁膜）2の表面に厚さ4nm程度の酸化膜5を形成する。ISSGによる酸化はラジカル酸化なので、ほぼ選択比なしで酸化することができる。

【0029】

（片側サイドウォールの形成工程）

次に、素子形成領域1aの、y方向（第1の方向）に平行な一对の上部側面1c（1ca、1cb）のうち一方の上部側面1ca上にのみ、第1の溝4の下部を埋めこんで第3の絶縁膜7aを形成する。

10

以下に、この工程の一例について、図3～図9を用いて詳細に説明する。

【0030】

（サイドウォールの形成工程）

まず、図4A～図4Cに示すように、素子形成領域1aのy方向（第1の方向）に平行な一对の上部側面1ca、1cbのそれぞれに、酸化膜5を介して絶縁膜のサイドウォール（第3の絶縁膜）7（7a、7b）を形成する。

【0031】

具体的には例えば、素子分離溝4の内面を含む全面にCVD法によってシリコン窒化膜を形成した後、エッチバックしてマスク用絶縁膜2上のシリコン窒化膜を除去して、素子形成領域1aのy方向に平行な一对の上部側面1ca、1cbに酸化膜5を介してシリコン窒化膜からなるサイドウォール7（7a、7b）を形成する。

20

【0032】

（凹部（リセス）の形成工程）

次に、図5A～図5Cに示すように、素子分離溝（第1の溝）4内に第3の絶縁膜7（7a、7b）と異なる材料からなる第8の絶縁膜8を、第3の絶縁膜7（7a、7b）の上面7aa、7baより低くなるように形成して、素子分離溝4内の第8の絶縁膜8上に凹部9を形成する。

【0033】

具体的には例えば、素子分離溝4の内面を含む全面にCVD法によってシリコン酸化膜（第3の絶縁膜）を形成した後、ドライエッチングを用いてこのシリコン酸化膜（第3の絶縁膜）をシリコン窒化膜（第1の絶縁膜）2上のシリコン酸化膜（素子分離溝4の内面を含む全面にCVD法によって上記シリコン酸化膜のうち、シリコン窒化膜（第1の絶縁膜）2上のシリコン酸化膜については図示省略）の上面からの深さd2を、例えば30nm程度までエッチバックして素子分離溝4内のそのシリコン酸化膜（第3の絶縁膜）8の上方に凹部（リセス）9を形成するように、シリコン酸化膜8を素子分離溝4内に形成する。

30

この工程により、素子分離溝4内のシリコン窒化膜6上のシリコン酸化膜（第8の絶縁膜）8上に、サイドウォール7a及び7bに囲まれた凹部9が形成される。

40

【0034】

（片側サイドウォール形成用マスクの形成工程）

次に、まず、図6A～図6Cに示すように、凹部9の下部を埋めこんで、凹部9を含む全面に第2の半導体膜10を形成する。すなわち、素子分離溝4の内面を含む全面に、素子分離溝4内の下部を埋めこんで、素子形成領域1aの一对の上部側面1cのうち一方の上部側面（片側）1caにサイドウォールを形成するためのマスク用の第2の半導体膜10を形成する。

【0035】

具体的には例えば、素子分離溝4の内面を含む全面に、CVD法により、成膜温度を540以下として厚さ10nm程度のアモルファスシリコン膜（第2の半導体膜）10を

50

形成する。アモルファスシリコン膜（第2の半導体膜）10は、素子形成領域1aの上部側面（素子分離溝4内の内壁）に形成された部分（側面アモルファスシリコン膜）10a、10cと、素子分離溝4内の第3の絶縁膜8上に形成された部分（水平アモルファスシリコン膜）10bと、シリコン窒化膜2上にシリコン酸化膜（図示省略）を介して形成された部分（上面アモルファスシリコン膜）10dとからなる。アモルファスシリコンはエッチング段階で、不均一なエッチングが生じる原因となる結晶粒の影響が現れないという利点がある。

図6A～図6Cに示した工程により、素子分離溝4内のシリコン窒化膜6上には、素子形成領域1aの上部側面1ca上に酸化膜5を介してサイドウォール7aと、上部側面1cb上に酸化膜5を介してサイドウォール7bと、シリコン酸化膜（第8の絶縁膜）8と、シリコン酸化膜（第8の絶縁膜）8上に側面アモルファスシリコン膜10a、水平アモルファスシリコン膜10b及び側面アモルファスシリコン膜10cとが形成される。

【0036】

次に、図7A～図7Cに示すように、第2の半導体膜10にその垂直方向に対して傾いた角度から不純物を注入した後、湿式エッチングを施して、第2の半導体膜10のうち、一方の上部側面1caと反対側の上部側面1cb上の第3の絶縁膜7bを介して形成されている第2の半導体膜の部分10cと、第8の絶縁膜8上の第2の半導体膜の部分10bの一部とを除去する。

【0037】

具体的には例えば、アモルファスシリコン膜10のうち、一方の側面アモルファスシリコン膜10a（図6Cにおいて左側のアモルファスシリコン膜の部分）と、水平アモルファスシリコン膜10bの一部（図6Cにおいて底部に形成されたアモルファスシリコン膜の部分のうち、左側半分程度）と、上面アモルファスシリコン膜10dとに、図7Cに矢印で示す方向から不純物を注入して、側面アモルファスシリコン膜の一方である（図6Cにおいて右側のアモルファスシリコン膜の部分）10cと水平アモルファスシリコン膜10bの一部（図6Cにおいて底部に形成されたアモルファスシリコン膜の部分のうち、右側半分）とを除去する。

アモルファスシリコン膜10に添加される不純物としてはフッ化ボロン（ BF_2 ）などが挙げられる。側面アモルファスシリコン膜10a、10cのうち一方の側面アモルファスシリコン膜10cに不純物を注入せずに、上面アモルファスシリコン膜10dと側面アモルファスシリコン膜10aと水平アモルファスシリコン膜10bの一部とに不純物を添加する方法としては、例えば、斜めイオン注入法などが挙げられる。図7Cにおいては、斜めイオン注入法を用いて、アモルファスシリコン膜10に不純物を注入する場合を例に挙げて示している。

【0038】

また、図7Cにおいてアモルファスシリコン膜10に不純物を注入する場合、側面アモルファスシリコン膜10aだけでなく、水平アモルファスシリコン膜10bの一部にも不純物を添加する必要がある。このため、アモルファスシリコン膜10に不純物を注入する方法として、側面アモルファスシリコン膜10a及び水平アモルファスシリコン膜10bの各部位に最適な注入角度となるように、角度の異なる2段階注入法を用いてもよい。ここで、注入角度とは、半導体基板1の表面に対する垂線からの傾斜角を意味している。

【0039】

2段階注入法を用いてアモルファスシリコン膜10に不純物を注入する場合、例えば、加速エネルギー5keV、注入ドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ で、注入角度 20° での注入と注入角度 30° での注入とを組み合わせることが好ましい。なお、注入角度は、アモルファスシリコン膜10の膜厚や、水平アモルファスシリコン膜10bの面積、側面アモルファスシリコン膜10a、10cの深さなどに応じて適宜変更できる。

【0040】

不純物の注入されていないアモルファスシリコン膜10の一部（すなわち、側面アモルファスシリコン膜の一方である（図7Cにおいて右側のアモルファスシリコン膜の部分）

10 c 及び水平アモルファスシリコン膜 10 b の一部 (図 7 C において底部に形成されたアモルファスシリコン膜の部分のうち、右側半分) を除去するには、アンモニア水 (NH_3) などをエッチング液として用いたウェットエッチングを実施する。

【 0 0 4 1 】

図 7 A ~ 図 7 C に示した工程により、素子分離溝 4 内のシリコン酸化膜 6 上には、素子形成領域 1 a の上部側面 1 c a 上に酸化膜 5 を介してサイドウォール 7 a と、上部側面 1 c b 上に酸化膜 5 を介してサイドウォール 7 b と、シリコン酸化膜 (第 8 の絶縁膜) 8 と、シリコン酸化膜 (第 8 の絶縁膜) 8 上に側面アモルファスシリコン膜 10 a とが残る。

【 0 0 4 2 】

(一方のサイドウォールの除去工程)

次に、図 8 A ~ 図 8 C に示すように、素子形成領域 1 a の一対の上部側面 1 c a 、 1 c b のうち、上部側面 1 c b 上の第 3 の絶縁膜 7 b を除去する。すなわち、素子分離溝 4 の上部の露出面に酸化膜 5 を介して両側に形成されているサイドウォール 7 a , 7 b のうち、第 2 の半導体膜 10 のマスクに覆われてない片側のサイドウォール 7 b (図 8 C において右側のサイドウォール) を除去する。

【 0 0 4 3 】

具体的には例えば、熱燐酸 (H_3PO_4) を用いたウェットエッチングにより、アモルファスシリコン膜 10 のマスクに覆われてない片側のサイドウォール 7 b を除去する。サイドウォール 7 a はアモルファスシリコン膜 10 のマスク及びシリコン酸化膜 (第 3 の絶縁膜) 8 に覆われているため、このウェットエッチングの際に、除去されずに、素子形成領域 1 a の上部側面 1 c a 上に残る。

この工程により、素子分離溝 4 内のシリコン酸化膜 6 上には、素子形成領域 1 a の上部側面 1 c a 上に酸化膜 5 を介してサイドウォール 7 a と、シリコン酸化膜 (第 8 の絶縁膜) 8 と、側面アモルファスシリコン膜 10 a とが残る。

【 0 0 4 4 】

(第 8 の絶縁膜の除去工程)

次に、図 9 A ~ 図 9 C に示すように、素子分離溝 4 内の第 8 の絶縁膜 8 を除去する。

【 0 0 4 5 】

具体的には例えば、フッ酸 (HF) を用いたウェットエッチングにより、シリコン酸化膜 (絶縁膜) 6 上のシリコン酸化膜 (第 8 の絶縁膜) 8 を除去する。

この工程により、素子分離溝 4 内のシリコン酸化膜 6 上には、素子形成領域 1 a の上部側面 1 c a 上に酸化膜 5 を介してサイドウォール 7 a と、側面アモルファスシリコン膜 10 a とが残る。

【 0 0 4 6 】

(片側サイドウォール形成用マスクの除去工程)

次に、図 10 A ~ 図 10 C に示すように、片側サイドウォール形成用マスクである第 2 の半導体膜 10 を除去する。

【 0 0 4 7 】

具体的には例えば、異方性エッチングによりエッチバックして、片側サイドウォール形成用マスクであるアモルファスシリコン膜 10 を除去する。

この工程により、素子分離溝 4 内のシリコン酸化膜 6 上には、素子形成領域 1 a の上部側面 1 c a 上に酸化膜 5 を介してサイドウォール 7 a が残る。

【 0 0 4 8 】

以上の工程により、素子分離溝 4 内のシリコン酸化膜 6 上にシリコン酸化膜からなる片側サイドウォール 7 a を形成することができる。

【 0 0 4 9 】

(素子分離溝の充填及び平坦化工程)

次に、図 11 A ~ 図 11 C に示すように、素子分離溝 (第 1 の溝) 4 を埋め込むように、第 3 の絶縁膜 7 a と異なる材料からなる第 4 の絶縁膜 13 を形成する。この素子分離溝

10

20

30

40

50

4を絶縁膜で充填することによって、素子分離溝4内で露出していた素子形成領域1aの側面1cbのシリコン面を保護する。

【0050】

具体的には例えば、素子分離溝(第1の溝)4の内面を含む全面にHDP-CVD(High Density Plasma-Chemical Vapor Deposition)法により、サイドウォール7aの材料であるシリコン窒化膜と異なる材料からなるシリコン酸化膜(第4の絶縁膜)13を成膜した後、化学的機械研磨(CMP:Chemical Mechanical Polishing)により研磨しながら、シリコン窒化膜2の表面が露出するまで平坦化を行い、素子分離溝(第1の溝)4を埋め込むシリコン酸化膜(第4の絶縁膜)13を形成する。

この工程により、素子分離溝4内は、素子形成領域1aの上部側面1ca上に酸化膜5を介してサイドウォール7aと、シリコン酸化膜(第4の絶縁膜)13とによって充填される。

【0051】

(埋込ワード線の形成工程)

次に、まず、図12A~図12Cに示すように、半導体基板1の面内にy方向(第1の方向)に直交するx方向(第2の方向)に直線状に延在する複数のワード線WLの形成溝(第2の溝)14が離間して並ぶように形成すると共に、これによって素子形成領域1aをx方向で分離して複数の半導体ピラー1dを形成する。

【0052】

具体的には例えば、マスク用のシリコン窒化膜及びカーボン膜(アモルファス・カーボン膜)を順次堆積し、x方向(第2の方向)に延在すると共にy方向(第1の方向)に離間して並ぶワード線形成溝14のパターンにパターニングする。次いで、ドライエッチングによってシリコン基板1をエッチングし、ワード線形成溝14を形成する。ワード線形成溝14は、活性領域1aと交差する第1の方向(x方向)に延在するライン状のパターンとして形成される。

この工程により、活性領域(素子形成領域)1aは、素子分離溝4とワード線形成溝14とによって半導体基板1内に区画して形成され、半導体基板1の主面に対して垂直方向に立設する半導体ピラー1dごとに分離される。

【0053】

次に、図13A~図13Cに示すように、ワード線形成溝(第2の溝)14内の下部にワード線形成溝14の内壁に形成した第5の絶縁膜(図示せず)を介してワード線17を形成する。

【0054】

具体的には例えば、ワード線形成溝(第2の溝)14の内壁を覆うように、ゲート酸化膜(第5の絶縁膜)を例えば、4nm程度の膜厚で形成する。この際、ゲート酸化膜(図示せず)としては、例えば、ワード線形成溝14の内面表層を、ISSG(In Situ Steam Generation)によって熱酸化することによって形成する。

次に、ワード線形成溝14内のゲート酸化膜(第5の絶縁膜)上にゲート(ワード線)材料として、例えば、窒化チタン(TiN)層15をワード線形成溝14の下部側面及び底面に形成し、この窒化チタン(TiN)層15上にタンゲステン(W)層16を堆積させることにより、ワード線形成溝14の下部にTiN/Wの積層膜17を形成する。

次に、TiN/Wの積層膜の上部を、通常のドライエッチング等の方法でエッチバックして除去することにより、TiN/Wの積層膜17をワード線形成溝14の底部に残存した状態で形成してワード線17を形成する。

図13A~図13Cに示した工程により、ワード線形成溝14の下部にワード線17が形成される。

【0055】

ここで、ワード線17は、埋め込みワード線WLと埋め込みワード線(素子分離)FSWLとがあり、これらは同一の構造を有しているが、機能が異なっている。ここで、埋め込みワード線WLがメモリセルのゲート電極として用いられるのに対して、素子分離用の

10

20

30

40

50

F S W L は、所定の電位をかけて隣接するトランジスタ間を分離するために設けられている。隣接するトランジスタとの素子分離は、S T I 構造を用いるのが一般的であるが、本実施形態に係る半導体装置では、y 方向に隣接する素子間は素子分離領域 6 によって分離され、x 方向に隣接する素子間は埋め込みゲート電極によって分離される。ここで、トランジスタの埋め込みワード線 W L と素子分離用の埋め込みワード線 F S W L は、同時形成が可能であることから公知のダブルパターンング技術が適用でき、さらなる微細化に好適な構造であることが知られている。

【 0 0 5 6 】

次に、図 1 4 A ~ 図 1 4 C に示すように、ワード線形成溝（第 2 の溝）1 4 内のワード線 1 7 上に第 6 の絶縁膜 1 8 を形成する。

10

【 0 0 5 7 】

具体的には例えば、T i N / W の積層膜 1 7 上及びワード線形成溝 1 4 の内壁を覆うように、C V D 法によってシリコン窒化膜からなる埋込絶縁膜（第 6 の絶縁膜）1 8 を形成する。

次に、C M P を行って表面を平坦化し、埋込絶縁膜（第 6 の絶縁膜）1 8 の表面が、マスク用絶縁膜 2 の表面と概略同程度の高さになるようにする。

図 1 4 A ~ 図 1 4 C に示した工程により、埋込ワード線が完成する。

【 0 0 5 8 】

（ビットコンタクト開口の形成工程）

次に、まず、図 1 5 A ~ 図 1 5 C に示すように、y 方向（第 1 の方向）において所定数の半導体ピラー 1 d ごとに、x 方向（第 2 の方向）に並ぶ複数の半導体ピラー 1 d の上方に第 2 の方向に延在する開口 2 1 a を有する第 7 の絶縁膜 2 1 を全面に形成する。この開口 2 1 a を有する第 7 の絶縁膜 2 1 がビットコンタクト開口用のマスクとなる。

20

【 0 0 5 9 】

具体的には例えば、全面を覆うように、H D P - C V D (High Density Plasma - Chemical Vapor Deposition) 法により、厚さ 3 0 n m 程度のプラズマ酸化膜（H D P (High Density Plasma) 膜）からなる第 7 の絶縁膜 2 1 を形成する。次に、フォトリソグラフィ技術およびドライエッチング技術を用いて、第 1 層間絶縁膜 2 1 の一部を除去して、ビットコンタクト開口（開口）2 1 a を形成する。

図 1 5 A ~ 図 1 5 C に示した工程により、素子分離溝 4 内において、素子形成領域 1 a の上部側面 1 c a 上に酸化膜 5 を介して形成されたサイドウォール 7 a を残し、シリコン酸化膜（第 4 の絶縁膜）1 3 を除去するための開口を有するマスクが形成される。

30

【 0 0 6 0 】

次に、図 1 6 A ~ 図 1 6 C に示すように、第 7 の絶縁膜 2 1 をマスクとしてサイドウォール（第 3 の絶縁膜）7 a よりも第 4 の絶縁膜 1 3 に対してエッチング速度が高い溶液で湿式エッチングを施して、第 4 の絶縁膜 1 3 のうちビットコンタクト開口（開口）2 1 a の形成により露出された第 4 の絶縁膜 1 3 を一括して除去して、一対の上部側面 1 c a 、1 c b のうち第 3 の絶縁膜 7 a が形成されていない方の上部側面 1 c b を露出させる。

【 0 0 6 1 】

具体的には例えば、シリコン窒化膜からなるサイドウォール（第 3 の絶縁膜）7 a よりもシリコン酸化膜からなる第 4 の絶縁膜 1 3 に対してエッチング速度が高いフッ酸（H F）を用いた湿式エッチングを施すことにより、第 4 の絶縁膜 1 3 を選択的に除去して、シリコンピラー 1 d の上部側面 1 c b を露出させる。

40

図 1 6 A ~ 図 1 6 C に示した工程により、素子分離溝 4 内において、シリコン酸化膜（第 4 の絶縁膜）1 3 が除去されて上部側面 1 c b が露出され、素子形成領域 1 a の上部側面 1 c a 上に酸化膜 5 を介して形成されたサイドウォール 7 a が残る。

【 0 0 6 2 】

次に、図 1 7 A ~ 図 1 7 C に示すように、ビットコンタクト開口用のマスクである第 7 の絶縁膜 2 1 を除去する。

【 0 0 6 3 】

50

具体的には例えば、フッ酸(HF)を用いた湿式エッチングにより、ビットコンタクト開口用のマスクであるプラズマ酸化膜(第7の絶縁膜)21を除去する。

【0064】

(ビット線コンタクトの形成工程)

次に、図18A~図18Cに示すように、第4の絶縁膜13が除去された素子分離溝(第1の溝)4内を埋め込むことにより、露出させていた上部側面1cbに接触する第1の半導体膜22を形成し、その第1の半導体膜22に不純物を注入してビット線コンタクト22aを形成する。

図18Aに示すように、図16で示した段階で第4の絶縁膜13が除去されなかった素子分離溝4には第4の絶縁膜13が埋め込まれているので、その素子分離溝4内には第1の半導体膜22は埋め込まれない。すなわち、y方向(第1の方向)には所定数ごとに、ビット線コンタクト22aに接続する不純物拡散領域23aを上方に有する半導体ピラー1dが配置するため、y方向(第1の方向)に所定数ごとに、ビット線コンタクト22aを形成するために第4の絶縁膜13が除去された素子分離溝4が配置し、それ以外のビット線コンタクト22aが形成されない素子分離溝4については第4の絶縁膜13は除去されずに残ったままである。

10

【0065】

具体的には例えば、素子分離溝(第1の溝)4内及びマスク用シリコン窒化膜(第1の絶縁膜)2の全面に覆うように、CVD法によって、リン等のn型ドーパントを $2.2 \times 10^{19} / \text{cm}^3$ の濃度でドーピングしたシリコン膜(第1の半導体膜)22を成膜した後、マスク用シリコン窒化膜(第1の絶縁膜)2が露出するまでエッチバックして、素子分離溝4内を埋め込むビット線コンタクト22aを形成する。

20

この工程により、y方向(第1の方向)にはビット線コンタクト22a、シリコン酸化膜(第4の絶縁膜)13、シリコン酸化膜(第4の絶縁膜)13、ビット線コンタクト22a・・・のように、3個目ごとにビット線コンタクト22aが配置する。

【0066】

(拡散領域の形成工程)

次に、図19A~図19Cに示すように、上記のビット線コンタクトの形成工程においてビット線コンタクト22aにドーピングされた不純物を、半導体ピラー1dの上部側面1cbを介して半導体ピラー1dの上部に拡散させて不純物拡散領域23(23a)を形成する。

30

【0067】

具体的には例えば、ビット線コンタクト22aにドーピングされた不純物を、熱拡散によって、半導体ピラー1dの上部側面1cbを介して半導体ピラー1dの上部に拡散させて不純物拡散領域23(23a)を形成する。

この工程により、ビット線コンタクト22aに電氣的に接続する不純物拡散領域23aが3個目ごとの半導体ピラー1dの上部に形成される。

【0068】

(ビット線の形成工程)

次に、図19A~図19Cに示すように、ビット線コンタクト22a上にy方向(第1の方向)に延在するビット線26を形成する。

40

【0069】

具体的には例えば、マスク用シリコン窒化膜(第1の絶縁膜)2、ビット線コンタクト22a及びサイドウォール(第3の絶縁膜)7aの全面に、不純物をドーピングしたポリシリコン層24を成膜する。なお、不純物をドーピングしたポリシリコン層24は、CVD法による成膜段階で不純物を含有させることができる。また、ノンドーピングシリコン膜を形成した後に、イオン注入により不純物を含有させることもできる。次に、この不純物ドーピングポリシリコン層上に、窒化タンゲステン(WN)膜とタンゲステン(W)膜とを順次堆積させることによりメタル膜25を形成する。窒化タンゲステンを形成する前にポリシリコン層24の表面にメタルシリサイド膜を形成することができる。メタルシリサイド膜にはチタ

50

ンシリサイド、タングステンシリサイド、コバルトシリサイド、ニッケルシリサイドなどを用いることができる。これにより、より低抵抗なビット線を形成することができる。

次に、従来公知のリソグラフィ及びドライエッチング技術を用いて、W/WN膜およびポリシリコン層からなる積層膜をライン形状にパターニングすることにより、図19A及び図19Cに示すようなメタル膜25及びポリシリコン層24からなるビット線26を形成することができる。ビット線26の形成においては、素子分離溝(第1の溝)4の中央に、ビット線26の中心が位置するようにリソグラフィ段階での位置合わせを調整する。さらに、加工のマスクとなる図示しないホトレジストに公知の細線化処理を施して細線かし、素子分離溝の幅よりビット線26の幅を狭くする。これにより、次の工程で形成されるサイドウォール絶縁膜27の側壁端部が隣接するストレージノードコンタクト30が形成される活性領域側へはみ出すことを防止することができる。

次に、LP-CVD法を用いて、全面にビット線26を覆うようにシリコン窒化膜を成膜し、ビット線26の側面にのみシリコン窒化膜が残るようにパターニングしてシリコン窒化膜からなるサイドウォール絶縁膜27を形成する。

この工程により、ビット線コンタクト22aに電氣的に接続するメタル膜25及びポリシリコン層24からなるビット線26が形成される。

本実施例では、上記のようにポリシリコン層24とメタル層25の積層膜でビット線26を形成しているが、ポリシリコン層24の形成を省略してメタル層25単層でビット線を構成することもできる。この構成により、ビット線の高さを低減できるので、次工程のストレージノードコンタクトの形成加工を容易化できる。

【0070】

(ストレージノードコンタクト用ホールの形成工程)

次に、図20A~図20Cに示すように、半導体ピラー1dのうち、ビット線コンタクト22aが接触していない半導体ピラー上の第1の絶縁膜2を除去してその半導体ピラーの上面1daを露出させ、その上面1daにストレージノードコンタクト用ホール28を形成する。

なお、図20A~図20Cにおいて、点線で囲んだ範囲に半導体ピラー1d上にストレージノードコンタクトが形成され、さらにその上にキャパシタが形成される。

【0071】

具体的には例えば、全面に絶縁膜29を形成した後、従来公知のリソグラフィ技術及びドライエッチング技術を用いて、絶縁膜29にストレージノードコンタクトパターンを形成してこれをマスクとし、通常の異方性ドライエッチングによって第1の絶縁膜2をエッチングすることにより、ストレージノードコンタクト用ホール28を形成する。

この工程により、ストレージノードコンタクトを形成するためのストレージノードコンタクト用ホール28を有するマスクが形成される。

【0072】

(不純物拡散領域の形成工程)

次に、図1A~図1Cに示すように、絶縁膜29からなるストレージノードコンタクトパターンをマスクとして、露出させた半導体ピラーの上面1daから不純物を注入してその半導体ピラー1dの上部に不純物拡散領域23bを形成する。

【0073】

具体的には例えば、リン等のn型ドーパントを加速エネルギー10keV、ドーズ量 $1 \times 10^{14} / \text{cm}^2$ の条件でイオン注入を行う。

この工程により、上方にストレージノードコンタクトが形成される半導体ピラー1dの上部に不純物拡散領域23bが形成される。

【0074】

(ストレージノードコンタクトの形成工程)

次に、図1A~図1Cに示すように、ストレージノードコンタクト用ホール28内に導電層を充填してビット線コンタクトが接触していない半導体ピラー上にストレージノードコンタクト30を形成する。

10

20

30

40

50

【 0 0 7 5 】

具体的には例えば、絶縁膜 2 9 上に、ストレージノードコンタクト用ホール 2 8 内を埋め込むように、LP-CVD法を用いて、リンを $2.2 \times 10^{19} / \text{cm}^3$ の濃度でドーピングしたシリコン膜を厚さ100nm程度で堆積させる。次いで、CMP法によってポリシリコンを研磨除去することにより、ストレージノードコンタクト用ホール 2 8 内を充填するように、ストレージノードコンタクト 3 0 を形成する。

この工程により、不純物拡散領域 2 3 b を有する半導体ピラー 1 d 上にストレージノードコンタクト 3 0 が形成される。

【 0 0 7 6 】

(キャパシタの形成工程)

10

次に、ストレージノードコンタクト 3 0 上に、コンタクトパッド (図示せず) を形成し、接続する下部電極を形成し、次いで、容量絶縁膜、上部電極を形成してキャパシタ 4 0 を形成する。

この工程により、不純物拡散領域 2 3 b を有する半導体ピラー 1 d 上にストレージノードコンタクト 3 0 を介してキャパシタ 4 0 が形成される。

【符号の説明】

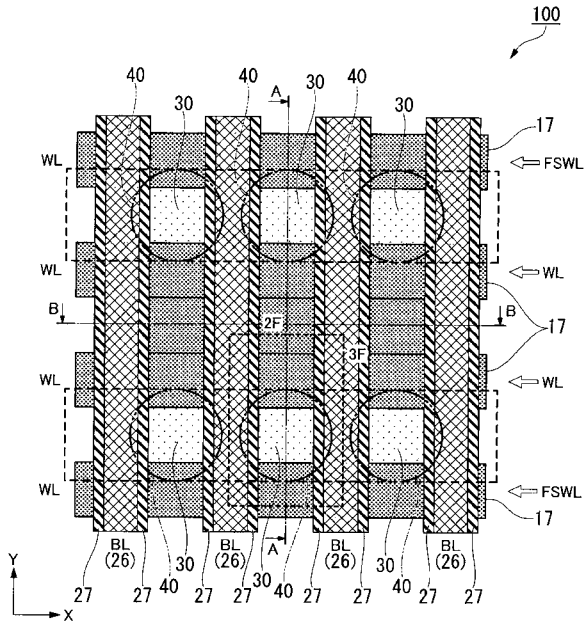
【 0 0 7 7 】

- 1 半導体基板
- 1 a 素子形成領域
- 1 c、1 c a、1 c b 上部側面
- 1 d 半導体ピラー
- 4 素子分離溝 (第1の溝)
- 6 素子分離領域 (第2の絶縁層)
- 7、7 a、7 b 第3の絶縁膜
- 8 第8の絶縁膜
- 9 凹部
- 1 3 第4の絶縁膜
- 1 4 第2の溝
- 1 7 ワード線
- 2 1 第7の絶縁膜
- 2 1 a 開口
- 2 2 第1の半導体膜
- 2 2 a ビット線コンタクト
- 2 3、2 3 a、2 3 b 不純物拡散領域
- 2 6 ビット線
- 3 0 ストレージノードコンタクト
- 4 0 キャパシタ
- 1 0 0 半導体装置

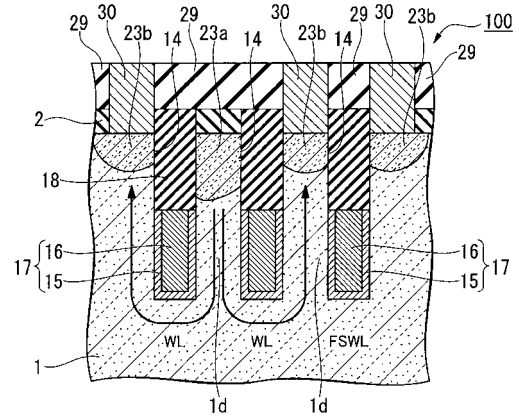
20

30

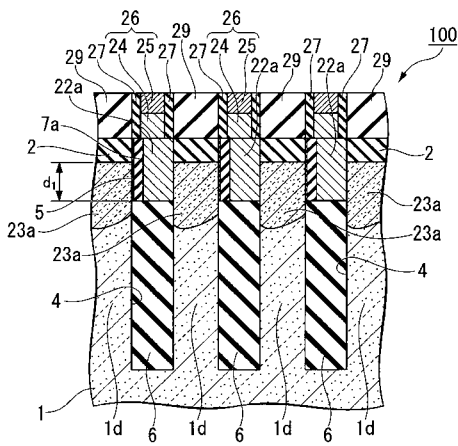
【 図 1 A 】



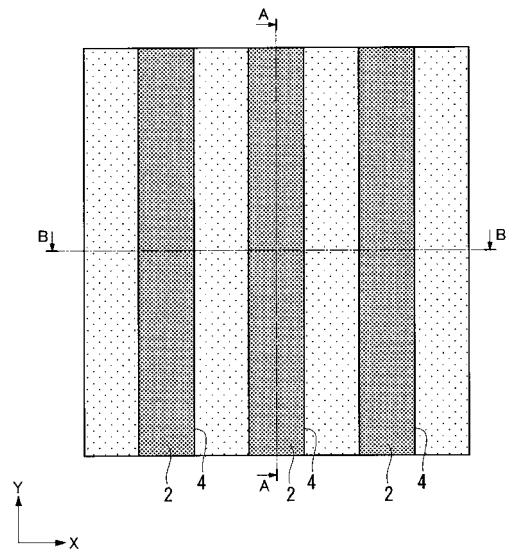
【 図 1 B 】



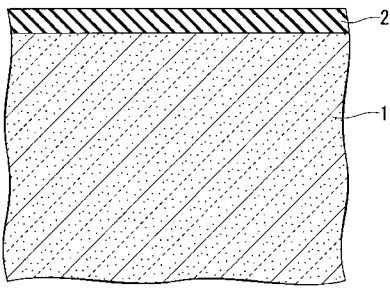
【 図 1 C 】



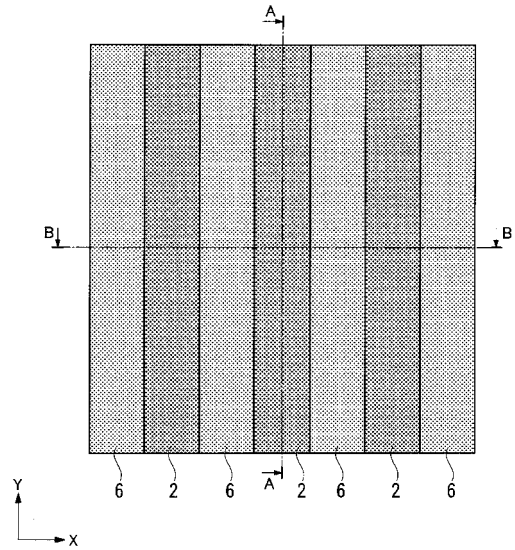
【 図 2 A 】



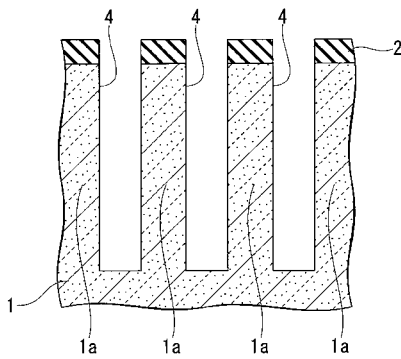
【 図 2 B 】



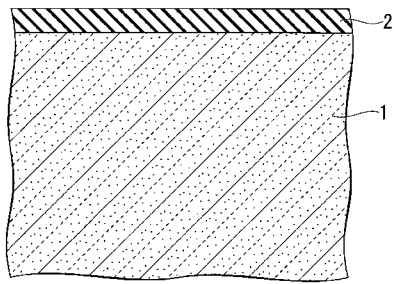
【 図 3 A 】



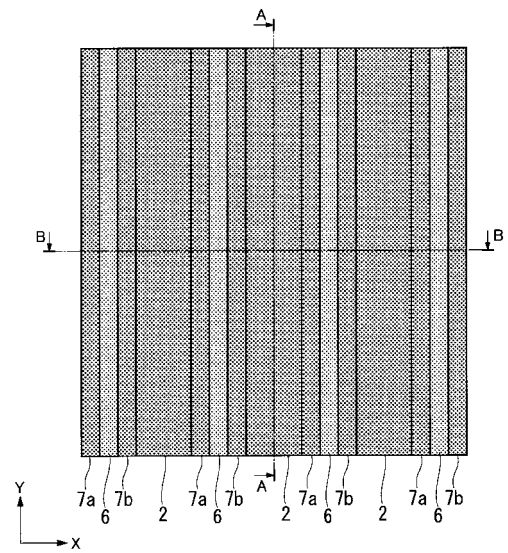
【 図 2 C 】



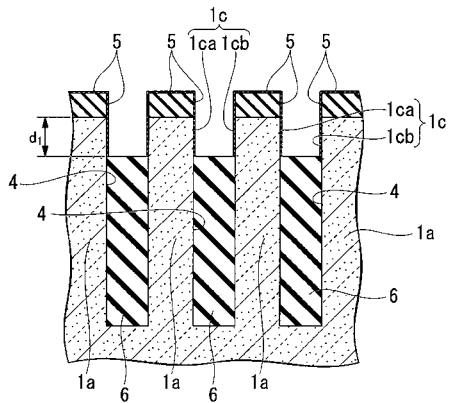
【 図 3 B 】



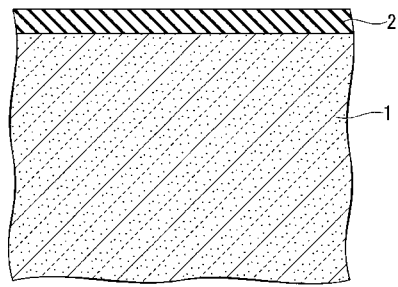
【 図 4 A 】



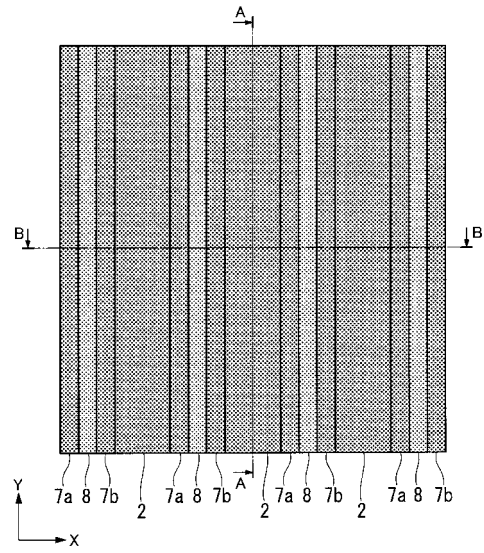
【 図 3 C 】



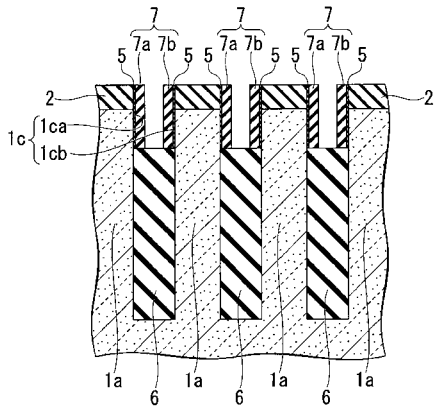
【 図 4 B 】



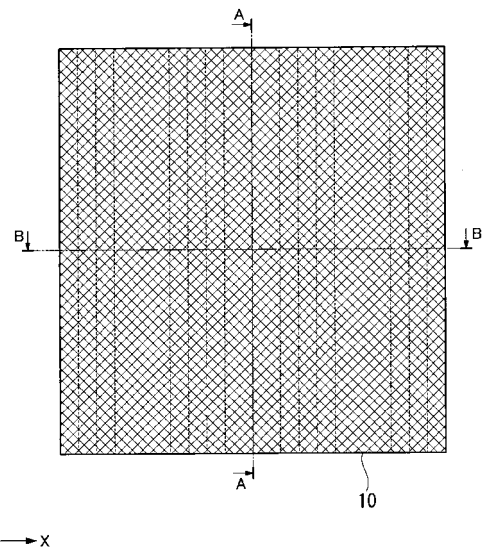
【 図 5 A 】



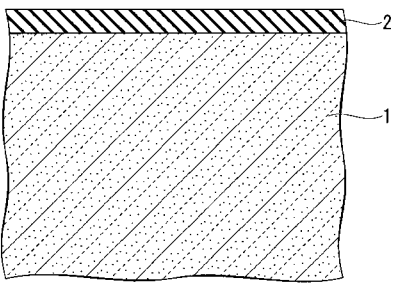
【 図 4 C 】



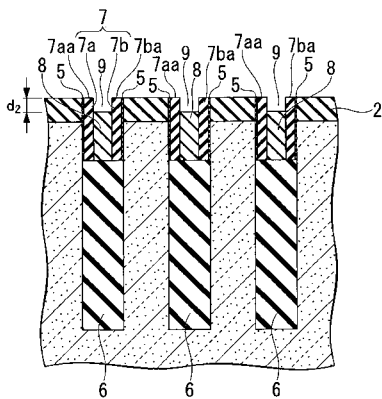
【 図 6 A 】



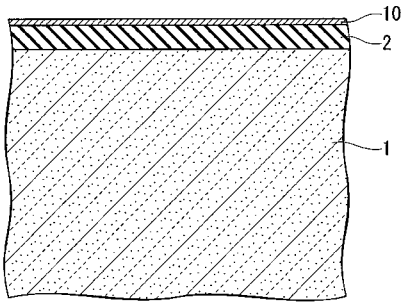
【 図 5 B 】



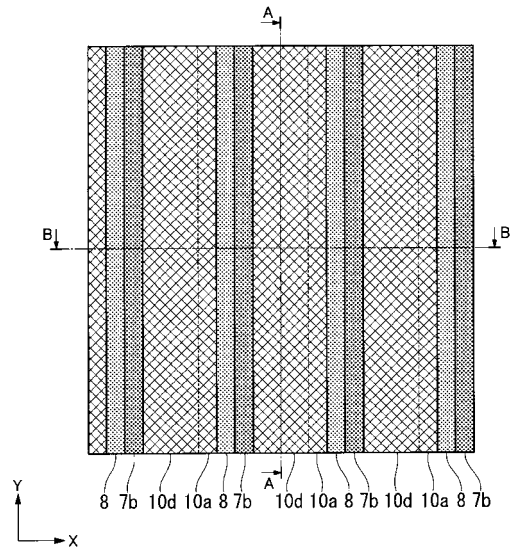
【 図 5 C 】



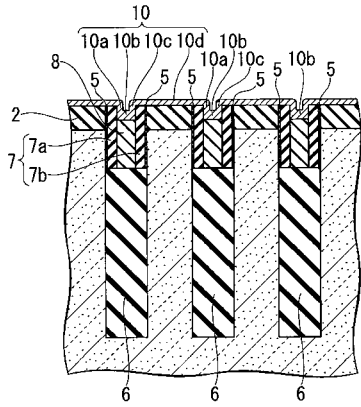
【 図 6 B 】



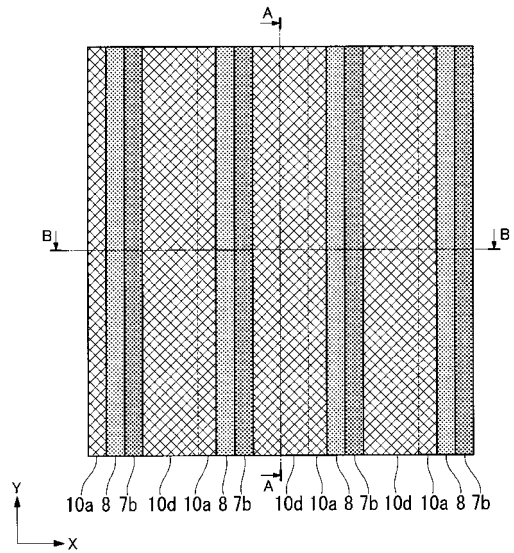
【 図 7 A 】



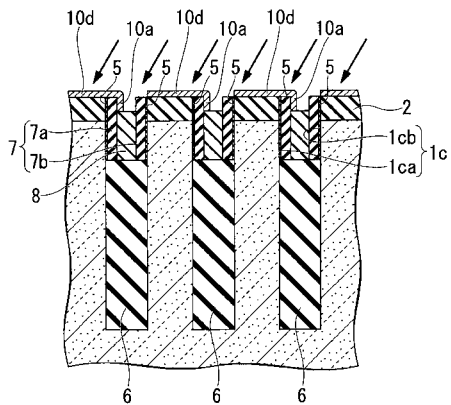
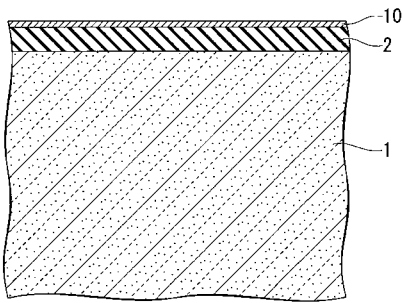
【 図 6 C 】



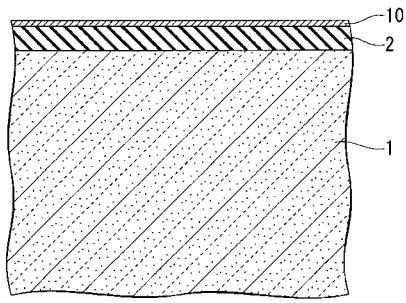
【 図 8 A 】



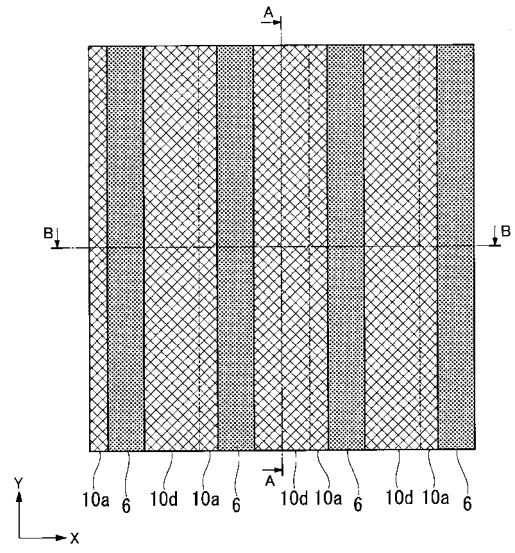
【 図 7 B 】



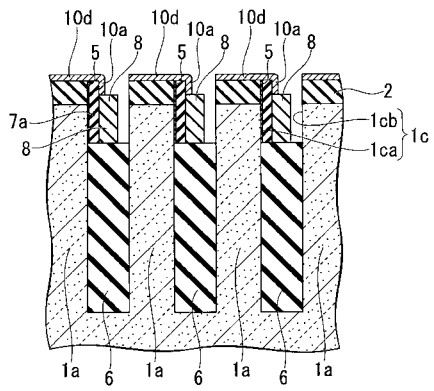
【 図 8 B 】



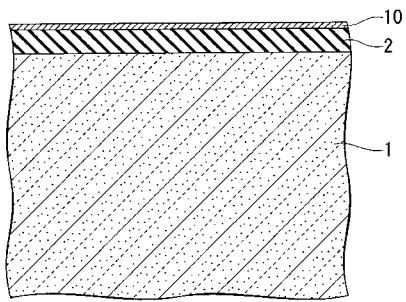
【 図 9 A 】



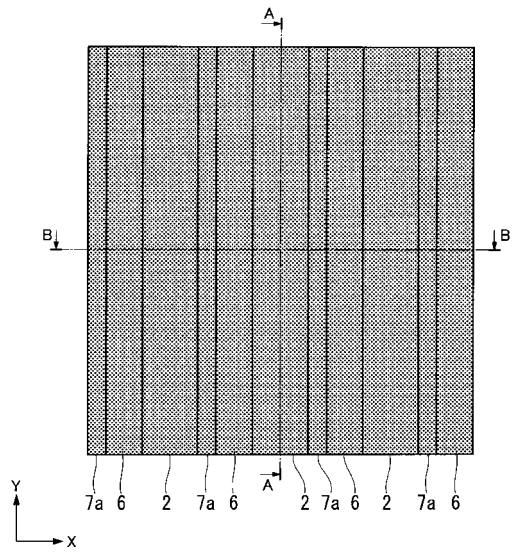
【 図 8 C 】



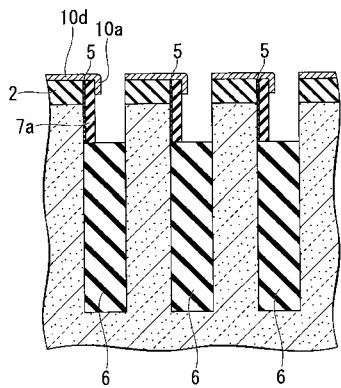
【 図 9 B 】



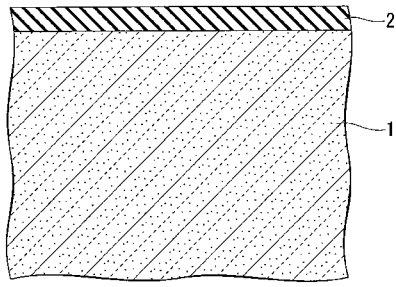
【 図 10 A 】



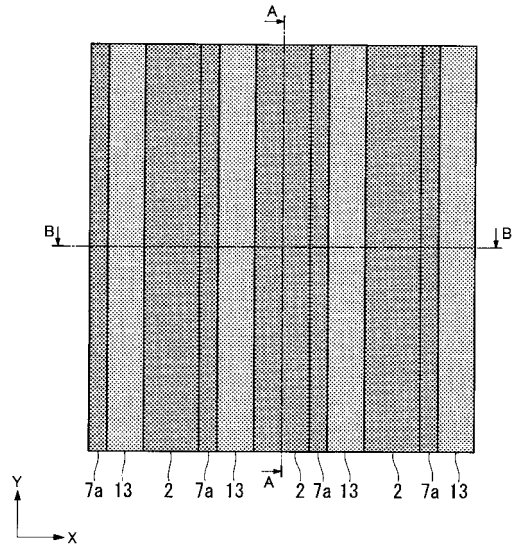
【 図 9 C 】



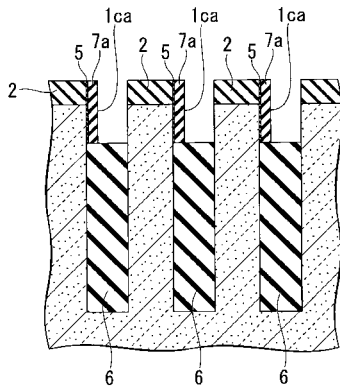
【図 1 0 B】



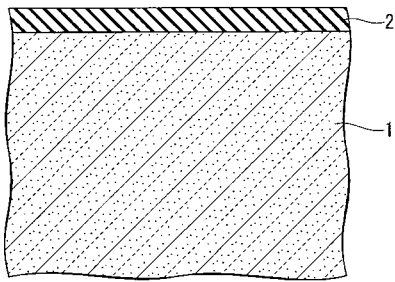
【図 1 1 A】



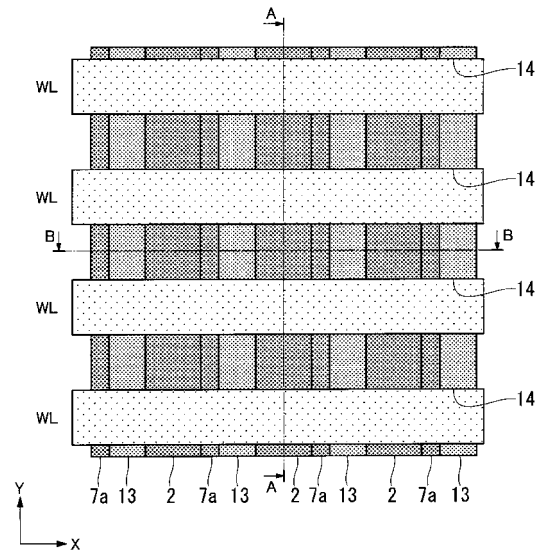
【図 1 0 C】



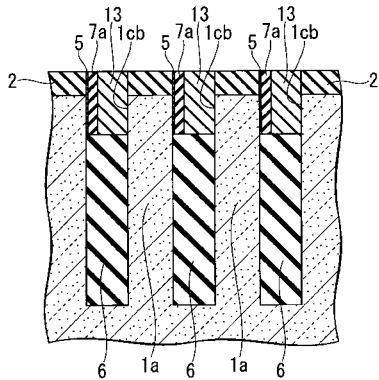
【図 1 1 B】



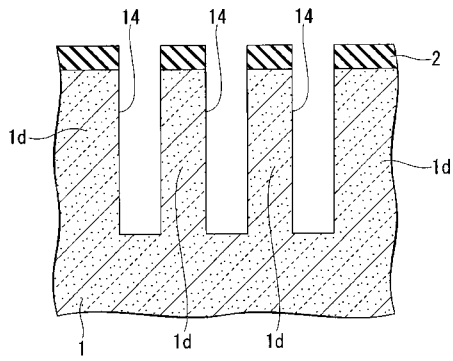
【図 1 2 A】



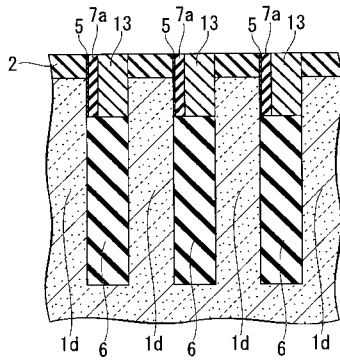
【図 1 1 C】



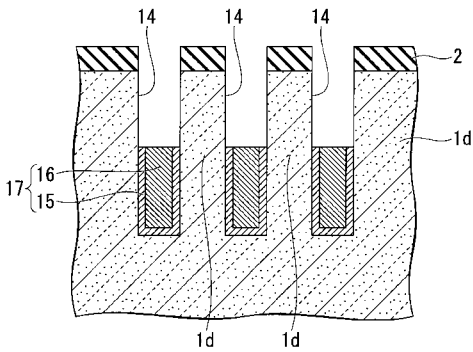
【図 1 2 B】



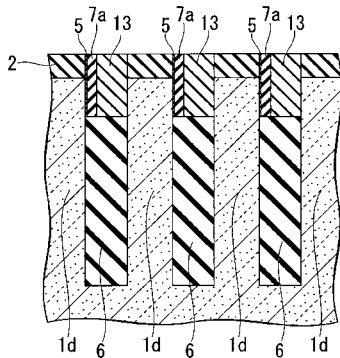
【図 1 2 C】



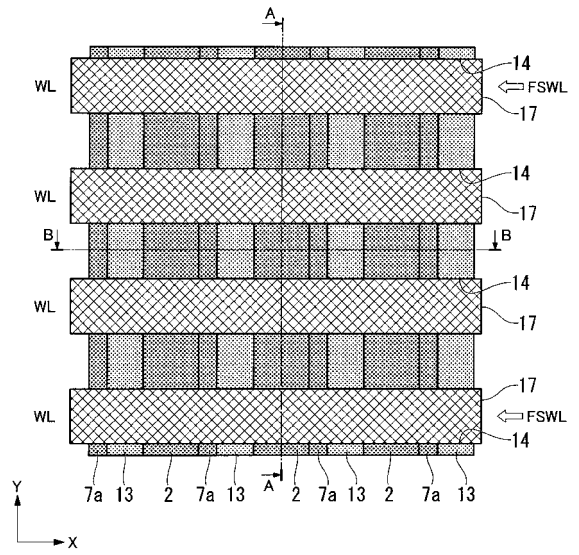
【図 1 3 B】



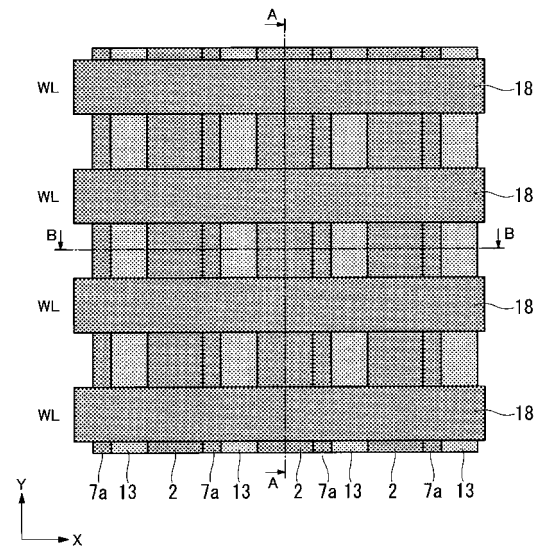
【図 1 3 C】



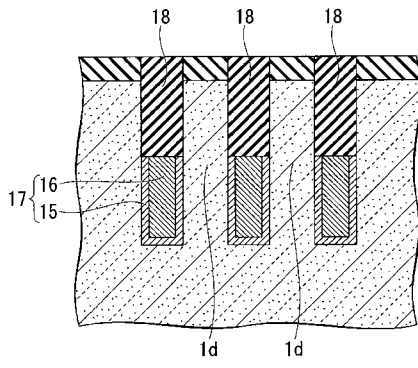
【図 1 3 A】



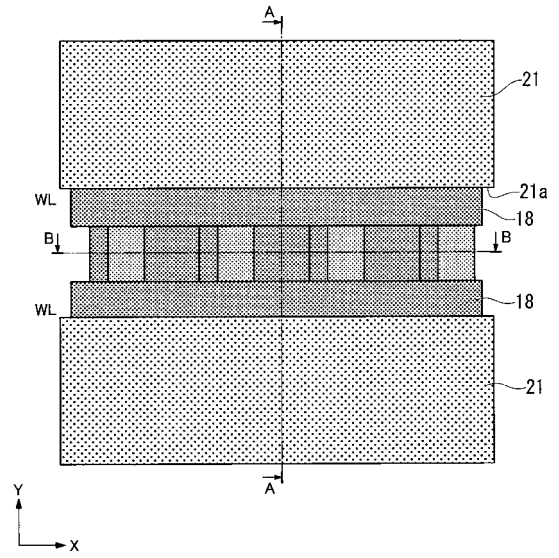
【図 1 4 A】



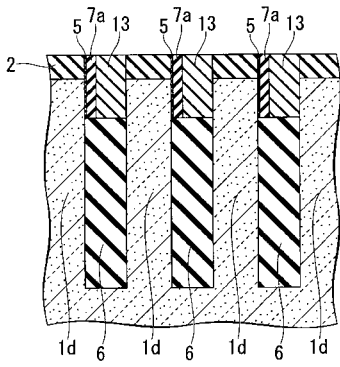
【図 1 4 B】



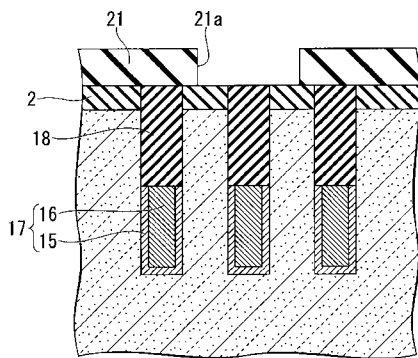
【図 1 5 A】



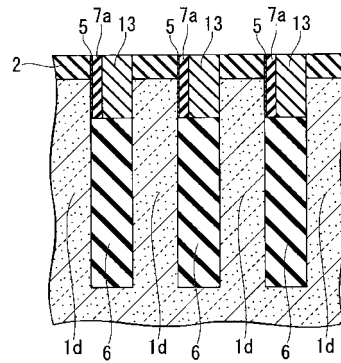
【図 1 4 C】



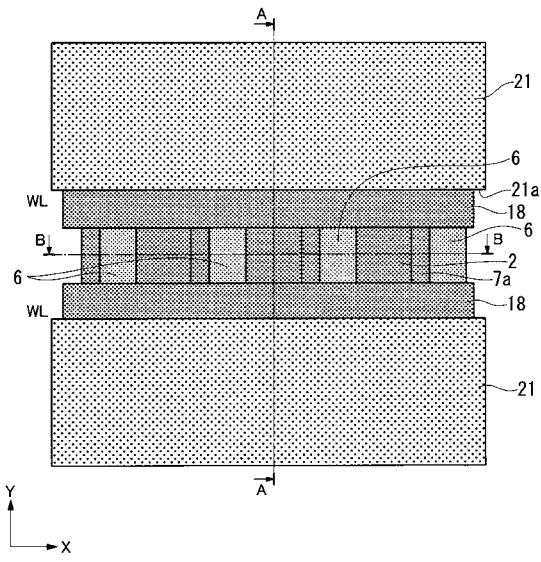
【図 1 5 B】



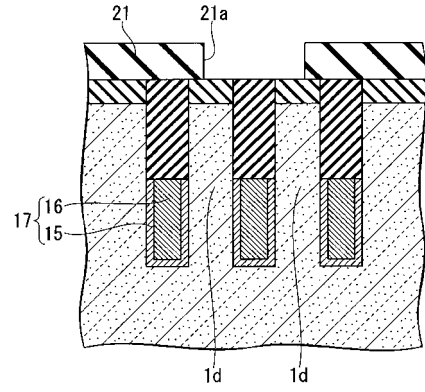
【図 1 5 C】



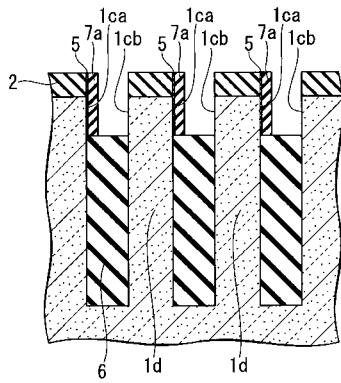
【図 16 A】



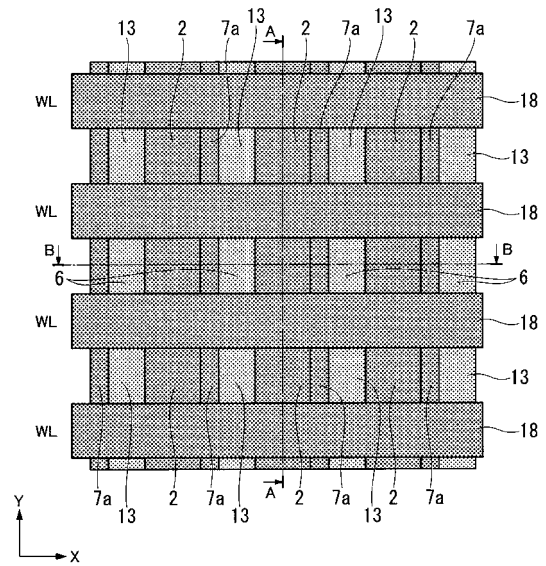
【図 16 B】



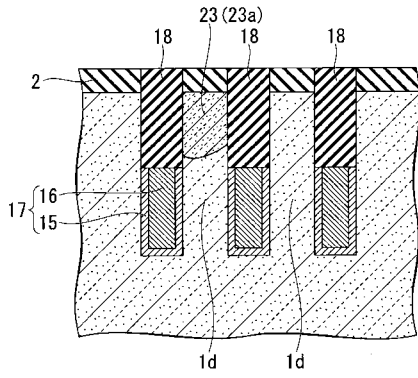
【図 16 C】



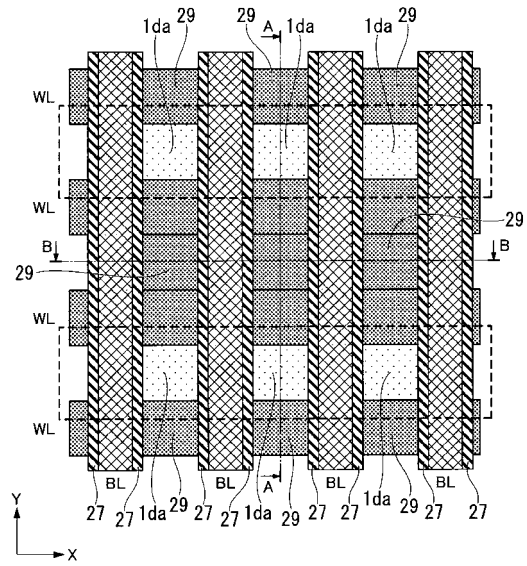
【図 17 A】



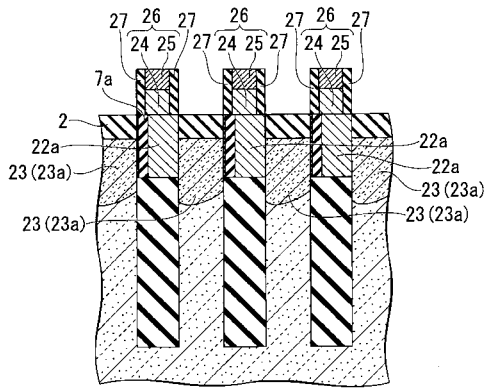
【図19B】



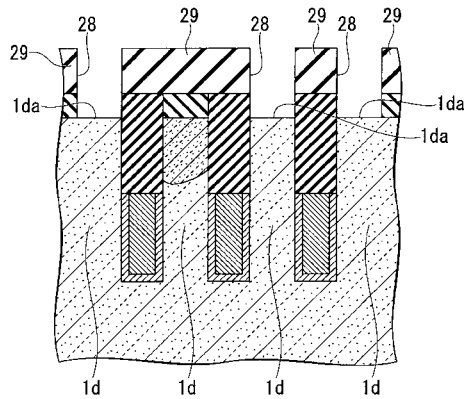
【図20A】



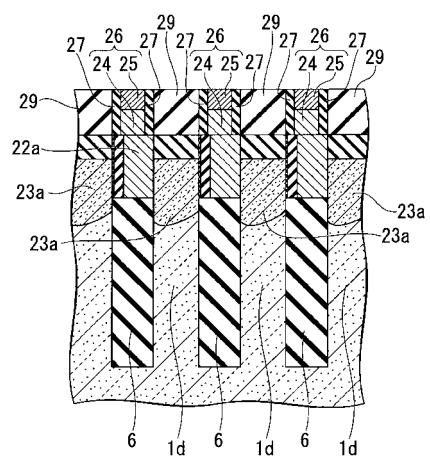
【図19C】



【図20B】



【図20C】



フロントページの続き

Fターム(参考) 5F083 AD04 AD21 AD48 AD49 GA02 GA09 GA27 JA35 JA39 JA40
LA02 LA21 MA06 MA17 MA20 NA01 NA05 PR05 PR06 PR07
PR09 PR37 PR39 PR40 ZA28