

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 4 月 5 日 (05.04.2018)



(10) 国际公布号

W O 2018/059075 A 1

- (51) 国际专利分类号 : G09G 3/20 (2006.01) G11C 19/28 (2006.01) 市经济技术开发区西环中路 8 号, Beijing 100176 (CN) .
- (21) 国际申请号 : PCT/CN20 17/0927 12 (72) 发明人 李艳 (LI, Yan); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN) . 时凌云 (SHI, Lingyun); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN) . 孙伟 (SUN, Wei); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN) . 谢晓波 (XIE, Xiaobo); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN) .
- (22) 国际申请日 : 2017 年 7 月 13 日 (13.07.2017)
- (25) 申请语言 : 中文
- (26) 公布语言 : 中文
- (30) 优先权 : 201610875608.8 2016 年 9 月 30 日 (30.09.2016) CN
- (71) 申请人 : 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN) . 北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京
- (74) 代理人 : 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN) .
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) Title: SHIFT REGISTER UNIT, DRIVING METHOD, GATE DRIVING CIRCUIT AND DISPLAY APPARATUS

(54) 发明名称 : 移位寄存器单元、驱动方法、栅极驱动电路及显示装置

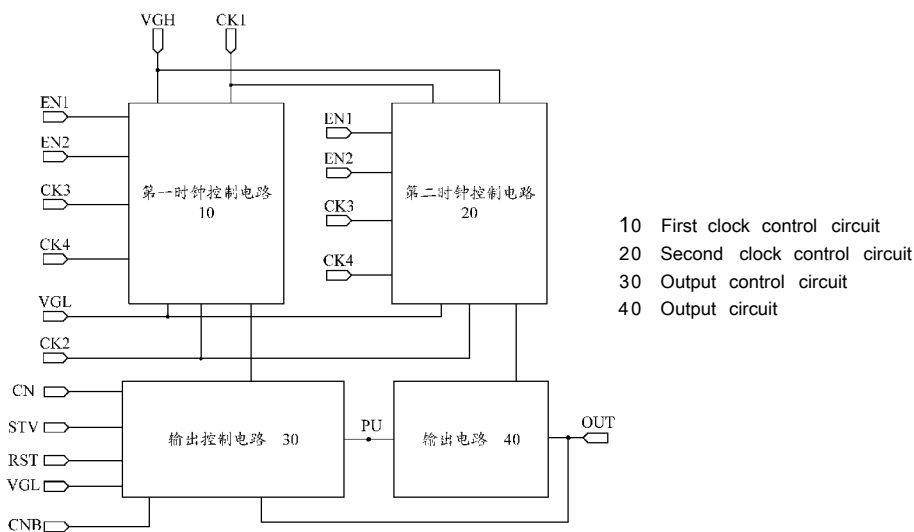


图 1

(57) Abstract: Disclosed are a shift register unit, a driving method, a gate driving circuit and a display apparatus. The shift register unit comprises: a first clock control circuit (10), a second clock control circuit (20), an output control circuit (30) and an output circuit (40), wherein the first clock control circuit (10) is configured to, under the control of a second control signal from a second control signal end (EN2), a third clock signal from a third clock signal end (CK3) and a fourth clock signal from a fourth clock signal end (CK4), alternately output a second clock signal from a second clock signal end (CK2) and a first clock signal from a first clock signal end (CK1) to the output control circuit (30); and the second clock control circuit (20) is configured to, under the control of the second control signal, the third clock signal and the fourth clock signal, alternately output the first clock signal and the second clock signal to the output circuit (40).



WO 2018/059075 A1

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, , MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置。移位寄存器单元包括: 第一时钟控制电路(10)、第二时钟控制电路(20)、输出控制电路(30)和输出电路(40)。第一时钟控制电路(10)被配置为在来自第二控制信号端(EN2)的第二控制信号、来自第三时钟信号端(CK3)的第三时钟信号和来自第四时钟信号端(CK4)的第四时钟信号的控制下, 向输出控制电路(30)交替输出来自第二时钟信号端(CK2)的第二时钟信号和来自第一时钟信号端(CK1)的第一时钟信号。第二时钟控制电路(20)被配置为在第二控制信号、第三时钟信号和第四时钟信号的控制下, 向输出电路(40)交替输出所述第一时钟信号和所述第二时钟信号。

移位寄存器单元、驱动方法、栅极驱动电路及显示装置

技术领域

5 本公开实施例涉及一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置。

背景技术

10 显示装置在显示图像时，需要利用栅极驱动电路（英文：Gate Driver on Array；简称：GOA）对像素单元进行驱动。栅极驱动电路（也称移位寄存器）包括多个级联的移位寄存器单元，其中，每个移位寄存器单元用于驱动一行像素单元，由多个移位寄存器单元实现对显示装置的像素单元的逐行扫描驱动，以显示图像。

15 在相关技术中，栅极驱动电路能够在一帧的时间内对显示装置中各行像素单元扫描一遍，其中，对每行像素单元的扫描时间是由时钟信号的频率决定的。

由于移位寄存器单元中所连接的时钟信号端输出的时钟信号的频率是固定的，因此该栅极驱动电路对像素单元进行驱动时，对每行像素单元的扫描时间也是固定的，驱动方式较为单一。

20

发明内容

第一方面，本公开实施例提供了一种移位寄存器单元，所述移位寄存器单元包括：

第一时钟控制电路、第二时钟控制电路、输出控制电路和输出电路；

25 所述第一时钟控制电路分别与第一控制信号端、第二控制信号端、第一电源信号端、第二电源信号端、第一时钟信号端、第二时钟信号端、第三时钟信号端、第四时钟信号端和所述输出控制电路连接，其中，所述第一控制信号端和所述第二控制信号端分别被配置为提供第一控制信号和第二控制信号，所述第一时钟信号端、所述第二时钟信号端、所述第三时钟信号端和所
30 述第四时钟信号端分别被配置为提供第一时钟信号、第二时钟信号、第三时

钟信号和第四时钟信号；

所述第二时钟控制电路分别与第一控制信号端、第二控制信号端、第一电源信号端、第二电源信号端、第一时钟信号端、第二时钟信号端、第三时钟信号端、第四时钟信号端和所述输出电路连接；

5 所述输出控制电路分别与所述第一时钟控制电路、输入信号端、复位信号端、所述第二电源信号端、第三电源信号端、第四电源信号端、上拉节点和所述输出端连接，被配置为控制所述上拉节点和所述输出端的电位；

所述输出电路分别与所述第二时钟控制电路、所述上拉节点和所述输出端连接，被配置为在所述上拉节点的控制下，向所述输出端输出来自所述第二时钟控制电路的信号；

所述第一时钟控制电路被配置为在来自所述第二控制信号端的第二控制信号、来自所述第三时钟信号端的第三时钟信号和来自所述第四时钟信号端的第四时钟信号的控制下，向所述输出控制电路交替输出所述第二时钟信号和所述第一时钟信号，相应的，所述第二时钟控制电路被配置为在所述第二控制信号、所述第三时钟信号和所述第四时钟信号的控制下，向所述输出电路交替输出所述第一时钟信号和所述第二时钟信号；

其中，所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号的频率相同，相位互不相同。

第二方面，本公开实施例还提供一种移位寄存器单元的驱动方法，所述移位寄存器单元包括：第一时钟控制电路、第二时钟控制电路、输出控制电路和输出电路，所述方法包括：

在第一驱动模式中，第一控制信号端输出的第一控制信号为第一电位，第二控制信号端输出的第二控制信号为第二电位，通过所述第一时钟控制电路向所述输出控制电路输出来自第二时钟信号端的第二时钟信号，通过所述第二时钟控制电路向所述输出电路输出来自第一时钟信号端的第一时钟信号；

在第二驱动模式中，第一控制信号端输出的第一控制信号为第二电位，第二控制信号端输出的第二控制信号为第一电位，第三时钟信号端输出第三时钟信号，第四时钟信号端输出第四时钟信号，通过所述第一时钟控制电路向所述输出控制电路交替输出所述第二时钟信号和所述第一时钟信号，通过

所述第二时钟控制电路向所述输出电路交替输出所述第一时钟信号和所述第二时钟信号；

其中，所述第一时钟信号、所述第二时钟信号所述第三时钟信号和所述第四时钟信号的频率相同，相位互不相同。

5 第三方面，本公开实施例还提供了一种栅极驱动电路，所述栅极驱动电路包括：至少两个级联的移位寄存器单元，其中各所述移位寄存器单元为如第一方面所述的移位寄存器单元。

第四方面，本公开实施例还提供了一种显示装置，所述显示装置包括：如第三方面所述的栅极驱动电路。

10

附图说明

为了更清楚地说明本公开实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

15

图1是本公开实施例提供的一种移位寄存器单元的结构示意图之一；

图2是本公开实施例提供的一种移位寄存器单元的结构示意图之二；

图3是本公开实施例提供的一种移位寄存器单元的示例性电路图；

图4是本公开实施例提供的一种移位寄存器单元的驱动方法的流程图；

20

图5是本公开实施例提供的一种移位寄存器单元中各信号的时序图之一；以及

图6是本公开实施例提供的一种移位寄存器单元中各信号的时序图之二。

25

具体实施方式

为使本公开的目的、技术方案和优点更加清楚，下面将结合附图对本公开实施方式作进一步地详细描述。显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范

30

本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。根据在电路中的作用本公开的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本公开实施例中，将源极称为第一极，漏极称为第二极，栅极称为第三极。按附图中的形态规定晶体管的中间端为栅极、信号输入端为源极、输出端为漏极。此外，本公开实施例所采用的开关晶体管可以包括 P 型开关晶体管和 N 型开关晶体管中的任一种。P 型开关晶体管在栅极为低电平时导通，在栅极为高电平时截止，N 型开关晶体管在栅极为高电平时导通，在栅极为低电平时截止。此外，本公开各个实施例中的多个信号都对应有第一电位和第二电位。第一电位和第二电位仅代表该信号的电位有 2 个状态量，不代表全文中第一电位或第二电位具有特定的数值，即各个信号的第一电位（或第二电位）的电位值可以相同也可以不同。进一步的，本公开实施例中的第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号的频率相同，相位互不相同。例如，该第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号的占空比可以均为二分之一；且该第一时钟信号与第二时钟信号的相位差为 180 度，第三时钟信号与第四时钟信号的相位差为 180 度，且第一时钟信号与第三时钟信号的相位差为 90 度。

本公开实施例提供了一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置。该移位寄存器单元包括输出控制电路和输出电路，还包括两个时钟控制电路。通过该两个时钟控制电路，可以分别向输出控制电路和输出电路输出不同频率或者不同占空比的时钟信号，从而使得该输出电路可以通过输出端向像素单元输出不同频率或者不同占空比的驱动信号，进而可以调整移位寄存器单元对每行像素单元的充电时间，因此丰富了栅极驱动电路对显示装置的驱动方式，提高了驱动的灵活性。

图 1 是本公开实施例提供的一种移位寄存器单元的结构示意图，如图 1 所示，该移位寄存器单元包括：第一时钟控制电路 10、第二时钟控制电路 20、输出控制电路 30 和输出电路 40。

该第一时钟控制电路 10 分别与第一控制信号端 EN1、第二控制信号端 EN2、第一电源信号端 VGH、第二电源信号端 VGL、第一时钟信号端 CK1、第二时钟信号端 CK2、第三时钟信号端 CK3、第四时钟信号端 CK4 和该输

出控制电路 30 连接。该第二时钟控制电路 20 分别与第一控制信号端 EN1、第二控制信号端 EN2、第一电源信号端 VGH、第二电源信号端 VGL、第一时钟信号端 CK1、第二时钟信号端 CK2、第三时钟信号端 CK3、第四时钟信号端 CK4 和该输出电路 40 连接。

5 该输出控制电路 30 分别与该第一时钟控制电路 10、输入信号端 STV、复位信号端 RST、该第二电源信号端 VGL、第三电源信号端 CN、第四电源信号端 CNB、上拉节点 PU 和该输出端 OUT 连接，被配置为控制该上拉节点 PU 和该输出端 OUT 的电位；该输出电路 40 分别与该第二时钟控制电路 20、该上拉节点 PU 和该输出端 OUT 连接，被配置为在该上拉节点 PU 的控制下，向该输出端 OUT 输出来自该第二时钟控制电路 20 的信号。

10 该第一时钟控制电路 10 被配置为在来自该第一控制信号端 EN1 的第一控制信号的控制下，向该输出控制电路 30 输出来自该第二时钟信号端 CK2 的第二时钟信号。相应的，该第二时钟控制电路 20 被配置为在该第一控制信号的控制下，向该输出电路 40 输出来自该第一时钟信号端 CK1 的第一时钟信号。

15 或者，该第一时钟控制电路 10 被配置为在来自该第二控制信号端 EN2 的第二控制信号、来自该第三时钟信号端 CK3 的第三时钟信号和来自该第四时钟信号端 CK4 的第四时钟信号的控制下，向该输出控制电路 30 交替输出该第二时钟信号和该第一时钟信号。相应的，该第二时钟控制电路 20 被配置为在该第二控制信号、该第三时钟信号和该第四时钟信号的控制下，向该输出电路 40 交替输出该第一时钟信号和该第二时钟信号。

20 例如，该第一时钟信号、该第二时钟信号、该第三时钟信号和该第四时钟信号的频率相同，相位互不相同。

25 综上所述，本公开实施例提供了一种移位寄存器单元，该移位寄存器单元包括输出控制电路和输出电路，还包括时钟控制电路。通过该时钟控制电路，可以向输出电路输出第一时钟信号，或者向输出电路交替输出第一时钟信号和第二时钟信号，从而使得该输出电路可以在该时钟控制电路输出的信号的控制下，向像素单元输出不同频率或者不同占空比的驱动信号，进而可以调整对每行像素单元的充电时间，因此丰富了栅极驱动电路对显示装置的驱动方式，提高了驱动的灵活性。

图 2 是本公开实施例提供的一种移位寄存器单元的另一结构示意图。如图 2 所示，该第一时钟控制电路 10 包括：第一控制子电路 101、第二控制子电路 102 和第一输出子电路 103。

5 该第一控制子电路 101 分别与该第一控制信号端 EN1、该第一电源信号端 VGH、该第二电源信号端 VGL 和该第一输出子电路 103 连接，被配置为在来自该第一控制信号端 EN1 的第一控制信号的控制下，向该第一输出子电路 103 输出来自该第一电源信号端 VGH 的第一电源信号和来自该第二电源信号端 VGL 的第二电源信号。

10 该第二控制子电路 102 分别与该第二控制信号端 EN2、该第三时钟信号端 CK3、该第四时钟信号端 CK4 和该第一输出子电路 103 连接，被配置为在来自该第二控制信号端 EN2 的第二控制信号的控制下，向该第一输出子电路 103 输出来自该第三时钟信号端 CK3 的第三时钟信号和来自该第四时钟信号端 CK4 的第四时钟信号。

15 该第一输出子电路 103 分别与该第一控制子电路 101、该第二控制子电路 102、该第一时钟信号端 CK1、该第二时钟信号端 CK2 和该输出控制电路 30 连接，被配置为在该第一电源信号和该第二电源信号的控制下，向该输出控制电路 30 输出该第二时钟信号；或者，被配置为在该第三时钟信号和该第四时钟信号的控制下，向该输出控制电路 30 交替输出该第二时钟信号和该第一时钟信号。

20 例如，如图 2 所示，该第二时钟控制电路 20 可以包括：第三控制子电路 201、第四控制子电路 202 和第二输出子电路 203。

25 该第三控制子电路 201 分别与该第一控制信号端 EN1、该第一电源信号端 VGH、该第二电源信号端 VGL 和该第二输出子电路 203 连接，被配置为在该第一控制信号的控制下，向该第二输出子电路 203 输出来自该第一电源信号端 VGH 的第一电源信号和来自该第二电源信号端 VGL 的第二电源信号。

30 该第四控制子电路 202 分别与该第二控制信号端 EN2、该第三时钟信号端 CK3、该第四时钟信号端 CK4 和该第二输出子电路 203 连接，被配置为在该第二控制信号的控制下，向该第二输出子电路 203 输出来自该第三时钟信号端 CK3 的第三时钟信号和来自该第四时钟信号端 CK4 的第四时钟信号。

该第二输出子电路 203 分别与该第三控制子电路 201、该第四控制子电路 202、该第一时钟信号端 CK1、该第二时钟信号端 CK2 和该输出电路 40 连接，被配置为在该第一电源信号和该第二电源信号的控制下，向该输出电路 40 输出该第一时钟信号；或者，被配置为在该第三时钟信号和该第四时钟信号的控制下，向该输出电路 40 交替输出该第一时钟信号和该第二时钟信号。

图 3 是本公开实施例提供的一种移位寄存器单元的电路结构示意图。如图 3 所示，该第一控制子电路 101 包括：第一晶体管 M1 和第二晶体管 M2；该第二控制子电路 102 包括第三晶体管 M3 和第四晶体管 M4；该第一输出子电路 103 包括：第五晶体管 M5 和第六晶体管 M6。

该第一晶体管 M1 的栅极与该第一控制信号端 EN1 连接，该第一晶体管 M1 的第一极与该第一电源信号端 VGH 连接，该第一晶体管 M1 的第二极与该第五晶体管 M5 的栅极连接。

该第二晶体管 M2 的栅极与该第一控制信号端 EN1 连接，该第二晶体管 M2 的第一极与该第二电源信号端 VGL 连接，该第二晶体管 M2 的第二极与该第六晶体管 M6 的栅极连接。

该第三晶体管 M3 的栅极与该第二控制信号端 EN2 连接，该第三晶体管 M3 的第一极与该第三时钟信号端 CK3 连接，该第三晶体管 M3 的第二极与该第五晶体管 M5 的栅极连接。

该第四晶体管 M4 的栅极与该第二控制信号端 EN2 连接，该第四晶体管 M4 的第一极与该第四时钟信号端 CK4 连接，该第四晶体管 M4 的第二极与该第六晶体管 M6 的栅极连接。

该第五晶体管 M5 的第一极与该第二时钟信号端 CK2 连接，该第五晶体管 M5 的第二极与该输出控制电路 30 连接。

该第六晶体管 M6 的第一极与该第一时钟信号端 CK1 连接，该第六晶体管 M6 的第二极与该输出控制电路 30 连接。

例如，参考图 3，该第三控制子电路 201 包括：第七晶体管 M7 和第八晶体管 M8；该第四控制子电路 202 包括：第九晶体管 M9 和第十晶体管 M10；该第二输出子电路 203 包括：第十一晶体管 M11 和第十二晶体管 M12。

该第七晶体管 M7 的栅极与该第一控制信号端 EN1 连接，该第七晶体管

M7 的第一极与该第一电源信号端 VGH 连接，该第七晶体管 M7 的第二极与该第十一晶体管 M11 的栅极连接。

该第八晶体管 M8 的栅极与该第一控制信号端 EN1 连接，该第八晶体管 M8 的第一极与该第二电源信号端 VGL 连接，该第八晶体管 M8 的第二极与该第十二晶体管 M12 的栅极连接。

该第九晶体管 M9 的栅极与该第二控制信号端 EN2 连接，该第九晶体管 M9 的第一极与该第三时钟信号端 CK3 连接，该第九晶体管 M9 的第二极与该第十一晶体管 M11 的栅极连接。

该第十晶体管 M10 的栅极与该第二控制信号端 EN2 连接，该第十晶体管 M10 的第一极与该第四时钟信号端 CK4 连接，该第十晶体管 M10 的第二极与该第十二晶体管 M12 的栅极连接。

该第十一晶体管 M11 的第一极与该第一时钟信号端 CK1 连接，该第十一晶体管 M11 的第二极与该输出电路 40 连接。

该第十二晶体管 M12 的第一极与该第二时钟信号端 CK2 连接，该第十二晶体管 M12 的第二极与该输出电路 40 连接。

在本公开实施例的一种示例性的实现方式中，该第一时钟信号、该第二时钟信号、该第三时钟信号和该第四时钟信号的占空比均为二分之一；该第一时钟信号与该第二时钟信号的相位差为 180 度，该第三时钟信号与该第四时钟信号的相位差为 180 度，且该第一时钟信号与该第三时钟信号的相位差为 90 度。

作为一种示例性的实现方式，参考图 3，该输出控制电路 30 可以包括：第一输出控制晶体管 M13、第二输出控制晶体管 M14、第三输出控制晶体管 M15、第四输出控制晶体管 M16、第五输出控制晶体管 M17、第六输出控制晶体管 M18 和第七输出控制晶体管 M19。该输出电路 40 包括：输出晶体管 M20 和电容器 C

例如，该第一输出控制晶体管 M13 的栅极与该输入信号端 STV 连接，该第一输出控制晶体管 M13 的第一极与该第三电源信号端 CN 连接，该第一输出控制晶体管 M13 的第二极与该上拉节点 PU 连接。

该第二输出控制晶体管 M14 的栅极与该复位信号端 RST 连接，该第二输出控制晶体管 M14 的第一极与该第四电源信号端 CNB 连接，该第二输出

控制晶体管 M14 的第二极与该上拉节点 PU 连接。

该第三输出控制晶体管 M15 的栅极与该上拉节点 PU 连接，该第三输出控制晶体管 M15 的第一极与该第二电源信号端 VGL 连接，该第三输出控制晶体管 M15 的第二极与下拉节点 PD 连接。

5 该第四输出控制晶体管 M16 的栅极与该输出端 OUT 连接，该第四输出控制晶体管 M16 的第一极与该第二电源信号端 VGL 连接，该第四输出控制晶体管 M16 的第二极与该下拉节点 PD 连接。

10 该第五输出控制晶体管 M17 的栅极和第一极与该第一时钟控制电路 10 连接，该第五输出控制晶体管 M17 的第二极与该下拉节点 PD 连接。例如，该第五输出控制晶体管 M17 的栅极和第一极与该第一时钟控制电路 10 的第五晶体管 M5 的第二极和第六晶体管 M6 的第二极均连接。

该第六输出控制晶体管 M18 的栅极与该下拉节点 PD 连接，该第六输出控制晶体管 M18 的第一极与该第二电源信号端 VGL 连接，该第六输出控制晶体管 M18 的第二极与该上拉节点 PU 连接。

15 该第七输出控制晶体管 M19 的栅极与该下拉节点 PD 连接，该第七输出控制晶体管 M19 的第一极与该第二电源信号端 VGL 连接，该第七输出控制晶体管 M19 的第二极与该输出端 OUT 连接。

20 该输出晶体管 M20 的栅极与该上拉节点 PU 连接，该输出晶体管 M20 的第一极与该第二时钟控制电路 20 连接，该输出晶体管 M20 的第二极与该输出端 OUT 连接。例如，该输出晶体管 M20 的第一极与该第二时钟控制电路 20 的第十一晶体管 M11 的第二极和第十二晶体管 M12 的第二极均连接。该电容器 C 的一端与该上拉节点 PU 连接，另一端与该输出端 OUT 连接。

25 综上所述，本公开实施例提供了一种移位寄存器单元，该移位寄存器单元包括输出控制电路和输出电路，还包括第一时钟控制电路和第二时钟控制电路。通过该两个时钟控制电路，可以分别向输出控制电路和输出电路输出不同频率或者不同占空比的时钟信号，使得该输出电路可以在该第二时钟控制电路输出的信号的控制下，向像素单元输出不同频率或者不同占空比的驱动信号，进而可以调整移位寄存器单元对每行像素单元的充电时间。当输出
30 电路输出的驱动信号的频率较高或者占空比较小时，对每行像素单元的充电

时间较短，此时显示装置的显示分辨率较高，可以实现显示装置的高清显示；当输出电路输出的驱动信号的频率较低或者占空比较高时，对每行像素单元的充电时间较长，此时显示装置的分辨率较低，可以实现显示装置的低功耗显示。因此，丰富了栅极驱动电路对显示装置的驱动方式，提高了驱动的灵活性。

需要说明的是，在本公开各个实施例中，均是以各晶体管为 N 型晶体管、且第一电位相对于该第二电位为高电位为例进行的说明。该 N 型晶体管可以为非晶硅薄膜晶体管，其制程比较稳定，成本较低。

当然，各晶体管还可以采用 P 型晶体管，当各晶体管采用 P 型晶体管时，该第一电位相对于该第二电位可以为低电位，且该各个信号端的电位变化可以与下述附图 5 或附图 6 所示的电位变化相反（即二者的相位差为 180 度）。

图 4 是本公开实施例提供的一种移位寄存器单元的驱动方法的流程图，该方法可以用于驱动如图 1 至图 3 任一所示的移位寄存器单元。参考图 1，该移位寄存器单元可以包括：第一时钟控制电路 10、第二时钟控制电路 20、输出控制电路 30 和输出电路 40。参考图 4，该方法可以包括：

步骤 301、在第一驱动模式中，第一控制信号端 EN1 输出的第一控制信号为第一电位，第二控制信号端 EN2 输出的第二控制信号为第二电位，通过该第一时钟控制电路 10 向该输出控制电路 30 输出来自第二时钟信号端 CK2 的第二时钟信号，通过该第二时钟控制电路 20 向该输出电路 40 输出来自第一时钟信号端 CK1 的第一时钟信号。

步骤 302、在第二驱动模式中，第一控制信号端 EN1 输出的第一控制信号为第二电位，第二控制信号端 EN2 输出的第二控制信号为第一电位，第三时钟信号端 CK3 输出第三时钟信号，第四时钟信号端 CK4 输出第四时钟信号，通过该第一时钟控制电路 10 向该输出控制电路 30 交替输出该第二时钟信号和该第一时钟信号，通过该第二时钟控制电路 20 向该输出电路 40 交替输出该第一时钟信号和该第二时钟信号。

例如，该第一时钟信号、该第二时钟信号该第三时钟信号和该第四时钟信号的频率相同，相位互不相同。此外，该第二电位相对于该第一电位可以为低电位。

综上所述，本公开实施例提供了一种移位寄存器单元的驱动方法，该驱

动方法包括两种驱动模式，不同的驱动模式下第二时钟控制电路向输出电路输出的信号的频率不同，从而使得该输出电路可以向像素单元输出不同频率或者不同占空比的驱动信号，进而可以调整移位寄存器单元对每行像素单元的充电时间，因此丰富了栅极驱动电路对显示装置的驱动方式，提高了驱动的灵活性。

例如，参考图2，该第一时钟控制电路10包括：第一控制子电路101、第二控制子电路102和第一输出子电路103。

该第一驱动模式中，该第一控制信号为第一电位，该第一控制子电路101向该第一输出子电路103输出来自第一电源信号端VGH的第一电源信号和来自第二电源信号端VGL的第二电源信号，该第一输出子电路103在该第一电源信号和该第二电源信号的控制下，向该输出控制电路30输出该第二时钟信号。

该第二驱动模式中，该第二控制信号为第一电位，该第二控制子电路102向该第一输出子电路103输出该第三时钟信号和该第四时钟信号。当该第三时钟信号处于第一电位时，该第一输出子电路103向该输出控制电路30输出该第二时钟信号；当第四时钟信号处于第一电位时，该第一输出子电路103向该输出控制电路30输出第一时钟信号。

例如，参考图2，该第二时钟控制电路20包括：第三控制子电路201、第四控制子电路202和第二输出子电路203。

该第一驱动模式中，该第一控制信号为第一电位，该第三控制子电路201向该第二输出子电路203输出来自第一电源信号端VGH的第一电源信号和来自第二电源信号端VGL的第二电源信号，该第二输出子电路203在该第一电源信号和该第二电源信号的控制下，向该输出电路40输出该第一时钟信号；

该第二驱动模式中，该第二控制信号为第一电位，该第四控制子电路202向该第二输出子电路203输出该第三时钟信号和该第四时钟信号。当该第三时钟信号处于第一电位时，该第二输出子电路203向该输出电路40输出该第一时钟信号；当第四时钟信号处于第一电位时，该第二输出子电路203向该输出电路40输出该第二时钟信号。

进一步的，如图3所示，该第一时钟控制电路10中的第一控制子电路包

括：第一晶体管 M1 和第二晶体管 M2；第二控制子电路 102 包括第三晶体管 M3 和第四晶体管 M4；第一输出子电路 103 包括：第五晶体管 M5 和第六晶体管 M6。

图 5 是本公开实施例提供的一种驱动方法的时序图，图 5 中信号 CK_N 为第二时钟控制电路 20 向该输出电路 40 输出的信号，信号 CKB_N 为该第一时钟控制电路 10 向该输出控制电路 30 输出的信号。从图 5 中可以看出，该第一驱动模式 T1 中，该第一控制信号端 EN1 输出的第一控制信号为第一电位，该第一晶体管 M1 和该第二晶体管 M2 开启；第一电源信号端 VGH 向该第五晶体管 M5 的栅极输出第一电源信号，该第一电源信号为第一电位，此时该第五晶体管 M5 开启；该第二时钟信号端 CK2 通过该第五晶体管 M5 向该输出控制电路 30 输出该第二时钟信号；该第二电源信号端 VGL 通过该第二晶体管 M2 向该第六晶体管 M6 的栅极输出第二电源信号，该第二电源信号为第二电位，该第六晶体管 M6 关断。参考图 5 可知，该第一驱动模式 T1 中，该第一时钟控制电路 10 向输出控制电路 30 输出的信号 CKB_N 的波形与该第二时钟信号的波形相同。

参考图 5，该第二驱动模式 T2 中，该第二控制信号端 EN2 输出的第二控制信号为第一电位，此时第三晶体管 M3 和第四晶体管 M4 开启；该第三时钟信号端 CK3 通过该第三晶体管 M3 向该第五晶体管 M5 的栅极输出该第三时钟信号，该第四时钟信号端 CK4 通过该第四晶体管 M4 向该第六晶体管 M6 的栅极输出该第四时钟信号。当该第三时钟信号处于第一电位时，该第五晶体管 M5 开启，该第二时钟信号端 CK2 向该输出控制电路 30 输出该第二时钟信号。示例的，如图 5 所示，在第二驱动模式 T2 中的 t1 和 t3 阶段，该第三时钟信号端 CK3 输出的第三时钟信号处于第一电位，此时该第一时钟控制电路输出的信号 CKB_N 的波形与该第二时钟信号的波形相同。

当该第四时钟信号处于第一电位时，该第六晶体管 M6 开启，该第一时钟信号端 CK1 向该输出控制电路 30 输出该第一时钟信号。示例的，参考图 5，在第二驱动模式 T2 的 t2 阶段中，该第四时钟信号端 CK4 输出的第四时钟信号处于第一电位时，该第三时钟信号处于第二电位，此时第一时钟控制电路 10 向输出控制电路 30 输出的信号 CKB_N 的波形与该第一时钟信号的波形相同。从图 5 中可以看出，由于该第三时钟信号和第四时钟信号同频反

相，因此该第五晶体管 M5 和该第六晶体管 M6 可以交替开启，从而使得该第一时钟控制电路 10 可以向该输出控制电路 30 交替输出第二时钟信号和第一时钟信号。

进一步的，如图 3 所示，该第二时钟控制电路 20 中的第三控制子电路 201 包括：第七晶体管 M7 和第八晶体管 M8；第四控制子电路 202 包括：第九晶体管 M9 和第十晶体管 M10；第二输出子电路 203 包括：第十一晶体管 M11 和第十二晶体管 M12。

参考图 5，该第一驱动模式 T1 中，该第一控制信号为第一电位，该第七晶体管 M7、该第八晶体管 M8 开启，该第一电源信号端 VGH 向第十一晶体管 M11 的栅极输出第一电源信号，该第一电源信号为第一电位，此时该第十一晶体管 M11 开启，该第一时钟信号端 CK1 通过该第十一晶体管 M11 向该输出电路 40 输出该第一时钟信号。该第二电源信号端 VGL 通过该第八晶体管 M8 向第十二晶体管 M12 的栅极输出第二电源信号，该第二电源信号为第二电位，使得该第十二晶体管 M12 关断。参考图 5 可知，该第一驱动模式 T1 中，该第二时钟控制电路 20 向输出电路 40 输出的信号 CK_N 的波形与该第一时钟信号的波形相同。

该第二驱动模式 T2 中，该第二控制信号为第一电位，该第九晶体管 M9 和第十晶体管 M10 开启，该第三时钟信号端 CK3 通过该第九晶体管 M9 向第十一晶体管 M11 的栅极输出该第三时钟信号，该第四时钟信号端 CK4 通过该第十晶体管 M10 向第十二晶体管 M12 的栅极输出该第四时钟信号。当该第三时钟信号处于第一电位时，该第十一晶体管 M11 开启，该第一时钟信号端 CK1 向该输出电路 40 输出该第一时钟信号。示例的，如图 5 所示，在第二驱动模式 T2 中的 t1 和 t3 阶段，该第三时钟信号端 CK3 输出的第三时钟信号处于第一电位，此时该第二时钟控制电路 20 向输出电路 40 输出的信号 CK_N 的波形与该第一时钟信号的波形相同。

当该第四时钟信号处于第一电位时，该第十二晶体管 M12 开启，该第二时钟信号端 CK2 向该输出电路 40 输出该第二时钟信号。示例的，参考图 5，在第二驱动模式 T2 中的 t2 阶段，该第四时钟信号端 CK4 输出的第四时钟信号处于第一电位时，该第三时钟信号处于第二电位，此时第二时钟控制电路 20 向输出电路 40 输出的信号 CK_N 的波形与该第二时钟信号的波形相同。

从图 5 中还可以看出，由于该第三时钟信号和第四时钟信号同频反相，因此该第十一晶体管 M11 和该第十二晶体管 M12 可以交替开启，从而使得该第二时钟控制电路 20 可以向该输出电路 20 交替输出第一时钟信号和第二时钟信号。

5 综上所述，在本公开实施例中，可以通过调整该控制信号端 EN2 输出的控制信号的电位，实现对第二时钟控制电路向输出电路输出的信号 CK_N 的频率的调整。参考图 5，当控制信号端 EN2 的控制信号为第二电位时（例如，各晶体管均为 N 型晶体管，该第二电位为低电位），该移位寄存器单元处于第一驱动模式 T1，在该第一驱动模式下，信号 CK_N 的频率与该第一时钟信号
10 的频率相等。从图 5 中可以看出，第一驱动模式中信号 CK_N 的频率为第二驱动模式中的一半，此时移位寄存器单元对每行像素单元的充电时间较长，该栅极驱动电路对显示装置中各行像素单元扫描一遍所需的时间为第二驱动模式的两倍，此时显示装置的显示分辨率较低，可以实现显示装置的低功耗显示。

15 当控制信号端 EN2 输出的控制信号为第一电位时（例如，各晶体管均为 N 型晶体管，该第一电位为高电位），该移位寄存器单元处于第二驱动模式 T2 中，信号 CK_N 的频率为第一驱动模式 T1 中的两倍，由于移位寄存器单元对像素单元进行驱动时输出的驱动信号即为该信号 CK_N，因此，在该第二驱动模式 T2 中，移位寄存器单元对每行像素单元的充电时间较短，此时
20 该栅极驱动电路对显示装置中各行像素单元扫描一遍所需的时间为第一驱动模式的一半，也即是，在栅极驱动电路以第一驱动模式扫描一遍显示装置中各像素单元所需的时间内，栅极驱动电路在第二驱动模式下能够对显示装置中各行像素单元扫描两遍，因此可以实现显示装置的高清显示。

在本公开一种示例性的实施例中，参考图 5，该第一时钟信号、该第二
25 时钟信号、该第三时钟信号和该第四时钟信号的占空比可以均为二分之一；并且，该第一时钟信号与该第二时钟信号的相位差为 180 度，该第三时钟信号与该第四时钟信号的相位差为 180 度，且该第一时钟信号与该第三时钟信号的相位差为 90 度。

需要说明的是，该第一至第四时钟信号的占空比，以及各个时钟信号之
30 间的相位差还可以根据实际情况进行调整，本公开实施例对此不做限定。示

例的，该第一至第四时钟信号、信号 CK_N 以及信号 CKB_N 的时序图还可以如图 6 所示（图 6 中仅绘制了第二驱动模式 T2 中各信号的时序），其中，该第一时钟信号端 CK1 输出的第一时钟信号的占空比可以为四分之一，该第二时钟信号端 CK2 输出的第二时钟信号的占空比也为四分之一，该第三时钟信号端 CK3 和第四时钟信号端 CK4 输出的时钟信号的占空比均为二分之一，且该第三时钟信号和第四时钟信号等幅反相。对于图 6 所示的各个时钟信号的频率和占空比，在第一驱动模式和第二驱动模式下，信号 CK_N 的频率未发生改变，但该信号 CK_N 的占空比在第一驱动模式下为四分之一，在第二驱动模式下为二分之一。在频率相等的情况下，信号 CK_N 的占空比越高，对每行像素单元的充电时间越长，因此也可以通过改变该移位寄存器单元的驱动信号的占空比来实现对每行像素单元的充电时间的调整。

进一步的，以图 3 所示的移位寄存器单元以及图 5 所示的时序为例，对该移位寄存器单元在任一驱动模式下的工作原理进行介绍。该移位寄存器单元在任一驱动模式下的具体驱动过程均可以包括输入阶段、输出阶段和复位阶段。例如，该任一驱动模式可以为上述第一驱动模式或上述第二驱动模式。

在输入阶段中，从输入信号端 STV 输出的输入信号为第一电位，第一输出控制晶体管 M13 开启，第三电源信号端 CN 向上拉节点 PU 输出第三电源信号，参考图 5，该第三电源信号为第一电位，使该上拉节点 PU 的电位被拉高，此时第三输出控制晶体管 M15 和输出晶体管 M20 开启，第二电源信号端 VGL 向下拉节点 PD 输出第二电源信号，第六输出控制晶体管 M18 关断。此时输出电路 40 向输出端 OUT 输出来自该第二时钟控制电路 20 的信号 CK_N，在该输入阶段，该信号 CK_N 可以为第二电位。

在输出阶段中，该上拉节点保持第一电位，当第二时钟控制电路 20 向该输出电路 40 输出的信号 CK_N 跳变至第一电位时，上拉节点 PU 由于自举效应，其电位被进一步拉高，此时输出晶体管 M20 完全开启，输出电路 40 向输出端 OUT 输出来自该第二时钟控制电路的信号 CK_N 从而实现对一行像素单元的开启（即对该行像素单元进行驱动），使得显示装置中的源极驱动电路能够通过数据线对该行像素单元进行充电，该充电时间即为该信号 CK_N 处于第一电位的时长。参考图 5 可知，信号 CK_N 在第一驱动模式 T1 中每个周期处于第一电位的时长较长，在第二驱动模式中每个周期处于第一

电位的时长较短，因此移位寄存器单元在不同的驱动模式下，对每行像素单元的充电时间不同，由此可以实现显示装置的高清显示或者低功耗显示。

在复位阶段中，复位信号端 RST 输出的复位信号也为第一电位，使得第二输出控制晶体管 M14 开启，第四电源信号端 CNB 向上拉节点 PU 输出第四电源信号，该第四电源信号为第二电位，从而将该上拉节点 PU 的电位下拉为第二电位，并且当第二时钟控制电路 20 向输出电路 40 输出的信号 CK_N 再次跳变至第二电位，且该第一时钟控制电路 10 向输出控制电路 30 输出的信号 CKB_N 处于第一电位时，第五输出控制晶体管 M17 开启，下拉节点 PD 的电位被拉高，第六输出控制晶体管 M18 和第七输出控制晶体管 M19 开启，第二电源信号端 VGL 向上拉节点 PU 和输出端 OUT 分别输出第二电源信号，该第二电源信号为第二电位，此时该移位寄存器单元处于关闭状态，以避免移位寄存器单元的非正常输出对其他行的移位寄存器单元造成影响。

综上所述，本公开实施例提供了一种移位寄存器单元的驱动方法，该驱动方法包括两种驱动模式，在不同的驱动模式下，移位寄存器单元能够向像素单元输出不同频率或者不同占空比的驱动信号，进而可以调整移位寄存器单元对每行像素单元的充电时间。在第一驱动模式下，移位寄存器单元输出的驱动信号的频率较低时，对每行像素单元的充电时间较长，此时显示装置的分辨率较低，可以实现显示装置的低功耗显示；在第二驱动模式下，移位寄存器单元输出的驱动信号的频率较高时，对每行像素单元的充电时间较短，此时显示装置的显示分辨率较高，可以实现显示装置的高清显示，因此丰富了栅极驱动电路对显示装置的驱动方式，提高了驱动的灵活性。

本公开实施例提供了一种栅极驱动电路，该栅极驱动电路可以包括至少两个级联的移位寄存器单元，其中每个移位寄存器单元可以为如图 1 至图 3 任一所示的移位寄存器单元。

本公开实施例提供一种显示装置，该显示装置可以包括栅极驱动电路，该栅极驱动电路可以包括至少两个级联的如图 1 至图 3 任一所示的移位寄存器单元。该显示装置可以为：液晶面板、电子纸、OLED 面板、AMOLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

以上所述仅为本公开的示例实施例，并不用以限制本公开，凡在本公开

的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本公开的保护范围之内。

5 在本文中，诸如“第一”和“第二”等关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个... ..”限定的要素，并不排除
10 在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

15 本公开要求于2016年9月30日递交的中国专利申请第201610875608.8号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1、一种移位寄存器单元，包括：

5 第一时钟控制电路、第二时钟控制电路、输出控制电路和输出电路；其中，

所述第一时钟控制电路分别与第一控制信号端、第二控制信号端、第一电源信号端、第二电源信号端、第一时钟信号端、第二时钟信号端、第三时钟信号端、第四时钟信号端和所述输出控制电路连接，其中，所述第一控制信号端和所述第二控制信号端分别被配置为提供第一控制信号和第二控制信号，所述第一时钟信号端、所述第二时钟信号端、所述第三时钟信号端和所述第四时钟信号端分别被配置为提供第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号；

15 所述第二时钟控制电路分别与所述第一控制信号端、所述第二控制信号端、所述第一电源信号端、所述第二电源信号端、所述第一时钟信号端、所述第二时钟信号端、所述第三时钟信号端、所述第四时钟信号端和所述输出电路连接；

所述输出控制电路分别与所述第一时钟控制电路、输入信号端、复位信号端、所述第二电源信号端、第三电源信号端、第四电源信号端、上拉节点和所述输出端连接，被配置为控制所述上拉节点和所述输出端的电位；

20 所述输出电路分别与所述第二时钟控制电路、所述上拉节点和所述输出端连接，被配置为在所述上拉节点的控制下，向所述输出端输出来自所述第二时钟控制电路的信号；

25 所述第一时钟控制电路被配置为在来自所述第二控制信号端的第二控制信号、来自所述第三时钟信号端的第三时钟信号和来自所述第四时钟信号端的第四时钟信号的控制下，向所述输出控制电路交替输出所述第二时钟信号和所述第一时钟信号，以及所述第二时钟控制电路被配置为在所述第二控制信号、所述第三时钟信号和所述第四时钟信号的控制下，向所述输出电路交替输出所述第一时钟信号和所述第二时钟信号；

30 其中，所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号的频率相同，相位互不相同。

2、根据权利要求 1 所述的移位寄存器单元，其中，

所述第一时钟控制电路还被配置为在来自所述第一控制信号端的第一控制信号的控制下，向所述输出控制电路输出来自所述第二时钟信号端的第二时钟信号；以及

5 所述第二时钟控制电路被配置为在所述第一控制信号的控制下，向所述输出电路输出来自所述第一时钟信号端的第一时钟信号。

3、根据权利要求 1 或 2 所述的移位寄存器单元，其中，所述第一时钟控制电路包括：第一控制子电路、第二控制子电路和第一输出子电路；

10 所述第一控制子电路分别与所述第一控制信号端、所述第一电源信号端、所述第二电源信号端和所述第一输出子电路连接，被配置为在所述第一控制信号的控制下，向所述第一输出子电路输出来自所述第一电源信号端的第一电源信号和来自所述第二电源信号端的第二电源信号；

15 所述第二控制子电路分别与所述第二控制信号端、所述第三时钟信号端、所述第四时钟信号端和所述第一输出子电路连接，被配置为在所述第二控制信号的控制下，向所述第一输出子电路输出所述第三时钟信号和所述第四时钟信号；

20 所述第一输出子电路分别与所述第一控制子电路、所述第二控制子电路、所述第一时钟信号端、所述第二时钟信号端和所述输出控制电路连接，被配置为在所述第一电源信号和所述第二电源信号的控制下，向所述输出控制电路输出所述第二时钟信号；或者，所述第一输出子电路被配置为在所述第三时钟信号和所述第四时钟信号的控制下，向所述输出控制电路交替输出所述第二时钟信号和所述第一时钟信号。

4、根据权利要求 1 或 2 所述的移位寄存器单元，其中，所述第二时钟控制电路，包括：第三控制子电路、第四控制子电路和第二输出子电路；

25 所述第三控制子电路分别与所述第一控制信号端、所述第一电源信号端、所述第二电源信号端和所述第二输出子电路连接，被配置为在所述第一控制信号的控制下，向所述第二输出子电路输出来自所述第一电源信号端的第一电源信号和来自所述第二电源信号端的第二电源信号；

30 所述第四控制子电路分别与所述第二控制信号端、所述第三时钟信号端、所述第四时钟信号端和所述第二输出子电路连接，被配置为在所述第二控制

信号的控制下，向所述第二输出子电路输出所述第三时钟信号和所述第四时钟信号；

所述第二输出子电路分别与所述第三控制子电路、所述第四控制子电路、所述第一时钟信号端、所述第二时钟信号端和所述输出电路连接，被配置为在所述第一电源信号和所述第二电源信号的控制下，向所述输出电路输出所述第一时钟信号；或者，所述第二输出子电路被配置为在所述第三时钟信号和所述第四时钟信号的控制下，向所述输出电路交替输出所述第一时钟信号和所述第二时钟信号。

5、根据权利要求3所述的移位寄存器单元，其中，所述第一控制子电路，
10 包括：第一晶体管和第二晶体管；所述第二控制子电路包括第三晶体管和第四晶体管；所述第一输出子电路包括：第五晶体管和第六晶体管；

所述第一晶体管的栅极与所述第一控制信号端连接，所述第一晶体管的第一极与所述第一电源信号端连接，所述第一晶体管的第二极与所述第五晶体管的栅极连接；

15 所述第二晶体管的栅极与所述第一控制信号端连接，所述第二晶体管的第一极与所述第二电源信号端连接，所述第二晶体管的第二极与所述第六晶体管的栅极连接；

所述第三晶体管的栅极与所述第二控制信号端连接，所述第三晶体管的第一极与所述第三时钟信号端连接，所述第三晶体管的第二极与所述第五晶体管的栅极连接；
20

所述第四晶体管的栅极与所述第二控制信号端连接，所述第四晶体管的第一极与所述第四时钟信号端连接，所述第四晶体管的第二极与所述第六晶体管的栅极连接；

所述第五晶体管的第一极与所述第二时钟信号端连接，所述第五晶体管的第二极与所述输出控制电路连接；
25

所述第六晶体管的第一极与所述第一时钟信号端连接，所述第六晶体管的第二极与所述输出控制电路连接。

6、根据权利要求4所述的移位寄存器单元，其中，所述第三控制子电路包括：第七晶体管和第八晶体管；所述第四控制子电路包括：第九晶体管和第十晶体管；所述第二输出子电路包括：第十一晶体管和第十二晶体管；
30

所述第七晶体管的栅极与所述第一控制信号端连接，所述第七晶体管的第一极与所述第一电源信号端连接，所述第七晶体管的第二极与所述第十一晶体管的栅极连接；

5 所述第八晶体管的栅极与所述第一控制信号端连接，所述第八晶体管的第一极与所述第二电源信号端连接，所述第八晶体管的第二极与所述第十二晶体管的栅极连接；

所述第九晶体管的栅极与所述第二控制信号端连接，所述第九晶体管的第一极与所述第三时钟信号端连接，所述第九晶体管的第二极与所述第十一晶体管的栅极连接；

10 所述第十晶体管的栅极与所述第二控制信号端连接，所述第十晶体管的第一极与所述第四时钟信号端连接，所述第十晶体管的第二极与所述第十二晶体管的栅极连接；

所述第十一晶体管的第一极与所述第一时钟信号端连接，所述第十一晶体管的第二极与所述输出电路连接；

15 所述第十二晶体管的第一极与所述第二时钟信号端连接，所述第十二晶体管的第二极与所述输出电路连接。

7、根据权利要求 1-6 任一项所述的移位寄存器单元，其中，所述输出控制电路包括：第一输出控制晶体管、第二输出控制晶体管、第三输出控制晶体管、第四输出控制晶体管、第五输出控制晶体管、第六输出控制晶体管和
20 第七输出控制晶体管；

所述第一输出控制晶体管的栅极与所述输入信号端连接，所述第一输出控制晶体管的第一极与所述第三电源信号端连接，所述第一输出控制晶体管的第二极与所述上拉节点连接；

25 所述第二输出控制晶体管的栅极与所述复位信号端连接，所述第二输出控制晶体管的第一极与所述第四电源信号端连接，所述第二输出控制晶体管的第二极与所述上拉节点连接；

所述第三输出控制晶体管的栅极与所述上拉节点连接，所述第三输出控制晶体管的第一极与所述第二电源信号端连接，所述第三输出控制晶体管的第二极与所述下拉节点连接；

30 所述第四输出控制晶体管的栅极与所述输出端连接，所述第四输出控制

晶体管的第一极与所述第二电源信号端连接，所述第四输出控制晶体管的第一极与所述第二极与所述下拉节点连接；

所述第五输出控制晶体管的栅极和第一极与所述第一时钟控制电路连接，所述第五输出控制晶体管的第二极与所述下拉节点连接；

5 所述第六输出控制晶体管的栅极与所述下拉节点连接，所述第六输出控制晶体管的第一极与所述第二电源信号端连接，所述第六输出控制晶体管的第二极与所述上拉节点连接；

所述第七输出控制晶体管的栅极与所述下拉节点连接，所述第七输出控制晶体管的第一极与所述第二电源信号端连接，所述第七输出控制晶体管的第二极与所述输出端连接。

10 8、根据权利要求 1-7 任一项所述的移位寄存器单元，其中，所述输出电路包括：输出晶体管和电容器；

所述输出晶体管的栅极与所述上拉节点连接，所述输出晶体管的第一极与所述第二时钟控制电路连接，所述输出晶体管的第二极与所述输出端连接；

15 所述电容器的一端与所述上拉节点连接，另一端与所述输出端连接。

9、根据权利要求 1 至 8 任一项所述的移位寄存器单元，其中，

所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号的占空比均为二分之一；

所述第一时钟信号与所述第二时钟信号的相位差为 180 度，所述第三时钟信号与所述第四时钟信号的相位差为 180 度，且所述第一时钟信号与所述第三时钟信号的相位差为 90 度。

10、根据权利要求 5 至 8 任一项所述的移位寄存器单元，其中，所述晶体管均为 N 型晶体管。

11、一种移位寄存器单元的驱动方法，其中，所述移位寄存器单元包括：
25 第一时钟控制电路、第二时钟控制电路、输出控制电路和输出电路，所述方法包括：

在第一驱动模式中，第一控制信号端输出的第一控制信号为第一电位，第二控制信号端输出的第二控制信号为第二电位，通过所述第一时钟控制电路向所述输出控制电路输出来自第二时钟信号端的第二时钟信号，通过所述
30 第二时钟控制电路向所述输出电路输出来自第一时钟信号端的第一时钟信

号；

5 在第二驱动模式中，第一控制信号端输出的第一控制信号为第二电位，第二控制信号端输出的第二控制信号为第一电位，第三时钟信号端输出第三时钟信号，第四时钟信号端输出第四时钟信号，通过所述第一时钟控制电路向所述输出控制电路交替输出所述第二时钟信号和所述第一时钟信号，通过所述第二时钟控制电路向所述输出电路交替输出所述第一时钟信号和所述第二时钟信号；

其中，所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号的频率相同，相位互不相同。

10 12、根据权利要求 11 所述的方法，其中，所述第一驱动模式和所述第二驱动模式中的任一驱动模式包括：

输入阶段，其中，输入信号端输出的输入信号为第一电位，所述输出控制电路将上拉节点的电位上拉为第一电位；

15 输出阶段，其中，所述上拉节点保持第一电位，所述输出电路接收并输出来自所述第二时钟控制电路的信号；

复位阶段，其中，复位信号端输出的复位信号为第一电位，所述输出控制电路控制所述上拉节点的电位为第二电位。

13、根据权利要求 11 或 12 所述的方法，其中，

20 所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号的占空比均为二分之一；

所述第一时钟信号与所述第二时钟信号的相位差为 180 度，所述第三时钟信号与所述第四时钟信号的相位差为 180 度，且所述第一时钟信号与所述第三时钟信号的相位差为 90 度。

14、一种栅极驱动电路，包括：

25 至少两个级联的移位寄存器单元，其中各所述移位寄存器单元为如权利要求 1 至 10 任一所述的移位寄存器单元。

15、一种显示装置，包括：如权利要求 14 所述的栅极驱动电路。

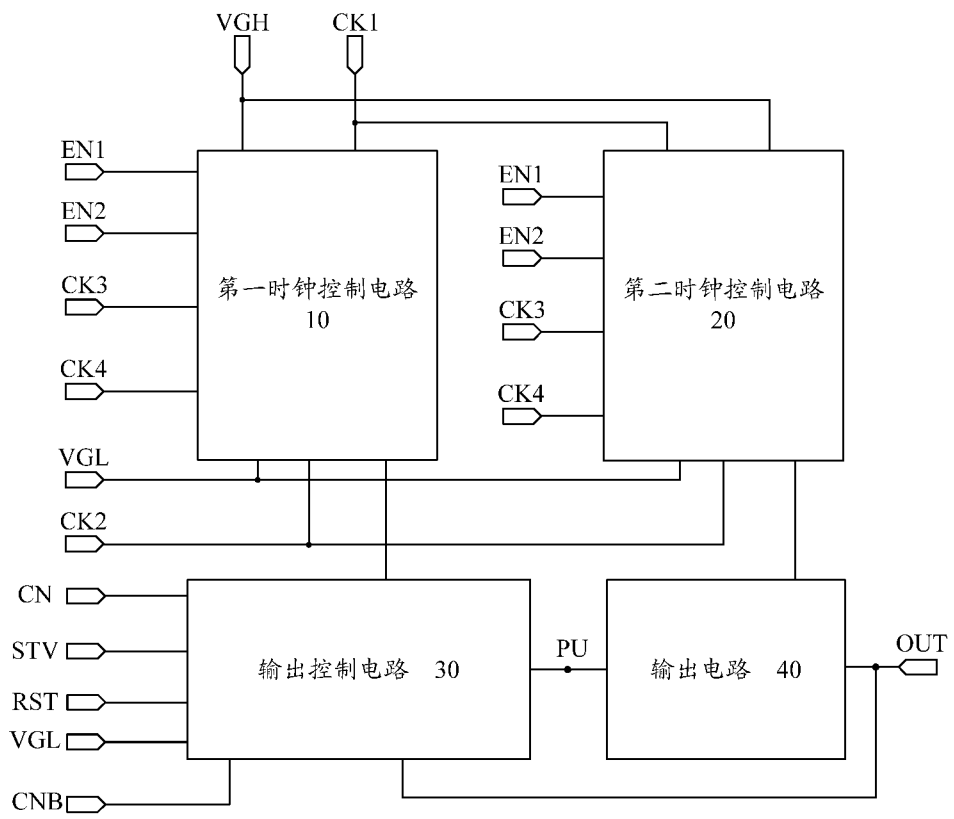


图 1

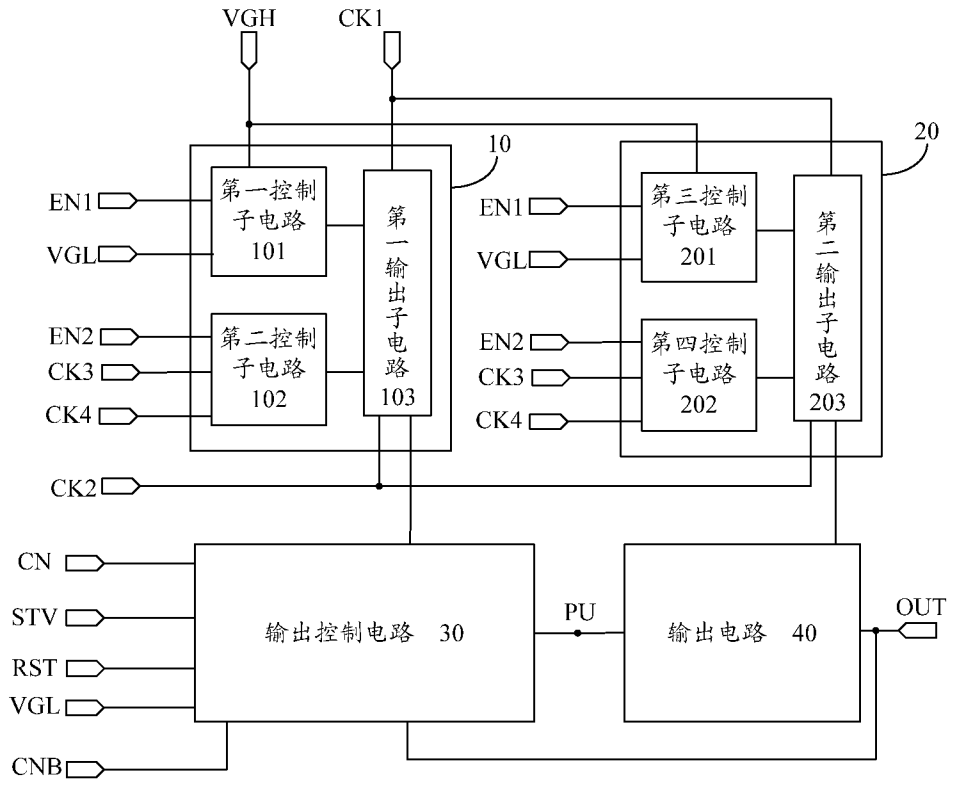


图 2

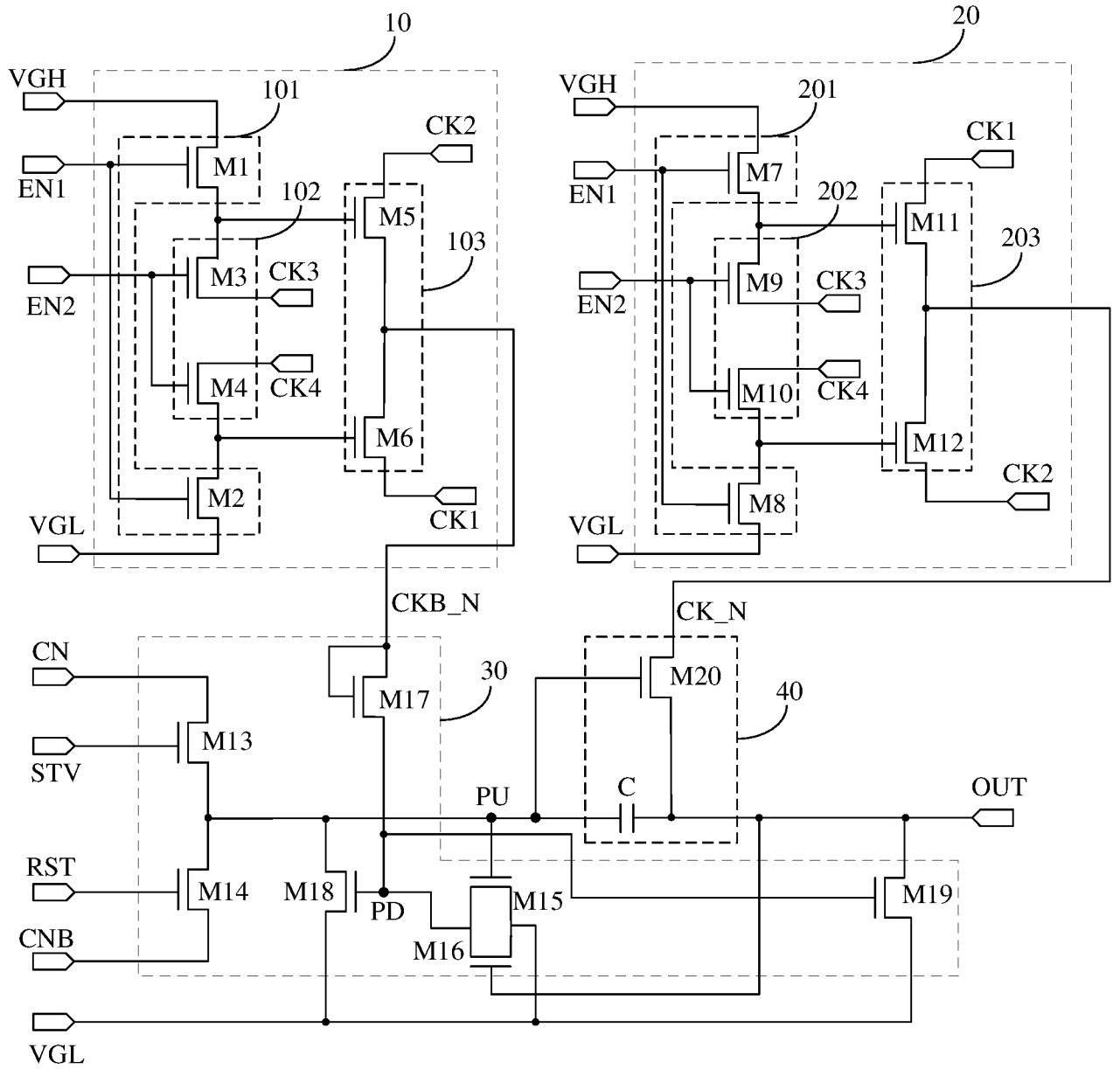


图 3

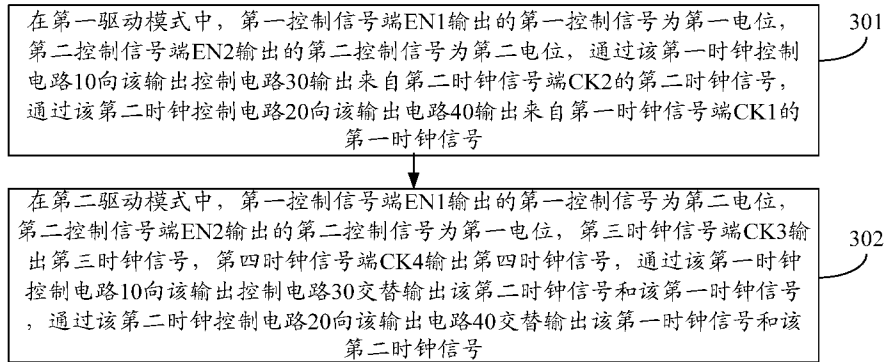


图 4

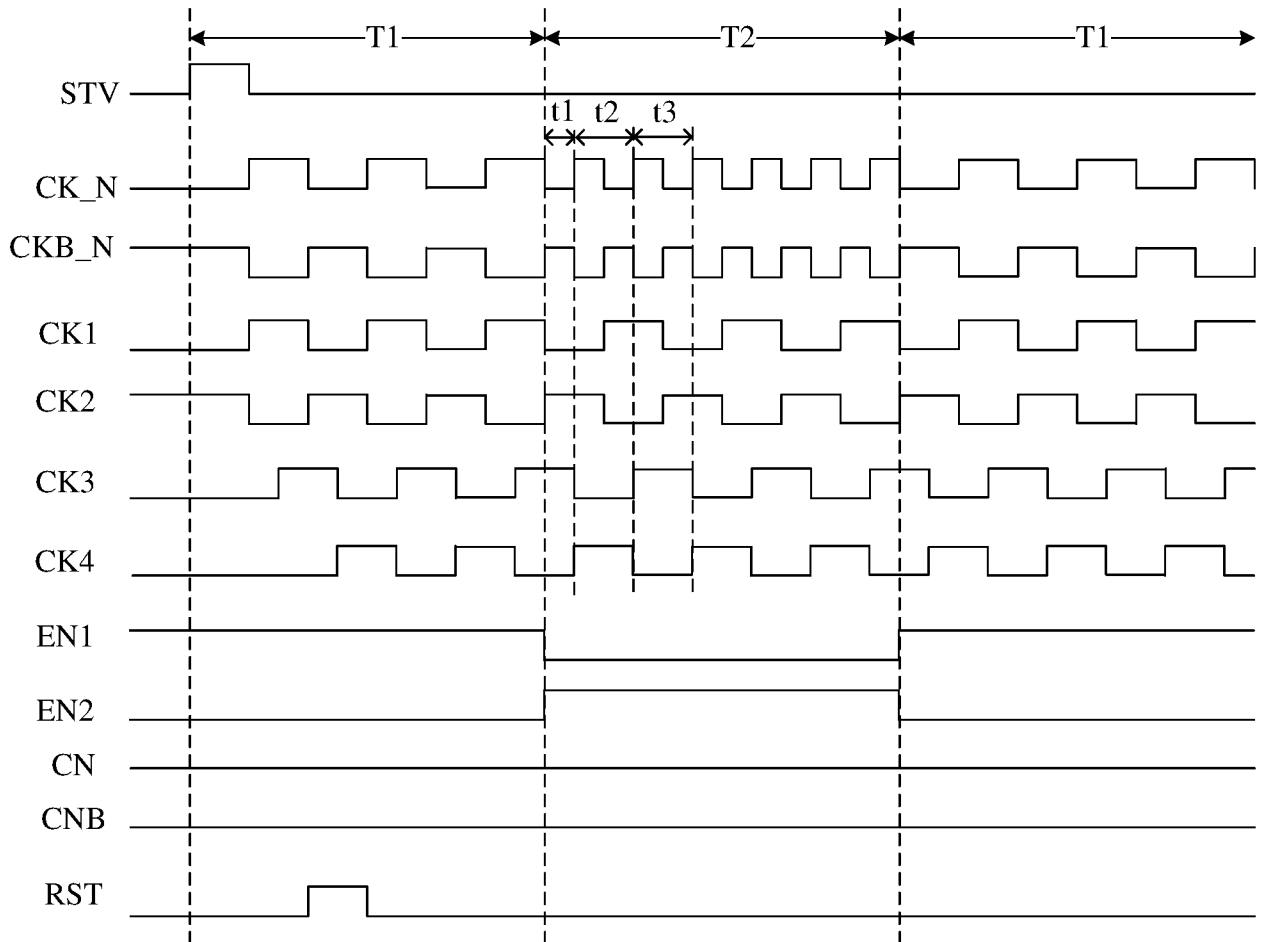


图 5

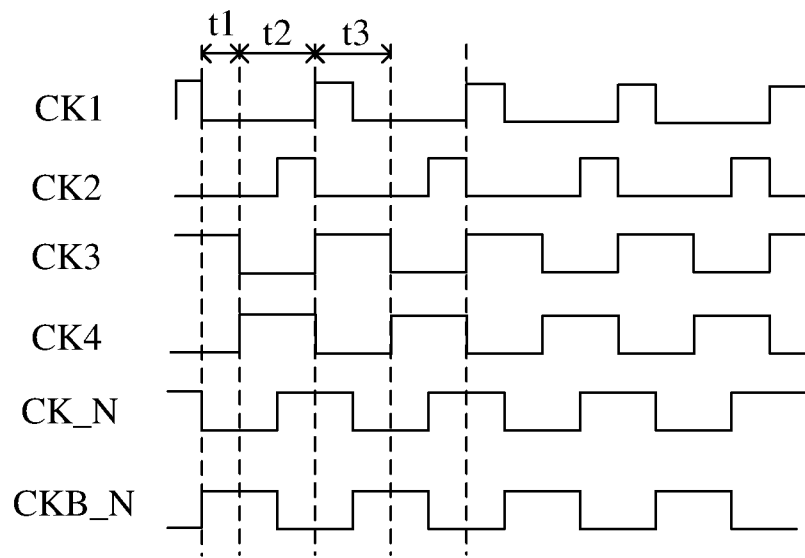


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN20 17/0927 12

A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/20 (2006.01) i; G11C 19/28 (2006.01) i		
According to International Patent Classification (IPC) of to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
G09Q G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, WPI, EPODOC, CNKI: 李艳, 时凌云, 孙伟, 谢晓波, 移位寄存器, 时钟, 控制电路, 控制模块, 控制单元, 第一, 第二, 第三, 第四, 电源, 复位, 上拉, 下拉, 交替, 相位, 频率, 扫描时间, 固定, 占空比, 充电, 灵活, shift 1w register, clock, control, first, second, third, fourth, power, reset, pull, up, down, alternate, phase, frequency, scan, duty 1w ratio, charge, VGH, VGL		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106205461 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 07 December 2016 (07.12.2016), description, paragraphs [0032]-[0103], and figures 1-6	1-15
A	CN 104269145 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 07 January 2015 (07.01.2015), description, paragraphs [0073]-[0100], and figures 1-3b	1-15
A	CN 103730089 A (BOE TECHNOLOGY GROUP CO., LTD.), 16 April 2014 (16.04.2014), entire document	1-15
A	CN 103198781 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 10 July 2013 (10.07.2013), entire document	1-15
A	US 2015301415 A I (SHARP KABUSHIKI KAISHA), 22 October 2015 (22.10.2015), entire document	1-15
A	US 2011150169 A I (AU OPTRONICS CORP.), 23 June 2011 (23.06.2011), entire document	1-15
<u>II</u> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
18 September 2017	17 October 2017	
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Shixing Telephone No. (86-10) 62413445	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN20 17/0927 12

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106205461 A	07 December 2016	None	
CN 104269145 A	07 January 2015	CN 104269145 B	06 July 2016
CN 103730089 A	16 April 2014	US 2016019840 A I	21 January 2016
		CN 103730089 B	25 November 2015
		US 9514683 B2	06 December 2016
		WO 2015096387 A I	02 July 2015
CN 103198781 A	10 July 2013	US 2015302935 A I	22 October 2015
		US 9502135 B2	22 November 2016
		KR 20140127217 A	03 November 2014
		EP 2963635 A I	06 January 2016
		WO 2014131250 A I	04 September 2014
		KR 101661479 B I	30 September 2016
		CN 103198781 B	29 April 2015
		JP 2016516254 A	02 June 2016
US 2015301415 A I	22 October 2015	WO 2014069279 A I	08 May 2014
		JP 6029247 B2	24 November 2016
		JPWO 2014069279 A I	08 September 2016
US 2011150169 A I	23 June 2011	TW 201123728 A	01 July 2011
		TW 1384756 B	01 February 2013
		US 8098791 B2	17 January 2012

<p>A. 主题的分类</p> <p>G09G 3/20 (2006. 01) i ; G11C 19/28 (2006. 01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>G09G ; G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>CNPAT, WPI, EPODOC, CNKI 李艳, 时凌云, 孙伟, 谢晓波, 移位寄存器, 时钟, 控制电路, 控制模块, 控制单元, 第一, 第二, 第三, 第四, 电源, 复位, 上拉, 下拉, 交替, 相位, 频率, 扫描时间, 固定, 占空比, 充电, 灵活, shift I W register, clock, control, first, second, third, fourth, power, reset, pull, up, down, alternate, phase, frequency, scan, duty I w ratio, charge, VGH, VGL</p>																							
<p>c. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 106205461 A (京东方科技集团股份有限公司等) 2016 年 12 月 7 日 (2016 - 12 - 07) 说明书第 [0032] - [01(x)] 段, 附图 1-6</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 104269145 A (京东方科技集团股份有限公司等) 2015 年 1 月 7 日 (2015 - 01 - 07) 说明书第 [0073] - [0100] 段, 附图 1-3b</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 103730089 A (京东方科技集团股份有限公司) 2014 年 4 月 16 日 (2014 - 04 - 16) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 103198781 A (合肥京东方光电科技有限公司等) 2013 年 7 月 10 日 (2013 - 07 - 10) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2015301415 AI (SHARP KABUSHIKI KAISHA) 2015 年 10 月 22 日 (2015 - 10 - 22) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2011150169 AI (AU OPTRONICS CORP.) 2011 年 6 月 23 日 (2011 - 06 - 23) 全文</td> <td>1-15</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: "A" 认为特别相关的显示了现有技术一般状态的文件 "E" 在国 e 申请日的当天或之后公布的在先申请或专利 "L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) "O" 涉及口头公开、使用、展览或其他方式公开的文件 "P" 公布日先于国际申请日但迟于所要求的优先权日的文件 "T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 "X" 特别相悖文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 "Y" 特别相悖文件, 当该文件与岩仁或者齐篇类文件结合时, 这种组合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 "&" 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 106205461 A (京东方科技集团股份有限公司等) 2016 年 12 月 7 日 (2016 - 12 - 07) 说明书第 [0032] - [01(x)] 段, 附图 1-6	1-15	A	CN 104269145 A (京东方科技集团股份有限公司等) 2015 年 1 月 7 日 (2015 - 01 - 07) 说明书第 [0073] - [0100] 段, 附图 1-3b	1-15	A	CN 103730089 A (京东方科技集团股份有限公司) 2014 年 4 月 16 日 (2014 - 04 - 16) 全文	1-15	A	CN 103198781 A (合肥京东方光电科技有限公司等) 2013 年 7 月 10 日 (2013 - 07 - 10) 全文	1-15	A	US 2015301415 AI (SHARP KABUSHIKI KAISHA) 2015 年 10 月 22 日 (2015 - 10 - 22) 全文	1-15	A	US 2011150169 AI (AU OPTRONICS CORP.) 2011 年 6 月 23 日 (2011 - 06 - 23) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
PX	CN 106205461 A (京东方科技集团股份有限公司等) 2016 年 12 月 7 日 (2016 - 12 - 07) 说明书第 [0032] - [01(x)] 段, 附图 1-6	1-15																					
A	CN 104269145 A (京东方科技集团股份有限公司等) 2015 年 1 月 7 日 (2015 - 01 - 07) 说明书第 [0073] - [0100] 段, 附图 1-3b	1-15																					
A	CN 103730089 A (京东方科技集团股份有限公司) 2014 年 4 月 16 日 (2014 - 04 - 16) 全文	1-15																					
A	CN 103198781 A (合肥京东方光电科技有限公司等) 2013 年 7 月 10 日 (2013 - 07 - 10) 全文	1-15																					
A	US 2015301415 AI (SHARP KABUSHIKI KAISHA) 2015 年 10 月 22 日 (2015 - 10 - 22) 全文	1-15																					
A	US 2011150169 AI (AU OPTRONICS CORP.) 2011 年 6 月 23 日 (2011 - 06 - 23) 全文	1-15																					
国际检索实际完成的日期	国际检索报告邮寄日期																						
2017 年 9 月 18 日	2017 年 10 月 17 日																						
ISA/CN 的名称和邮寄地址	受权官员																						
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路 6 号 100088	杨世兴																						
传真号 (86-10) 62019451	电话号码 (86-10) 62413445																						

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN20 17/0927 12

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 106205461 A	2016 年 12 月 7 日	无	
CN 104269145 A	2015 年 1 月 7 日	CN 104269145 B	2016 年 7 月 6 日
CN 103730089 A	2014 年 4 月 16 日	US 2016019840 A1	2016 年 1 月 21 日
		CN 103730089 B	2015 年 11 月 25 日
		US 9514683 B2	2016 年 12 月 6 日
		wo 2015096387 A1	2015 年 7 月 2 日
CN 103198781 A	2013 年 7 月 10 日	us 2015302935 A1	2015 年 10 月 22 日
		us 9502135 B2	2016 年 11 月 22 日
		KR 20140127217 A	2014 年 11 月 3 日
		EP 2963635 A1	2016 年 1 月 6 日
		WO 2014131250 A1	2014 年 9 月 4 日
		KR 101661479 B1	2016 年 9 月 30 日
		CN 103198781 B	2015 年 4 月 29 日
		JP 2016516254 A	2016 年 6 月 2 日
US 2015301415 A1	2015 年 10 月 22 日	wo 2014069279 A1	2014 年 5 月 8 日
		JP 6029247 B2	2016 年 11 月 24 日
		JPWO 2014069279 A1	2016 年 9 月 8 日
US 201 1150169 A1	2011 年 6 月 23 日	TW 201123728 A	2011 年 7 月 1 日
		TW 1384756 B	2013 年 2 月 1 日
		us 8098791 B2	2012 年 1 月 17 日