



(12) 发明专利申请

(10) 申请公布号 CN 119586347 A

(43) 申请公布日 2025. 03. 07

(21) 申请号 202380054249.8

(22) 申请日 2023.05.11

(30) 优先权数据

2022-125751 2022.08.05 JP

(85) PCT国际申请进入国家阶段日

2025.01.16

(86) PCT国际申请的申请数据

PCT/JP2023/017802 2023.05.11

(87) PCT国际申请的公布数据

W02024/029153 JA 2024.02.08

(71) 申请人 株式会社电装

地址 日本

(72) 发明人 永井昂哉

(74) 专利代理机构 永新专利商标代理有限公司

72002

专利代理人 吕文卓

(51) Int.Cl.

H10D 12/00 (2025.01)

H10D 64/27 (2025.01)

H10D 62/10 (2025.01)

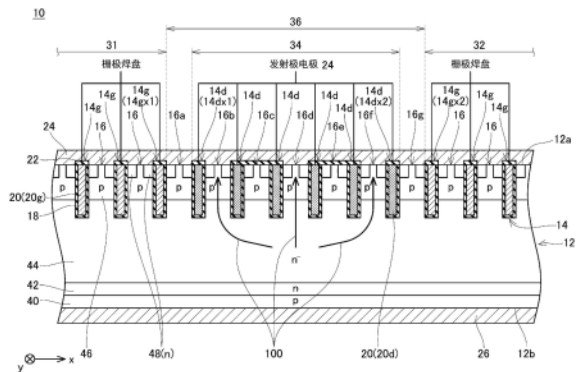
权利要求书2页 说明书7页 附图8页

(54) 发明名称

绝缘栅型双极晶体管

(57) 摘要

在IGBT中得到IE效应并抑制门锁。一种绝缘栅型双极晶体管,具有第1有源区域(31)、第2有源区域(32)以及非有源区域(34),非有源区域配置在第1有源区域与第2有源区域之间并且配置有多个伪沟槽。在第1边界栅极沟槽(14gx1)与第2边界栅极沟槽(14gx2)之间的区域即空穴积蓄区域(36)内,以满足以下条件的方式配置有沟槽间区域:•在非有源区域内配置有多个非接触沟槽间区域;•在非有源区域内配置有至少1个接触沟槽间区域;•在空穴积蓄区域内非接触沟槽间区域彼此不相邻。



1. 一种绝缘栅型双极晶体管,其特征在于,具有:
 - 半导体衬底(12),在上表面设有隔开间隔配置的多个沟槽(14);
 - 发射极电极(24),设在上述半导体衬底的上述上表面;
 - 集电极电极(26),设在上述半导体衬底的下表面;
 - 栅极绝缘膜(18),将各个上述沟槽的内表面覆盖;以及
 - 沟槽电极(20),配置在各个上述沟槽内,被上述栅极绝缘膜从上述半导体衬底绝缘;
 - 上述多个沟槽具有栅极沟槽(14g)和伪沟槽(14d);
 - 上述栅极沟槽内的上述沟槽电极是具有从上述发射极电极独立的电位的栅极电极(20g);
 - 上述伪沟槽内的上述沟槽电极是具有从上述栅极电极独立的电位的伪电极(20d);
 - 上述半导体衬底具有:
 - 第1有源区域(31),配置有多个上述栅极沟槽;
 - 第2有源区域(32),配置有多个上述栅极沟槽;以及
 - 非有源区域(34),配置在上述第1有源区域与上述第2有源区域之间,配置有多个上述伪沟槽;
 - 上述半导体衬底具有:
 - p型的集电极层(40),跨上述第1有源区域、上述第2有源区域及上述非有源区域而分布,与上述集电极电极相接;
 - n型的漂移层(44),跨上述第1有源区域、上述第2有源区域及上述非有源区域而分布,配置在上述集电极层的上部;
 - p型的基极层(46),跨上述第1有源区域、上述第2有源区域及上述非有源区域而分布,配置在上述漂移层的上部,并且配置在位于各个上述沟槽之间的沟槽间区域(16)内;以及
 - n型的多个发射极层(48),配置在上述第1有源区域内和上述第2有源区域内的多个上述沟槽间区域内,与上述栅极绝缘膜相接,与上述发射极电极相接,被上述基极层从上述漂移层分离;
 - 在上述第1有源区域内及上述第2有源区域内的各个上述沟槽间区域中,上述基极层与上述发射极电极相接;
 - 在上述第1有源区域内的上述栅极沟槽中的距上述非有源区域最近的第1边界栅极沟槽(14gx1)与上述第2有源区域内的上述栅极沟槽中的距上述非有源区域最近的第2边界栅极沟槽(14gx2)之间的区域即空穴积蓄区域(36)内,以满足以下条件的方式配置有上述沟槽间区域:
 - 在上述非有源区域内配置有多个非接触沟槽间区域,该非接触沟槽间区域是上述基极层被从上述发射极电极绝缘的上述沟槽间区域;
 - 在上述非有源区域内配置有至少1个接触沟槽间区域,该接触沟槽间区域是上述基极层与上述发射极电极相接的上述沟槽间区域;
 - 在上述空穴积蓄区域内,上述非接触沟槽间区域彼此不相邻。
2. 如权利要求1所述的绝缘栅型双极晶体管,其特征在于,当设上述第1边界栅极沟槽的旁边的上述伪沟槽为第1边界伪沟槽(14dx1)时,上述第1

边界栅极沟槽与上述第1边界伪沟槽之间的上述沟槽间区域是上述接触沟槽间区域,上述第1边界伪沟槽与其旁边的上述伪沟槽之间的上述沟槽间区域是上述接触沟槽间区域;

当设上述第2边界栅极沟槽的旁边的上述伪沟槽为第2边界伪沟槽(14dx2)时,上述第2边界栅极沟槽与上述第2边界伪沟槽之间的上述沟槽间区域是上述接触沟槽间区域,上述第2边界伪沟槽与其旁边的上述伪沟槽之间的上述沟槽间区域是上述接触沟槽间区域。

3. 如权利要求1或2所述的绝缘栅型双极晶体管,其特征在于,

上述半导体衬底具有:

n型的阻挡层(50),跨上述第1有源区域、上述第2有源区域及上述非有源区域而分布,配置在上述基极层的下部,并且配置在各个上述沟槽间区域内;以及

p型的下部基极层(46b),跨上述第1有源区域、上述第2有源区域及上述非有源区域而分布,配置在上述阻挡层与上述漂移层之间,并且配置在各个上述沟槽间区域内。

4. 如权利要求3所述的绝缘栅型双极晶体管,其特征在于,

上述半导体衬底具有从与上述发射极电极相接的位置延伸至上述阻挡层并且对于上述发射极电极进行肖特基接触的n型的多个柱层(52)。

5. 如权利要求1或2所述的绝缘栅型双极晶体管,其特征在于,

上述半导体衬底具有在与上述集电极层邻接的位置与上述集电极电极相接的n型的阴极层(60)。

绝缘栅型双极晶体管

技术领域

[0001] (关联申请的相互参照)

[0002] 本申请是2022年8月5日申请的日本专利申请特愿2022—125751的关联申请,主张基于该日本专利申请的优先权,将该日本专利申请所记载的全部内容作为构成本说明书的内容加以引用。

[0003] 本说明书中公开的技术涉及绝缘栅型双极晶体管。

背景技术

[0004] 在国际公开W02017/033315号中,公开了一种绝缘栅型晶体管(以下称作IGBT: insulated gate bipolar transistor)。在该IGBT中,在半导体衬底的表面设有多个沟槽。在各沟槽内设有栅极电极和伪电极。栅极电极具有从发射极电极独立的电位。伪电极具有从栅极电极独立的电位。在设有栅极电极的区域(以下称作有源区域)中,当对栅极电极施加了规定电位时在基极层(base layer)内形成沟道。因而,有源区域作为IGBT发挥功能。在设有伪电极的区域(以下称作非有源区域)中,在基极层内不形成沟道。因而,非有源区域不作为IGBT发挥功能。在非有源区域内,基极层不与发射极电极连接。

[0005] 当IGBT导通时,空穴从集电极层流入到漂移层中。流入到漂移层内的空穴经由基极层向发射极电极流动。在非有源区域中由于基极层不与发射极电极连接,所以在非有源区域内空穴不向发射极电极流动。因此,在该IGBT中,空穴容易积蓄在漂移层内。因而,由于所谓的IE(injection enhanced(注入增强))效应,漂移层的电阻降低。因此,该IGBT的导通电压较低。

发明内容

[0006] IGBT导通时积蓄在漂移层内的空穴当IGBT关断(turn off)时经由基极层向发射极电极流动。如上述那样,在国际公开W02017/033315号的IGBT中,非有源区域内的基极层不与发射极电极连接。因此,当IGBT关断时,存在于非有源区域内的漂移层内的空穴经由有源区域内的与非有源区域邻接的基极层(即,边界部的基极层)流到发射极电极中。因此,空穴电流集中于边界部的基极层,容易发生闩锁(latch up)。在本说明书中,提出能得到IE效应并且不易发生闩锁的IGBT。

[0007] 本说明书公开的绝缘栅型双极晶体管,具有:半导体衬底,在上表面设有隔开间隔配置的多个沟槽;发射极电极,设在上述半导体衬底的上表面;集电极电极,设在上述半导体衬底的下表面;栅极绝缘膜,将各个上述沟槽的内表面覆盖;以及沟槽电极,配置在各个上述沟槽内,被上述栅极绝缘膜从上述半导体衬底绝缘。上述多个沟槽具有栅极沟槽和伪沟槽。上述栅极沟槽内的上述沟槽电极是具有从上述发射极电极独立的电位的栅极电极。上述伪沟槽内的上述沟槽电极是具有从上述栅极电极独立的电位的伪电极。上述半导体衬底具有:第1有源区域,配置有多个上述栅极沟槽;第2有源区域,配置有多个上述栅极沟槽;以及非有源区域,配置在上述第1有源区域与上述第2有源区域之间,配置有多个上述

伪沟槽。上述半导体衬底具有集电极层、漂移层、基极层及多个发射极层。上述集电极层跨上述第1有源区域、上述第2有源区域及上述非有源区域而分布,是与上述集电极电极相接的p型层。上述漂移层跨上述第1有源区域、上述第2有源区域及上述非有源区域而分布,是配置在上述集电极层的上部的n型层。上述基极层跨上述第1有源区域、上述第2有源区域及上述非有源区域而分布,是配置在上述漂移层的上部并且配置在位于各个上述沟槽之间的沟槽间区域内的p型层。多个上述发射极层配置在上述第1有源区域内和上述第2有源区域内的多个上述沟槽间区域内,是与上述栅极绝缘膜相接并与上述发射极电极相接并且被上述基极层从上述漂移层分离的n型层。在上述第1有源区域内及上述第2有源区域内的各个上述沟槽间区域中,上述基极层与上述发射极电极相接。在上述第1有源区域内的上述栅极沟槽中的距上述非有源区域最近的第1边界栅极沟槽与上述第2有源区域内的上述栅极沟槽中的距上述非有源区域最近的第2边界栅极沟槽之间的区域即空穴积蓄区域内,以满足以下条件方式配置有上述沟槽间区域:

[0008] • 在上述非有源区域内配置有多个非接触沟槽间区域,该非接触沟槽间区域是上述基极层被从上述发射极电极绝缘的上述沟槽间区域;

[0009] • 在上述非有源区域内配置有至少1个接触沟槽间区域,该接触沟槽间区域是上述基极层与上述发射极电极相接的上述沟槽间区域;

[0010] • 在上述空穴积蓄区域内,上述非接触沟槽间区域彼此不相邻。

[0011] 另外,上述的“非接触沟槽间区域彼此相邻”是指多个接触沟槽间区域隔着沟槽而相邻。换言之,上述的“在上述空穴积蓄区域内,上述非接触沟槽间区域彼此不相邻”是指,在空穴积蓄区域内不存在多个接触沟槽间区域隔着沟槽而相邻的部位。

[0012] 在该IGBT导通的情况下,配置在非有源区域中的非接触沟槽间区域抑制了漂移层内的空穴向发射极电极的流动。因此,由于IE效应,漂移层的电阻减小。此外,在非有源区域内,以非接触沟槽间区域彼此不邻接的方式配置有至少1个接触沟槽间区域。因此,当IGBT关断时,积蓄在漂移层中的空穴经过非有源区域内的接触沟槽间区域的基极层向发射极电极流动。因此,非接触沟槽间区域的周边的接触沟槽间区域的基极层中的空穴电流的集中被抑制。因此,闩锁被抑制。如以上这样,该IGBT能得到IE效应并且不易发生闩锁。

附图说明

[0013] 图1是实施例的IGBT的剖视图。

[0014] 图2是比较例的IGBT的剖视图。

[0015] 图3是表示实施例的IGBT的空穴电流密度分布的曲线图。

[0016] 图4是表示比较例的IGBT的空穴电流密度分布的曲线图。

[0017] 图5是按接触沟槽间区域的数量n来表示峰值空穴电流密度的曲线图。

[0018] 图6是第1变形例的IGBT的剖视图。

[0019] 图7是第2变形例的IGBT的剖视图。

[0020] 图8是第3变形例的IGBT的剖视图。

[0021] 图9是第4变形例的IGBT的剖视图。

具体实施方式

[0022] 也可以是,在上述的IGBT中,当设上述第1边界栅极沟槽的旁边的上述伪沟槽为第1边界伪沟槽时,上述第1边界栅极沟槽与上述第1边界伪沟槽之间的上述沟槽间区域是上述接触沟槽间区域,上述第1边界伪沟槽与其旁边的上述伪沟槽之间的上述沟槽间区域是上述接触沟槽间区域。此外,也可以是,当设上述第2边界栅极沟槽的旁边的上述伪沟槽为第2边界伪沟槽时,上述第2边界栅极沟槽与上述第2边界伪沟槽之间的上述沟槽间区域是上述接触沟槽间区域,上述第2边界伪沟槽与其旁边的上述伪沟槽之间的上述沟槽间区域是上述接触沟槽间区域。

[0023] 在栅极沟槽与伪沟槽之间的沟槽间区域中,空穴电流密度容易变高。相对于此,如上述那样,通过将第1边界伪沟槽与其旁边的伪沟槽之间的沟槽间区域以及第2边界伪沟槽与其旁边的伪沟槽之间的沟槽间区域设为接触沟槽间区域,能够抑制栅极沟槽与伪沟槽之间的沟槽间区域中的空穴电流的集中。

[0024] 也可以是,在上述的IGBT中,上述半导体衬底具有阻挡层和下部基极层。也可以是,上述阻挡层是n型层,跨上述第1有源区域、上述第2有源区域及上述非有源区域而分布,配置在上述基极层的下部,并且配置在各个上述沟槽间区域内。也可以是,上述下部基极层是p型层,跨上述第1有源区域、上述第2有源区域及上述非有源区域而分布,配置在上述阻挡层与上述漂移层之间,并且配置在各个上述沟槽间区域内。

[0025] 也可以是,在上述的IGBT中,上述半导体衬底具有从与上述发射极电极相接的位置延伸至上述阻挡层并且对于上述发射极电极进行肖特基接触的n型的多个柱层。

[0026] 也可以是,在上述的IGBT中,上述半导体衬底具有在与上述集电极层邻接的位置与上述集电极电极相接的n型的阴极层。

[0027] 实施例

[0028] 图1所示的实施例的IGBT具有半导体衬底12。在本实施例中,半导体衬底12由硅的单晶构成。但是,半导体衬底12也可以由其他半导体材料(例如,SiC、GaN等)构成。在半导体衬底12的上表面12a,设有多个沟槽14。各沟槽14在上表面12a中沿着y方向(相对于图1的纸面垂直的方向)以直线状延伸。即,各沟槽14相互平行地延伸。多个沟槽14在上表面12a中在与y方向正交的x方向上隔开间隔排列。以下,将位于一对沟槽14之间的各半导体区域称作沟槽间区域16。

[0029] 各沟槽14的内表面被栅极绝缘膜18覆盖。在各沟槽14内,配置有沟槽电极20。各沟槽电极20被栅极绝缘膜18从半导体衬底12绝缘。

[0030] 在半导体衬底12的上部,设有层间绝缘膜22和发射极电极24。层间绝缘膜22将各沟槽电极20的上表面覆盖。发射极电极24将半导体衬底12的上表面12a和层间绝缘膜22覆盖。在半导体衬底12的下部,设有集电极电极26。集电极电极26将半导体衬底12的下表面12b覆盖。

[0031] 多个沟槽电极20具有栅极电极20g和伪电极20d。栅极电极20g被从发射极电极24绝缘。因此,栅极电极20g的电位从发射极电极24的电位独立。栅极电极20g在未图示的位置与栅极焊盘连接。伪电极20d被从栅极电极20g绝缘。因此,伪电极20d的电位从栅极电极20g的电位独立。伪电极20d在未图示的位置(例如,伪电极20d的端部)与发射极电极24电连接。因而,伪电极20d具有与发射极电极24相同的电位(即0V)。以下,将在内部设有栅极电极20g

的沟槽14称作栅极沟槽14g。此外,将在内部设有伪电极20d的沟槽14称作伪沟槽14d。

[0032] 半导体衬底12具有第1有源区域31、第2有源区域32及非有源区域34。在第1有源区域31内配置有多个栅极沟槽14g。在第2有源区域32内配置有多个栅极沟槽14g。在第1有源区域31内及第2有源区域32内没有配置伪沟槽14d。因而,第1有源区域31内及第2有源区域32内的各沟槽间区域16配置在一对栅极沟槽14g之间。非有源区域34在x方向上配置在第1有源区域31与第2有源区域32之间。在非有源区域34内配置有多个伪沟槽14d。在非有源区域34内没有配置栅极沟槽14g。因而,非有源区域34内的各沟槽间区域16配置在一对伪沟槽14d之间。各有源区域31、32和非有源区域34的边界部的各沟槽间区域16配置在栅极沟槽14g与伪沟槽14d之间。以下,将第1有源区域31内的栅极沟槽14g中的配置在距非有源区域34最近的位置的栅极沟槽14g称作第1边界栅极沟槽14gx1。此外,将第2有源区域32内的栅极沟槽14g中的配置在距非有源区域34最近的位置的栅极沟槽14g称作第2边界栅极沟槽14gx2。此外,将第1边界栅极沟槽14gx1与第2边界栅极沟槽14gx2之间的区域称作空穴积蓄区域36。在空穴积蓄区域36中包括非有源区域34。此外,将第1边界栅极沟槽14gx1旁边的伪沟槽14d称作第1边界伪沟槽14dx1。此外,将第2边界栅极沟槽14gx2旁边的伪沟槽14d称作第2边界伪沟槽14dx2。

[0033] 半导体衬底12具有集电极层40、缓冲层42、漂移层44、基极层46及多个发射极层48。

[0034] 集电极层40是p型层,分布在包括半导体衬底12的下表面12b的范围中。集电极层40跨第1有源区域31、第2有源区域32及空穴积蓄区域36而分布。集电极层40在下表面12b中与集电极电极26欧姆接触。

[0035] 缓冲层42是n型层,配置在集电极层40的上部。缓冲层42跨第1有源区域31、第2有源区域32及空穴积蓄区域36而分布。缓冲层42对于集电极层40从上侧相接。

[0036] 漂移层44是n型杂质浓度比缓冲层42低的n型层。漂移层44跨第1有源区域31、第2有源区域32及空穴积蓄区域36而分布。漂移层44配置在集电极层40及缓冲层42的上部。漂移层44对于缓冲层42从上侧相接。漂移层44在与缓冲层42相接的位置分布至与各沟槽14的下端相接的位置。漂移层44在各沟槽14的底面及侧面与栅极绝缘膜18相接。漂移层44的上端部位于各沟槽间区域16内。

[0037] 基极层46是p型层,配置在漂移层44的上部。基极层46跨第1有源区域31、第2有源区域32及空穴积蓄区域36而分布。基极层46配置在各沟槽间区域16内。基极层46对于漂移层44从上侧相接。基极层46在比漂移层44靠上侧的沟槽14的侧面与栅极绝缘膜18相接。

[0038] 各发射极层48是n型层,配置在对应的沟槽间区域16内。在各沟槽间区域16内配置有两个发射极层48。各发射极层48在各沟槽14的上端部与栅极绝缘膜18相接。各发射极层48在比基极层46靠上侧与栅极绝缘膜18相接。各发射极层48与基极层46相接。各发射极层48被基极层46从漂移层44分离。各发射极层48配置在部分地包括上表面12a的范围中。在各沟槽间区域16内的2个发射极层48之间的区域中分布有基极层46。

[0039] 多个沟槽间区域16中包括上表面被层间绝缘膜22覆盖的非接触沟槽间区域和上表面没有被层间绝缘膜22覆盖的接触沟槽间区域。在非接触沟槽间区域中,由层间绝缘膜22将基极层46和发射极层48从发射极电极24绝缘。在接触沟槽间区域中,基极层46和发射极层48与发射极电极24欧姆接触。

[0040] 第1有源区域31内及第2有源区域32内的沟槽间区域16全部是接触沟槽间区域。在空穴积蓄区域36内存在沟槽间区域16a~16g。第1边界栅极沟槽14gx1与第1边界伪沟槽14dx1之间的沟槽间区域16a是接触沟槽间区域。此外,第2边界栅极沟槽14gx2与第2边界伪沟槽14dx2之间的沟槽间区域16g是接触沟槽间区域。非有源区域34内的沟槽间区域16b~16f中包括接触沟槽间区域和非接触沟槽间区域。第1边界伪沟槽14dx1与其旁边的伪沟槽14d之间的沟槽间区域16b是接触沟槽间区域。沟槽间区域16b旁边的沟槽间区域16c是非接触沟槽间区域。沟槽间区域16c旁边的沟槽间区域16d是接触沟槽间区域。沟槽间区域16d旁边的沟槽间区域16e是非接触沟槽间区域。沟槽间区域16e旁边的沟槽间区域16f(即,第2边界伪沟槽14dx2与其旁边的伪沟槽14d之间的沟槽间区域16f)是接触沟槽间区域。这样,在非有源区域34内交替地配置有非接触沟槽间区域和接触沟槽间区域。因此,在空穴积蓄区域36内,非接触沟槽间区域彼此不相邻。

[0041] 接着,对IGBT10的动作进行说明。当IGBT10动作时,对集电极电极26施加比发射极电极24高的电位。此外,栅极电极20g的电位被IGBT10的外部的栅极控制电路控制。栅极电极20g的电位被控制在0V(即,与发射极电极24同电位)与比其高的电位之间。如果栅极电极20g的电位被控制为比栅极阈值高的电位,则在基极层46中的与栅极电极20g对置的范围中形成沟道。由于栅极电极20g配置在第1有源区域31与第2有源区域32内,所以在第1有源区域31与第2有源区域32内的基极层46中形成沟道。通过沟道将发射极层48与漂移层44连接。由于非有源区域34内的伪电极20d与发射极电极24电连接,所以伪电极20d的电位被维持为发射极电极24的电位。因此,在非有源区域34内不形成沟道。如果在第1有源区域31与第2有源区域32内形成沟道,则电子从第1有源区域31与第2有源区域32内的发射极层48经由沟道流入到漂移层44中。于是,空穴从集电极层40经由缓冲层42流入到漂移层44中。由此,漂移层44的电阻下降,电子在漂移层44内低损耗地流动。漂移层44内的电子经由缓冲层42向集电极层流动。通过这样电子流动,IGBT导通。此外,流入到漂移层44内的空穴经由基极层46向发射极电极24流动。但是,由于沟槽间区域16c、16e是非接触沟槽间区域,所以在沟槽间区域16c、16e内空穴不从基极层46向发射极电极24流动。因此,在非有源区域34内,空穴难以向发射极电极24流动,空穴容易被积蓄到漂移层44内。这样,通过在非有源区域34内设置非接触沟槽间区域,空穴容易被积蓄到漂移层44内,能够通过IE效应将漂移层44的电阻降低。因而,该IGBT的导通电压较低。

[0042] 然后,如果使栅极电极20g的电位下降到0V,则沟道消失。于是,电子的流动停止,IGBT10关断。如果IGBT10关断,则存在于漂移层44内的空穴经由基极层46被向发射极电极24排出。如果此时流动的空穴电流集中于特定的沟槽间区域16,则发生闩锁。

[0043] 例如,图2中作为比较例而表示了沟槽间区域16c~16e是非接触沟槽间区域的情况。在此情况下,在沟槽间区域16c~16e的下部的漂移层44中积蓄的空穴如箭头102所示,朝向距沟槽间区域16c~16e最近的接触沟槽间区域即沟槽间区域16b、16f流动。即,空穴电流集中于沟槽间区域16b、16f。于是,在沟槽间区域16b、16f内基极层46的电位上升,所以在沟槽间区域16b、16f内空穴容易从基极层46流入到发射极层48中。在从基极层46流入到发射极层48中的情况下,发生闩锁而在IGBT10中流过高电流,对IGBT10作用较高的负荷。

[0044] 相对于此,在图1的IGBT10中,在包括非有源区域34的空穴积蓄区域36内,多个非接触沟槽间区域不相邻地配置。因而,在非有源区域34内的漂移层44中积蓄的空穴如箭头

100所示,能够经由与非接触沟槽间区域(即,沟槽间区域16c、16e)相邻的接触沟槽间区域(即,沟槽间区域16b、16d、16f)向发射极电极24流动。这样,在实施例的IGBT10中,在关断时空穴电流分散地流动。因此,能够抑制空穴电流集中到特定的沟槽间区域16的情况,能够抑制闩锁。

[0045] 图3表示在图1所示的实施例的IGBT10的关断时流动的空穴电流的密度分布。此外,图4表示在图2所示的比较例的IGBT的关断时流动的空穴电流的密度分布。通过将图3、图4比较可知,在实施例的IGBT10中,由于空穴电流流过沟槽间区域16d从而能够减小沟槽间区域16b、16f中的空穴电流密度。由此,能够减小空穴电流的峰值。

[0046] 另外,如图3所示,在沟槽间区域16a、16g中,与其他沟槽间区域16相比空穴电流密度变高。沟槽间区域16a、16g位于栅极电极20g与伪电极20d之间。伪电极20d被固定为发射极电极24的电位。另一方面,在关断的时点,栅极电极20g的电位具有与栅极阈值接近的电位。因此,在关断的时点,伪电极20d的电位比栅极电极20g的电位低。因而,在沟槽间区域16a、16g中,空穴电流偏倚地流动到距伪电极20d较近的区域中,空穴电流的密度容易变高。因此,如果在非有源区域34内的漂移层44中积蓄的空穴流到沟槽间区域16a、16g中,则沟槽间区域16a、16g的空穴电流密度变得非常高。相对于此,如图1所示,在实施例的IGBT中,相对于沟槽间区域16a、16g在非有源区域34侧相邻的沟槽间区域16b、16f成为接触沟槽间区域。因此,在非有源区域34内的漂移层44中积蓄的空穴大多流到沟槽间区域16b、16f中,抑制了空穴电流集中于沟槽间区域16a、16g的情况。由此,抑制了沟槽间区域16a、16g中的闩锁。

[0047] 图5表示对在沟槽间区域16b~16f中变更了接触沟槽间区域的数量n时的空穴电流密度的峰值进行模拟的结果。在图5中,n=0表示沟槽间区域16b~16f全部是非接触沟槽间区域的情况。n=2表示图2的情况。n=3表示图1的情况。n=4表示沟槽间区域16b、16c、16e、16f是接触沟槽间区域、沟槽间区域16d是非接触沟槽间区域的情况。n=5表示沟槽间区域16b~16f全部是接触沟槽间区域的情况。如图5所示,在n=3的情况下,与n=5的情况大致同等地空穴电流密度的峰值变低。此外,在n=2的情况下,与n=3的情况相比空穴电流密度的峰值变高。

[0048] 如以上说明,根据实施例的IGBT10,能够通过IE效应实现低导通电压,并且能够抑制闩锁。

[0049] 另外,在上述的实施例中,在非有源区域34内配置有5个沟槽间区域16,但非有源区域34内的沟槽间区域16的数量也可以比5多,也可以比5少。此外,在上述的实施例中,栅极沟槽14g与伪沟槽14d之间的沟槽间区域16a、16g是接触沟槽间区域。但是,栅极沟槽14g与伪沟槽14d之间的沟槽间区域16a、16g也可以是非接触沟槽间区域。在此情况下也能够通过在空穴积蓄区域36内使得非接触沟槽间区域不相邻而抑制闩锁。

[0050] 此外,在上述的实施例中,在非有源区域34内设有发射极层48,但也可以在非有源区域34内不设置发射极层48。

[0051] 此外,在上述的实施例中,伪电极20d与发射极电极24电连接。但是,只要伪电极20d的电位从栅极电极20g的电位独立,则也可以如图9所示那样将伪电极20d与发射极电极24以外的焊盘电连接。

[0052] 此外,也可以如图6所示那样,在基极层46内设有n型的阻挡层(barrier layer)

50,由阻挡层50将基极层46分割为上部基极层46a和下部基极层46b。上部基极层46a跨第1有源区域31、第2有源区域32及空穴积蓄区域36而分布。上部基极层46a配置在各沟槽间区域16内。阻挡层50跨第1有源区域31、第2有源区域32及空穴积蓄区域36而分布。阻挡层50配置在上部基极层46a的下部。阻挡层50配置在各沟槽间区域16内。下部基极层46b跨第1有源区域31、第2有源区域32及空穴积蓄区域36而分布。下部基极层46b配置在阻挡层50与漂移层44之间。下部基极层46b配置在各沟槽间区域16内。在该结构中,当IGBT导通时,漂移层44内的空穴经由下部基极层46b、阻挡层50及上部基极层46a向发射极电极24流动。在该结构中,由于由阻挡层50抑制了空穴的流动,所以在漂移层44中更容易积蓄空穴。因而,根据该结构,能够进一步减小IGBT的导通电压。

[0053] 此外,在设置阻挡层50的情况下,如图7所示,也可以设置n型的多个柱层52。各柱层52配置在对应的沟槽间区域16内。各柱层52从与发射极电极24相接的位置延伸至阻挡层50。各柱层52对于发射极电极24肖特基接触。根据该结构,能够更有效地减小IGBT的导通电压。

[0054] 此外,如图8所示,也可以在半导体衬底12内设置n型的阴极层60。阴极层60配置在缓冲层42的下部。阴极层60的n型杂质浓度比缓冲层42的n型杂质浓度高。阴极层60在与集电极层40邻接的位置与集电极电极26欧姆接触。根据该结构,在发射极电极24与集电极电极26之间,由基极层46、漂移层44、缓冲层42及阴极层60构成pn二极管。pn二极管能够作为所谓的续流二极管发挥功能,当对发射极电极24施加了比集电极电极26高的电位时导通。

[0055] 以上,对实施方式详细地进行了说明,但这些不过是例示,并不限定权利要求的范围。在权利要求书所记载的技术中,包括将以上例示的具体例各种各样地变形、变更后的形态。在本说明书或附图中说明的技术要素单独地或通过各种组合发挥技术有用性,并不限定于申请时在权利要求中记载的组合。此外,在本说明书或附图中例示的技术同时达成多个目的,而达成其中1个目的本身即具有技术有用性。

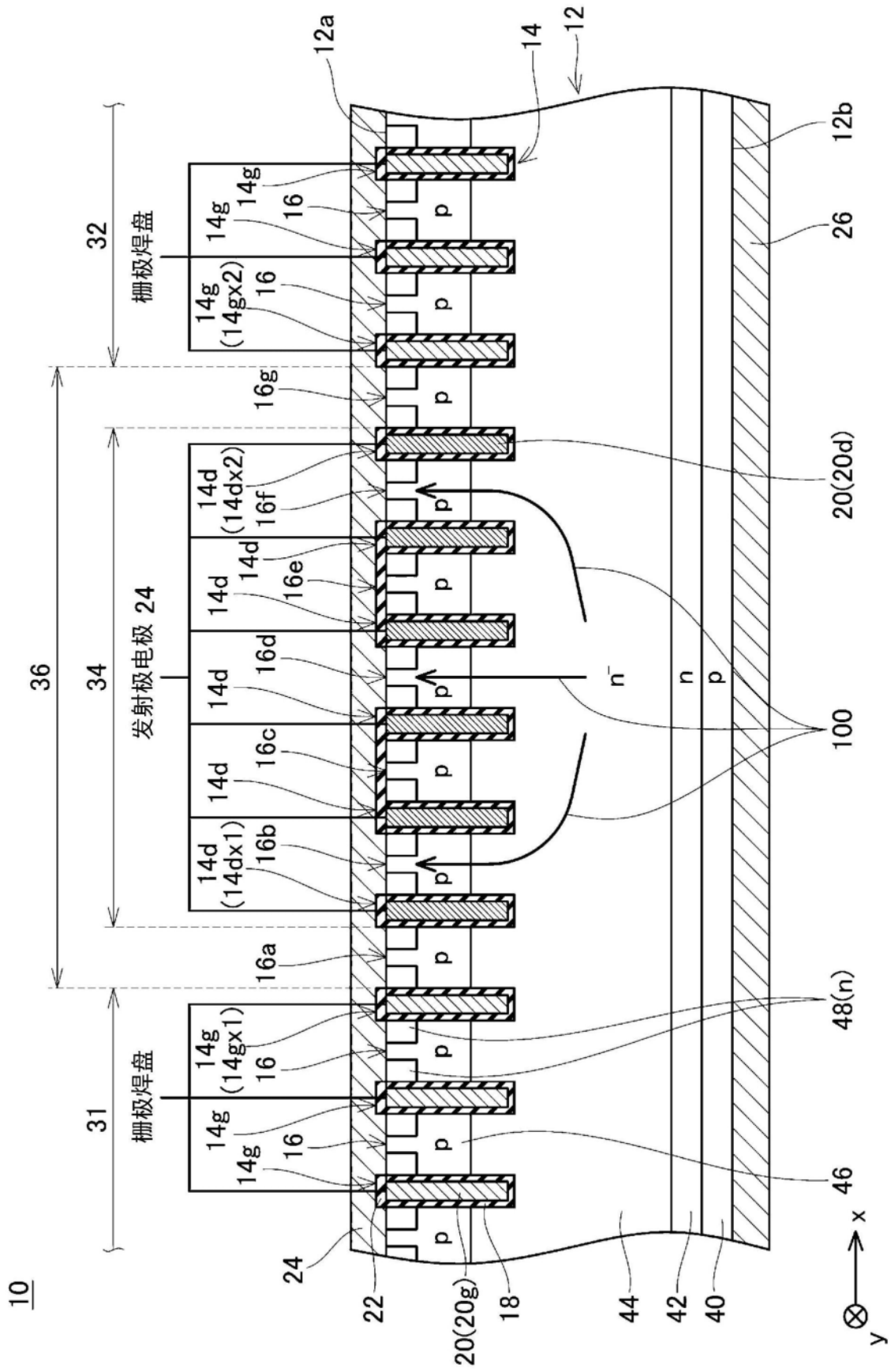


图1

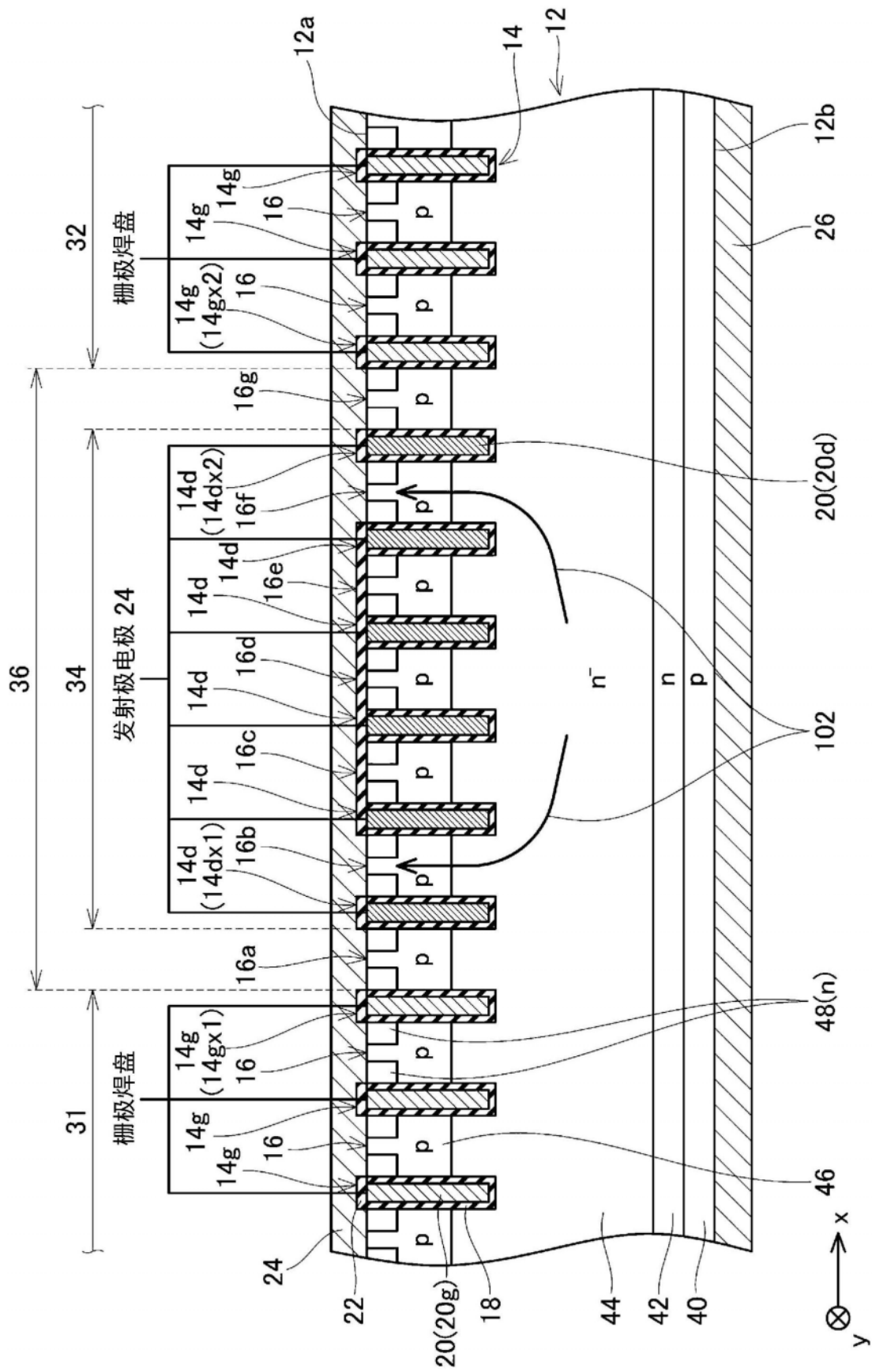


图2

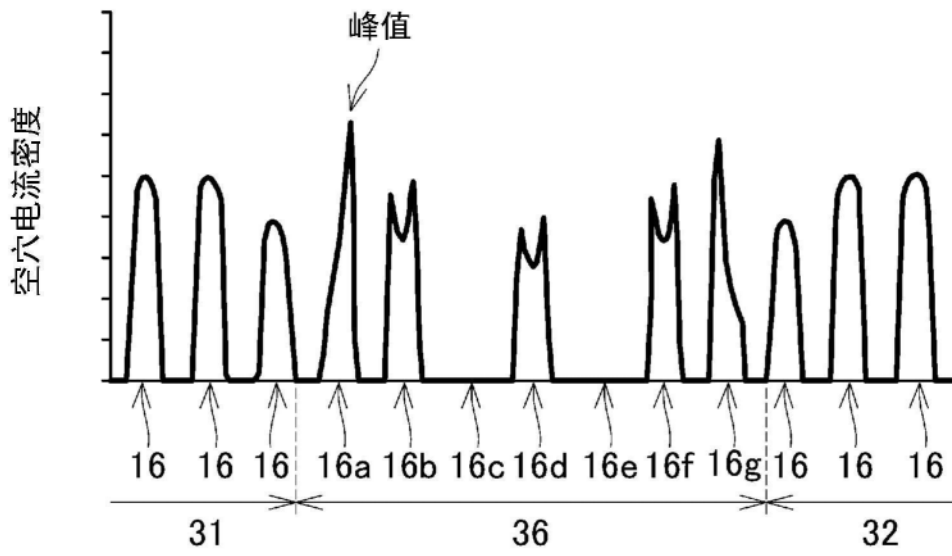


图3

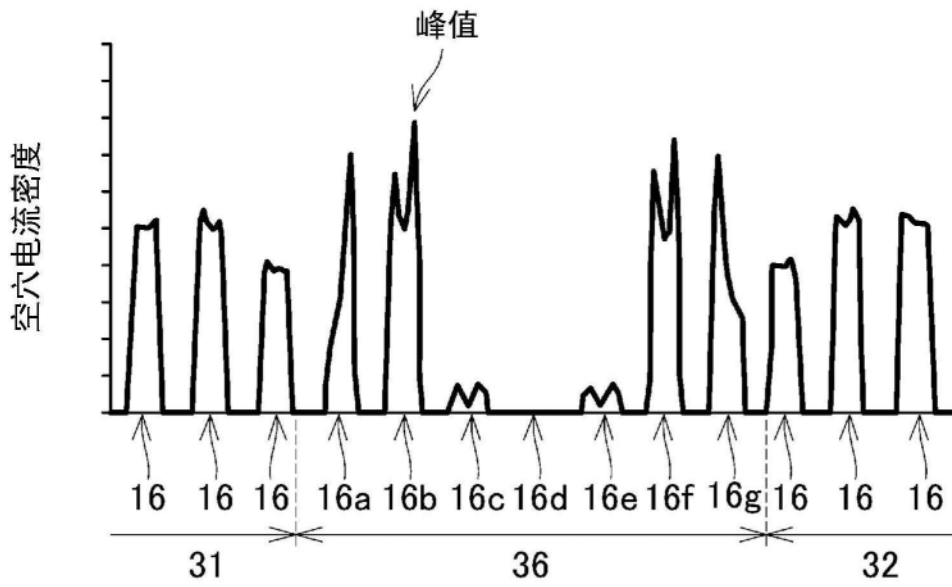


图4

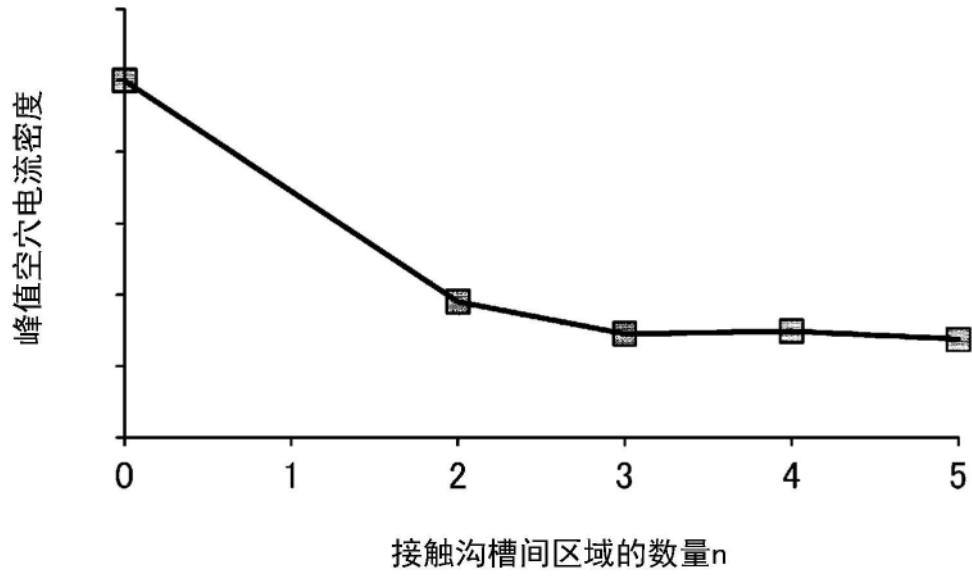


图5

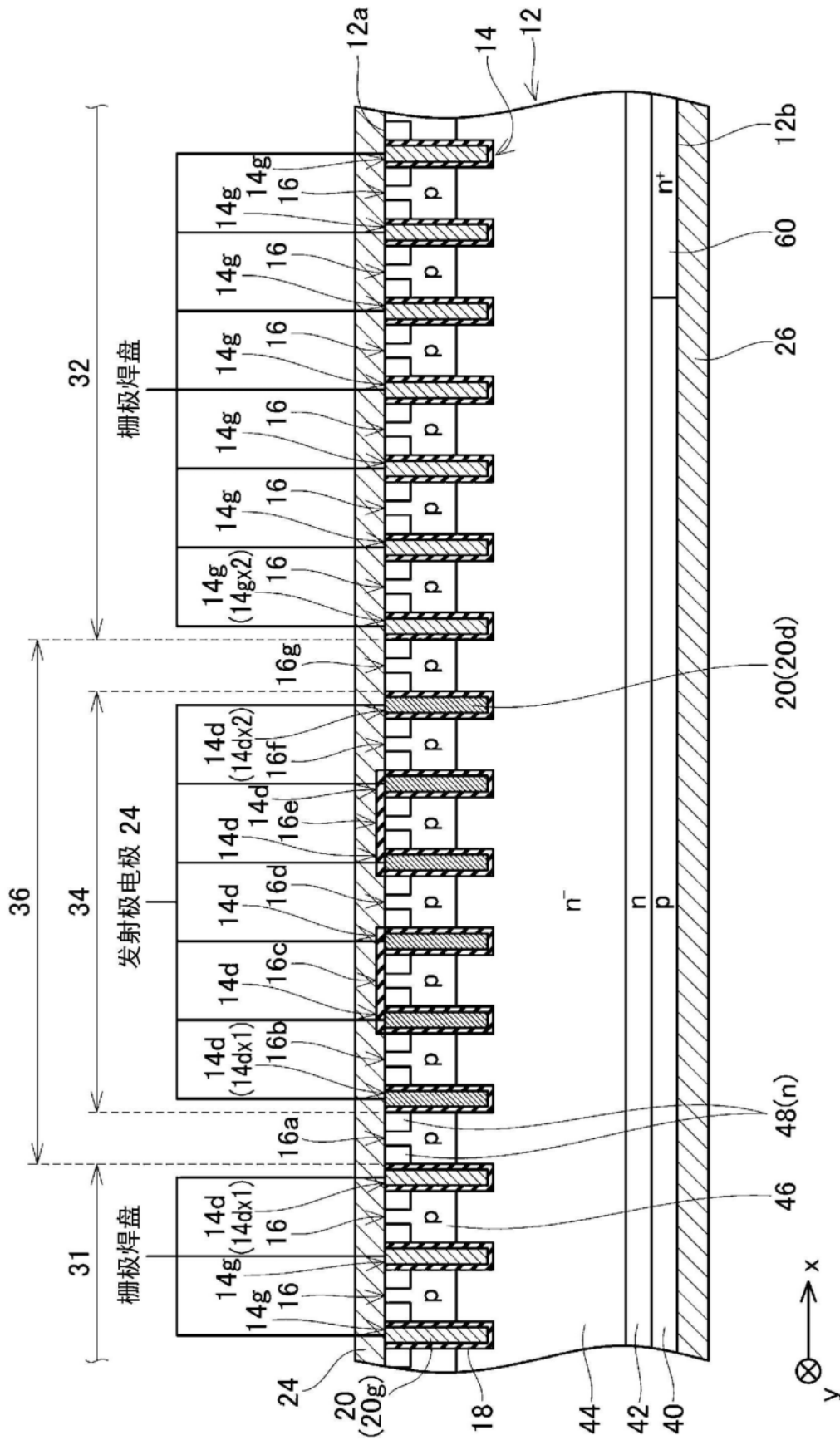


图8

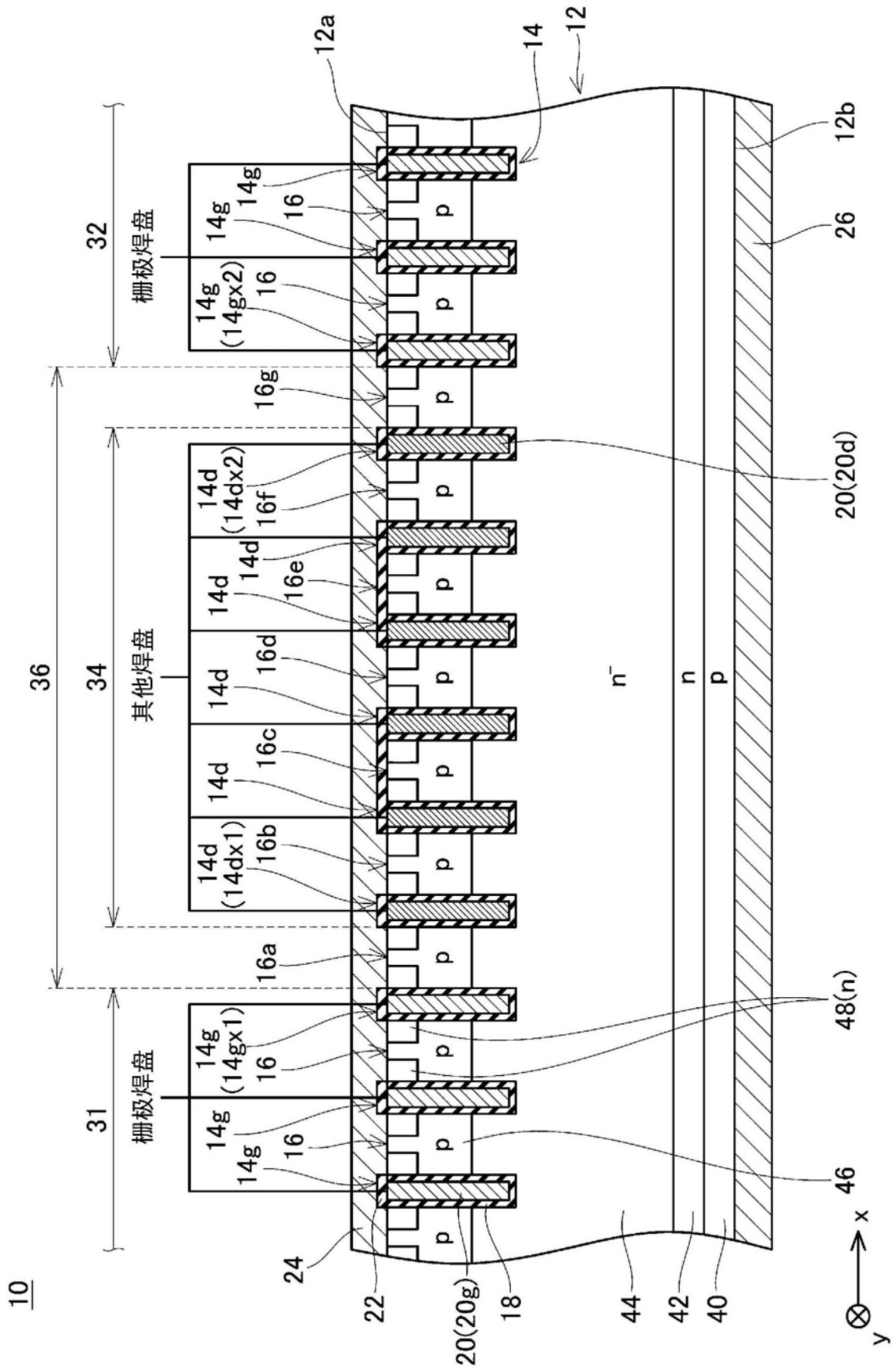


图9