

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-207110
(P2018-207110A)

(43) 公開日 平成30年12月27日(2018.12.27)

(51) Int.Cl.

H01L 21/3205 (2006.01)
H01L 21/768 (2006.01)
H01L 23/532 (2006.01)

F 1

H01L 21/88
H01L 21/88

B

5 F 0 3 3
Q

テーマコード(参考)

審査請求 未請求 請求項の数 25 O L 外国語出願 (全 15 頁)

(21) 出願番号 特願2018-108626 (P2018-108626)
 (22) 出願日 平成30年6月6日 (2018.6.6)
 (31) 優先権主張番号 62/515,968
 (32) 優先日 平成29年6月6日 (2017.6.6)
 (33) 優先権主張国 米国(US)

(71) 出願人 000219967
 東京エレクトロン株式会社
 東京都港区赤坂五丁目3番1号
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (72) 発明者 ス ドウ チエ
 アメリカ合衆国 ニューヨーク州 122
 03 オールバニー フラー ロード 2
 55 スイート 214 ナノファブ 3
 00 サウス

最終頁に続く

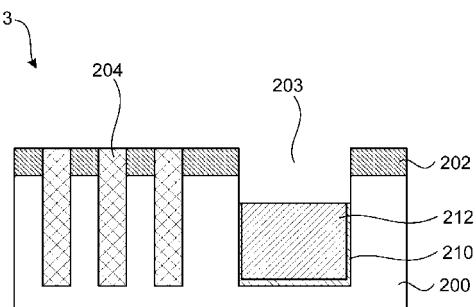
(54) 【発明の名称】二重金属電力レールを有する集積回路の製造方法

(57) 【要約】 (修正有)

【課題】基板における凹状フィーチャ金属充填のための基板処理の方法を提供する。

【解決手段】マイクロ電子デバイスは、水平方向に間隔を置いて配置されたネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャ203を含む基板3を提供するステップと、ネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャをブロッキング材料204で充填するステップと、ブロッキング材料をネステッド凹状フィーチャから除去し、ネステッド凹状フィーチャを第1の金属で充填するステップ及びブロッキング材料をアイソレーテッド凹状フィーチャから除去し、次に、アイソレーテッド凹状フィーチャを、第1の金属とは異なる第2の金属212で充填するステップと、を任意の順序で実行するステップとを含む。第1の金属はRu金属を含み、第2の金属はCu金属を含んでもよい。金属で充填された凹状フィーチャを含む。

【選択図】図3E



【特許請求の範囲】**【請求項 1】**

基板処理の方法であって、

水平方向に間隔を置いて配置されたネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャを含む基板を提供するステップと；

前記ネステッド凹状フィーチャ及び前記アイソレーテッド凹状フィーチャをプロッキング材料で充填するステップと；

a) 逐次的に、最初に、前記プロッキング材料を前記ネステッド凹状フィーチャから除去し、次に、前記ネステッド凹状フィーチャを第1の金属で充填するステップ、及び

b) 逐次的に、最初に、前記プロッキング材料を前記アイソレーテッド凹状フィーチャから除去し、次に、前記アイソレーテッド凹状フィーチャを、前記第1の金属とは異なる第2の金属で充填するステップを任意の順序で実行するステップと；

を含む方法。

【請求項 2】

前記ネステッド凹状フィーチャは所定値よりも小さいフィーチャ幅を有し、前記アイソレーテッド凹状フィーチャは該所定値よりも大きいフィーチャ幅を有する、請求項1に記載の方法。

【請求項 3】

前記第1の金属及び前記第2の金属は、Ru金属、Cu金属、Co金属、W金属、及びAl金属からなる群から選択される、請求項1に記載の方法。

【請求項 4】

前記第1の金属はRu金属を含み、前記第2の金属はCu金属を含む、請求項1に記載の方法。

【請求項 5】

前記プロッキング材料は、SiO₂、SiN、Si、有機誘電体層(ODL)、アモルファスカーボン、スピノンハードマスク(SOH)、又は金属酸化物を含む、請求項1に記載の方法。

【請求項 6】

前記プロッキング材料を前記ネステッド凹状フィーチャ及び前記アイソレーテッド凹状フィーチャから除去するステップは、平坦化プロセスを含む、請求項1に記載の方法。

【請求項 7】

ステップb)はステップa)の前に実施され、当該方法は、前記第1の金属を付着させる前に、前記アイソレーテッド凹状フィーチャ内に前記第2の金属を窪ませるステップをさらに含む、請求項1に記載の方法。

【請求項 8】

基板処理の方法であって、

水平方向に間隔を置いて配置されたネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャを含む基板を提供するステップと、

前記ネステッド凹状フィーチャを第1の金属で充填し、前記アイソレーテッド凹状フィーチャを該第1の金属で部分的に充填するステップと、

前記アイソレーテッド凹状フィーチャを、前記第1の金属とは異なる第2の金属で充填するステップと、を含む方法。

【請求項 9】

前記アイソレーテッド凹状フィーチャを充填するステップが、

前記アイソレーテッド凹状フィーチャをプロッキング材料で充填するステップと、

前記ネステッド凹状フィーチャと前記アイソレーテッド凹状フィーチャとの間の前記第1の金属を除去するステップと、

前記プロッキング材料を前記アイソレーテッド凹状フィーチャから除去するステップと、を含む、請求項8に記載の方法。

【請求項 10】

10

20

30

40

50

前記ネステッド凹状フィーチャは所定値よりも小さいフィーチャ幅を有し、前記アイソレーテッド凹状フィーチャは該所定値よりも大きいフィーチャ幅を有する、請求項 8 に記載の方法。

【請求項 1 1】

前記第 1 の金属及び前記第 2 の金属が、Ru 金属、Cu 金属、Co 金属、W 金属、及び A1 金属からなる群から選択される、請求項 8 に記載の方法。

【請求項 1 2】

前記第 1 の金属は Ru 金属を含み、前記第 2 の金属は Cu 金属を含む、請求項 8 に記載の方法。

【請求項 1 3】

前記プロッキング材料は、SiO₂、SiN、Si、有機誘電体層(ODL)、アモルファスカーボン、スピノンハーダマスク(SOH)、又は金属酸化物を含む、請求項 9 に記載の方法。

【請求項 1 4】

前記第 1 の金属を除去するステップは、平坦化プロセスを含む、請求項 8 に記載の方法。

【請求項 1 5】

基板処理の方法であって、
基板を提供するステップと；
a) 逐次的に、最初に、ネステッド凹状フィーチャを前記基板内に形成し、次に、該ネステッド凹状フィーチャを第 1 の金属で充填するステップ、及び
b) 逐次的に、最初に、前記基板内に前記ネステッド凹状フィーチャから水平方向に間隔を置いて配置されたアイソレーテッド凹状フィーチャを形成し、次に、該アイソレーテッド凹状フィーチャを、前記第 1 の金属とは異なる第 2 の金属で充填するステップと、を任意の順序で実行するステップと；
を含む方法。

【請求項 1 6】

前記ネステッド凹状フィーチャは所定値よりも小さいフィーチャ幅を有し、前記アイソレーテッド凹状フィーチャは該所定値よりも大きいフィーチャ幅を有する、請求項 1 に記載の方法。

【請求項 1 7】

前記第 1 の金属及び前記第 2 の金属は、Ru 金属、Cu 金属、Co 金属、W 金属、及び A1 金属からなる群から選択される、請求項 15 に記載の方法。

【請求項 1 8】

前記第 1 の金属は Ru 金属を含み、前記第 2 の金属は Cu 金属を含む、請求項 15 に記載の方法。

【請求項 1 9】

前記プロッキング材料は、SiO₂、SiN、Si、有機誘電体層(ODL)、アモルファスカーボン、スピノンハーダマスク(SOH)、又は金属酸化物を含む、請求項 15 に記載の方法。

【請求項 2 0】

水平方向に間隔を置いて配置されたネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャを含む基板を含み、

前記ネステッド凹状フィーチャは第 1 の金属で充填され、前記アイソレーテッド凹状フィーチャは、該第 1 の金属とは異なる第 2 の金属で充填された、マイクロ電子デバイス。

【請求項 2 1】

前記第 1 の金属及び前記第 2 の金属は、Ru 金属、Cu 金属、Co 金属、W 金属、及び A1 金属からなる群から選択される、請求項 20 に記載のマイクロ電子デバイス。

【請求項 2 2】

前記第 1 の金属は Ru 金属を含み、前記第 2 の金属は Cu 金属を含む、請求項 20 に記

10

20

30

40

50

載のマイクロ電子デバイス。

【請求項 2 3】

水平方向に間隔を置いて配置されたネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャを含む基板を含み、

前記ネステッド凹状フィーチャは第1の金属で充填され、前記アイソレーテッド凹状フィーチャは該第1の金属及び第2の金属で充填され、

前記第2の金属は前記第1の金属とは異なり、前記アイソレーテッド凹状フィーチャ内において前記第1の金属の上に位置する、マイクロ電子デバイス。

【請求項 2 4】

前記第1の金属及び前記第2の金属は、Ru金属、Cu金属、Co金属、W金属、及びAl金属からなる群から選択される、請求項2 3に記載のマイクロ電子デバイス。 10

【請求項 2 5】

前記第1の金属はRu金属を含み、前記第2の金属はCu金属を含む、請求項2 3に記載のマイクロ電子デバイス。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

この出願は、2017年6月6日付で出願された米国仮特許出願第62/515,968号に関連し、それに対する優先権を主張し、そのすべての内容は参照により本明細書に援用される。 20

【0 0 0 2】

この発明は、基板を処理するための方法に関連し、より詳細には、マイクロ電子デバイスのための凹状フィーチャ金属充填の方法に関連する。

【背景技術】

【0 0 0 3】

集積回路は、様々な半導体デバイスと、半導体デバイスに電力を供給し、これらの半導体デバイスが情報を共有し交換することを可能にする複数の導電金属経路とを含む。集積回路内で、金属層は、金属層を相互に絶縁する金属間及び層間の誘電体層を使用して、互いの上面に積み重ねられる。

【0 0 0 4】

集積回路を製造するための多層メタライゼーションスキームにおける銅(Cu)金属の使用により、 SiO_2 のような誘電体中のCu原子の高い移動度に起因する問題が生じ、Cu原子はSiに電気的欠陥を生む可能性がある。したがって、Cu金属層、Cu充填トレンチ、及びCu充填ビアは、通常、バリア材料で封入されて、Cu原子が誘電体及びSi中に拡散するのを防ぐ。バリア層は、通常、Cuシード付着の前にトレンチ及びビアの側壁及び底部に付着され、好ましくはCuと非反応及び非混合であり、誘電体への良好な接着性を提供し、低い電気抵抗率を提供することができる材料を含んでもよい。 30

【0 0 0 5】

デバイス性能の向上は、通常、デバイス面積の減少又はデバイス密度の増加を伴う。デバイス密度の増加は、より大きなアスペクト比(すなわち、深さと幅の比)を含む、相互接続を形成するために使用されるビア寸法の減少を必要とする。ビア寸法が減少し、アスペクト比が増加するにつれて、ビアの側壁に十分な厚さを有する拡散バリア層を形成しつつ、ビア内に金属層のための十分な体積も提供することができます困難になる。追加的に、ビア及びトレンチの寸法が減少し、ビア及びトレンチ内の層の厚さが減少すると、層及び層界面の材料特性がますます重要になる。特に、これらの層を形成するプロセスは、プロセスシーケンスのすべてのステップに対して良好な制御が維持される製造可能なプロセスシーケンスに慎重に統合する必要がある。 40

【0 0 0 6】

マイクロ電子デバイスのための凹状フィーチャのボイドレス(void-less)金属充填は、凹状フィーチャのアスペクト比が増加するにつれてますます困難になっており、低抵抗

10

20

30

40

50

率金属を使用した凹状フィーチャの完全な充填を可能にする新しい方法が必要である。

【発明の概要】

【0007】

基板内の凹状フィーチャの金属充填のための基板処理方法を提供する。本発明の実施形態は、異なるフィーチャ幅を有する微細な凹状フィーチャの金属充填に関する問題に対処する。

【0008】

一実施形態によれば、本方法は、水平方向に間隔を置いて配置されたネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャを含む基板を提供するステップと；ネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャをプロッキング材料で充填するステップと；a) 逐次的に、最初に、プロッキング材料をネステッド凹状フィーチャから除去し、次に、ネステッド凹状フィーチャを第1の金属で充填するステップ、及びb) 逐次的に、最初に、プロッキング材料をアイソレーテッド凹状フィーチャから除去し、次に、アイソレーテッド凹状フィーチャを、第1の金属とは異なる第2の金属で充填するステップを任意の順序で実行するステップと；を含む。

10

【0009】

別の実施形態によれば、方法は、水平方向に間隔を置いて配置されたネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャを含む基板を提供するステップと、ネステッド凹状フィーチャを第1の金属で充填し、アイソレーテッド凹状フィーチャを第1の金属で部分的に充填するステップと、アイソレーテッド凹状フィーチャを、第1の金属とは異なる第2の金属で充填するステップと、を含む。

20

【0010】

別の実施形態によれば、方法は、基板を提供するステップと；a) 逐次的に、最初に、ネステッド凹状フィーチャを基板内に形成し、次に、ネステッド凹状フィーチャを第1の金属で充填するステップ、及びb) 逐次的に、最初に、基板内にネステッド凹状フィーチャから水平方向に間隔を置いて配置されたアイソレーテッド凹状フィーチャを形成し、次に、アイソレーテッド凹状フィーチャを、第1の金属とは異なる第2の金属で充填するステップを任意の順序で実行するステップと；を含む。

【0011】

一実施形態によれば、マイクロ電子デバイスが提供される。マイクロ電子デバイスは、水平方向に間隔を置いて配置されたネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャを含む基板を含み、ネステッド凹状フィーチャは第1の金属で充填され、アイソレーテッド凹状フィーチャは、第1の金属とは異なる第2の金属で充填される。

30

【0012】

別の実施形態によれば、マイクロ電子デバイスは、水平方向に間隔を置いて配置されたネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャを含む基板を含み、ネステッド凹状フィーチャは第1の金属で充填され、アイソレーテッド凹状フィーチャは第1の金属及び第2の金属で充填され、第2の金属は第1の金属とは異なり、アイソレーテッド凹状フィーチャ内において第1の金属の上に位置する、マイクロ電子デバイス。

40

【図面の簡単な説明】

【0013】

この明細書に組み込まれ、その一部を構成する添付の図面は、本発明の実施形態を示し、上記に与えた本発明の一般的な説明及び下記に与える詳細な説明と共に、本発明を説明する役割を果たす。

【0014】

【図1】ネステッド凹状フィーチャの第1のグループ(A)と、アイソレーテッド凹状フィーチャの第2のグループ(B)を含むパターニングされた基板の断面図を示す。

【図2A】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。

【図2B】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。

【図2C】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。

50

【図2D】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図2E】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図2F】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図3A】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図3B】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図3C】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図3D】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図3E】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図3F】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図4A】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図4B】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図4C】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図4D】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図4E】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図4F】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図5A】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図5B】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図5C】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図5D】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図5E】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。
 【図5F】本発明の実施形態による、基板を処理する方法を断面図で概略的に示す。

【発明を実施するための形態】

【0015】

本発明の実施形態は、マイクロ電子デバイスに見られる微細な凹状フィーチャの金属充填に対処する。一例では、水平方向に間隔を置いて配置された凹状フィーチャは、それらのフィーチャ幅（フィーチャ開口寸法）に従って複数の凹状フィーチャグループにグループ分けされてもよい。基板上の凹状フィーチャは、ネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャとしばしば呼ばれ、ネステッド凹状フィーチャは高い水平方向の密度と小さいフィーチャ開口とを有し、アイソレーテッド凹状フィーチャは低い水平方向の密度と大きいフィーチャ幅とを有する。例えば、ネステッド凹状フィーチャは、所定値よりも小さいフィーチャ開口を有することができ、アイソレーテッド凹状フィーチャは、所定値よりも大きいフィーチャ開口を有することができる。所定値は、例えば、約30nm、約40nm、約50nm、約60nm、約70nm、約80nm、約90nm、約100nm、約120nm、又は約150nmとすることができます。いくつかの例では、ネステッド凹状フィーチャは、約50nm未満、約30nm未満、約20nm未満、又は約10nm未満のフィーチャ幅を有することができる。いくつかの例では、アイソレーテッド凹状フィーチャは、約70nmより大きく、約100nmより大きく、約150nmより大きく、又は200nmよりも大きいフィーチャ幅を有することができる。1つの非限定的な例では、ネステッド凹状フィーチャは約20nm未満のフィーチャ幅を有することができ、アイソレーテッド凹状フィーチャは約50nmより大きいフィーチャ幅を有することができる。しかし、ネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャのフィーチャ幅は、マイクロ電子デバイス及び技術ノードのタイプに依存する。

【0016】

図1は、ネステッド凹状フィーチャの第1のグループ（A）と、アイソレーテッド凹状フィーチャの第2のグループ（B）を含むパターニングされた基板の断面図を示す。ネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャは、周知のリソグラフィ及びエッチングプロセスを使用して形成してよい。

【0017】

異なるフィーチャ幅を有する凹状フィーチャ（例えば、ネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャ）の金属充填は、マイクロ電子デバイスがますますより

10

20

30

40

50

小さいフィーチャを含むため、半導体製造においていくつかの問題を提起する。第1に、アイソレーテッド凹状フィーチャよりもネステッド凹状フィーチャを完全に充填するためには必要な金属が少ないと、アイソレーテッド凹状フィーチャよりも前に、ネステッド凹状フィーチャが金属で完全に充填されることになる。これにより、アイソレーテッド凹状フィーチャが充填される前に、ネステッド凹状フィーチャの上方に金属過負荷 (metal overburden) (過剰金属) の形成を生じる可能性がある。第2に、従来のCu金属充填では、非常に微細な凹状形状フィーチャ内に許容できない空隙を生じさせる可能性がある。第3に、Cu金属充填に代わって使用され得る多くの低抵抗率金属は非常に高価であり、したがってマイクロ電子デバイスのコストを大幅に増加させる可能性がある。本発明の実施形態は、凹状フィーチャの金属充填のこれらの問題及び他の問題に対処する。

10

【0018】

図2A～図2Fは、本発明の一実施形態による、基板を処理する方法を断面図で概略的に示す。本方法は、水平方向に間隔を置いて配置されたネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャを含む基板を提供するステップと；ネステッド凹状フィーチャ及びアイソレーテッド凹状フィーチャをブロッキング材料で充填するステップと；a)逐次的に、最初に、ブロッキング材料をネステッド凹状フィーチャから除去し、次に、ネステッド凹状フィーチャを第1の金属で充填するステップ、及びb)逐次的に、最初に、ブロッキング材料をアイソレーテッド凹状フィーチャから除去し、次に、アイソレーテッド凹状フィーチャを、第1の金属とは異なる第2の金属で充填するステップと、を任意の順序で実行するステップと；を含む。

20

【0019】

図2Aは、第1の層200と、第1の層200上の第2の層202と、ネステッド凹状フィーチャ201と、アイソレーテッド凹状フィーチャ203とを含むパターンニングされた基板2を示す。アイソレーテッド凹状フィーチャ203は1つのみ示されているが、本発明の実施形態は複数のアイソレーテッド凹状フィーチャ203に適用されてもよい。

【0020】

本発明の実施形態によれば、第1の層200は、Si、SiO₂、SiN、high-k材料、low-k材料、又は金属含有材料を含め、マイクロ電子デバイスに見られる任意の材料層を含んでよい。第2の層202は、パターンングされたマスク層を含んでよい。

30

【0021】

図2Bは、ネステッド凹状フィーチャ201及びアイソレーテッド凹状フィーチャ203を充填するために付着されるブロッキング材料204を示す。ブロッキング材料204は、例えば、SiO₂、SiN、Si、有機誘電体層(ODL)、アモルファスカーボン、スピノンハードマスク(SOH)、及び金属酸化物を含むことができる。ブロッキング材料204は、凹状フィーチャの充填とその後の凹状フィーチャからの除去の容易性の観点から選択されてよい。ブロッキング材料は、液体スピノン、原子層堆積(ALD)、化学気相堆積(CVD)、物理気相堆積(PVD)、及び完全に充填されるまで凹状フィーチャにブロッキング材料を優先的に付着させるスーパーフィルを含め、様々な付着方法を用いて、パターンニングされた基板2上に付着してよい。図2Bに示すように、ブロッキング材料204は、ネステッド凹状フィーチャ201及びアイソレーテッド凹状フィーチャ203を過剰充填してもよい。

40

【0022】

図2Cに示すように、ブロッキング材料204は、パターンングされた基板2上で平坦化され、その後、例えば、アイソレーテッド凹状フィーチャ203の上方でブロッキング材料204上にパターンングされたマスク層を形成し、ブロッキング材料204をネステッド凹状フィーチャ201からエッチングすることによって、ネステッド凹状フィーチャ201から除去されてよい。

【0023】

その後、図2Dに示すように、オープンなネステッド凹状フィーチャ201は、第1の

50

金属 208 (例えば、Ru 金属) で充填され、プロッキング材料 204 は、アイソレーテッド凹状フィーチャ 203 内への第 1 の金属 208 の付着を防止する。コンフォーマルな拡散バリア層 206 (例えば、TaN) が、プロッキング材料 204 の付着の前、又は第 1 の金属 208 の付着の前に、ネステッド凹状フィーチャ 201 内に付着してもよい。パターンニングされた基板 2 は、過剰な第 1 の金属 208 を除去するために再平坦化してもよい。

【0024】

ネステッド凹状フィーチャ 201 を第 1 の金属 208 で充填した後、プロッキング材料 204 はアイソレーテッド凹状フィーチャ 203 から除去され、アイソレーテッド凹状フィーチャ 203 は第 2 の金属 212 (例えば Cu 金属) で充填される。これを図 2 E に示す。コンフォーマルな拡散バリア層 210 (例えば、TaN) が、プロッキング材料 204 の付着の前、又は第 2 の金属 212 の付着の前に、アイソレーテッド凹状フィーチャ 203 内に付着してもよい。その後、図 2 F に示すように、化学的機械的平坦化 (CMP) 、気相エッ칭 (エッチバック) 、又はその両方を含むことができる平坦化プロセスにおいて、任意の第 2 の金属 212 の過負荷と、第 1 の金属 208 、拡散バリア層 206 及び拡散バリア層 210 の一部と、第 2 の層 202 を除去してよい。結果として得られる平坦化されたパターンニングされた基板 2 は、第 1 の金属 208 で充填されたネステッド凹状フィーチャと、第 1 の金属とは異なる第 2 の金属 212 で充填されたアイソレーテッド凹状フィーチャ 203 とを含む。

【0025】

本発明の実施形態によれば、第 1 の金属 208 及び第 2 の金属 212 は、Ru 金属、Cu 金属、Co 金属、W 金属、及び Al 金属からなる群から選択してよい。しかし、他の遷移金属を使用してもよい。一実施形態によれば、第 1 の金属 208 は Ru 金属を含み、第 2 の金属 212 は Cu 金属を含んでよい。第 1 の金属 208 及び第 2 の金属 212 は、例えば、CVD 又は PVD を含む気相堆積によって付着することができる。一例では、第 1 の金属 208 及び第 2 の金属 212 は、凹状フィーチャ内のボトムアップ式の付着によって特徴付けられるスーパーフィル付着によって付着してもよい。一例では、ネステッド凹状フィーチャ 201 を充填する第 1 の金属 208 は、Ru₃(CO)₁₂ ガス及び CO キャリアガスを使用して CVD によって付着する Ru 金属としてよい。一例では、アイソレーテッド凹状フィーチャ 203 を充填する第 2 の金属 212 は、PVD によって付着する Cu 金属としてよい。狭いネステッド凹状フィーチャ 201 においてより高価な Ru 金属を使用し、より広いアイソレーテッド凹状フィーチャ 203 においてより安価な Cu 金属を使用することで、マイクロ電子デバイスのコストを大幅に低減することができる。さらに、Ru 金属は、ネステッド凹状フィーチャ 201 のような非常に微細な凹状フィーチャにおいて、Cu 金属より良好な充填特性を有することができる。

【0026】

図 3 A ~ 図 3 F は、本発明の一実施形態による基板の処理方法を断面図で概略的に示す。図 3 A ~ 3 F に記載した実施形態は、図 2 A ~ 図 2 F に記載した実施形態と類似するが、最初に、アイソレーテッド凹状フィーチャ 203 が第 2 の金属 212 で充填され、その後、ネステッド凹状フィーチャ 201 が第 1 の金属 208 で充填される。図 2 A 図及び 2 B におけるパターンニングされた基板 2 は、図 3 A 及び図 3 B におけるパターンニングされた基板 3 として再現されている。

【0027】

図 3 B は、ネステッド凹状フィーチャ 201 及びアイソレーテッド凹状フィーチャ 203 を充填するように付着したプロッキング材料 204 を示す。

【0028】

図 3 C に示すように、プロッキング材料 204 は、パターンニングされた基板 3 上で平坦化され、その後、例えば、ネステッド凹状フィーチャ 201 の上方でプロッキング材料 204 上にパターンニングされたマスク層を形成し、プロッキング材料 204 をアイソレーテッド凹状フィーチャ 203 からエッ칭することによって、アイソレーテッド凹状フィ

10

20

30

40

50

ーチャ 2 0 3 から除去されてよい。

【 0 0 2 9 】

その後、図 3 D に示すように、オープンなアイソレーテッド凹状フィーチャ 2 0 3 は、第 2 の金属 2 1 2 (例えば Cu 金属) で充填され、プロッキング材料 2 0 4 は、ネステッド凹状フィーチャ 2 0 1 内への第 2 の金属 2 1 2 の付着を防止する。コンフォーマルな拡散バリア層 2 1 0 (例えば、TaN) が、プロッキング材料 2 0 4 の付着の前、又は第 2 の金属 2 1 2 の付着の前に、アイソレーテッド凹状フィーチャ 2 0 3 内に付着してもよい。

【 0 0 3 0 】

その後、図 3 E に示すように、CMP、気相エッチング (エッチバック) 、又は両方を含むことができる平坦化プロセスにおいて、任意の第 2 の金属 2 1 2 の過負荷及び拡散バリア層 2 1 0 が除去されてよい。さらに、第 2 の金属 2 1 2 は、エッチバックプロセスを使用して、アイソレーテッド凹状フィーチャ 2 0 3 内で窪んでもよい。

【 0 0 3 1 】

その後、プロッキング材料 2 0 4 はネステッド凹状フィーチャ 2 0 1 から除去され、ネステッド凹状フィーチャ 2 0 1 は第 1 の金属 2 0 8 (例えば Ru 金属) で充填される。コンフォーマルな拡散バリア層 2 0 6 (例えば、TaN) が、プロッキング材料 2 0 4 の付着の前、又は第 1 の金属 2 0 8 の付着の前に、ネステッド凹状フィーチャ 2 0 1 内に付着してもよい。これを図 3 F に示す。結果として得られる平坦化されたパターンニングされた基板 3 は、第 1 の金属 2 0 8 で充填されたネステッド凹状フィーチャと、第 1 の金属とは異なる第 2 の金属 2 1 2 で充填されたアイソレーテッド凹状フィーチャ 2 0 3 とを含む。

【 0 0 3 2 】

図 4 A ~ 図 4 F は、本発明の一実施形態による基板を処理する方法を断面図で概略的に示す。図 2 A におけるパターンニングされた基板 2 は、図 4 A におけるパターンニングされた基板 4 として再現されている。図 4 A ~ 図 4 F に記載した実施形態は、図 2 A ~ 図 2 F に記載された実施形態に類似するが、本方法は、ネステッド凹状フィーチャ 2 0 1 を第 1 の金属 2 0 8 で充填するステップを含み、アイソレーテッド凹状フィーチャ 2 0 3 が、第 1 の金属 2 0 8 で部分的に充填される。これを図 4 B に示す。

【 0 0 3 3 】

その後、図 4 C に示すように、プロッキング材料 2 0 4 が、パターンニングされた基板 4 上に付着し、プロッキング材料 2 0 4 は、部分的に充填されたアイソレーテッド凹状フィーチャ 2 0 3 を完全に充填する。

【 0 0 3 4 】

図 4 D に示すように、パターンニングされた基板 4 は平坦化されてよく、平坦化は、任意のプロッキング材料 2 0 4 の過負荷と、第 1 の金属 2 0 8 及び拡散バリア層 2 0 6 の一部を除去する。平坦化プロセスは、CMP、気相エッチング (エッチバック) 、又は両方を含むことができる。

【 0 0 3 5 】

その後、図 4 E に示すように、プロッキング材料 2 0 4 はアイソレーテッド凹状フィーチャ 2 0 3 から除去され、アイソレーテッド凹状フィーチャ 2 0 3 は、第 2 の金属 2 1 2 で充填される。コンフォーマルな拡散バリア層 2 1 0 (例えば、TaN) が、第 2 の金属 2 1 2 の付着前にアイソレーテッド凹状フィーチャ 2 0 3 内に付着してもよい。

【 0 0 3 6 】

その後、図 4 F に示すように、CMP、気相エッチング、又は両方を含むことができる平坦化プロセスにおいて、任意の第 2 の金属 2 1 2 の過負荷と、第 1 の金属 2 0 8 、拡散バリア層 2 0 6 及び 2 1 0 の一部と、第 2 の層 2 0 2 が除去されてよい。結果として得られる図 4 F における基板は、第 1 の金属 2 0 8 で充填されたネステッド凹状フィーチャと、第 1 の金属 2 0 8 及び第 1 の金属 2 0 8 とは異なり、アイソレーテッド凹状フィーチャ内で第 1 の金属 2 0 8 の上に位置する (overlie) 第 2 の金属 2 1 2 で充填されたアイ

10

20

30

40

50

ソレーテッド凹状フィーチャとを含む。

【0037】

図5A～図5Fは、本発明の一実施形態による基板を処理する方法を断面図で概略的に示す。図5Aは、第1の層200と、第1の層200上の第2の層202と、ネステッド凹状フィーチャ201とを含むパターンニングされた基板5を示す。

【0038】

図5Bに示すように、オープンなネステッド凹状フィーチャ201は、第1の金属208（例えば、Ru金属）で充填される。コンフォーマルな拡散バリア層206（例えば、TaN）が、第1の金属208の付着の前に、ネステッド凹状フィーチャ201内に付着してもよい。図5Cに示すように、任意の第1の金属208の過負荷と、拡散バリア層206が平坦化によって除去されてよい。

10

【0039】

その後、図5Dに示すように、アイソレーテッド凹状フィーチャ203は、従来のリソグラフィ及びエッチングを使用して、パターンニングされた基板5内にエッチングされてよい。図5Eは、第2の金属212で充填されたアイソレーテッド凹状フィーチャ203を示す。コンフォーマルな拡散バリア層210（例えば、TaN）が、第2の金属212の付着の前に、アイソレーテッド凹状フィーチャ203に付着してもよい。

【0040】

その後、図5Fに示すように、CMP、気相エッチング、又はその両方を含むことができる平坦化プロセスにおいて、任意の第2の金属212と、第1の金属208、拡散バリア層206及び拡散バリア層210の一部と、第2の層202が除去されてよい。結果として得られる平坦化されたパターンニングされた基板5は、第1の金属208で満たされたネステッド凹状フィーチャと、第1の金属とは異なる第2の金属212で充填されたアイソレーテッド凹状フィーチャ203とを含む。

20

【0041】

別の実施形態によれば、図5A～図5Fにおける凹状フィーチャを充填する金属の順序は、逆にしてもよい。そのプロセスフローは、パターンニングされた基板5にアイソレーテッド凹状フィーチャ203を形成するステップと、アイソレーテッド凹状フィーチャ203を第2の金属212（例えば、Cu金属）で充填するステップと、ネステッド凹状フィーチャ201をパターンニングされた基板5内に形成するステップと、ネステッド凹状フィーチャ201を第1の金属208（例えば、Ru）で充填するステップと、平坦化プロセスにおいて、任意の第1の金属208の過負荷と、任意のバリア層を除去するステップとを含む。

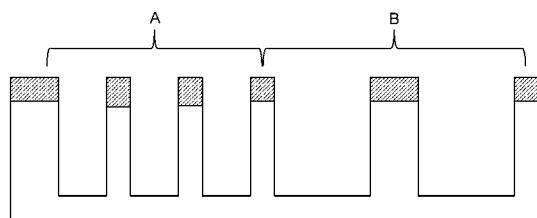
30

【0042】

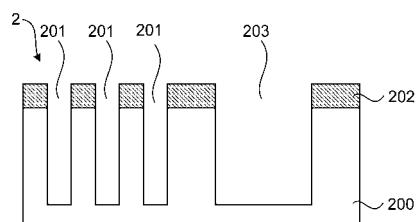
マイクロ電子デバイスのための凹状フィーチャの金属充填の方法についての複数の実施形態を説明した。本発明の実施形態の上記の説明は、図示及び説明を目的として提示されている。徹底的である、又は開示された厳密な形式に本発明を限定することを意図していない。この説明及び以下の特許請求の範囲は、説明することのみを目的として使用され、限定として解釈されるべきではない用語を含む。当業者であれば、上記の教示に照らして多くの変更及び変形が可能であると理解することができる。当業者であれば、図に示す様々な構成要素に対する様々な等価の組合せ及び代用を理解するであろう。従って、本発明の範囲は、この詳細な説明によって限定されるのではなく、これに添付された特許請求の範囲によって限定されることを意図している。

40

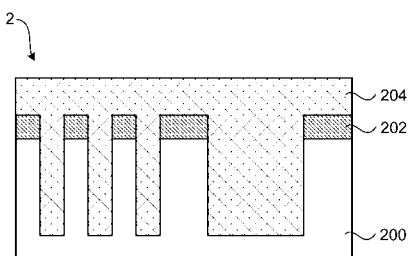
【図1】



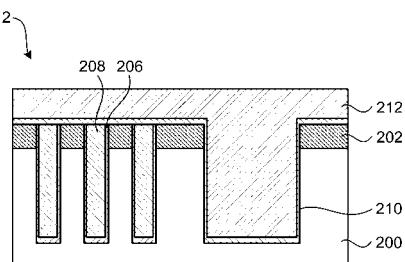
【図2 A】



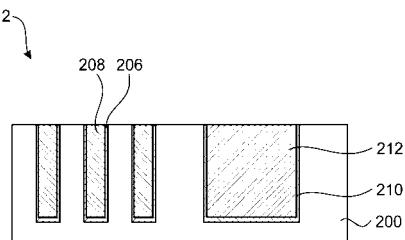
【図2 B】



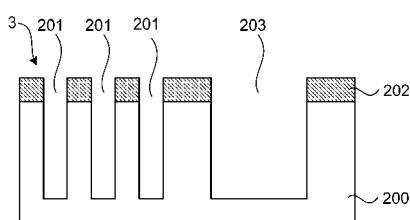
【図2 E】



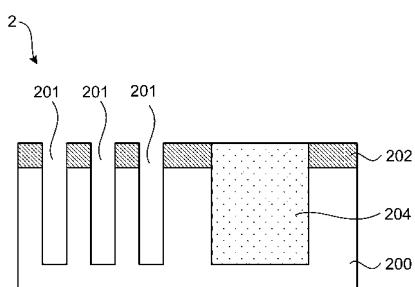
【図2 F】



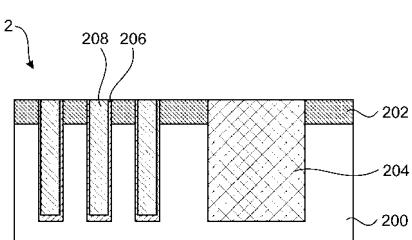
【図3 A】



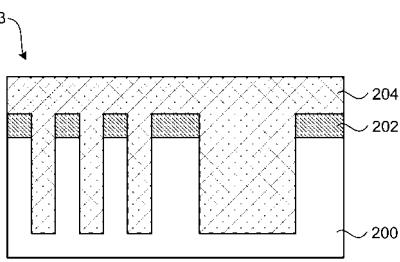
【図2 C】



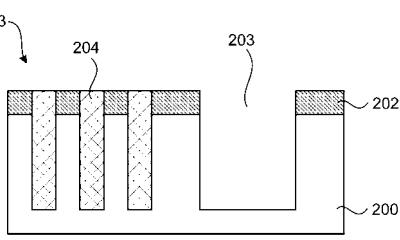
【図2 D】



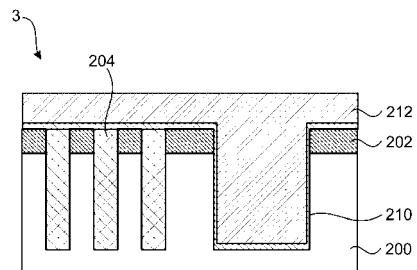
【図3 B】



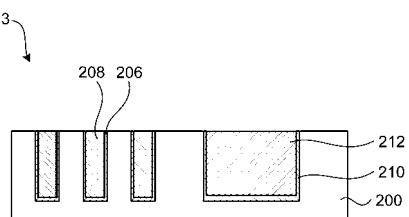
【図3 C】



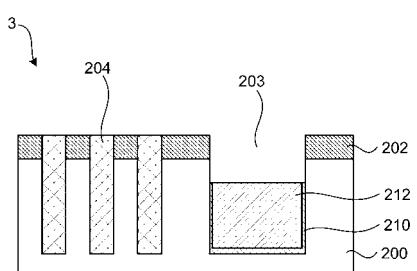
【図 3 D】



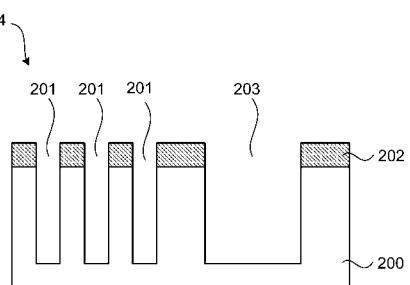
【図 3 F】



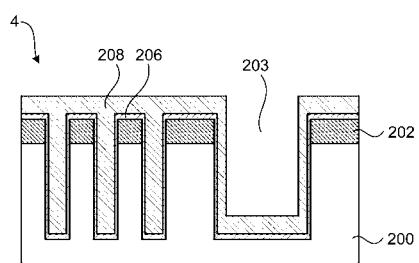
【図 3 E】



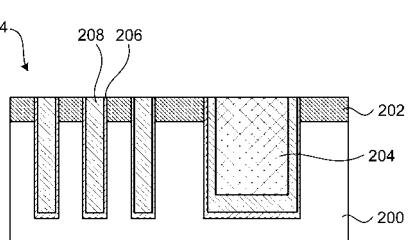
【図 4 A】



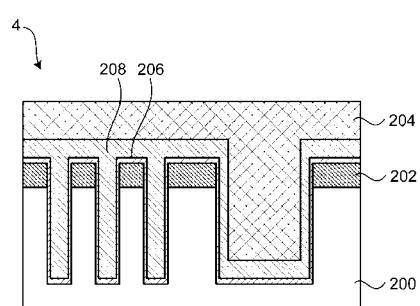
【図 4 B】



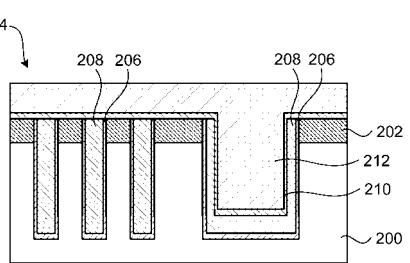
【図 4 D】



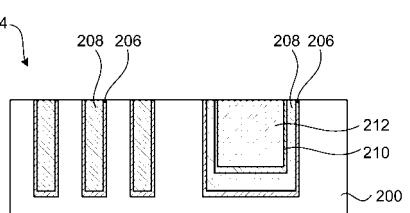
【図 4 C】



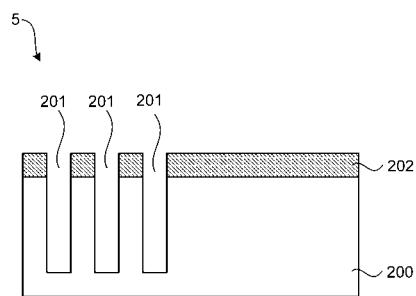
【図 4 E】



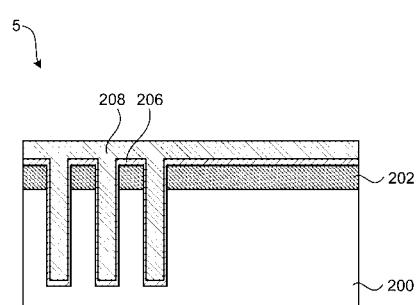
【図 4 F】



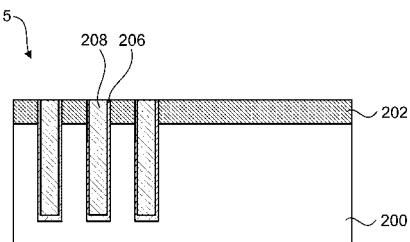
【図 5 A】



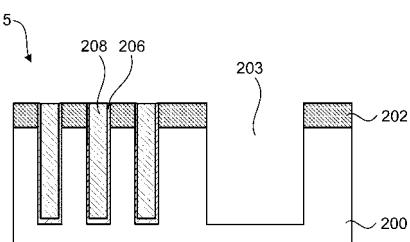
【図 5 B】



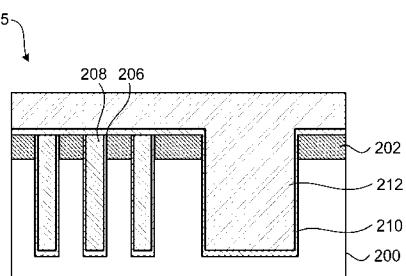
【図 5 C】



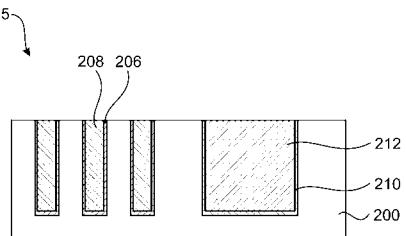
【図 5 D】



【図 5 E】



【図 5 F】



フロントページの続き

(72)発明者 前川 薫

アメリカ合衆国 ニューヨーク州 12203 オールバニー フラー ロード 255 スイート 214 ナノファブ 300 サウス

(72)発明者 ジェフリー スミス

アメリカ合衆国 ニューヨーク州 12203 オールバニー フラー ロード 255 スイート 214 ナノファブ 300 サウス

(72)発明者 ニコラス ジョイ

アメリカ合衆国 ニューヨーク州 12203 オールバニー フラー ロード 255 スイート 214 ナノファブ 300 サウス

(72)発明者 ゲリット ジェイ.ルーシング

アメリカ合衆国 ニューヨーク州 12203 オールバニー フラー ロード 255 スイート 214 ナノファブ 300 サウス

(72)発明者 カイ - フン ユ

アメリカ合衆国 ニューヨーク州 12203 オールバニー フラー ロード 255 スイート 214 ナノファブ 300 サウス

F ターム(参考) 5F033 HH07 HH08 HH11 HH15 HH19 MM01 MM13 RR04 RR06 RR21
SS07 SS11 XX08

【外國語明細書】

2018207110000001.pdf