



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I405178B1

(45)公告日：中華民國 102 (2013) 年 08 月 11 日

(21)申請案號：098137574

(22)申請日：中華民國 98 (2009) 年 11 月 05 日

(51)Int. Cl. : G09G3/36 (2006.01)

(71)申請人：聯詠科技股份有限公司 (中華民國) NOVATEK MICROELECTRONICS CORP.
(TW)

新竹市新竹科學園區創新一路 13 號 2 樓

(72)發明人：洪敬和 HUNG, CHING HO (TW)；蕭兆志 HSIAO, CHAO CHIH (TW)；陳炎伯
CHEN, YEN PO (TW)；吳柏群 WU, BOR CHUN (TW)

(74)代理人：戴俊彥；吳豐任

(56)參考文獻：

TW 562964

TW 200530980A

TW 200608341A

TW 200828233A

TW 200839707A

US 6961034B2

US 2008/0122824A1

US 2008/0129903A1

審查人員：林明立

申請專利範圍項數：22 項 圖式數：11 共 0 頁

(54)名稱

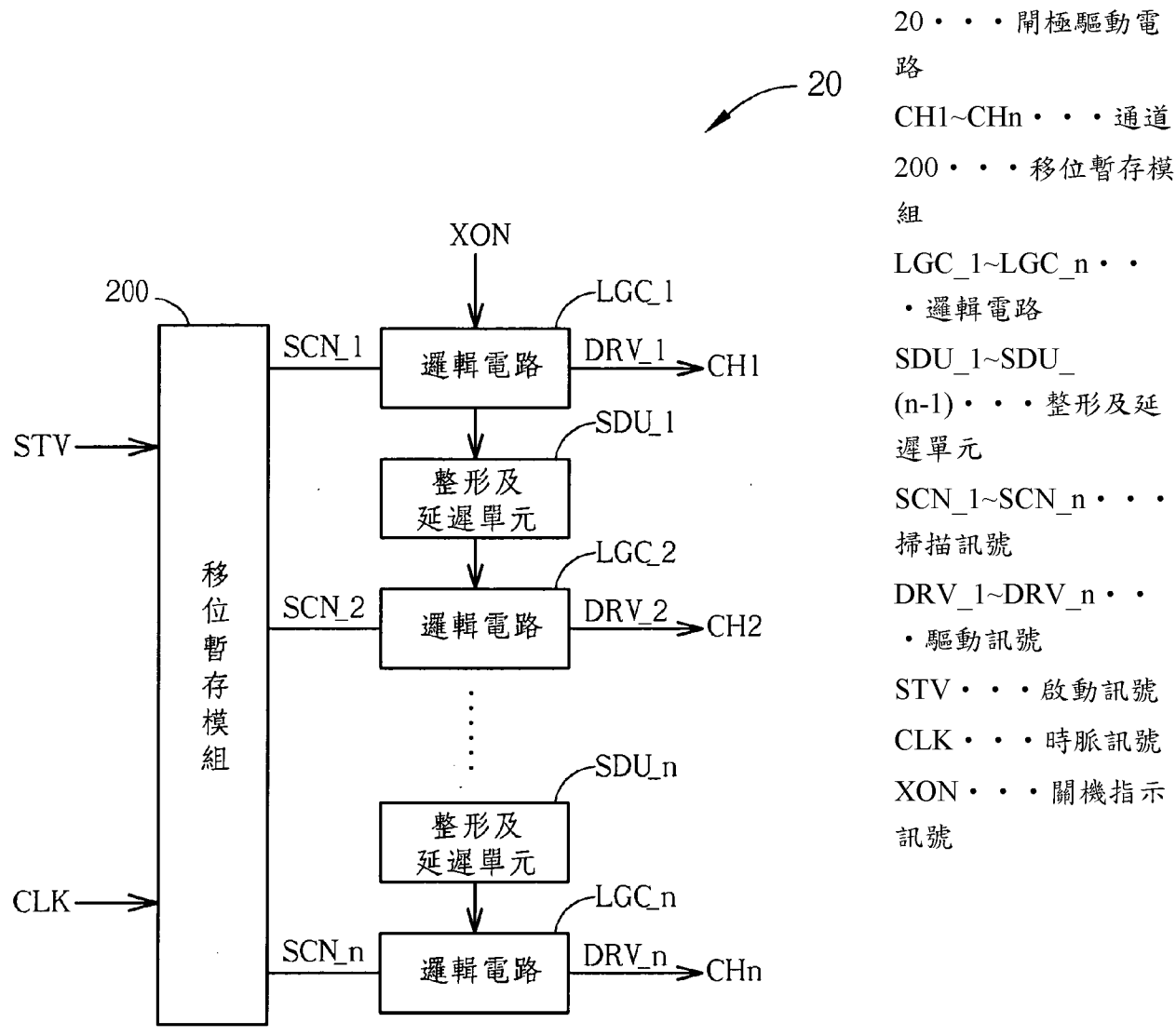
閘極驅動電路及相關液晶顯示器

GATE DRIVING CIRCUIT AND RELATED LCD DEVICE

(57)摘要

用於一液晶顯示器之閘極驅動電路，包含有一移位暫存模組，用來根據一啟動訊號及一時脈訊號，產生對應於複數個通道之複數個掃描訊號；複數個邏輯電路，分別對應於該複數個通道，每一邏輯電路用來根據該複數個掃描訊號之一掃描訊號及一關機指示訊號，輸出一驅動訊號至一對應通道，並輸出該關機指示訊號；以及複數個整形及延遲單元，每一整形及延遲單元耦接於相鄰兩通道之間，用來將一整形及延遲單元所輸出之該關機指示訊號延遲一預設時間並整形後，傳送至另一通道。

A gate driving circuit for an LCD device includes a shift register module for generating a plurality of scan signals corresponding to a plurality of channels according to a start signal and a clock signal, a plurality of logic circuits corresponding to the plurality of channels, each for outputting a driving signal to a channel according to a scan signal and an XON signal, and a plurality of shaping and delay units each coupled between two neighboring channels for shaping and delaying the XON signal outputted from one logic circuit to another logic circuit.



第2A圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98127574

※ 申請日： 98.11.5 ※IPC 分類： G09G 3/36 (2006.01)

一、發明名稱：(中文/英文)

閘極驅動電路及相關液晶顯示器/Gate Driving Circuit and Related LCD Device

二、中文發明摘要：

用於一液晶顯示器之閘極驅動電路，包含有一移位暫存模組，用來根據一啟動訊號及一時脈訊號，產生對應於複數個通道之複數個掃描訊號；複數個邏輯電路，分別對應於該複數個通道，每一邏輯電路用來根據該複數個掃描訊號之一掃描訊號及一關機指示訊號，輸出一驅動訊號至一對應通道，並輸出該關機指示訊號；以及複數個整形及延遲單元，每一整形及延遲單元耦接於相鄰兩通道之間，用來將一整形及延遲單元所輸出之該關機指示訊號延遲一預設時間並整形後，傳送至另一通道。

三、英文發明摘要：

A gate driving circuit for an LCD device includes a shift register module for generating a plurality of scan signals corresponding to a plurality of channels according to a start signal and a clock signal, a plurality of logic circuits corresponding to the plurality of channels,

each for outputting a driving signal to a channel according to a scan signal and an XON signal, and a plurality of shaping and delay units each coupled between two neighboring channels for shaping and delaying the XON signal outputted from one logic circuit to another logic circuit.

四、指定代表圖：

(一)本案指定代表圖為：第 (2A) 圖。

(二)本代表圖之元件符號簡單說明：

20	閘極驅動電路
CH1~CHn	通道
200	移位暫存模組
LGC_1~LGC_n	邏輯電路
SDU_1~SDU_(n-1)	整形及延遲單元
SCN_1~SCN_n	掃描訊號
DRV_1~DRV_n	驅動訊號
STV	啟動訊號
CLK	時脈訊號
XON	關機指示訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係指一種閘極驅動電路及相關液晶顯示器，尤指一種可使液晶顯示器於關機時，各通道打開薄膜電晶體的時間被錯開，以利電流分散的閘極驅動電路及相關液晶顯示器。

【先前技術】

液晶顯示器具有外型輕薄、耗電量少以及無輻射污染等特性，已被廣泛地應用在電腦系統、行動電話、個人數位助理（PDA）等資訊產品上。液晶顯示器的工作原理係利用液晶分子在不同排列狀態下，對光線具有不同的偏振或折射效果，因此可經由不同排列狀態的液晶分子來控制光線的穿透量，進一步產生不同強度的輸出光線，及不同灰階強度的紅、藍、綠光。

請參考第 1 圖，第 1 圖為習知一薄膜電晶體（Thin Film Transistor, TFT）液晶顯示器 10 之示意圖。液晶顯示器 10 包含一液晶顯示面板（LCD Panel）100、一時序控制電路 102、一源極驅動電路 104、一閘極驅動電路 106 以及一共用電壓產生器 108。液晶顯示面板 100 係由兩基板（Substrate）構成，而於兩基板間填充有液晶材料。一基板上設置有複數條資料線（Data Line）110、複數條

垂直於資料線 110 的掃描線 (Scan Line, 或稱閘線, Gate Line) 112 以及複數個薄膜電晶體 114, 而於另一基板上設置有一共用電極 (Common Electrode) 用來經由電壓產生器 108 提供一共用電壓 Vcom。為便於說明, 第 1 圖中僅顯示四個薄膜電晶體 114, 實際上, 液晶顯示面板 100 中每一資料線 110 與掃描線 112 的交接處 (Intersection) 均連接有一薄膜電晶體 114, 亦即薄膜電晶體 114 係以矩陣的方式分佈於液晶顯示面板 100 上, 每一資料線 110 對應於液晶顯示器 10 之一行 (Column), 而掃描線 112 對應於液晶顯示器 10 之一列 (Row), 且每一薄膜電晶體 114 係對應於一畫素 (Pixel)。此外, 液晶顯示面板 100 之兩基板所構成的電路特性可視為一等效電容 116。

在液晶顯示器 10 中, 時序控制電路 102 會產生控制訊號分別輸入至源極驅動電路 104 及閘極驅動電路 106, 則源極驅動電路 104 及閘極驅動電路 106 會對不同的資料線 110 及掃描線 112 產生輸入訊號, 因而控制薄膜電晶體 114 的導通及等效電容 116 兩端的電位差, 並進一步地改變液晶分子的排列以及相對應的光線穿透量, 以將顯示資料 122 顯示於面板上。舉例來說, 閘極驅動電路 106 對掃描線 112 輸入一脈波使薄膜電晶體 114 導通, 因此源極驅動電路 104 所輸入資料線 110 的訊號可經由薄膜電晶體 114 而輸入等效電容 116, 因而達到控制相對應畫素之灰階 (Gray Level) 狀態。另外, 透過控制源極驅動電路 104 輸入至資料線 110 的訊號大小, 可產生不同的灰階大小。

由於液晶的電路特性類似於電容，在液晶顯示器 10 運作的過程中，等效電容 116 會儲存大小不定的電荷。當關機時，若等效電容 116 所儲存的電荷未有效釋放，再開機時，液晶顯示面板 100 會產生殘影、閃爍等現象，影響畫面品質。因此，為了改善上述問題，習知液晶顯示器 10 在關機時需有一釋放殘餘電荷的機制，詳述如下。

時序控制電路 102 輸出至閘極驅動電路 106 的訊號中包含一關機指示訊號 XON，其係用來表示液晶顯示器 10 的操作狀態。例如，當關機指示訊號 XON 為高位準時，表示液晶顯示器 10 為開機狀態，當低位準時，表示關機狀態。因此，當液晶顯示器 10 開機後尚未關機前，關機指示訊號 XON 維持高位準。當液晶顯示器 10 受使用者或系統控制而關機時，關機指示訊號 XON 之位準會瞬間轉為低位準。當關機指示訊號 XON 之位準由高轉為低時，閘極驅動電路 106 會輸出高電位電壓 VGH 至每一通道（即掃描線 112），以將所有薄膜電晶體 114 打開，使得等效電容 116 所殘餘的電荷得以釋放，以避免再開機時產生殘影、閃爍等現象。

當所有通道均輸出高電位電壓 VGH 時，可視為對電源供應器同時抽取電流，此電流在經過導線時會產生壓降，導致閘極驅動電路 106 的操作時序會受影響，造成顯示異常。為了避免上述問題，習知技術係在關機指示訊號 XON 的傳導路徑上產生適當的延遲，

錯開每個通道輸出高電位電壓 VGH 的時間，以分散電流的供給。其中，產生延遲的方法一般係利用電阻／電容 (RC) 電路，亦即在相鄰通道間關機指示訊號 XON 的傳導路徑上設置一電阻／電容 (RC) 電路，以延遲關機指示訊號 XON。然而，電阻／電容 (RC) 電路的變異性較高，無法產生一致的時間常數，造成延遲不足或過長，影響電荷釋放的運作，甚至造成顯示異常。

【發明內容】

因此，本發明之主要目的即在於提供一種閘極驅動電路及相關液晶顯示器。

本發明揭露一種用於一液晶顯示器之閘極驅動電路，該液晶顯示器包含複數個通道，該閘極驅動電路包含有一移位暫存模組，用來根據一啟動訊號及一時脈訊號，產生對應於該複數個通道之複數個掃描訊號；複數個邏輯電路，分別對應於該複數個通道，每一邏輯電路用來根據該複數個掃描訊號之一掃描訊號及一關機指示訊號，輸出一驅動訊號至一對應通道，並輸出該關機指示訊號；以及複數個整形及延遲單元，每一整形及延遲單元耦接於相鄰兩通道之間，用來將一整形及延遲單元所輸出之該關機指示訊號延遲一預設時間並整形後，傳送至另一通道。

本發明另揭露一種液晶顯示器，包含有一面板，包含有複數個

通道；一時序控制電路，用來產生一啟動訊號、一時脈訊號及一關機指示訊號；一源極驅動電路，耦接於該時序控制電路與該面板之間，用來輸出影像資料至該面板；以及一閘極驅動電路，耦接於該時序控制電路與該面板之間，用來驅動該面板顯示影像資料。該閘極驅動電路包含有一移位暫存模組，用來根據該啟動訊號及該時脈訊號，產生對應於該複數個通道之複數個掃描訊號；複數個邏輯電路，分別對應於該複數個通道，每一邏輯電路用來根據該複數個掃描訊號之一掃描訊號及該關機指示訊號，輸出一驅動訊號至一對應通道，並輸出該關機指示訊號；以及複數個整形及延遲單元，每一整形及延遲單元耦接於該複數個邏輯電路中對應於相鄰兩通道之兩邏輯電路之間，用來將一邏輯電路所輸出之該關機指示訊號延遲一預設時間並整形後，傳送至另一邏輯電路。

本發明另揭露一種用於一液晶顯示器之閘極驅動電路，該液晶顯示器包含複數個通道，該閘極驅動電路包含有一移位暫存模組，用來根據一第一多工結果及一第二多工結果，產生複數個掃描訊號至該複數個通道；一第一多工器，用來根據一關機指示訊號，選擇輸出一啟動訊號或一高位準訊號，以產生該第一多工結果；以及一第二多工器，用來根據該關機指示訊號，選擇輸出一顯示時脈訊號或一電荷釋放時脈訊號，以產生該第二多工結果。

本發明另揭露一種液晶顯示器，包含有一面板，包含有複數個通道；一時序控制電路，用來產生一啟動訊號、一顯示時脈訊號及

一關機指示訊號；一源極驅動電路，耦接於該時序控制電路與該面板之間，用來輸出影像資料至該面板；以及一閘極驅動電路，耦接於該時序控制電路與該面板之間，用來驅動該面板顯示影像資料。該閘極驅動電路包含有一移位暫存模組，用來根據一第一多工結果及一第二多工結果，產生複數個掃描訊號至該複數個通道；一第一多工器，用來根據一關機指示訊號，選擇輸出該啟動訊號或一高位準訊號，以產生該第一多工結果；以及一第二多工器，用來根據該關機指示訊號，選擇輸出該顯示時脈訊號或一電荷釋放時脈訊號，以產生該第二多工結果。

【實施方式】

請參考第 2A 圖，第 2A 圖為本發明實施例一閘極驅動電路 20 之示意圖。閘極驅動電路 20 用來取代第 1 圖中之閘極驅動電路 106，以避免液晶顯示器 10 於進行關機電荷釋放時可能產生的大電流。為清楚說明本發明之概念，第 1 圖中液晶顯示面板 100 上的掃描線 112 在此稱為通道 CH1~CHn。閘極驅動電路 20 包含有一移位暫存模組 200、邏輯電路 LGC_1~LGC_n 及整形及延遲單元 SDU_1~SDU_(n-1)。移位暫存模組 200 用來根據時序控制電路 102 所產生的一啟動訊號 STV 及一時脈訊號 CLK，產生對應於通道 CH1~CHn 的掃描訊號 SCN_1~SCN_n。邏輯電路 LGC_1~LGC_n 可根據移位暫存模組 200 所輸出之掃描訊號 SCN_1~SCN_n 及時序控制電路 102 所產生的關機指示訊號 XON，輸出驅動訊號 DRV_1~DRV_n

至通道 CH1~CHn。同時，每一邏輯電路會將所收到關機指示訊號 XON 輸出至對應的整形及延遲單元。每一整形及延遲單元 SDU_1~SDU_(n-1) 耦接於相鄰兩邏輯電路之間，用來將前一邏輯電路所輸出之關機指示訊號 XON 延遲一預設時間並整形後，傳送至下一邏輯電路。

詳細來說，當液晶顯示器 10 關機時，關機指示訊號 XON 之位準會瞬間改變，如由高轉為低，則邏輯電路 LGC_1 會根據關機指示訊號 XON 及掃描訊號 SCN_1，輸出高電位電壓 VGH 之驅動訊號 DRV_1 至通道 CH1，同時將關機指示訊號 XON 傳送至整形及延遲單元 SDU_1。整形及延遲單元 SDU_1 會將邏輯電路 LGC_1 傳送來的關機指示訊號 XON 適當地延遲預設時間並整形後，傳送至邏輯電路 LGC_2，則邏輯電路 LGC_2 可輸出高電位電壓 VGH 之驅動訊號 DRV_2 至通道 CH2，並將關機指示訊號 XON 傳送至整形及延遲單元 SDU_2。以此類推，邏輯電路 LGC_1~LGC_n 會以相同間隔的延遲時間，依序輸出高電位電壓 VGH 之驅動訊號 DRV_1~DRV_n 至通道 CH1~CHn，可讓通道 CH1~CHn 打開所屬薄膜電晶體 114 的時間被錯開，進而分散電流，避免電流在經過導線時產生電壓降，以維持後續正常操作。

因此，透過整形及延遲單元 SDU_1~SDU_(n-1)，當液晶顯示器 10 關機時，邏輯電路 LGC_1~LGC_n 會以相同間隔的延遲時間，依序輸出高電位電壓 VGH 之驅動訊號 DRV_1~DRV_n 至通道 CH1

～CH_n，使通道 CH₁～CH_n 打開薄膜電晶體 114 的時間被錯開，避免電流在經過導線時產生電壓降。需注意的是，整形及延遲單元 SDU₁～SDU_(n-1)不僅止有將關機指示訊號 XON 延遲固定時間的功能，尚可將關機指示訊號 XON 適當地整形。例如，若因雜訊或元件瑕疵的影響，造成某一整形及延遲單元 SDU_a 所接收之關機指示訊號 XON 的波形受干擾，而如第 2B 圖中左側所示，則經過整形及延遲單元 SDU_a 的處理，可產生如第 2B 圖中右側所示波形。比較第 2B 圖左、右兩側之波形可知，整形及延遲單元 SDU_a 將關機指示訊號 XON 延遲了共(tb-ta)的時間，並將其波形中的干擾濾除。在此情形下，整形及延遲單元 SDU₁～SDU_(n-1)可確保處理後的關機指示訊號 XON 可延遲固定時間後輸出至邏輯電路 LGC₂～LGC_n。

在第 2A 圖中，整形及延遲單元 SDU₁～SDU_(n-1)係用以將關機指示訊號 XON 延遲一預設時間並整形後，傳送至下一邏輯電路。需注意的是，整形及延遲單元 SDU₁～SDU_(n-1)的實現方式或位置不限於特定種類，只要能達到上述目的即可。舉例來說，每一邏輯電路與其對應之整形及延遲單元的位置可互換，亦即關機指示訊號 XON 係先經整形及延遲單元之處理後，再傳送至邏輯電路，如第 2C 圖所示。在此情形下，整形及延遲單元的數量與邏輯電路的數量相同，同為 n。

另外，請參考第 3A 圖，第 3A 圖為本發明實施例一整形及延遲

單元 SDU_x 之示意圖。整形及延遲單元 SDU_x 係由反相器 INV1～INV4 所組成，每一反相器可將輸入訊號延遲固定時間，並反轉後輸出。因此，經過四個反相器 INV1～INV4 後，整形及延遲單元 SDU_x 所輸出之關機指示訊號 XON 會延遲四倍的反相器延遲時間，且相位維持不變。利用反相器實現整形及延遲單元的好處在於訊號經過反相器之後，除了延遲的效果外，同時能達到整形的目的。當然，整形及延遲單元 SDU_x 所輸出的關機指示訊號 XON 相位是否相反，並不違背本發明的精神，本實施例以同相位描述。

請參考第 3B 圖，第 3B 圖為本發明實施例一整形及延遲單元 SDU_y 之示意圖。整形及延遲單元 SDU_y 與第 3A 圖之整形及延遲單元 SDU_x 相似，亦包含有反相器 INV1～INV4。此外，整形及延遲單元 SDU_y 另包含濾波電路 FLT₁～FLT₄。濾波電路 FLT₁～FLT₄ 皆由電阻、電容所組成，可將輸入訊號延遲，並可濾除部分雜訊，以加強延遲及整形的效果。

在第 3B 圖中，整形及延遲單元 SDU_y 可視為在整形及延遲單元 SDU_x 中增加濾波電路 FLT₁～FLT₄。當然，所增加的濾波電路不限於四個，亦可以是其它數量。例如，第 3C 圖所示之一整形及延遲單元 SDU_z 僅包含兩個濾波電路 FLT_a、FLT_b。

需注意的是，第 3A 圖至第 3C 圖所示之整形及延遲單元 SDU_x、SDU_y、SDU_z 係用以說明整形及延遲單元 SDU₁～

SDU_(n-1)可能之實現方式，但不限於此。本領域具通常知識者當根據不同顯示器所需的延遲時間，適當地設計整形及延遲單元 SDU_1 ~SDU_(n-1)，確保通道 CH1~CHn 打開所屬薄膜電晶體 114 的時間被錯開，以利電流分散，避免電流在經過導線時產生電壓降，進而維持後續正常操作。

另外，更進一步地，為加大傳輸關機指示訊號 XON 時的時間常數，可在關機指示訊號 XON 傳導路徑的最前端（如時序控制電路 102 與邏輯電路 LGC_1 之間或邏輯電路 LGC_1 與整形及延遲單元_1 之間等）或適當位置，設置至少一緩衝電路，其等效於一大電阻，並於關機指示訊號 XON 傳導路徑的最後端設置一（等效）大電容。藉此，關機指示訊號 XON 的傳輸路徑的前、後兩端分別增加了等效大電阻及等效大電容，整體而言，可加大關機指示訊號 XON 的傳輸路徑的時間常數，進一步錯開關機指示訊號 XON 啟動時，每一通道輸出高電位電壓 VGH 的時間，以分散電流的供給。其中，所採用的緩衝電路不限於特定種類，例如第 3D 圖之（弱）上拉暨下拉架構、第 3E 圖之（弱）上拉架構或第 3F 圖之（弱）下拉架構等，凡能適當提高阻抗者皆可適用於本發明。

另一方面，請參考第 4 圖，第 4 圖為本發明實施例一閘極驅動電路 40 之示意圖。閘極驅動電路 40 同樣可用來取代第 1 圖中之閘極驅動電路 106，以避免液晶顯示器 10 於進行關機電荷釋放時可能產生的大電流。閘極驅動電路 40 包含有一移位暫存模組 400、一第

一多工器 MUX1 及一第二多工器 MUX2。第一多工器 MUX1 可根據一致能訊號 XON_EN，選擇輸出時序控制電路 102 所產生的啟動訊號 STV 或一高位準訊號 HV 至移位暫存模組 400。而第二多工器 MUX2 則根據致能訊號 XON_EN，選擇輸出時序控制電路 102 所產生的時脈訊號 CLK 或一電荷釋放時脈訊號 CLK_XON 至移位暫存模組 400。其中，致能訊號 XON_EN 係根據關機指示訊號 XON 而得，其可視關機指示訊號 XON 的訊號形式，等於關機指示訊號 XON 或為關機指示訊號 XON 的反相訊號。另外，高位準訊號 HV 為對應於高電位電壓 VGH 之邏輯「1」訊號。時脈訊號 CLK 係時序控制電路 102 用以驅動顯示影像時之時脈，亦可將之稱為顯示時脈訊號，而電荷釋放時脈訊號 CLK_XON 則是液晶顯示器 10 於進行關機電荷釋放時所需的時脈。

簡單來說，在開機模式下，第一多工器 MUX1 及第二多工器 MUX2 係根據致能訊號 XON_EN，分別輸出啟動訊號 STV 及時脈訊號 CLK 至移位暫存模組 400，使得移位暫存模組 400 可依顯示訊序輸出掃描訊號至通道 CH1~CHn。相反地，當液晶顯示器 10 由開機轉為關機時，第一多工器 MUX1 及第二多工器 MUX2 係根據致能訊號 XON_EN，分別輸出高位準訊號 HV 及電荷釋放時脈訊號 CLK_XON 至移位暫存模組 400。由於電荷釋放時脈訊號 CLK_XON 係預設對應於釋放電荷所需的時脈，因此，移位暫存模組 400 可依預設時序，依序輸出高電位電壓 VGH 至通道 CH1~CHn。換句話說，設計者可預先根據系統所需，設計適當的電荷釋放時脈訊號

CLK_XON，使得液晶顯示器 10 由開機轉為關機時，移位暫存模組 400 係以特定的延遲時間，依序輸出高電位電壓 VGH 至通道 CH1～CHn。因此，只要電荷釋放時脈訊號 CLK_XON 設定正確，通道 CH1～CHn 打開薄膜電晶體 114 的時間會被有效錯開，以利電流分散，避免電流在經過導線時產生電壓降，進而維持後續正常操作。

因此，透過閘極驅動電路 40，設計者可透過電荷釋放時脈訊號 CLK_XON，決定執行關機電荷釋放時各通道打開電晶體的時間，可使之錯開，避免電流在經過導線時產生電壓降。

在習知技術中，由於電阻／電容（RC）電路的變異性較高，無法產生一致的時間常數，造成延遲不足或過長，以致電流在經過導線時可能會產生壓降，影響閘極驅動電路 106 的操作時序，甚至造成顯示異常。相較之下，在前述本發明實施例中，第 2A 圖及第 4 圖之閘極驅動電路 20、40 皆可用來取代第 1 圖中之閘極驅動電路 106，使得關機時，通道 CH1～CHn 打開薄膜電晶體 114 的時間會被有效錯開，以利電流分散，避免電流在經過導線時產生電壓降，進而維持後續正常操作。

綜上所述，本發明可使液晶顯示器於關機時，各通道打開薄膜電晶體的時間被錯開，以利電流分散，避免電流在經過導線時產生電壓降，進而維持後續正常操作。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖為習知一薄膜電晶體液晶顯示器之示意圖。

第 2A 圖為本發明實施例一閘極驅動電路之示意圖。

第 2B 圖為第 2A 圖中一整形及延遲單元之輸入及輸出訊號示意圖。

第 2C 圖為第 2A 圖之閘極驅動電路之另一實施例示意圖。

第 3A 圖為本發明實施例一整形及延遲單元之示意圖。

第 3B 圖為本發明實施例另一整形及延遲單元之示意圖。

第 3C 圖為本發明實施例另一整形及延遲單元之示意圖。

第 3D 圖至第 3F 圖為可用於第 2A 圖之閘極驅動電路之緩衝電路之示意圖。

第 4 圖為本發明實施例一閘極驅動電路之示意圖。

【主要元件符號說明】

10	薄膜電晶體液晶顯示器
100	面板
102	時序產生器
104	源極驅動電路

106、20、40	閘極驅動電路
116	等效電容
114	薄膜電晶體
122	顯示資料
Vcom	共用電壓
CH1~CHn	通道
200、400	移位暫存模組
LGC_1~LGC_n	邏輯電路
SDU_1~SDU_(n-1)	整形及延遲單元
SCN_1~SCN_n	掃描訊號
DRV_1~DRV_n	驅動訊號
STV	啟動訊號
CLK	時脈訊號
XON	關機指示訊號
INV1~INV4	反相器
FLT_1~FLT_4、FLT_a、FLT_b	濾波電路
MUX1	第一多工器
MUX2	第二多工器
XON_EN	致能訊號
CLK_XON	電荷釋放時脈訊號

七、申請專利範圍：

1. 一種用於一液晶顯示器之閘極驅動電路，該液晶顯示器包含複數個通道，該閘極驅動電路包含有：
一移位暫存模組，用來根據一啟動訊號及一時脈訊號，產生對應於該複數個通道之複數個掃描訊號；
複數個邏輯電路，分別對應於該複數個通道，每一邏輯電路用來根據該複數個掃描訊號之一掃描訊號及一關機指示訊號，輸出一驅動訊號至一對應通道，並輸出該關機指示訊號；以及
複數個整形及延遲單元，每一整形及延遲單元耦接於相鄰兩通道之間，用來將一整形及延遲單元所輸出之該關機指示訊號延遲一預設時間並整形後，傳送至另一通道。
2. 如請求項 1 所述之閘極驅動電路，其中該複數個整形及延遲單元之每一整形及延遲單元包含有複數個反相器，串接於一序列。
3. 如請求項 2 所述之閘極驅動電路，其中該複數個整形及延遲單元之每一整形及延遲單元另包含有至少一濾波電路，每一濾波電路耦接於相鄰兩反相器之間。
4. 如請求項 3 所述之閘極驅動電路，其中該至少一濾波電路之每一濾波電路包含有電阻或電容。

5. 一種液晶顯示器，包含有：

一面板，包含有複數個通道；

一時序控制電路，用來產生一啟動訊號、一時脈訊號及一關機指示訊號；

一源極驅動電路，耦接於該時序控制電路與該面板之間，用來輸出影像資料至該面板；以及

一閘極驅動電路，耦接於該時序控制電路與該面板之間，用來驅動該面板顯示影像資料，包含有：

一移位暫存模組，用來根據該啟動訊號及該時脈訊號，產生對應於該複數個通道之複數個掃描訊號；

複數個邏輯電路，分別對應於該複數個通道，每一邏輯電路用來根據該複數個掃描訊號之一掃描訊號及該關機指示訊號，輸出一驅動訊號至一對應通道，並輸出該關機指示訊號；以及

複數個整形及延遲單元，每一整形及延遲單元耦接於該複數個邏輯電路中對應於相鄰兩通道之兩邏輯電路之間，用來將一邏輯電路所輸出之該關機指示訊號延遲一預設時間並整形後，傳送至另一邏輯電路。

6. 如請求項 5 所述之液晶顯示器，其中該複數個整形及延遲單元之每一整形及延遲單元包含有複數個反相器，串接於一序列。

7. 如請求項 6 所述之液晶顯示器，其中該複數個整形及延遲單元

之每一整形及延遲單元另包含有至少一濾波電路，每一濾波電路耦接於相鄰兩反相器之間。

8. 如請求項 7 所述之液晶顯示器，其中該至少一濾波電路之每一濾波電路包含有電阻或電容。
9. 一種用於一液晶顯示器之閘極驅動電路，該液晶顯示器包含複數個通道，該閘極驅動電路包含有：
 - 一移位暫存模組，用來根據一第一多工結果及一第二多工結果，產生複數個掃描訊號至該複數個通道；
 - 一第一多工器，用來根據一關機指示訊號，選擇輸出一啟動訊號或單一位準訊號，以產生該第一多工結果；以及
 - 一第二多工器，用來根據該關機指示訊號，選擇輸出一顯示時脈訊號或一電荷釋放時脈訊號，以產生該第二多工結果。
10. 如請求項 9 所述之閘極驅動電路，其中該第一多工器係於該關機指示訊號指示該液晶顯示器由一開機模式切換至一關機模式時，輸出單一位準訊號，以產生該第一多工結果。
11. 如請求項 9 所述之閘極驅動電路，其中該第一多工器係於該關機指示訊號指示該液晶顯示器操作於一開機模式時，輸出該啟動訊號，以產生該第一多工結果。

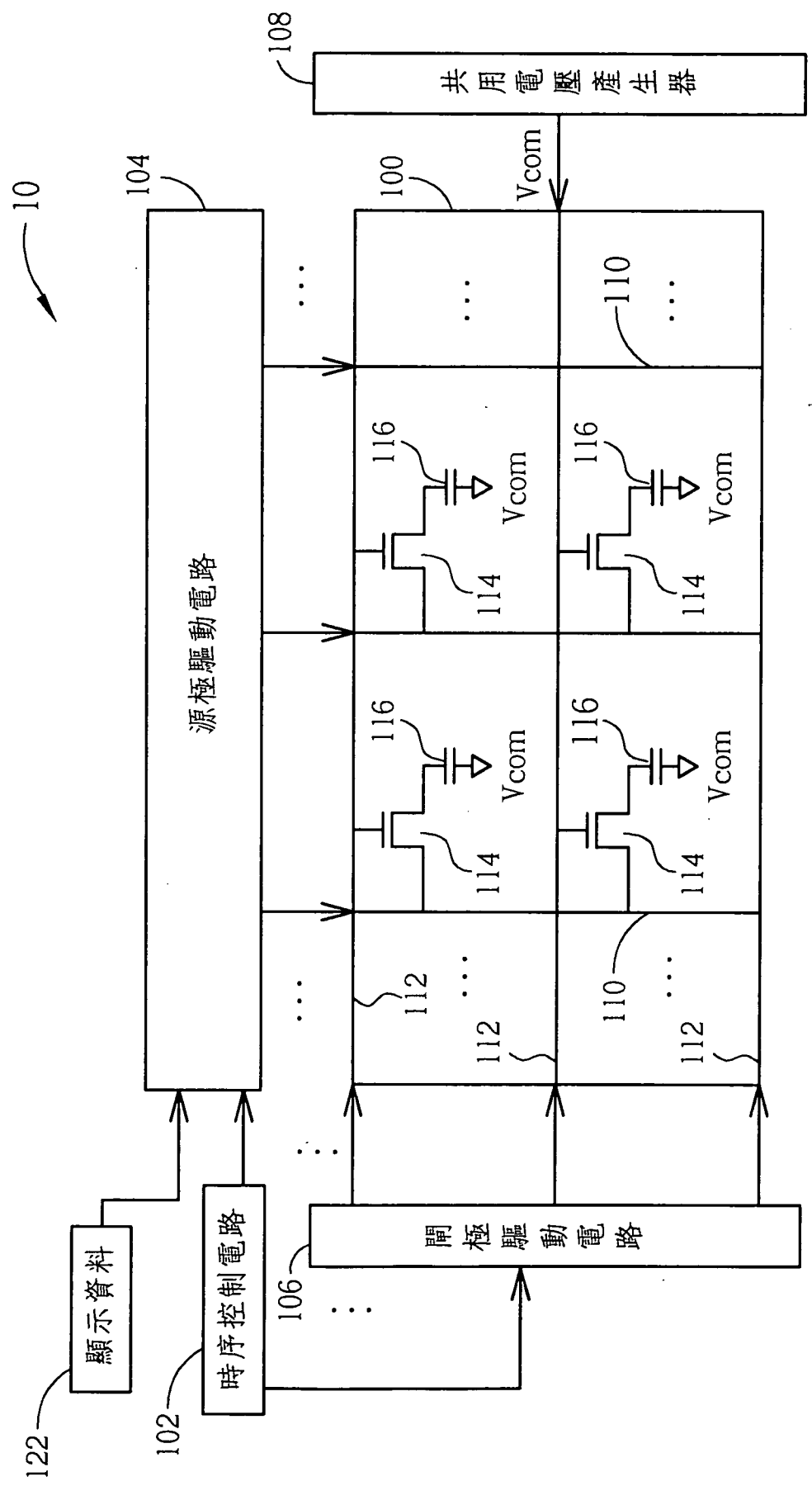
12. 如請求項 9 所述之閘極驅動電路，其中該第二多工器係於該關機指示訊號指示該液晶顯示器由一開機模式切換至一關機模式時，輸出該電荷釋放時脈訊號，以產生該第二多工結果。
13. 如請求項 9 所述之閘極驅動電路，其中該第二多工器係於該關機指示訊號指示該液晶顯示器操作於一開機模式時，輸出該顯示時脈訊號，以產生該第二多工結果。
14. 如請求項 9 所述之閘極驅動電路，其中該顯示時脈訊號係對應於該液晶顯示器顯示影像時之時脈，該電荷釋放時脈訊號係對應於該液晶顯示器關機時釋放電荷之時脈。
15. 如請求項 9 所述之閘極驅動電路，其中該第一多工器和第二多工器係由該液晶顯示器之一時序控制電路實現。
16. 一種液晶顯示器，包含有：
 - 一面板，包含有複數個通道；
 - 一時序控制電路，用來產生一啟動訊號、一顯示時脈訊號及一關機指示訊號；
 - 一源極驅動電路，耦接於該時序控制電路與該面板之間，用來輸出影像資料至該面板；以及
 - 一閘極驅動電路，耦接於該時序控制電路與該面板之間，用來驅動該面板顯示影像資料，包含有：

一移位暫存模組，用來根據一第一多工結果及一第二多工結果，產生複數個掃描訊號至該複數個通道；
 一第一多工器，用來根據一關機指示訊號，選擇輸出該啟動訊號或單一位準訊號，以產生該第一多工結果；以及
 一第二多工器，用來根據該關機指示訊號，選擇輸出該顯示時脈訊號或一電荷釋放時脈訊號，以產生該第二多工結果。

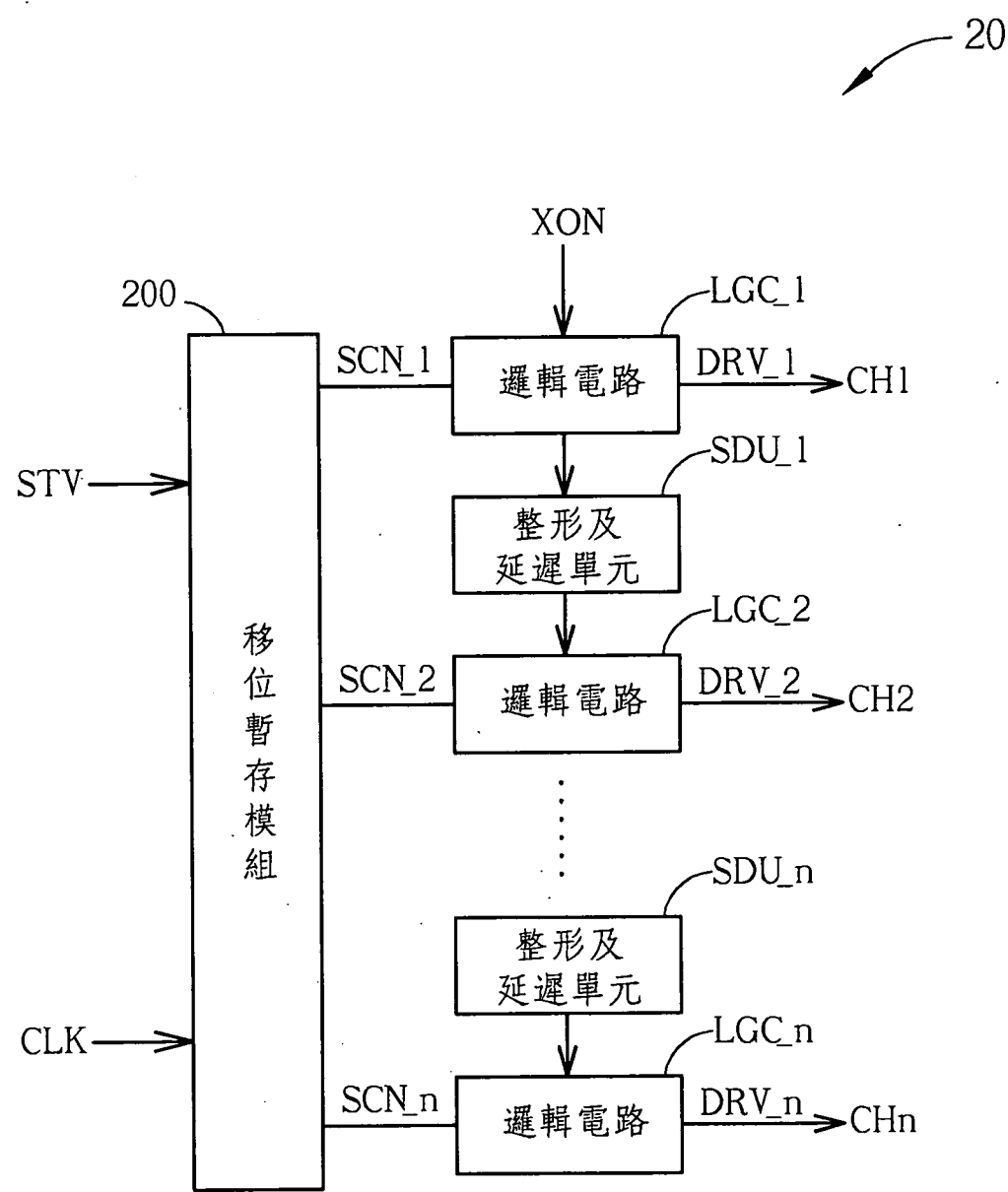
17. 如請求項 16 所述之液晶顯示器，其中該第一多工器係於該關機指示訊號指示該液晶顯示器由一開機模式切換至一關機模式時，輸出該位準訊號，以產生該第一多工結果。
18. 如請求項 16 所述之液晶顯示器，其中該第一多工器係於該關機指示訊號指示該液晶顯示器操作於一開機模式時，輸出該啟動訊號，以產生該第一多工結果。
19. 如請求項 16 所述之液晶顯示器，其中該第二多工器係於該關機指示訊號指示該液晶顯示器由一開機模式切換至一關機模式時，輸出該電荷釋放時脈訊號，以產生該第二多工結果。
20. 如請求項 16 所述之液晶顯示器，其中該第二多工器係於該關機指示訊號指示該液晶顯示器操作於一開機模式時，輸出該顯示時脈訊號，以產生該第二多工結果。

21. 如請求項 16 所述之液晶顯示器，其中該顯示時脈訊號係對應於該液晶顯示器顯示影像時之時脈，該電荷釋放時脈訊號係對應於該液晶顯示器關機時釋放電荷之時脈。
22. 如請求項 16 所述之液晶顯示器，其中該第一多工器和第二多工器係由該時序控制電路實現。

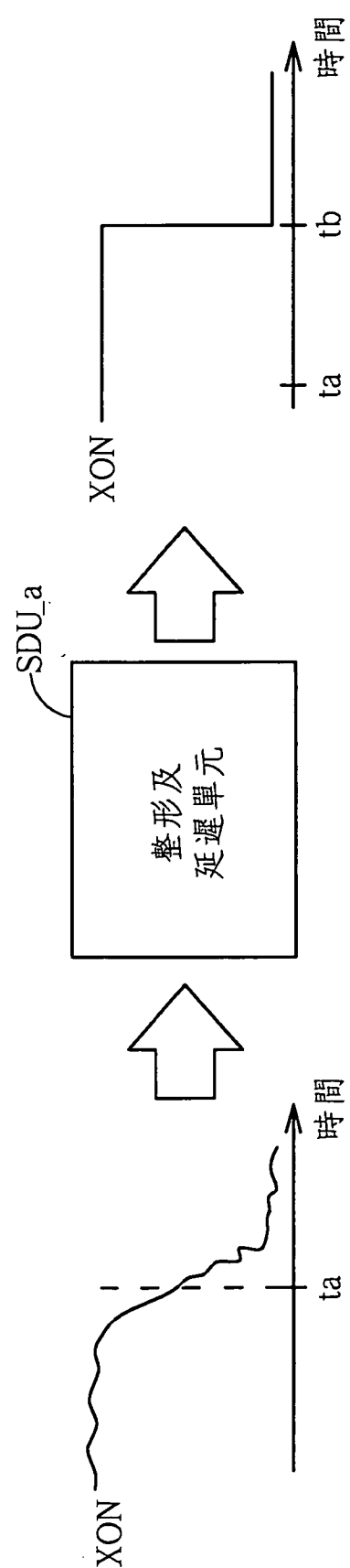
八、圖式：



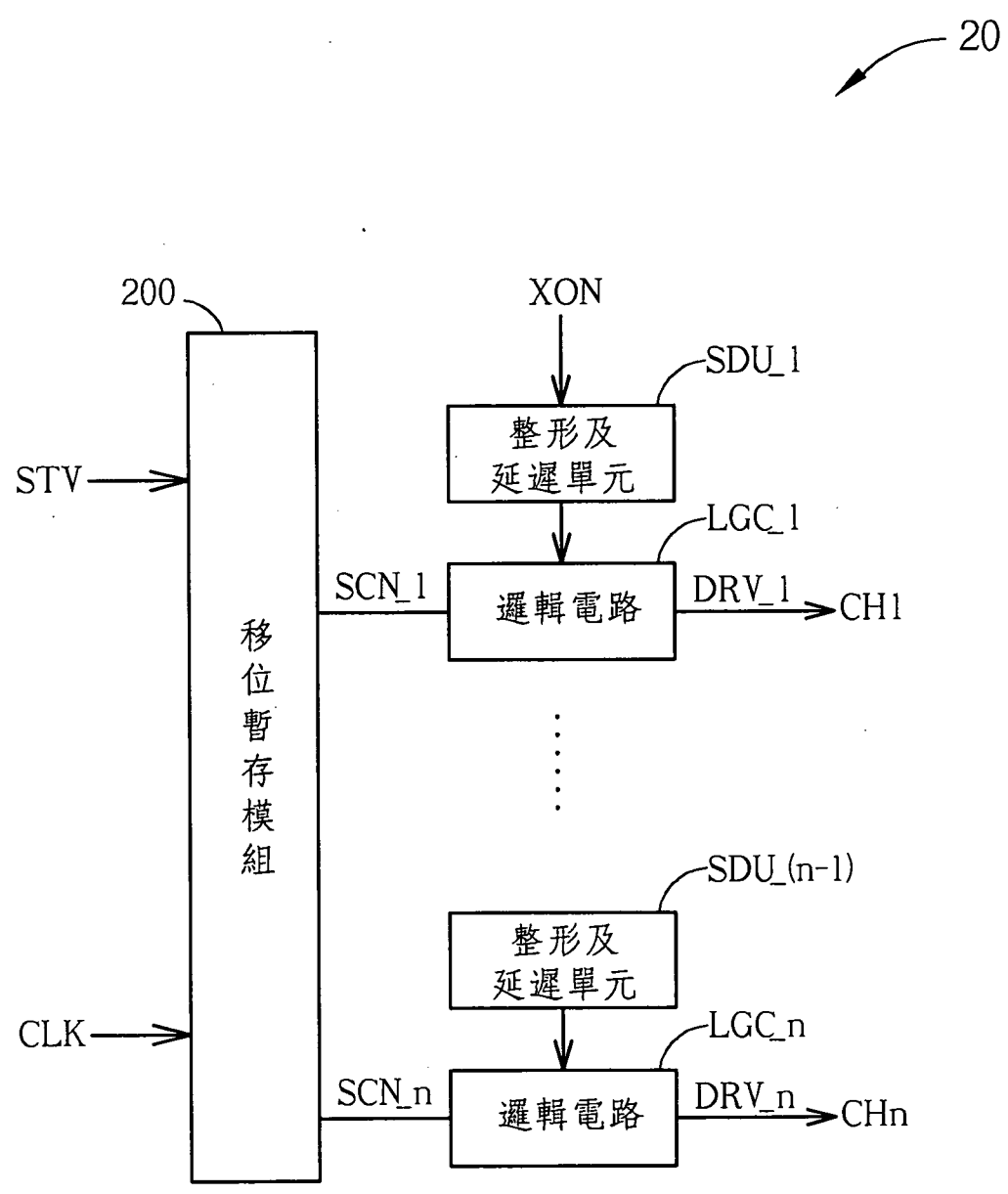
第1圖



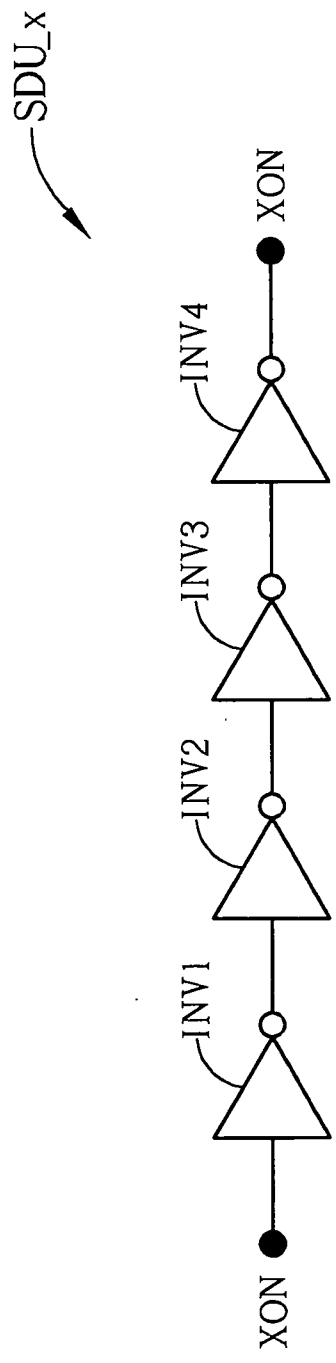
第2A圖



第2B圖

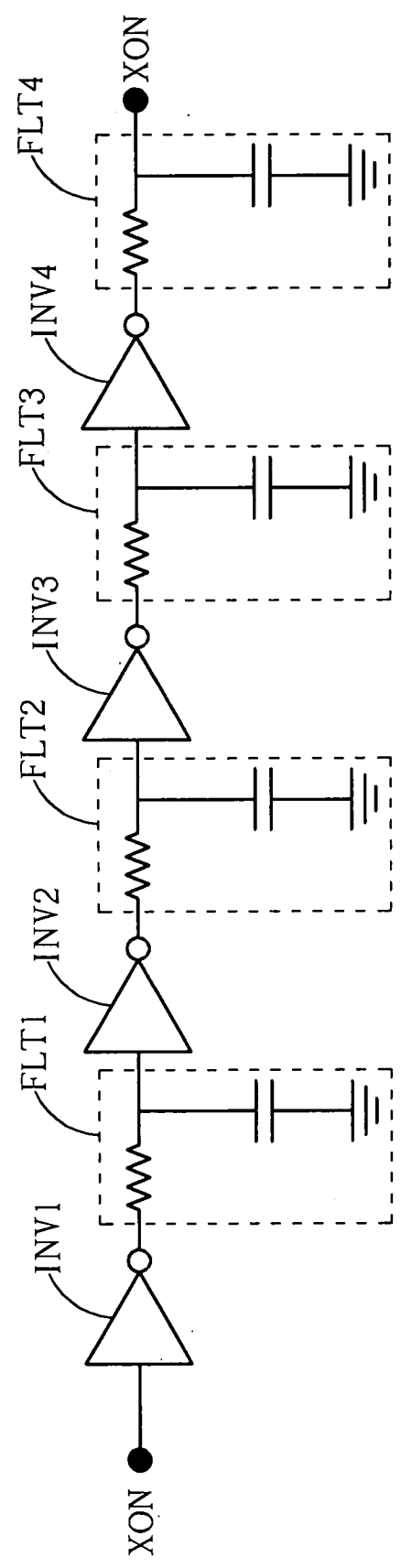


第2C圖



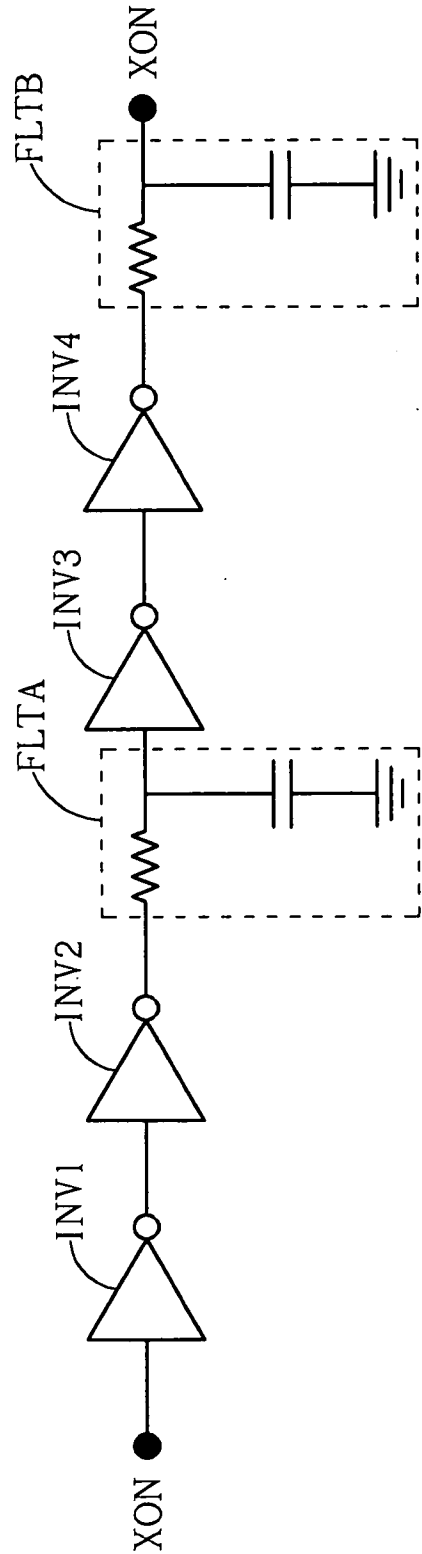
第3A圖

SDU_y

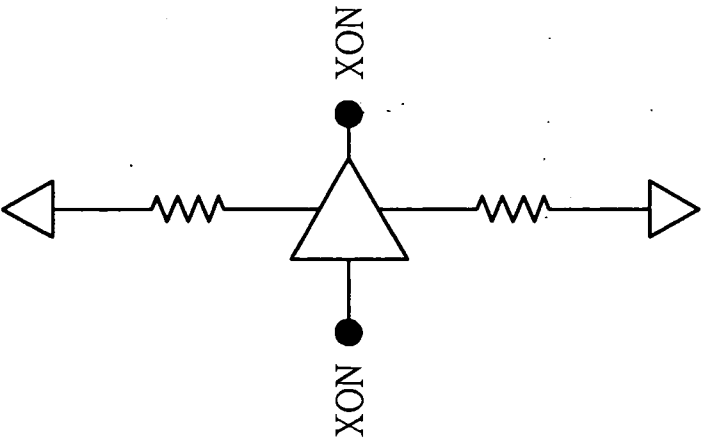


第3B圖

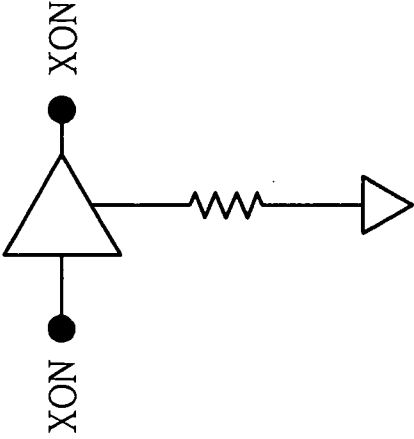
SDU_z



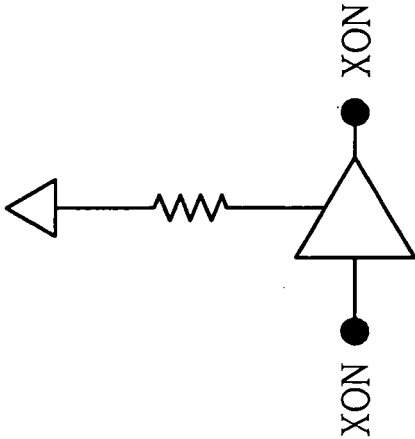
第3C圖



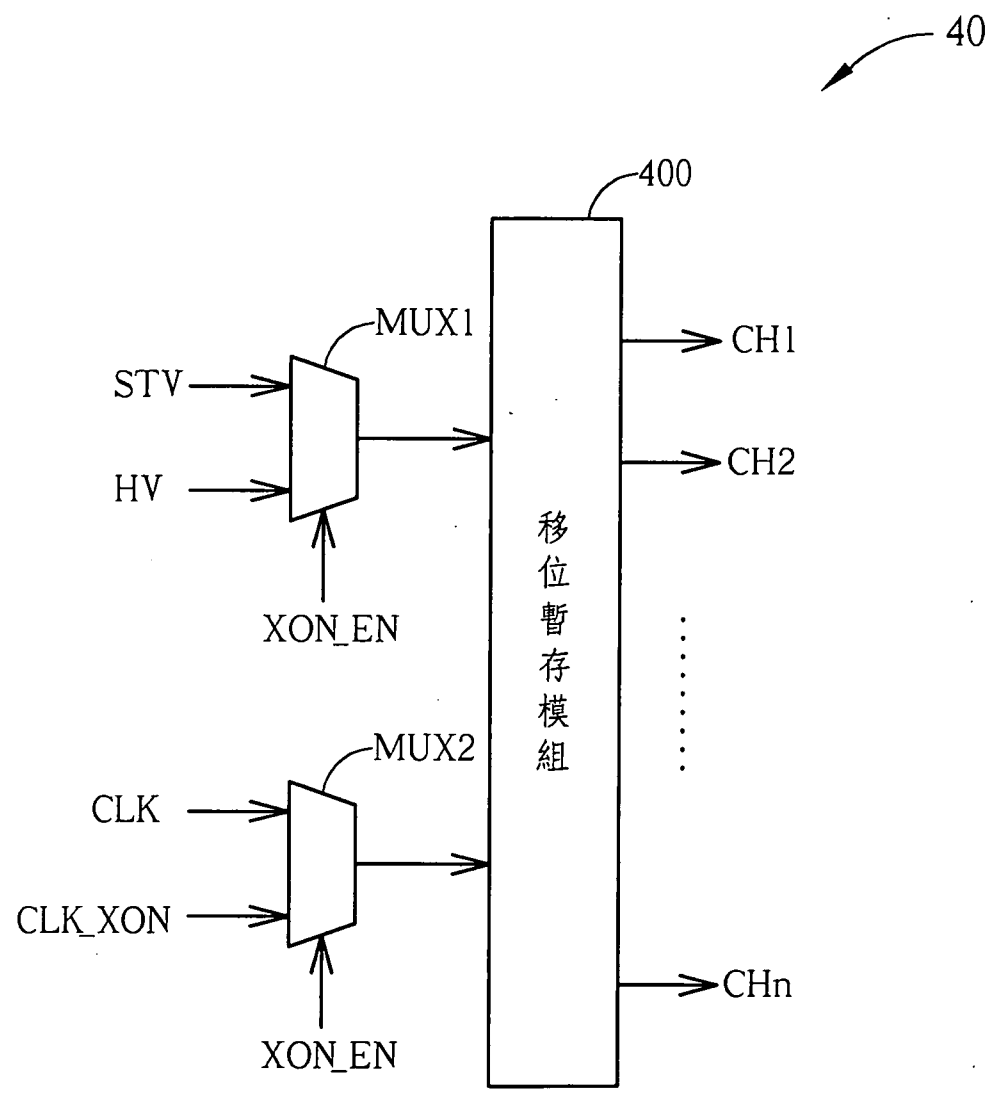
第3D圖



第3F圖



第3E圖



第4圖