



(12) 发明专利

(10) 授权公告号 CN 101547367 B

(45) 授权公告日 2014. 07. 16

(21) 申请号 200910128668. 3

(22) 申请日 2009. 03. 20

(30) 优先权数据

2008-083112 2008. 03. 27 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 植田浩司 岩田宪一 望月诚二

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H04N 19/12(2014. 01)

H04N 19/436(2014. 01)

H04N 19/127(2014. 01)

(56) 对比文件

US 7178069 B2, 2007. 02. 13,

US 7286717 B2, 2007. 10. 23,

CN 1556522 A, 2004. 12. 22,

CN 200973104 Y, 2007. 11. 07,

CN 1144361 A, 1997. 03. 05,

审查员 陈荣华

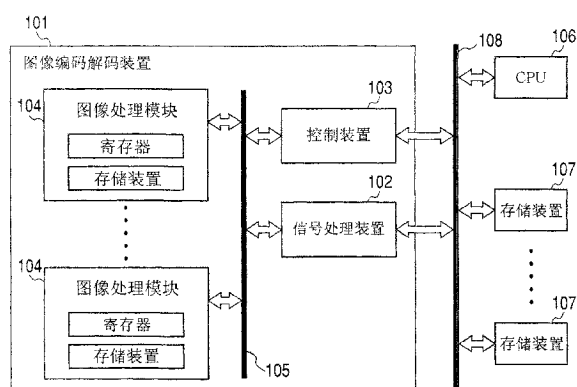
权利要求书2页 说明书9页 附图12页

(54) 发明名称

数据处理装置、图像编码解码装置及数据处理系统

(57) 摘要

本发明提供一种在对图像编码解码装置频繁进行大量数据的初始设定时减轻外部 CPU 处理负担的技术。图像编码解码装置(数据处理装置)具有用于对多个图像处理模块(处理单元)进行初始设定的第一电路(103)和第二电路(102),不直接从外部 CPU 接受被多个图像处理模块初始设定的信息,在第一电路设定来自 CPU 的用于进行初始设定的控制信息,第二电路利用设定于所述第一电路的控制信息从外部读入初始设定信息和该初始设定信息的设定目标信息,根据读入的设定目标信息向图像处理模块传送初始设定信息。CPU 无需直接将被初始设定于多个图像处理模块的所有信息设置于图像编码解码装置,而且与利用 DMA 传送时一样,也无需由 CPU 设定传送源地址和传送目标地址。



1. 一种数据处理装置,包括:

多个处理单元,其并列进行基于已初始设定的程序和数据的数据处理,所述已初始设定的程序和数据基于初始设定信息;

外部存储器单元,其存储用于所述多个处理单元的初始设定的初始设定信息和指示所述初始设定信息的目的地的设定目标信息;

第一电路,其从外部设定控制信息,所述控制信息包括所述初始设定信息和所述设定目标信息的保存地址;以及

第二电路,其基于所述控制信息,从所述外部存储器单元读出所述初始设定信息和所述设定目标信息,并根据所读出的设定目标信息向所述多个处理单元传送所述初始设定信息。

2. 一种图像处理装置,包括:

多个第一图像处理模块(104),其能够根据初始设定的内容来对图像数据进行编码或解码处理,所述初始设定的内容基于初始设定信息;

外部存储装置,其存储用于所述多个第一图像处理模块的初始设定的初始设定信息和指示所述初始设定信息的目的地的设定目标信息

控制电路(103),其从所述外部存储装置设定用于初始设定的控制信息,所述控制信息包括所述初始设定信息和所述设定目标信息的保存地址;以及

信号处理电路,其基于设定于所述控制电路(103)的控制信息,读取存储在所述外部存储装置中的数据和传送目标地址,并且基于所述传送目标地址向所述多个第一图像处理模块(104)的内部存储装置传送所述数据。

3. 根据权利要求2所述的图像处理装置,其中

所述控制信息包括地址信息,该地址信息表示在所述外部存储装置中的所述数据和所述传送目标地址的保存位置。

4. 根据权利要求3所述的图像处理装置,其中

所述控制信息包括地址信息,该地址信息表示所述数据和所述传送目标地址的保存位置的起始地址,且所述信号处理电路通过将表示所述起始地址的地址信息依次递增至依次生成所述数据和所述传送目标地址的源地址。

5. 根据权利要求2所述的图像处理装置,其中

所述传送目标地址是表示第一图像处理模块以及所述数据要传送到的第一图像处理模块内的存储区域的地址的信息。

6. 根据权利要求4所述的图像处理装置,其中

所述数据和所述传送目标地址对每个传送目标地址构成固定长度的数据包,且各个数据包包括标记,所述标记的第一状态表示该标记后续有所述传送目标地址和所述数据,所述标记的第二状态表示该数据包为终端数据包。

7. 根据权利要求6所述的图像处理装置,其中

所述信号处理电路响应所述终端数据包的所述标记来结束所述数据和所述传送目标地址的读入以及依照读入的信息进行所述数据的传送处理。

8. 根据权利要求6所述的图像处理装置,其中

所述信号处理电路根据后续于所述终端数据包的所述标记的地址信息来将代码信息

传送给控制电路,该控制电路响应已被传送的所述代码来指示所述多个第一图像处理模块开始进行图像编码或解码处理。

9. 根据权利要求 2 所述的图像处理装置,还包括:

多个第二图像处理模块,其并列进行用于编码处理的多个运算处理。

10. 根据权利要求 2 所述的图像处理装置,还包括:

多个第三图像处理模块,其并列进行用于解码处理的多个运算处理。

11. 根据权利要求 2 所述的图像处理装置,还包括:

并列进行用于编码处理的多个运算处理的多个第二图像处理模块,和
并行进行用于解码处理的多个运算处理的多个第三图像处理模块。

12. 根据权利要求 11 所述的图像处理装置,其中

用于所述多个第一、第二和第三图像处理模块的工作程序和数据存储的 RAM 被分别设置于每个数据处理单元,且所述存储在所述外部存储装置中数据被初始设定于所述 RAM 中。

数据处理装置、图像编码解码装置及数据处理系统

技术领域

[0001] 本发明涉及一种数据处理装置、图像编码解码装置及适用于所述装置的数据处理系统,例如对于图像的压缩与解压缩的硬件的 DVD/HDD 刻录机、数码摄像机、数码照相机、移动电话、导航系统、数码电视等的动态图像的再生及所有记录装置等有效的技术。

背景技术

[0002] 近年来,图像编码解码装置可对应进行 MPEG2 和 MPEG4 等多种图像的编码解码算法的多功能解码处理等,功能越来越复杂且进行初始设定的寄存器数量和程序文件的容量等都在增加。在以往技术中,是从 CPU 开始利用总线的副存取 (slave access) 对图像编码解码装置内大量的寄存器逐个进行设定的,所以在初始设定运行时很费时。另外,随着寄存器等的增多,所设定的数据的量也变大,造成了 CPU 负荷增大的问题。

[0003] 专利文献 1 中记载了通过将寄存器设定为 2 个面,其中 1 个面用于当前的动作,另一个面用于进行下一次的动作设定及保持寄存器的初始值等方式来隐蔽设定时间的技术。专利文献 2 中记载了通过传送压缩后的数据,并在内部电路解压缩后再设定到寄存器的方式来缩短设定量和设定时间的技术。

[0004] 《专利文献 1》

[0005] 日本公开特许公报特开 2005-56033 号公报

[0006] 《专利文献 2》

[0007] 日本公开特许公报特开 2006-178689 号公报

[0008] 发明内容

[0009] 但是,本案发明人发现,在进行图像编码或解码时,具有使用按帧转换进行编码和解码处理和按帧转换解码类型(算法类型)两种情况,在这两种情况下,需要特别注意的是,必须以帧为单位进行寄存器的设定或进行程序文件的替换。综上所述,仅靠上述的专利文献 1 及专利文献 2 中所记载的技术无法很好解决。另外,如果采用 DMA 传送,虽然确实可减少 CPU 的负荷,但是如果频繁对数量大的数据进行初始设定时,仅靠 DMA 传送来减少 CPU 负荷的作用非常有限。上述情况在具有对基于已被初始设定的程序和数据并列进行数据处理的多个处理单元的数据处理装置中也同样存在。

[0010] 本发明的目的是:在图像编码解码装置的代表性的数据处理装置频繁地对大量数据进行初始化设定时,减少外部 CPU 的处理负担。

[0011] 本发明的所述内容及所述内容以外的目的和新特征在本说明书的描述及附图说明中写明。

[0012] 下面简要说明关于本专利说明书中所公开的发明中具有代表性的内容的概要。

[0013] 即:图像编码解码装置(数据处理装置)具有为了对多个图像处理模块(处理单元)进行初始设定的第一电路和第二电路,不直接从外部的 CPU 接受被多个图像处理模块初始设定的信息,在第一电路设定来自 CPU 的用于初始设定的控制信息,第二电路利用设定于所述第一电路的控制信息,从外部读入初始设定信息及该初始设定信息的设定目标信

息,并根据读入的设定目标信息向图像处理模块传送初始设定信息。

[0014] 由此,CPU 无需将被初始设定于多个图像处理模块的所有信息直接设置于图像编解码装置,而且,与利用 DMA 传送时一样,无需由 CPU 设定传送源地址和传送目标地址。另外,在使用 CPU 和 DMA 传送时,由于被初始设定的存储电路必须映射到 CPU 的地址空间而占有较多的 CPU 的地址空间,如果采用上述的方式则无需映射到 CPU 的地址空间,只需将各个图像处理模块初始设定的存储电路映射到本地地址便可。

[0015] 下面简要说明关于本专利申请书中所公开的发明中根据具有代表性的内容所得到的效果。

[0016] 即:即使在图像编解码装置频繁地对大量数据进行初始设定时也可以减轻外部 CPU 的处理负担。

附图说明

[0017] 图 1 所示的是本发明相关的图像编解码装置一例的框图。

[0018] 图 2 所示的是利用图像编解码装置进行图像编码及解码时的启动处理的流程图。

[0019] 图 3 为表示用于初始设定的初始值数据的数据包构成的数据格式图。

[0020] 图 4 为表示控制装置的详细内容及表示信号处理装置的具体例的框图。

[0021] 图 5 为表示信号处理装置的详细内容及表示控制装置的具体例的框图。

[0022] 图 6 为表示与本发明相关的其他的图像编解码装置例的框图。

[0023] 图 7 为以 CPU 直接进行所有寄存器设定时的数据传输动作为比较例时的时序图。

[0024] 图 8 为 CPU 经由控制装置的从端口设定内部寄存器的动作与图 7 相比时的时序图。

[0025] 图 9 为使用信号处理装置的主端口对初始设定值数据的读动作例的时序图。

[0026] 图 10 为表示将图像编解码装置应用于移动电话系统时的框图。

[0027] 图 11 为图像编解码装置对动态图像的编码元件及解码元件的基本功能框图。

[0028] 图 12 为将图 11 的编码元件和解码元件的功能进行流水线处理时最合适的多个图像处理模块的框图。

[0029] 符号说明

[0030]	101	图像编解码装置
[0031]	108	总线
[0032]	106	CPU(中央处理装置)
[0033]	107	存储装置
[0034]	104	图像处理模块
[0035]	103	控制装置
[0036]	102	信号处理装置
[0037]	310	寄存器电路
[0038]	311	外部总线接口(EXBIF)
[0039]	312	终端代码接受模块
[0040]	313	控制模块

[0041]	314	内部总线接口 (INBIF)
[0042]	301	请求产生装置
[0043]	302	寄存器电路
[0044]	308	响应处理装置
[0045]	305	外部总线接口 (EXBIF)
[0046]	309	内部总线接口 (INBIF)
[0047]	101mdf	图像编码解码装置
[0048]	102mfd	信号处理装置
[0049]	301mfd	请求产生装置
[0050]	302mfd	寄存器电路
[0051]	600	图像编码解码装置
[0052]	620	编码元件
[0053]	630	解码元件
[0054]	700 ~ 709	处理单元

具体实施方式

[0055] 下面首先对本专利申请书中所公开的发明的具体实施方式的概要进行说明。在本代表性的实施方式的概要说明中,括号中所附的参照图中的参照符号仅为所附的构成要素的一例而已。

[0056] 本发明中的数据处理装置包括:多个处理单元,其并列进行基于已初始设定的程序和数据的处理;第一电路,其从外部设定用于初始设定的控制信息;以及第二电路,其使用设定于第一电路的控制信息来从外部读入初始设定信息及该初始设定信息的设定目标信息,并根据所读入的设定目标信息向所述处理单元传送初始设定信息。

[0057] 本发明中的图像编码解码装置包括:多个图像处理模块,其可根据初始设定的内容来对图像数据进行编码及解码处理;第一电路,其从外部设定用于初始设定的控制信息;以及第二电路,其使用设定于第一电路的控制信息来从外部读入初始设定信息和该初始设定信息的设定目标信息,并根据所读入的设定目标信息向所述图像处理模块传送初始设定信息。

[0058] 根据技术方案2所述的图像编码解码装置中,所述控制信息包括地址信息,该地址信息表示初始设定信息及设定目标信息的保存地址。

[0059] 根据技术方案3所述的图像编码解码装置中,所述控制信息包括地址信息,该地址信息表示初始设定信息和设定目标信息的保存地址的起始地址,且所述第二电路通过将表示所述起始地址的地址信息依次递增来依次生成初始设定信息和设定目标信息的读入地址。

[0060] 根据技术方案2所述的图像编码解码装置中,所述设定目标信息是表示是哪一个图像处理模块的信息以及表示图像模块内的存储区域的地址的信息。

[0061] 根据技术方案4所述的图像编码解码装置中,所述初始设定信息和设定目标信息对每个设定目标信息构成固定长度的数据包,且各个数据包包括标记,所述标记的第一状态表示该标记后续有初始设定信息,所述标记的第二状态表示该数据包为终端数据包。

[0062] 根据技术方案 6 所述的图像编解码装置中,所述第二电路响应所述终端数据包的所述标记来结束所述初始设定信息和设定目标信息的读入以及依照所读入的信息进行的初始设定信息的传送处理。

[0063] 根据技术方案 6 所述的图像编解码装置中,所述第二电路根据后续于所述终端数据包的所述标记的地址信息来将代码信息传送给第一电路,该第一电路响应已被传送来的所述代码来指示所述多个图像处理模块开始进行图像编码和解码处理。

[0064] 根据技术方案 2 所述的图像编解码装置中,作为所述多个图像处理模块,包括并列进行为了编码处理的多个运算处理的多个处理单元和并列进行用于解码处理的多个运算处理的多个处理单元。

[0065] 根据技术方案 9 所述的图像编解码装置中,用于所述处理单元的工作程序和数据存储的 RAM 被分别设置于每个数据处理单元,且所述初始设定信息被初始设定于所述 RAM 中。

[0066] 本发明有关的数据处理系统包括:根据技术方案 7 所述的图像编解码装置;其将控制信息设定于所述图像编解码装置的第一电路上的 CPU;以及存储所述图像编解码装置的第二电路读入的所述初始设定信息和设定目标信息的存储装置。

[0067] 根据技术方案 11 所述的数据处理系统中,所述 CPU 将为了从多个不同的编解码处理算法中选择一种而需要的控制信息设定在所述图像编解码装置上的第一电路中。

[0068] 根据技术方案 11 所述的数据处理系统被安装在移动电话中。

[0069] 下面对具体实施方式进行更详细叙述。以下将参照图面对本实施方式的具体内容进行详细说明。另外,为了说明实施方式的所有图中,对具有同一功能的构件采用同一符号,并省略掉重复的说明。

[0070] 图 1 所示的是与本发明相关的图像编解码装置的一例。图像编解码装置 101 被作为设置于数据处理装置的加速器或外围电路模块,该数据处理装置具有共同连接于总线 108 的 CPU(中央处理装置)106 及存储装置 107。虽然对于所述总线 108 无特别要求,但是是由数据分割传输总线和路由器构成,并通过数据传输协议进行总线控制,所述数据传输协议是指将来自启动器的请求数据包向目标传输,而目标根据需要响应数据包传送给传送源的启动器。这里的 CPU 106 和控制装置 103 可为启动器,即总线主控。

[0071] 图像编解码装置 101 包括共同与内部总线 105 连接的多个图像处理模块 104、控制装置 103 及信号处理装置 102。信号处理装置 102 在图像处理模块 104 的寄存器或存储装置进行数据或程序的初始设定。控制装置 103 根据来自 CPU 106 的指示对图像编解码装置进行整体控制。例如,从 CPU 106 取得由信号处理装置 102 进行所述初始设定所必需的信息并使信号处理装置 102 进行所述初始设定动作,另外,还对初始设定结束后的图像处理模块 104 进行启动控制等。

[0072] 存储装置 107 用于保存初始设定数据、图像数据及编码数据等。多个图像处理模块 104 为分别进行为了将图像数据进行编码的离散余弦变换(DCT)处理、量子化处理及可变长度编码的处理等的多个电路模块和分别进行为了将编码数据进行解码的可变长度解码、逆量子化及逆 DCT 等的处理的多个电路模块。另外,这些图像处理模块根据已被初始设定的程序或控制数据,可选择按照 MPEG2, MPEG4, H. 264 等规格进行的处理。因此,可分别选择对应数码相机的处理、对应数码摄像机的处理以及对应可视电话的图像处理等。例如,假

设用于移动电话时,预计将对多个图像处理模块 104 较频繁地进行设定数据量较多的初始设定。同时也考虑到了图像编解码装置 101 中的图像处理模块 104 的初始设定的效率。下面将对此进行详细说明。

[0073] 图 2 为使用了图像编解码装置 101 进行图像的编码或解码时启动处理(初始设定及进行初始设定后的图像处理模块的启动)的流程图。首先,在步骤 S201 中,通过 CPU 106 将为了确定初始设定所必需的数据或程序等地址的初始设定值起始地址以及端法模式下进行初始设定值等的初始设定值读所需的初始值数据设置于控制装置 103,设置后,信号处理装置 102 启动向图像处理模块 104 的初始设定数据的读动作。该图像处理模块 104 符合所设置的初始值数据。由此,在步骤 S202 中,由信号处理装置 102 进行来自存储装置 107 的初始值数据的读动作。例如,初始值数据如图 3 所示,构成具有内部模块 ID(给图像处理模块分配 ID)、标记 E、内部模块内地址及数据的数据包。如果标记 E 为“0”,数据就为初始设定数据,表示还有后续的数据包;如果标记 E 为“1”,则表示其为终端数据包,在该数据部中保存有控制装置内的终端代码接受地址等。反复进行步骤 S202 的读动作直到检测到终端数据包(E=1)为止,一检测到终端数据包则通过步骤 S204 来停止初始设定值数据的读动作。所读入的初始设定值数据通过信号处理装置 102 的控制被内部传输到以数据包的内部模块 ID 和模块内地址表示的图像处理模块 104 的寄存器及存储装置并被初始设定。在步骤 S205 中,由控制装置 103 进一步判定是否需要从别的保存地址进行初始设定值数据的读,需要进行时,控制装置 103 将使信号处理装置 102 重复进行步骤 S201 到步骤 S205 的处理。在结束所有的初始设定值数据的读后,步骤 S206 中,通过控制装置 103 对图像处理模块 104 发出开始进行图像处理的指示。另外,端法模式是指总线 108 中的传输方式是大端法模式还是小端法模式。

[0074] 图 4 及图 5 为信号处理装置 102 和控制装置 103 的具体例,图 4 表示控制装置 103 的详细内容,图 5 表示信号处理装置 102 的详细内容。

[0075] 图 4 所示的控制装置 103 包括寄存器电路 310、外部总线接口(EXBIF)311、终端代码接受模块 312、控制模块 313 以及内部总线接口(INBIF)314 等。寄存器电路 310 包括启动设定、端法模式、多个初始设定值起始地址的各寄存器 310A,310B,310C... 等等。

[0076] 图 4 所示的信号处理装置 102 具有请求产生装置 301、寄存器电路 302、响应处理装置 308、外部总线接口(EXBIF)305 以及内部总线接口(INBIF)309 等。寄存器电路 302 包括启动、端法模式、初始设定起始地址的各寄存器 302A,302B,302C 等。请求产生装置 301 包括地址产生电路 304 和数据包产生电路 303。

[0077] 参照图 4 对初始设定值数据的读功能进行详细说明。进行初始设置值读的信号处理装置 102 通过控制装置 103 启动读动作。进行初始设定值读运行时,首先从 CPU 106 经由外部总线 108、外部总线接口 311 在控制装置 103 内的寄存器电路 310 进行数据设定。CPU 106 对寄存器电路 310 设定的数据为在保存初始设定值数据的存储装置 107 上的初始设定值起始地址、外部总线 108 的端法模式以及启动设定。在完成初始设定值基址地址及端法模式等的设定后才进行启动设定。控制装置 103 根据该启动设定启动初始设定值的读动作。并可选择启动单位并启动,如在初始设定值读动作完成后,控制模块 313 继续启动图像处理模块 104。或者在已经完成初始设定值读的状态下,仅启动图像处理模块 104。

[0078] 根据启动设定指示启动初始设定值读动作时,控制装置 103 就通过内部总线 105

将设定数据向进行初始设定值数据读动作的信号处理装置 102 内的寄存器电路 302 传送。所传送的设定数据包括通过 CPU 106 设置于寄存器电路 310 的端法模式和一个初始设定值起始地址。在向信号处理装置 102 内的寄存器电路 302 传送完初始设定值起始地址、端法模式等的初始设定值读所必需的寄存器数据后,控制装置 103 向启动寄存器设置允许数据以使信号处理装置 102 启动初始设定值的读动作。如果指示了启动初始设定值读动作,请求产生装置 301 就从寄存器读入初始设定值起始地址,并通过地址产生电路 304 对对应该初始设定值起始地址的外部总线 108 上的地址进行地址计算。数据包产生电路 303 生成总线命令。由地址产生电路 304 生成的地址和由数据包产生电路 303 生成的总线命令等通过外部总线接口电路 305 转换为外部总线协议并向外部总线 108 输出。根据该总线命令从存储装置 107 读入初始设定值数据,并将读入的初始设定值数据作为响应数据从外部总线接口电路 305 提供给响应处理装置 308。请求产生电路 301 在从响应处理装置 308 输入停止信号 306 之前继续生成请求数据包,在输入停止信号 306 后停止产生请求并等待下一次启动。停止产生请求如图 2 的步骤 S204 所示。由图 3 的所述 $E = 1$ 所示的终端代码检测到停止产生请求。

[0079] 下面参照图 3 以保存于外部存储装置 107 的初始设定数据为例进行更详细的说明。保存于外部存储装置 107 的初始设定数据可通过所处理的数据量或数据的种类、内部模块数(内部模块的 ID 的位数)或内部模块的地址的位数等自由选择 1 个数据包由多少位构成。这里以 128 位的数据为 1 个数据包进行说明。最初的 32 位为保存表示内部模块(图像处理模块 104)的 ID 和终端数据包的位 E 。接着的 32 位用于保存内部模块内的地址的位串。接着的 64 位用以保存向内部模块传送的数据的位串。将此 128 位作为 1 个数据包。关于终端数据包,表示终端数据包的位 E 被置为允许($E = 1$)、内部模块 ID 为控制装置 103 的 ID、内部模块内的地址保存接受控制装置 103 内的终端代码的专用地址(接受终端代码的模块 312 的内部)。从初始设定数据最初的数据包开始到终端数据包为止的数据保存在从初始设定起始地址开始连续的区域中。

[0080] 接下来参照图 5 说明通过响应处理装置进行的初始设定值数据的内部传送功能。对于从请求产生装置 301 向外部总线 108 输出的请求的响应信号经由外部总线接口 305 输入响应处理装置 308。响应处理装置 308 对于输入的响应,首先通过端法转换装置 501 以寄存器 302B 所设定的端法模式进行端法转换。接着判断响应数据是信息部分(图 3 所示的设定数据例中的表示内部模块 ID、终端数据包的位 E 和内部模块内地址部分)还是数据部分(图 3 所示的设定数据例中的数据部分),为信息部分时将数据传送到信息处理部 503、为数据部分时将数据传送到数据处理部 504。在信息处理部 503 中分析内部模块 ID 和内部模块内的地址,且生成内部总线 105 的地址信号或模块 ID 信号等,并将各信号向内部总线数据包产生部 505 传送。在数据处理部 504 中产生内部总线的数据信号并向内部总线数据包产生部 505 传送。另外,在终端代码检测处理部 502 中监视信息部分数据的终端数据包代码 E ,检测到终端代码($E = 1$)时向请求产生装置 301 输出请求停止信号 306 并停止产生请求。在内部总线数据包产生部 505 中,从自信息处理部 503 及数据处理部 504 输入的信号中生成内部总线数据包,并经由内部总线接口 309 向内部总线 105 传送数据包。图像处理模块 104 在接受发给自己的数据包时,根据内部模块内的地址将初始设定数据保存于内部的寄存器或存储装置。终端数据包为向控制装置 103 的终端代码接受模块 312 传送。终

端代码接受模块 312 经由内部总线接口 314 接受终端数据包时,可判断为通过一连串的数据包传送使初始设定值已设定于所要的图像处理模块 104。终端代码接受模块 312 一接受终端数据包,就向图像处理模块 104 发送启动信号 315,并开始进行图像处理。图 2 所示的步骤 S205 中,在有必要继续进行初始设定值数据读时,要在所有的初始设定值数据读结束后再启动图像处理。可通过基于由 CPU 106 设定于寄存器 310C 的所有初始设定起始地址的初始设定动作是否完成来判定是否有必要继续进行初始设定值数据的读。例如,可通过由 CPU 106 进行的寄存器 310C 的写入个数和由控制装置 103 进行的寄存器 310C 的读入个数是否一致来进行判定。

[0081] 通过区分为控制装置的初始设定数据读启动的寄存器 310A 和图像处理启动的寄存器(终端代码接受模块 312 内),可分别启动开始初始设定数据读和开始图像处理。另外,通过刷新初始设定起始地址并重新启动初始数据读,可将初始设定数据配置于外部存储装置的多个地址。

[0082] 通过上述的信号处理装置 102 和控制装置 103,CPU 106 对控制装置 103 仅进行初始设定起始地址、端法模式等的最低限度的设定,基于该设定,信号处理装置 102 自动从外部存储装置 107 读入初始设定值数据,对内部的图像处理模块 104 进行数据或程序等的初始设定,并开始进行图像处理。与 CPU 对所有的初始设定值数据设置并进行初始设定时相比无需进行大量的寄存器设定。因此可大幅度降低 CPU 的负荷。例如,如图 7 所示,CPU 对所有的寄存器直接进行设定时,根据所设定侧的状态或总线的状态,CPU 必须等到对总线存取请求的确认返回为止(Ack 的低电平期间),设定数据量大时,不仅是 CPU 的运行时间,等待的时间也变长,从而大幅增加 CPU 的负荷。对此,如本实施方式所述,在 CPU 106 只需对寄存器电路 310A 进行设定时,如图 8 所示,虽然在确认返回之前需要等待时间(Ack 的低电平期间),但由于设定数据量很小,所以与图 7 所示的相比,大幅度减少了 CPU 106 的负荷。

[0083] 由于可以只启动初始设定数据,所以可以在总线的负荷小的期间事先传送初始设定数据,从而减小总线负荷。

[0084] 另外,控制装置 103 的外部总线接口电路 311 侧为从端口,而信号处理装置 102 的外部总线接口 305 侧为主端口。根据外部总线的规格,用所述主端口来进行初始设定,比从从端口对寄存器进行设定时速度更快。例如,如图 9 所示,可通过突发传输等连续对数据进行读入。

[0085] 图 6 所示的是与本发明相关的另外的图像编码解码装置 101mdf。与图 4,5 的图像编码解码装置 101 不同的是信号处理装置 102mdf 中的数据读的停止控制形态不同。例如,信号处理装置 102mdf 不检测终端代码,而请求产生装置 301mdf 中设置有数据读停止控制电路 601,寄存器电路 302mdf 中追加了停止设定寄存器 302D。停止设定寄存器 302D 由控制装置 103 设置来自 CPU 106 的指示值。停止设定寄存器 302D 中设定有请求产生次数、读数据量、外部存储装置的读中止地址等为了停止请求发生的条件。请求产生装置 301mdf 为从寄存器 302D 接受停止设定,并在达到停止条件时向数据包生成电路 303 发出停止请求产生的指示。

[0086] 图 4,5 所示的图像编码解码装置 101 对来自外部总线 108 的响应进行确认,并在为终端数据包时进行请求停止处理。因此,在读入终端数据包之前发行的请求指令为无效

读。图 6 所示的例中,由于要重新设定停止条件,所以可避免无效读。

[0087] 图 10 所示的是将图像编解码装置用于移动电话系统的例子。基带部 608 经由图示中省略的模拟前端与高频部连接而使移动电话可接发信息。610 为应用处理器。应用处理器 610 具有与本发明相关的图像编解码装置 600 以及作为可改写的非挥发性存储体的闪存 (FLASH) 611、CPU 106、存储器控制器 601、图像处理装置 602、图像输出接口 603、相机输入接口 604、数据流的输入输出电路 605 并且共同连接于总线 108。数据流的输入输出电路 605 与基带部 608 和调谐器 607 连接,可输入从移动电话网络上下下载的数据流和调谐器 607 所接收到的数据流。图像编解码装置 600 具有图 4、5 及图 6 所述的电路构成。对于闪存 611 并无特别要求,但是与 CPU 106 的运行程序一样,初始保存有初始设定于图像编解码装置 600 的图像处理模块 104 的程序或数据。所述初始设定用的程序或数据通过应用处理器 610 的加电复位处理被传送到存储器 107 指定的区域,或者经由合适的网络下载并被保存到存储器 107 指定的区域。如上所述,预先存储于存储器 107 的初始设定用的程序及数据为实现 MPRG2、MPEG4、或 H. 264 的编解码处理算法的程序及数据。CPU 106 根据运行程序为了从 MPRG2、MPEG4、或 H. 264 的编解码处理算法中选择一个而将必要的控制信息(初始设定值基址、端法模式)设定于所述图像编解码装置的寄存器电路 310 上。由此,图像编解码装置 101 可选择实行 MPRG2、MPEG4、或 H. 264 标准的编解码处理。

[0088] 图 11 所示的是图像编解码装置 600 中动态图像的编码元件 620 和解码元件 630 的基本功能框图。编码元件 620 对输入图像具有运动补偿、DCT、量子化、可变长度编码、逆量子化、逆 DCT 等各种功能。解码元件 630 对于编码数据具有可变长度解码、逆量子化、逆 DCT、以及运动补偿等各种功能。所述编码元件 620 及解码元件 630 可通过多个图像处理模块 104 实现各自的功能。

[0089] 图 12 所示的是将图 11 中编码元件 620 和解码元件 630 的功能通过流水线处理时最适合的图像处理模块例。图 12 所示的例中采用的是多处理器系统,并设有多个处理单元 700 ~ 709,且处理单元 700 ~ 703 与 RAM 800 ~ 803 连接,处理单元 705 ~ 708 与 RAM 805 ~ 808 连接。各处理单元的功能分配如下:处理单元 700 为运动补偿功能、处理单元 701 为 DCT 及逆 DCT 功能、处理单元 702 为量子化及逆量子化功能、处理单元 703 为可变长度编解码功能,处理单元 704 具有处理单元 700 ~ 703 的控制功能。RAM 800 ~ 803 用于保持为了实现各自对应的处理单元的功能的程序和数据。关于另一组处理单元 705 ~ 709 及 RAM 805 ~ 808 的功能分配也与上述相同。

[0090] 由于图 12 的图像处理模块构成中以多个处理单元 700 ~ 703、705 ~ 708 进行并列处理,所以对处理单元的寄存器的初始设定及对 RAM 的程序和数据的初始设定量只增加该并列处理的数量。因此,采用进行并列数多的编解码处理多的图像处理模块时,如果采用图 4、5 及图 6 所述的构成,就可减轻 CPU 的负担,从而明显提高初始设定动作的速度。

[0091] 如上所述的图像编解码装置中,如果 CPU 106 将保存设定值和表示设定目标地址信息的外部存储装置 107 的起始保存地址信息设定于控制装置 103 并启动时,信号处理装置 102 将从自动设定的地址位置读入设定值和表示设定目标的地址的信息,并按照设定目标的地址对多个图像处理模块 104 进行初始设定。即,如果 CPU 106 将初始设定数据保存于外部存储装置 107,将保存地址的起始位置的地址信息设定于控制装置 103 并启动时,信号处理装置 102 将自动读入初始设定数据并对图像处理模块 104 进行初始设定。

[0092] 通过填入存储装置 107 保持的初始设定用信息中的特定图像处理模块的信息，CPU 106 无需将图像处理模块的地址设置于控制装置 103。

[0093] 将表示初始设定数据的终端的数据分组分配于初始设定数据的最后位置，就可自动停止由信号处理装置对外部存储装置 107 产生读请求。在将该停止条件设定于信号处理装置时，无需分析从外部存储装置读入的响应数据的数据包标记 (E) 就可控制所述读请求的停止。

[0094] 信号处理装置 102 可以以 1 条命令通过读入多个数据的突发存取等方式进行连续存取，与以往的已进行了初始设定等的副存取 (slave access) 相比，可高速进行处理。

[0095] 以上基于实施方式对本案发明人所做的发明进行了具体说明，但是本发明不仅限于所述的实施方式，在不超过主要框架的范围内可进行各种变更。本发明不仅限于图像编解码装置，还可广泛应用于具有并列运行的多个处理单元的数据处理装置。替代图像处理模块，处理单元成为初始设定的对象。

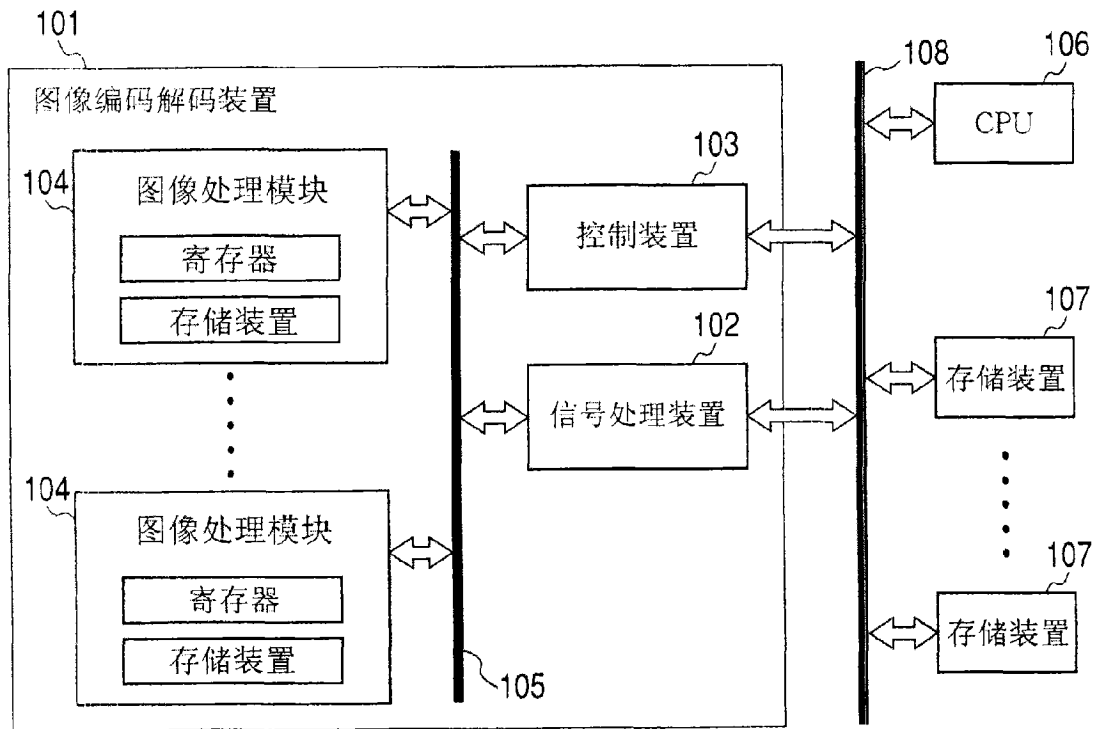


图 1

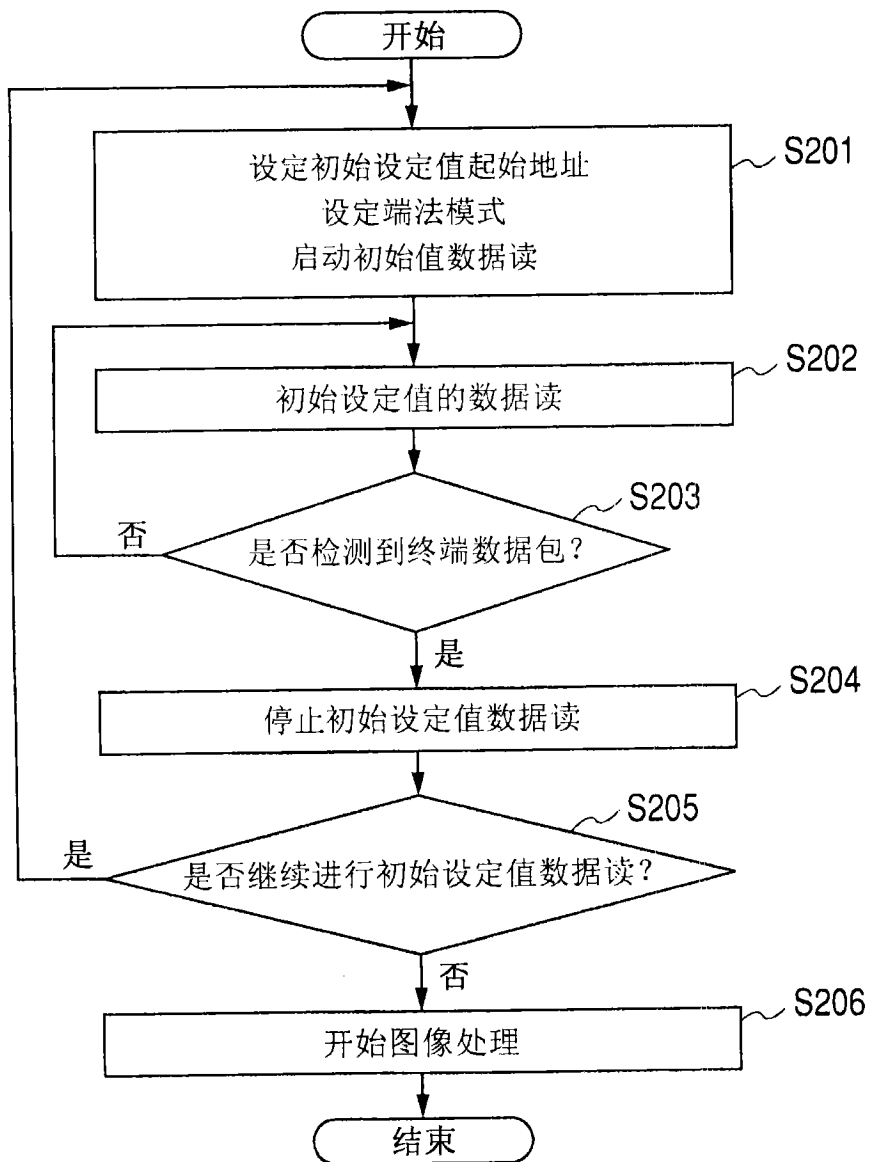


图 2

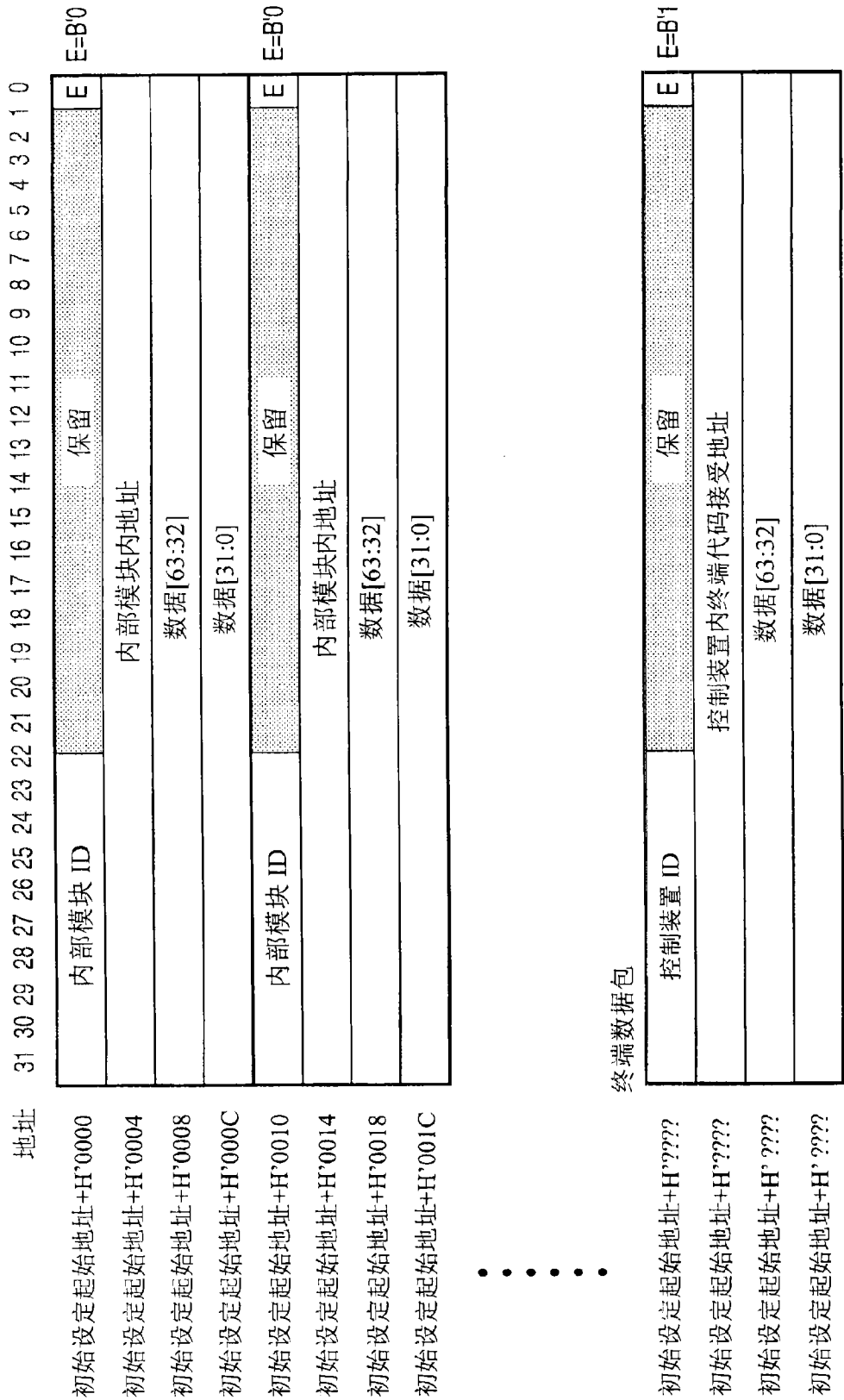


图 3

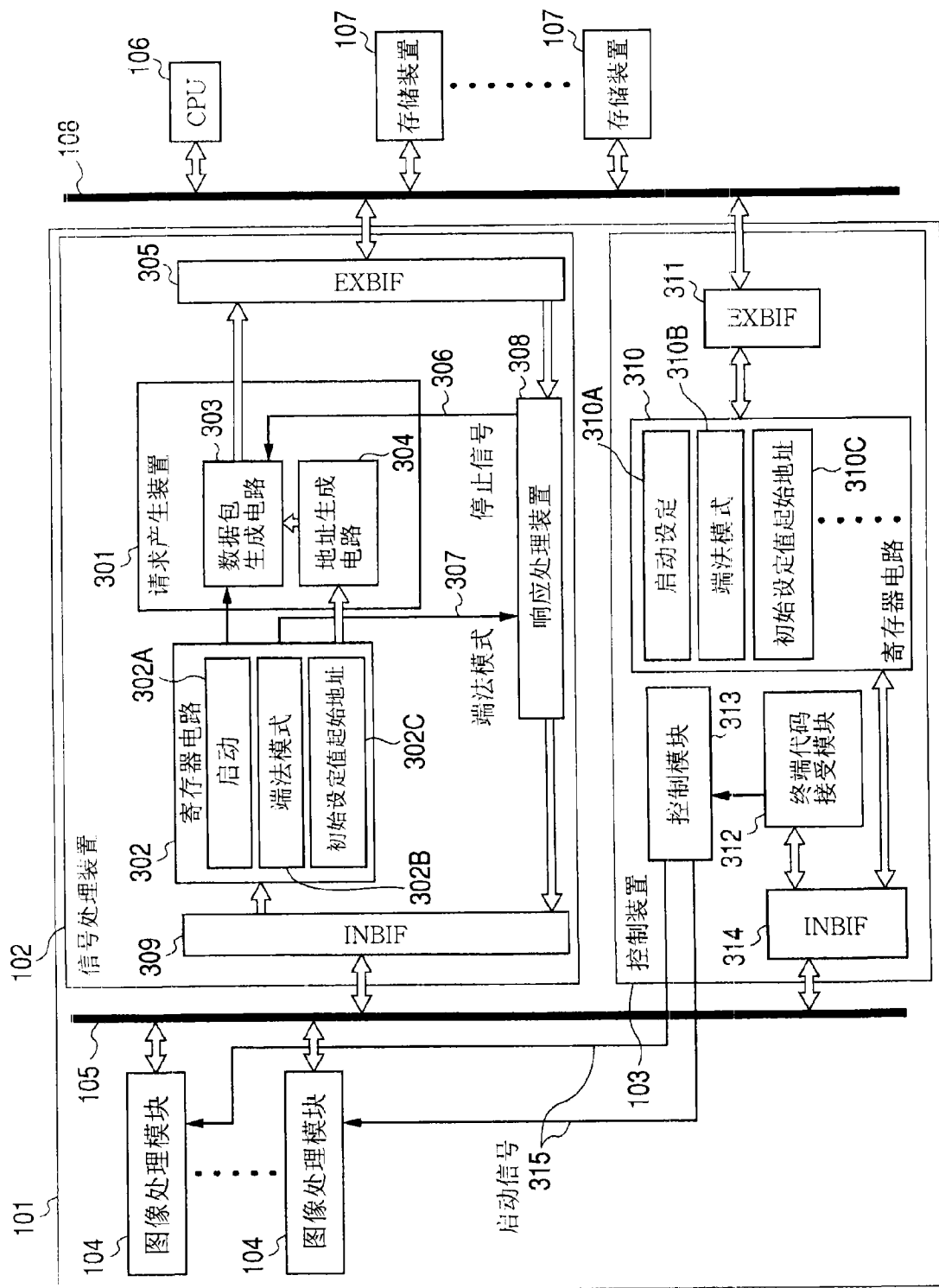


图 4

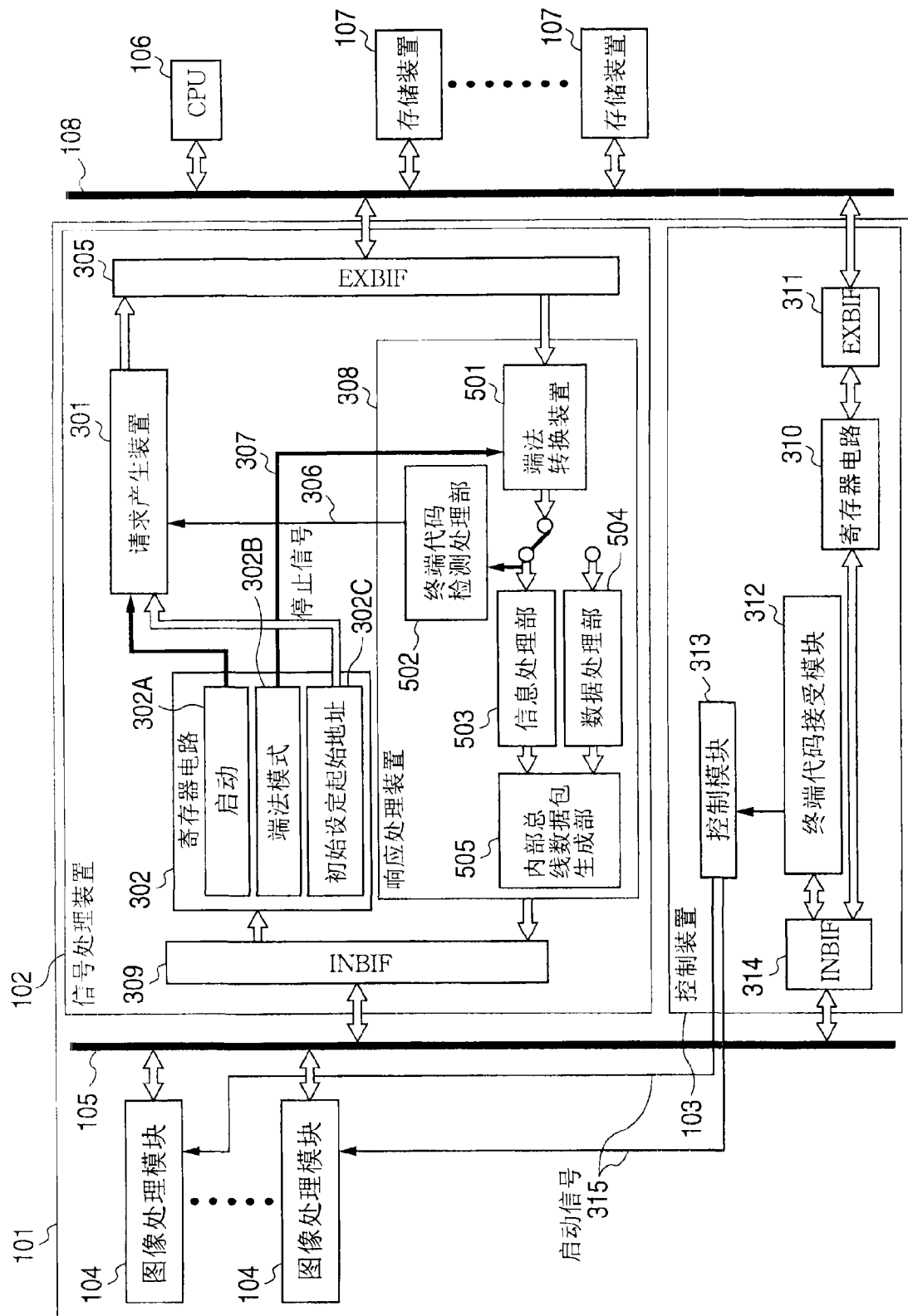


图 5

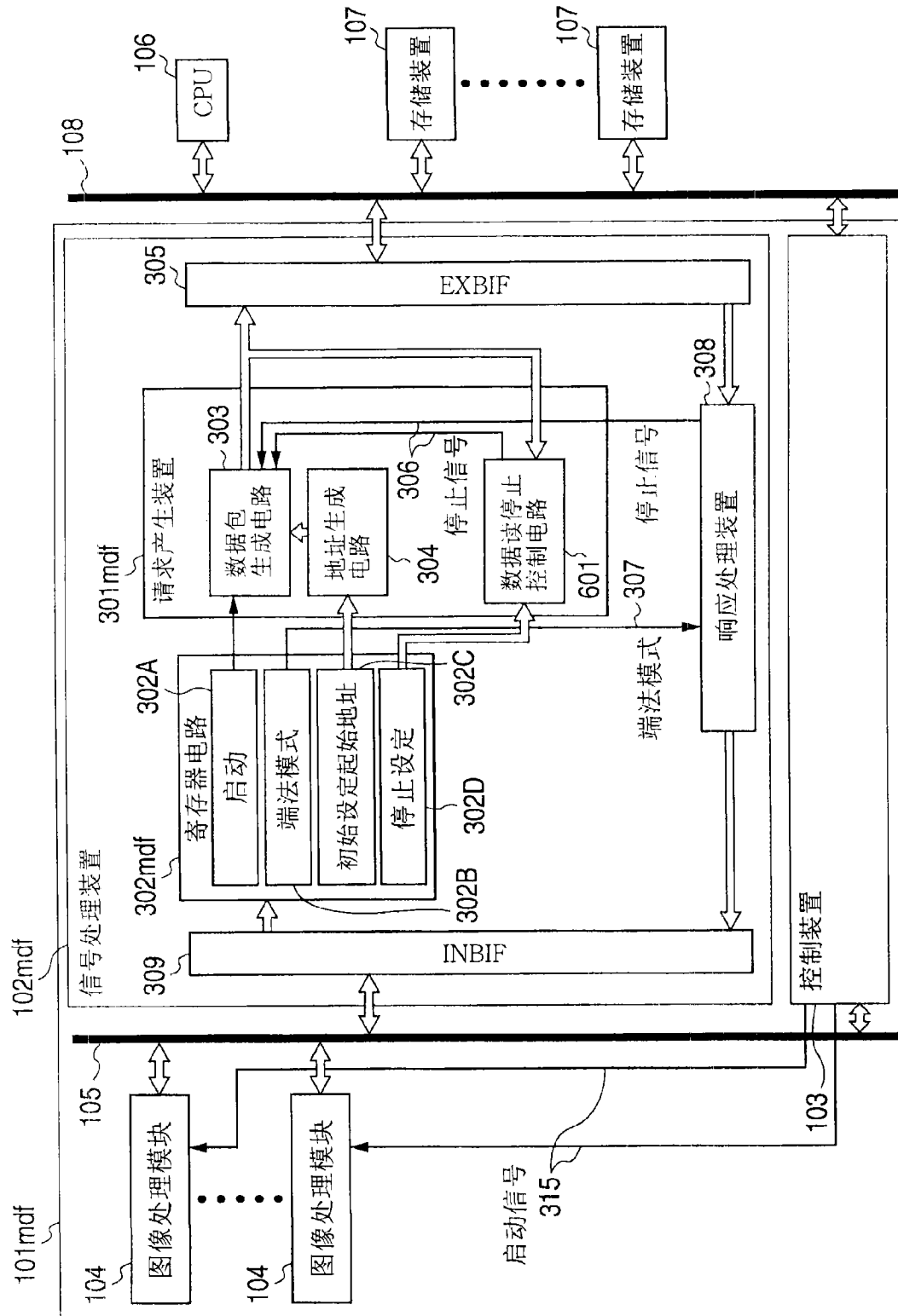


图 6

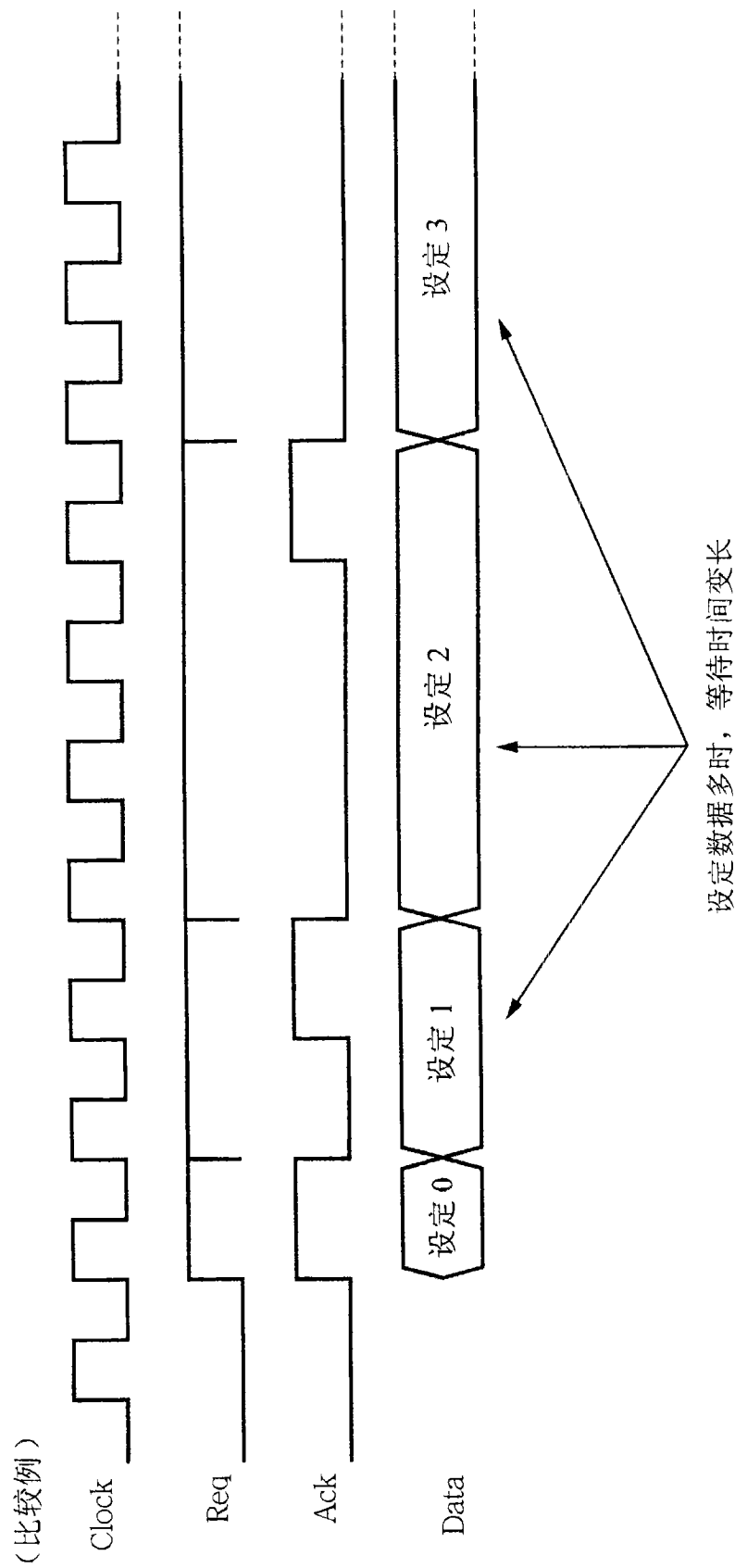


图 7

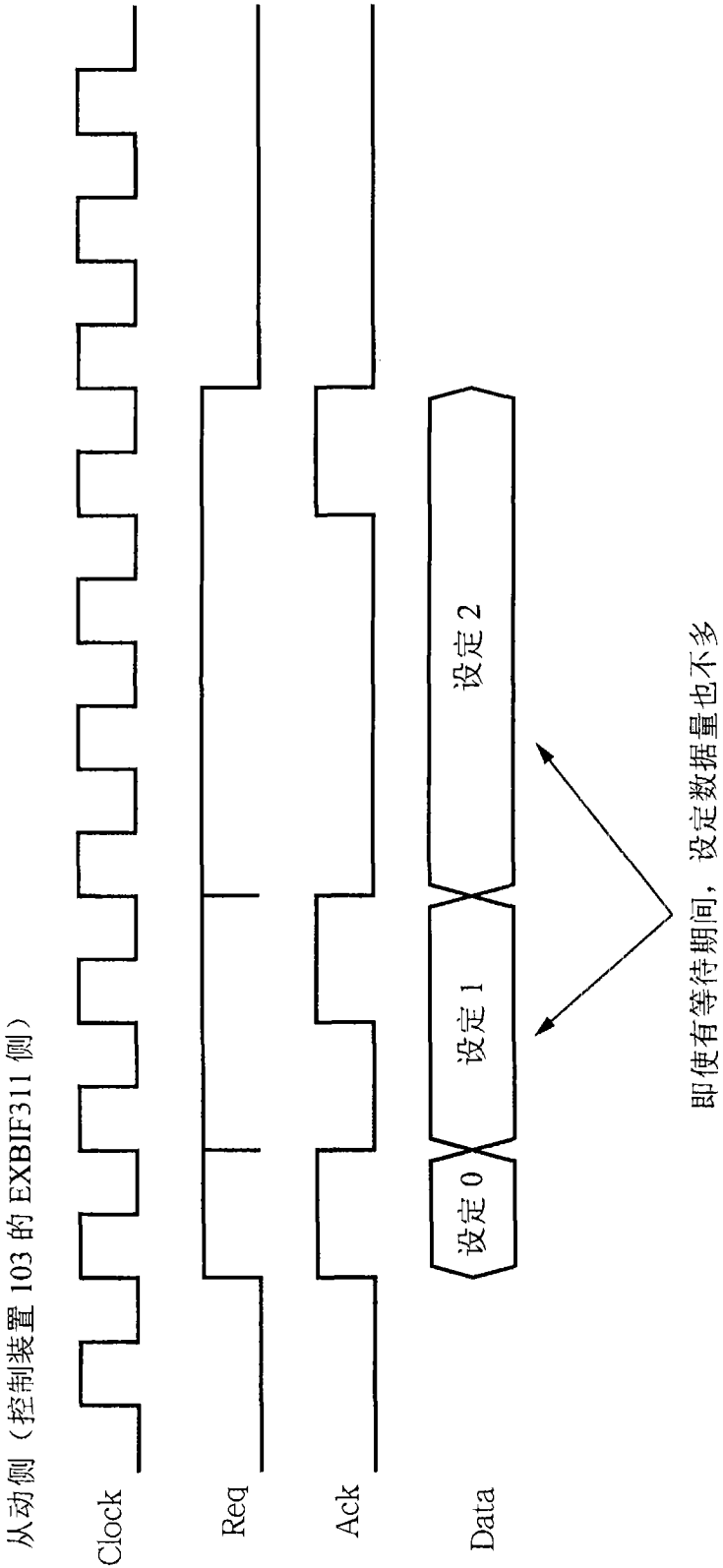


图 8

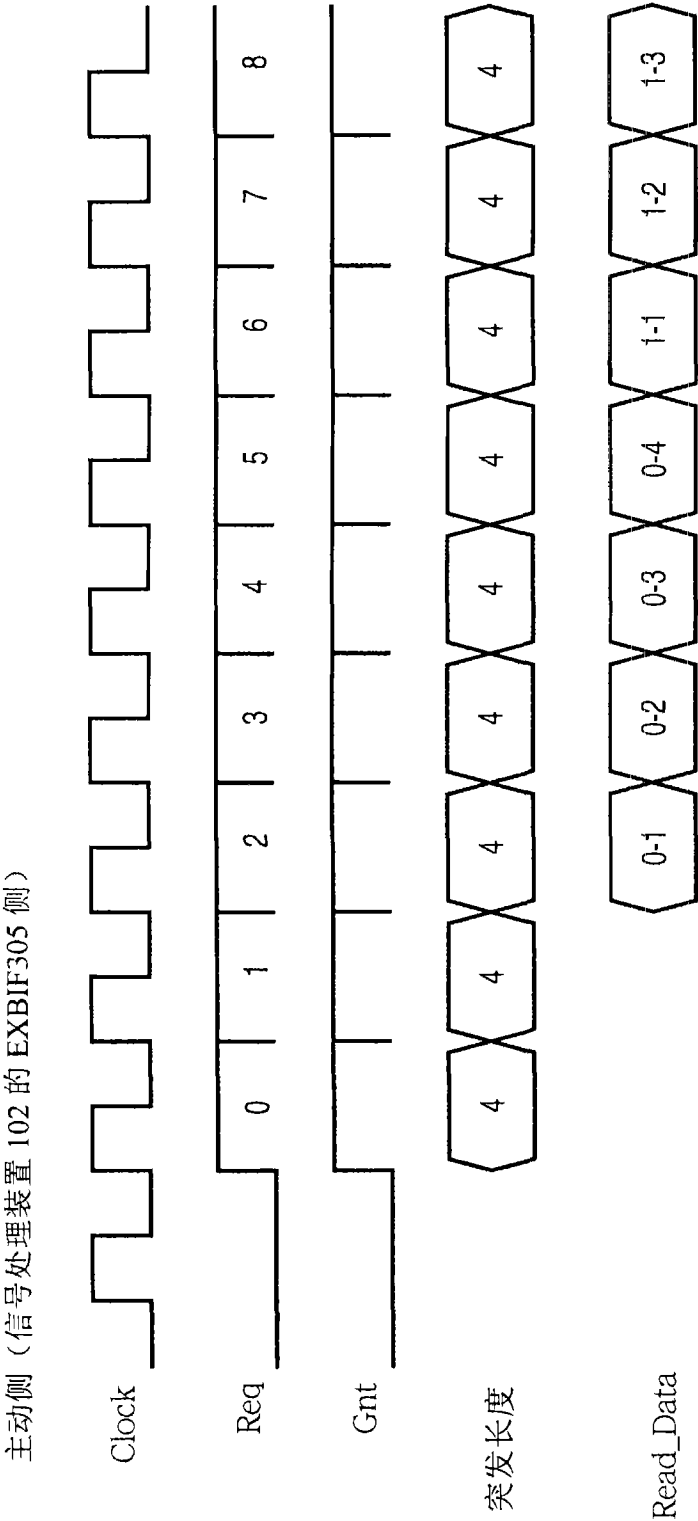


图 9

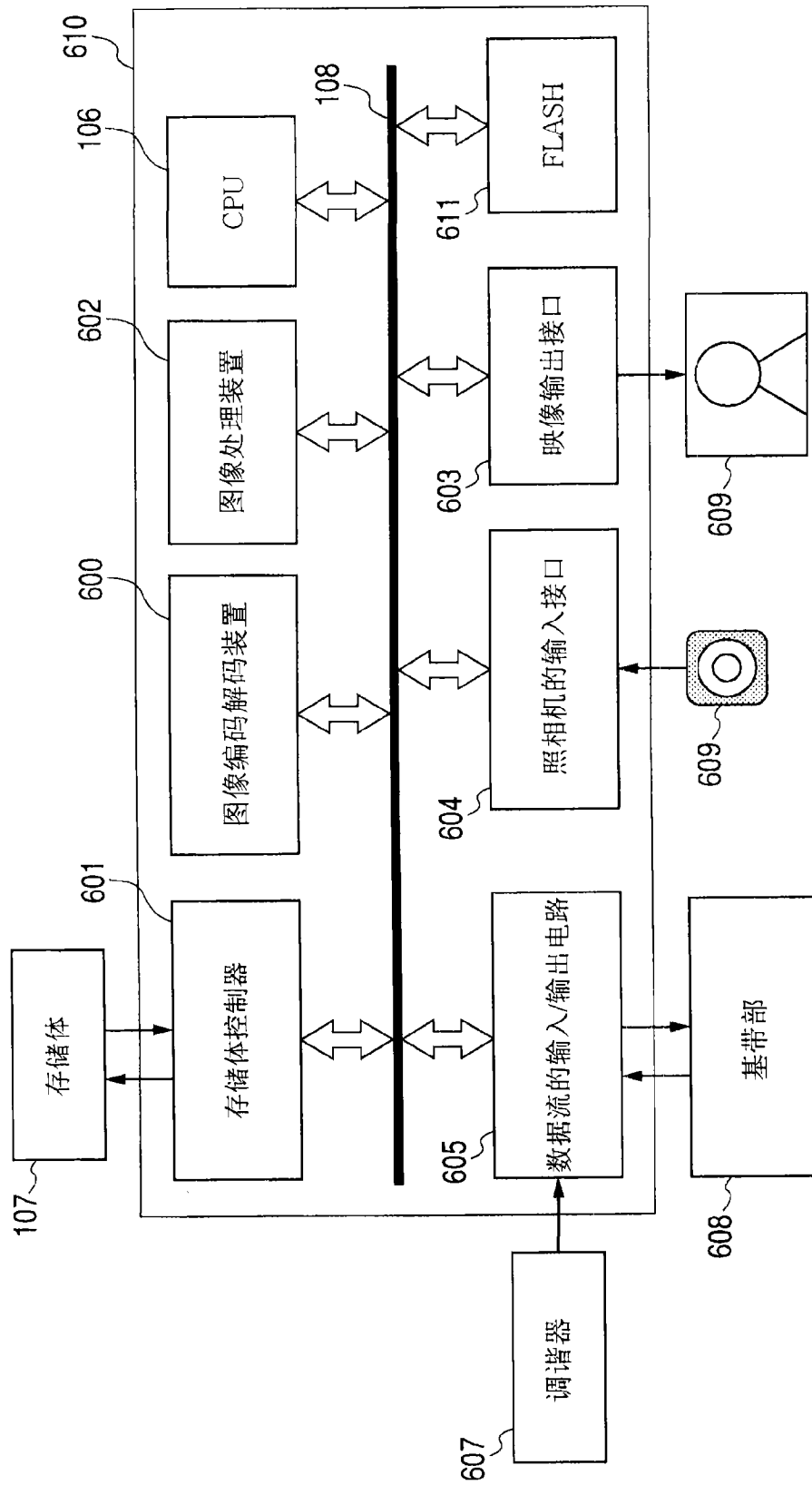


图 10

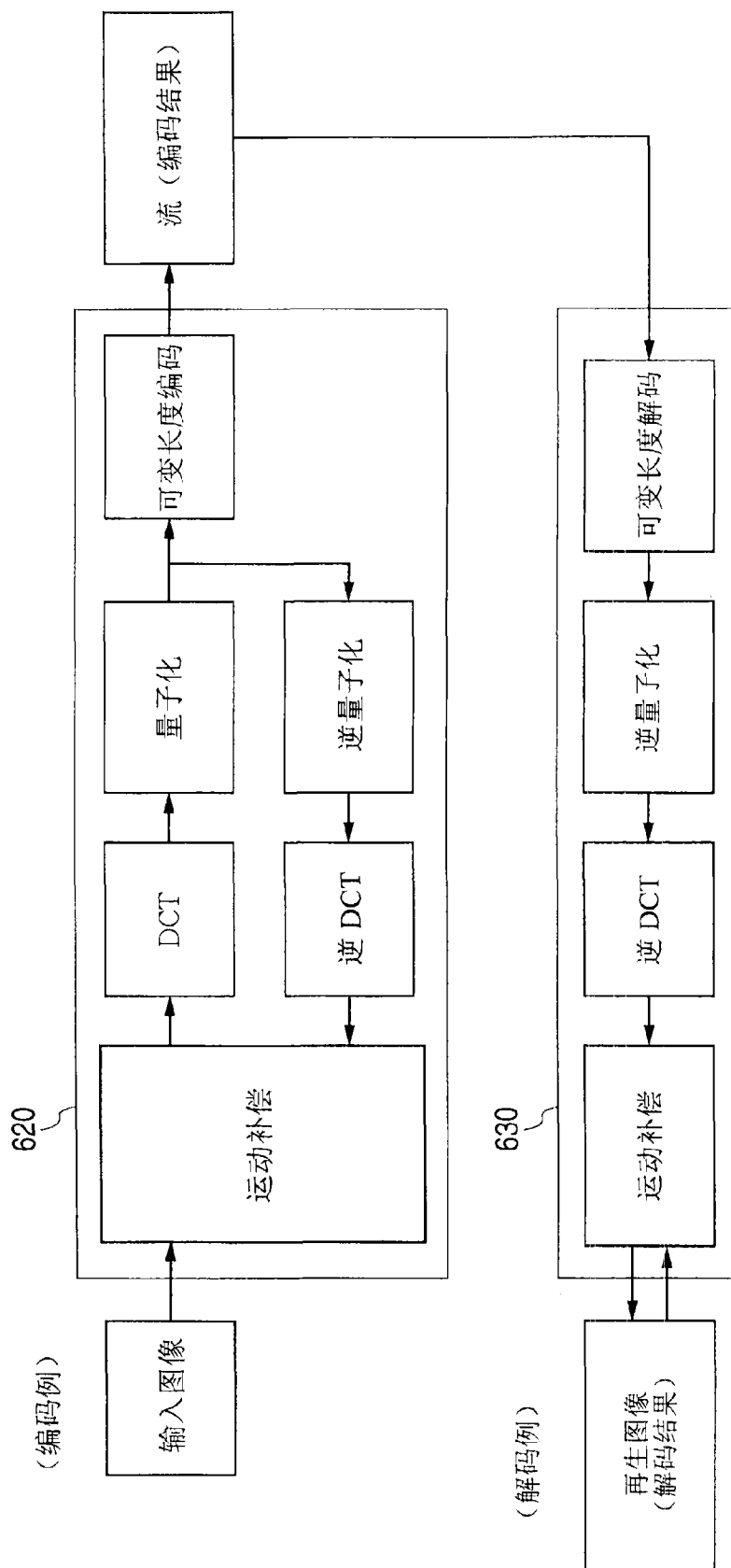


图 11

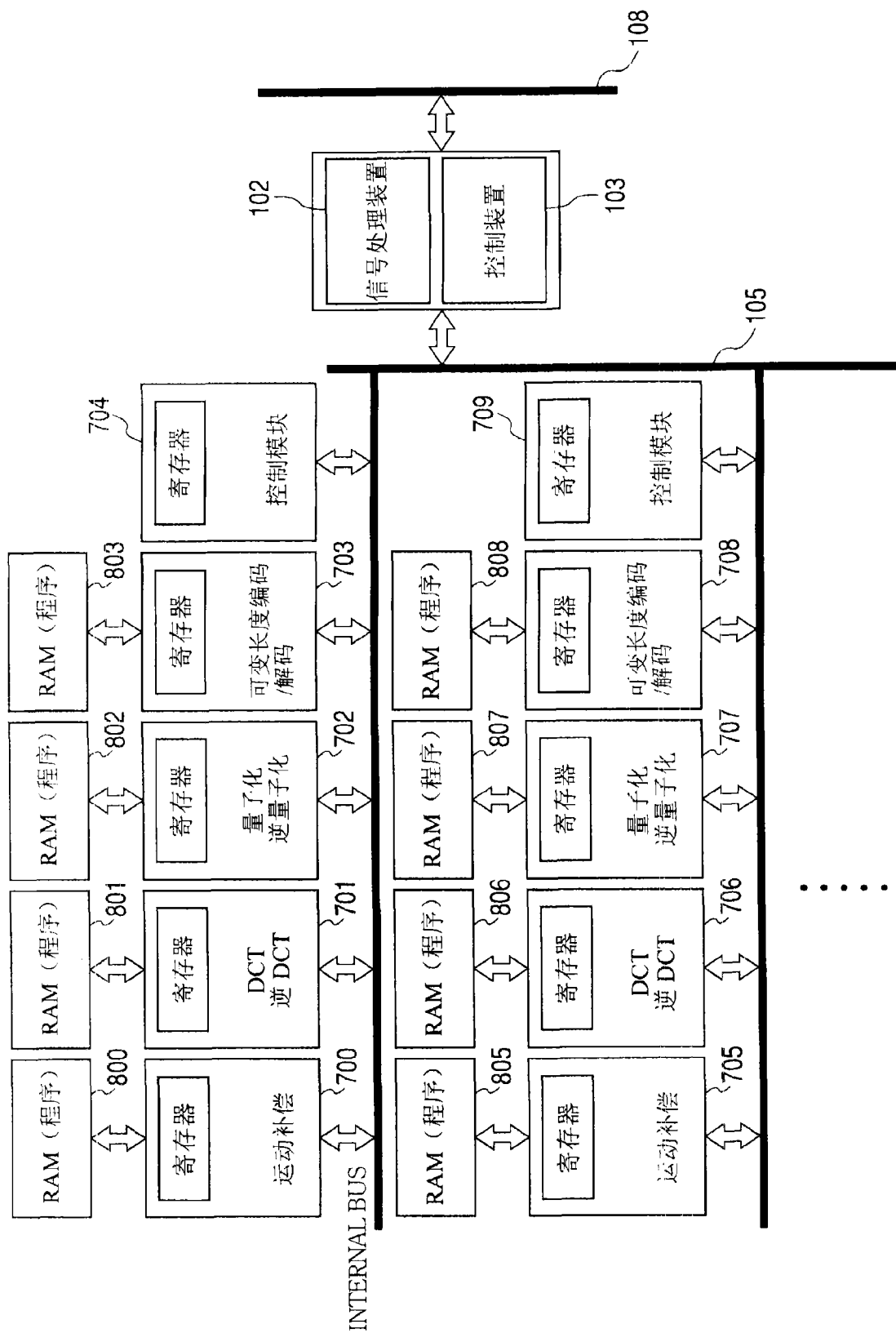


图 12