

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5651524号  
(P5651524)

(45) 発行日 平成27年1月14日 (2015. 1. 14)

(24) 登録日 平成26年11月21日 (2014. 11. 21)

(51) Int. Cl.

F I

H O 1 L 21/8242 (2006. 01)

H O 1 L 27/10 3 2 1

H O 1 L 27/108 (2006. 01)

H O 1 L 29/78 6 1 8 B

H O 1 L 29/786 (2006. 01)

G 1 1 C 11/34 3 5 2 B

G 1 1 C 11/405 (2006. 01)

H O 1 L 27/10 4 3 4

H O 1 L 21/8247 (2006. 01)

H O 1 L 29/78 3 7 1

請求項の数 4 (全 45 頁) 最終頁に続く

(21) 出願番号 特願2011-97724 (P2011-97724)  
 (22) 出願日 平成23年4月26日 (2011. 4. 26)  
 (65) 公開番号 特開2011-249782 (P2011-249782A)  
 (43) 公開日 平成23年12月8日 (2011. 12. 8)  
 審査請求日 平成26年2月28日 (2014. 2. 28)  
 (31) 優先権主張番号 特願2010-101571 (P2010-101571)  
 (32) 優先日 平成22年4月27日 (2010. 4. 27)  
 (33) 優先権主張国 日本国 (JP)  
 (31) 優先権主張番号 特願2010-102329 (P2010-102329)  
 (32) 優先日 平成22年4月27日 (2010. 4. 27)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷 3 9 8 番地  
 (72) 発明者 竹村 保彦  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 審査官 鈴木 和樹

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 乃至第 4 の配線と、第 1 及び第 2 の記憶セルと、を有する半導体メモリ装置において、

前記第 1 および第 2 の配線は平行であり、

前記第 3 および第 4 の配線は平行であり、

前記第 1 の配線と前記第 3 の配線は交差し、

前記第 1 の記憶セルは、第 1 のトランジスタと、第 2 のトランジスタと、第 1 のキャパシタと、を有し、

前記第 2 の記憶セルは、第 3 のトランジスタと、第 4 のトランジスタと、第 2 のキャパシタと、を有し、

前記第 1 のトランジスタのドレインは、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのドレインは、前記第 1 のキャパシタの一方の電極と電氣的に接続され、

前記第 3 のトランジスタのドレインは、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのドレインは、前記第 2 のキャパシタの一方の電極と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 2 のキャパシタの他方の電極と電氣的に接

10

20

続され、

前記第 1 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 1 のキャパシタの他方の電極と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 2 の配線と電氣的に接続され、

前記第 1 のトランジスタのソースは、前記第 2 のトランジスタのソースと電氣的に接続され、

前記第 1 のトランジスタのソースは、前記第 4 のトランジスタのドレインと電氣的に接続され、

前記第 1 のトランジスタのソースは、前記第 3 の配線と電氣的に接続され、

10

前記第 3 のトランジスタのソースは、前記第 4 のトランジスタのソースと電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 2 のトランジスタのドレインと電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 4 の配線と電氣的に接続され、

前記第 1 のトランジスタはバンドギャップが 2 . 5 電子ボルト以上の半導体よりなるチャンネルを有することを特徴とする半導体メモリ装置。

【請求項 2】

第 1 乃至第 5 の配線と、第 1 乃至第 4 の記憶セルを有する半導体メモリ装置において、

前記第 1 および第 2 の配線は平行であり、

20

前記第 3 乃至第 5 の配線は平行であり、

前記第 1 の配線と前記第 3 の配線は交差し、

前記第 1 の記憶セルは、第 1 のトランジスタと、第 2 のトランジスタと、第 1 のキャパシタと、を有し、

前記第 2 の記憶セルは、第 3 のトランジスタと、第 4 のトランジスタと、第 2 のキャパシタと、を有し、

前記第 3 の記憶セルは、第 5 のトランジスタと、第 6 のトランジスタと、第 3 のキャパシタと、を有し、

前記第 4 の記憶セルは、第 7 のトランジスタと、第 8 のトランジスタと、第 4 のキャパシタと、を有し、

30

前記第 1 のトランジスタのドレインは、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのドレインは、前記第 1 のキャパシタの一方の電極と電氣的に接続され、

前記第 3 のトランジスタのドレインは、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのドレインは、前記第 2 のキャパシタの一方の電極と電氣的に接続され、

前記第 5 のトランジスタのドレインは、前記第 6 のトランジスタのゲートと電氣的に接続され、

40

前記第 5 のトランジスタのドレインは、前記第 3 のキャパシタの一方の電極と電氣的に接続され、

前記第 7 のトランジスタのドレインは、前記第 8 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのドレインは、前記第 4 のキャパシタの一方の電極と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 2 のキャパシタの他方の電極と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 5 のトランジスタのゲートと電氣的に接続され、

50

前記第 1 のトランジスタのゲートは、前記第 4 のキャパシタの他方の電極と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 1 のキャパシタの他方の電極と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 7 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 3 のキャパシタの他方の電極と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 2 の配線と電氣的に接続され、

10

前記第 1 のトランジスタのソースは、前記第 2 のトランジスタのソースと電氣的に接続され、

前記第 1 のトランジスタのソースは、前記第 4 のトランジスタのドレインと電氣的に接続され、

前記第 1 のトランジスタのソースは、前記第 3 の配線と電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 4 のトランジスタのソースと電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 2 のトランジスタのドレインと電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 5 のトランジスタのソースと電氣的に接続され、

20

前記第 3 のトランジスタのソースは、前記第 6 のトランジスタのソースと電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 8 のトランジスタのドレインと電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 4 の配線と電氣的に接続され、

前記第 7 のトランジスタのソースは、前記第 8 のトランジスタのソースと電氣的に接続され、

前記第 7 のトランジスタのソースは、前記第 6 のトランジスタのドレインと電氣的に接続され、

30

前記第 7 のトランジスタのソースは、前記第 5 の配線と電氣的に接続され、

前記第 1 のトランジスタはバンドギャップが 2 . 5 電子ボルト以上の半導体よりなるチャネルを有することを特徴とする半導体メモリ装置。

#### 【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のトランジスタの導電型が N チャネル型であることを特徴とする半導体メモリ装置。

#### 【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 2 のトランジスタの導電型が P チャネル型であることを特徴とする半導体メモリ装置。

40

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、半導体を用いたメモリ装置に関する。

#### 【背景技術】

#### 【0002】

半導体を用いたメモリ装置には多くの種類がある。例えば、ダイナミック・ランダム・アクセス・メモリ ( D R A M ) やスタティック・ランダム・アクセス・メモリ ( S R A M ) 、電子的消去可能プログラマブル・リード・オンリー・メモリ ( E E P R O M ) やフラッ

50

シュメモリ等である。

【0003】

D R A Mは記憶セルに設けたキャパシタに電荷を保持することにより、データを記憶する。しかしながら、スイッチングに用いるトランジスタはオフ状態であっても、わずかにソースとドレイン間にリーク電流が生じるため、データは比較的短時間（長くても数十秒）で失われる。そのため、一定周期（一般的には数十ミリ秒）でデータを再書き込み（リフレッシュ）する必要がある。

【0004】

また、S R A Mはフリップフロップ回路の双安定状態を用いてデータを保持する。S R A Mのフリップフロップ回路には、通常、C M O Sインバータを用いるが、ひとつの記憶セルに6つのトランジスタを用いるため、集積度がD R A Mより低くなる。また、電源が供給されないとデータが失われてしまう。

10

【0005】

一方、E E P R O Mやフラッシュメモリは、フローティングゲートと呼ばれるものを、チャンネルとゲートの間に設け、フローティングゲートに電荷を蓄えることにより、データを保持する。フローティングゲートに蓄えられた電荷は、トランジスタへの電源が途絶えた後でも保持されるので、これらのメモリは不揮発性メモリと呼ばれる。フラッシュメモリに関しては、例えば、特許文献1を参照するとよい。

【0006】

本明細書では、特に、E E P R O Mやフラッシュメモリ等、フローティングゲートを有するメモリを、フローティングゲート型不揮発性メモリ（F G N V M）という。F G N V Mでは、多段階のデータを1つの記憶セルに保存できるので、記憶容量を大きくできる。加えて、N A N D型フラッシュメモリはコンタクトホール数を大幅に減らせるため、ある程度まで集積度を高めることができる。

20

【0007】

しかしながら、従来のF G N V Mは、フローティングゲートへの電荷の注入や除去の際に高い電圧を必要とし、また、そのせいもあってゲート絶縁膜の劣化が避けられず、無制限に書き込みや消去を繰り返せなかった。

【先行技術文献】

【特許文献】

30

【0008】

【特許文献1】特開昭57-105889号公報

【特許文献2】特開2001-53164号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

上述のように従来の半導体メモリ装置は一長一短があり、実際のデバイスで必要とされる要件すべてを満たすものはなかった。メモリ装置においては、低消費電力が求められる。消費電力が大きいと、電源を供給するための装置を大きくしなければならず、また、バッテリーでの駆動時間が短くなる。のみならず、半導体素子の発熱により、素子の特性が劣化し、さらには、回路が破壊される場合もある。また、メモリ装置においては、書き換え回数の制限がないことが好ましく、10億回以上の書き換えができることが望まれる。もちろん、集積度の高いことも必要である。

40

【0010】

これらに関して、D R A Mは常時、リーク電流を生じ、リフレッシュをおこなっているため消費電力の面で難があった。また、S R A Mでは、1つの記憶セルに6つのトランジスタを有するため集積度を上げられないという別の問題がある。また、F G N V Mにおいては消費電力や集積度の点では問題はなかったが、書き換え回数が10万回以下であった。

【0011】

上記に鑑み、記憶セルで記憶保持のために使用される電力をD R A Mよりも削減すること

50

、１つの記憶セルに用いるトランジスタの数を５つ以下とすること、書き換え回数を１００万回以上とすること、という３つの条件を同時に克服することが第一の課題となる。また、電力の供給がない状態で、データを１０時間以上、好ましくは、１００時間以上保持することと、書き換え回数を１００万回以上とすること、という２つの条件を同時に克服することが第二の課題となる。なお、本明細書では、データの保持時間とは、記憶セルに保持された電荷量が初期の電荷量の９０％となる時間と定義する。

#### 【００１２】

本発明では、上記の課題に加えて、新規の半導体装置（特に、半導体メモリ装置）を提供することを課題とする。また、新規の半導体装置の駆動方法（特に、半導体メモリ装置の駆動方法）を提供することを課題とする。さらに、新規の半導体装置の作製方法（特に、半導体メモリ装置の作製方法）を提供することを課題とする。本発明では以上の課題の少なくとも１つを解決する。

#### 【課題を解決するための手段】

#### 【００１３】

以下、本発明の説明をおこなうが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインは、構造や機能が同じもしくは同等である、また、仮に構造が異なっていたとしても、それらに印加される電位やその極性が一定でない、等の理由から、本明細書では、いずれか一方をソースと呼んだ場合には、便宜上、他方をドレインと呼ぶこととし、特に区別しない。したがって、本明細書においてソースとされているものをドレインと読み替えることも可能である。

#### 【００１４】

また、本明細書では、「（マトリクスにおいて）直交する」とは、直角に交差するという意味だけではなく、物理的にはその他の角度であっても最も簡単に表現した回路図において直交する、という意味であり、「（マトリクスにおいて）平行である」とは、２つの配線が物理的には交差するように設けられていても、最も簡単に表現した回路図において平行である、という意味である。

#### 【００１５】

さらに、明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在している場合だけのこともある。例えば、絶縁ゲート型電界効果トランジスタ（ＭＩＳＦＥＴ）の回路では、一本の配線が複数のＭＩＳＦＥＴのゲートを兼ねている場合もある。その場合、回路図では、一本の配線からゲートに何本もの分岐が生じるように書かれることもある。本明細書では、そのような場合でも、「配線がゲートに接続する」という表現を用いることがある。

#### 【００１６】

なお、本明細書では、マトリクスにおいて特定の行や列、位置を扱う場合には、符号に座標をつけて、例えば、「読み出しトランジスタ $RTr(n, m)$ 」、「バイアス線 $S_m$ 」、「キャパシタ $C1(n, m)$ 」、「ビット線 $R2_n$ 」というように表記するが、特に、行や列、位置を特定しない場合や集合的に扱う場合には、「読み出しトランジスタ $RTr$ 」、「バイアス線 $S$ 」、「キャパシタ $C1$ 」、「ビット線 $R2$ 」、あるいは、単に「読み出しトランジスタ」、「バイアス線」、「キャパシタ」、「ビット線」というように表記することもある。

#### 【００１７】

本発明の態様の第１は、オフ状態でのソースとドレイン間のリーク電流が少ないトランジスタを書き込みトランジスタとし、もう一つのトランジスタ（読み出しトランジスタ）および、キャパシタで１つの記憶セルを構成する。読み出しトランジスタの導電型は書き込みトランジスタの導電型と同じものあるいは異なるものとする。また、これらに接続する配線として、書き込みワード線、ビット線、読み出しワード線という３種類の配線を用意する。

#### 【００１８】

「読み出しトランジスタの導電型が書き込みトランジスタの導電型と同じもの」とは、例

10

20

30

40

50

例えば、書き込みトランジスタがNチャネル型であれば、読み出しトランジスタもNチャネル型ということである。また、「読み出しトランジスタの導電型が書き込みトランジスタの導電型と異なるもの」とは、例えば、書き込みトランジスタがNチャネル型であれば、読み出しトランジスタはPチャネル型ということである。

【0019】

また、書き込みトランジスタのドレインを読み出しトランジスタのゲートおよびキャパシタの一方の電極に接続する。さらに、書き込みトランジスタのゲートを書き込みワード線に、書き込みトランジスタのソースおよび読み出しトランジスタのソースをビット線に、キャパシタの他方の電極を読み出しワード線に接続する。

【0020】

書き込みトランジスタのオフ状態（Nチャネル型にあっては、ゲートの電位がソース、ドレインのいずれよりも低い状態）でのソースとドレイン間のリーク電流は、使用時の温度（例えば、25℃）で $1 \times 10^{-20}$  A以下であることが必須であり、 $1 \times 10^{-21}$  A以下、あるいは85℃で $1 \times 10^{-20}$  A以下であることが望ましい。

【0021】

通常のシリコン半導体では、リーク電流をそのような低い値とすることは困難であるが、シリコンよりも大きなバンドギャップ、好ましくは、2.5電子ボルト以上のバンドギャップを有するワイドバンドギャップ半導体を好ましい条件で加工してチャネルに用いた絶縁ゲート型トランジスタにおいては達成しうる。ワイドバンドギャップ半導体としては、酸化物半導体、硫化物半導体、窒化物半導体等を用いることができる。特に、書き込みトランジスタの材料として、酸化物半導体を用いることが好ましい。

【0022】

酸化物半導体としては、公知の各種の材料を用いることができるが、バンドギャップが3 eV以上、好ましくは、3 eV以上3.6 eV未満であるものが望ましい。また、電子親和力が4 eV以上、好ましくは、4 eV以上4.9 eV未満であるものが望ましい。特に、ガリウムとインジウムを有する酸化物は、本発明の目的には好適である。

【0023】

このような材料において、さらに、ドナーあるいはアクセプタに由来するキャリア濃度が $1 \times 10^{-14} \text{ cm}^{-3}$ 未満、好ましくは、 $1 \times 10^{-11} \text{ cm}^{-3}$ 未満であるものが望ましい。また、酸化物半導体以外に酸窒化物半導体（例えば、窒素が5～20原子%有する酸化ガリウムあるいは酸化ガリウム亜鉛等）を用いてもよい。

【0024】

読み出しトランジスタとしては、オフ状態でのソースとドレイン間のリーク電流についての制限はないが、リーク電流が少ない方が消費電力を少なくできるので好ましい。また、読み出しの速度を高くするために、高速で動作するものが望ましい。具体的には、スイッチングスピードが10 ns以下であることが好ましい。また、書き込みトランジスタ、読み出しトランジスタともゲートリーク電流（ゲートとソースあるいはゲートとドレイン間のリーク電流）が極めて低いことが求められ、また、キャパシタも内部リーク電流（電極間のリーク電流）が低いことが求められる。いずれのリーク電流も、使用時の温度（例えば、25℃）で $1 \times 10^{-20}$  A以下であることが必須であり、 $1 \times 10^{-21}$  A以下であることが望ましい。

【0025】

また、読み出しトランジスタのゲートの電位は、読み出しワード線の電位に応じて変化するが、その結果、読み出しトランジスタのゲート容量が変動する。すなわち、読み出しトランジスタがオフ状態である場合より、オン状態である場合の方がゲート容量が大きくなる。ゲート容量の変動が、キャパシタの容量よりも大きいと、記憶セルを動作させる上で問題が生じる。

【0026】

したがって、キャパシタの容量は、読み出しトランジスタのゲート容量以上、好ましくは2倍以上とするとよい。また、半導体メモリ装置の動作を高速におこなう目的では、キャ

10

20

30

40

50

パシタの容量は  $1\text{ fF}$  以下とすることが望ましい。

【0027】

書き込みワード線、ビット線、読み出しワード線はマトリクスを構成するが、マトリクス駆動をおこなうためには、書き込みワード線とビット線は直交し、書き込みワード線と読み出しワード線は平行であることが望ましい。

【0028】

図1(A)に、上記の構造を有する記憶セルの回路の例を図示する。ここでは、 $n$ 、 $m$ を2以上の自然数とする。図1(A)では、書き込みトランジスタ  $WTr(n, m)$  と読み出しトランジスタ  $RTr(n, m)$  とキャパシタ  $C(n, m)$  からなる記憶セルが示されている。ここで、書き込みトランジスタ  $WTr(n, m)$  のドレインは読み出しトランジスタ  $RTr(n, m)$  のゲートおよびキャパシタ  $C(n, m)$  の一方の電極に接続されている。この例では、書き込みワード線  $Q_n$ 、ビット線  $R_m$ 、読み出しワード線  $P_n$  に加えてバイアス線  $S_m$  を示す。書き込みワード線  $Q_n$  と読み出しワード線  $P_n$  は平行であり、ビット線  $R_m$  とバイアス線  $S_m$  は平行である。そして、書き込みワード線  $Q_n$  とビット線  $R_m$  は直交する。

10

【0029】

また、書き込みトランジスタ  $WTr(n, m)$  のゲートは書き込みワード線  $Q_n$  に、書き込みトランジスタ  $WTr(n, m)$  のソースと読み出しトランジスタ  $RTr(n, m)$  のソースはビット線  $R_m$  に、読み出しトランジスタ  $RTr(n, m)$  のドレインはバイアス線  $S_m$  に、キャパシタ  $C(n, m)$  の他方の電極は読み出しワード線  $P_n$  に、それぞれ接続されている。

20

【0030】

図1(A)に示す回路は、特許文献2にゲインセルとして記載されているメモリセルと同じものである。このようなメモリセルはキャパシタの容量をDRAMのキャパシタに比べて十分に小さくできるとして研究が進められた。すなわち、DRAMでは必要なキャパシタの容量がビット線の寄生容量の相対比で決定されるのに対し、ゲインセルでは、読み出しトランジスタのゲート容量との相対比で決定される。

【0031】

キャパシタの容量が小さくできれば、その充放電に要する時間、すなわち、スイッチング時間が短縮できる。DRAMではキャパシタの充放電が律速となって、動作スピードの制約があるのに対し、ゲインセルではデザインルールの縮小と共に読み出しトランジスタのゲート容量とキャパシタの容量が小さくなるため、非常に高速で応答するメモリが作製できる。

30

【0032】

具体的には、デザインルールが  $1/10$  になれば、キャパシタの容量は  $1/10$  となり、トランジスタのオン抵抗も  $1/10$  となるため、スイッチングに要する時間は  $1/100$  となる。一方、DRAMではトランジスタのオン抵抗が  $1/10$  となっても、キャパシタの容量は変わらないので、スイッチング時間は  $1/10$  となるにとどまる。すなわち、ゲインセルではDRAMより  $10$  倍の高速化が可能である。

【0033】

このように優れた特性が期待されるゲインセルであるが、トランジスタのソースとドレイン間のリーク電流を十分に抑制できないために、実用にはいたらなかった。一般にデザインルールが  $1/10$  となってもトランジスタのオフ時のリーク電流が  $1/10$  となることはなく、むしろ、他のさまざまな要因によって、リーク電流は増加することがある。

40

【0034】

例えば、PN接合を用いて絶縁するトランジスタであれば、トランジスタの微細化とともにPN接合におけるバンド間トンネルによるリークが顕著となる。また、バンドギャップが小さな ( $2.5$  電子ボルト未満) の半導体では、熱励起キャリアによるリークも無視できない。リーク電流を抑制できなければキャパシタの容量を減らすことは難しい。

【0035】

50

ゲインセルの書き込みトランジスタを公知のシリコンを用いた絶縁ゲート型トランジスタで構成した場合にはトランジスタを2つ用いることの効果は消失する。例えば、キャパシタの容量が通常のDRAMのように10 fF程度であるとすると、シリコンを用いたトランジスタではオフ時のリーク電流は最低でも $10^{-14}$  A程度であるため、1秒ほどでキャパシタに蓄積された電荷は消失する。そのため、通常のDRAMと同様に1秒間に数十回のリフレッシュ動作が必要となる。

#### 【0036】

もっとも、DRAMより1つ余分にトランジスタを設けるのに同じ容量のキャパシタを使うのではコストに見合わないので、キャパシタの容量を低減する必要がある。例えば、キャパシタの容量を1/10にしても、データを読み出せることがゲインセルの特徴でもある。

10

#### 【0037】

しかしながら、キャパシタの容量が1/10になると、リフレッシュの間隔も1/10になる。その分、消費電力が増大する上、メモリへのアクセスも制約を受ける。同様にキャパシタの容量が1/100になると、リフレッシュの間隔が1/100となり、到底、実用的ではない。従来は、書き込みトランジスタのリーク電流を十分に低減する手段がなかったため、このようなゲインセルが実用化されることは無かった。

#### 【0038】

書き込みトランジスタ $WTr_{(n,m)}$ を、上述のようなワイドバンドギャップ半導体をチャンネルに用いた絶縁ゲート型トランジスタで形成すると、そのソースとドレイン間のリーク電流が通常の方法では測定できないほど極めて小さくなる。本発明ではそのことに着目することにより、ゲインセルを実用的なメモリセルとすることができる。

20

#### 【0039】

トランジスタのリーク電流が十分に小さくなると、ゲインセルは非常に有望なメモリセルとなる。すなわち、キャパシタの容量は、書き込みトランジスタや読み出しトランジスタのゲート容量と同程度まで小さくできるので、DRAMのような特殊な形状(スタック型やトレンチ型)のキャパシタを設ける必要は無く、設計の自由度が拡がり、工程も簡単となる。そして、上述のように高速動作の可能なメモリとなる。

#### 【0040】

例えば、リーク電流をシリコントランジスタの場合の10万分の1( $10^{-20}$  A程度)とすれば、仮にキャパシタがDRAMの千分の1であったとしても、リフレッシュの間隔はDRAMの千倍(すなわち、1分に1度)で済む。リーク電流がより小さく、例えば、 $10^{-24}$  A以下であれば、数日に一度のリフレッシュで済む。

30

#### 【0041】

書き込みに際しては、上記のようにDRAMに比べて格段に小さな容量のキャパシタへの充電であるから、書き込みトランジスタの特性はそれほど優れたものでなくとも現在のDRAMと同程度あるいはそれ以上のものとなる。例えば、図1(A)のキャパシタの容量が、DRAMのキャパシタの容量の千分の1であれば、書き込みトランジスタもオン電流(あるいは移動度)はDRAMのトランジスタの千分の1でよい。

#### 【0042】

仮に書き込みトランジスタの移動度がシリコンを用いたトランジスタの1/100の移動度であっても、通常のDRAMの10倍の速度で書き込みが実行できる。上述のように、高速性はデザインルールの縮小とともに顕著になる。

40

#### 【0043】

以下、図1(A)に示す回路の動作の例について説明する。図1(A)に示す記憶セルでは、書き込みワード線 $Q_n$ に適切な電位を与えることによって、書き込みトランジスタ $WTr_{(n,m)}$ をオン状態とする。その際のビット線 $R_m$ の電位により、書き込みトランジスタ $WTr_{(n,m)}$ のドレインに電荷が注入される。この際の電荷の注入量は、ビット線 $R_m$ の電位、読み出しトランジスタ $RTr_{(n,m)}$ のゲート容量、キャパシタ $C_{(n,m)}$ の容量等によって決定されるため、同じ条件でおこなえば、ほぼ同じ結果となり

50



、ばらつきが少ない。このようにして、データが書き込まれる。

【0044】

次に、書き込みワード線  $Q_n$  に別の適切な電位を与えることによって、書き込みトランジスタ  $WTr(n, m)$  をオフ状態とする。この際、書き込みトランジスタ  $WTr(n, m)$  のドレインの電荷はそのまま保持される。読み出す際には、読み出しワード線  $P_n$  に適切な電位を与え、読み出しトランジスタ  $RTr(n, m)$  がどのような状態となるかをモニターすることによって、書き込まれたデータを知ることができる。

【0045】

図11(A)に、上記の構造を有する記憶セルの別の例を図示する。ここでは、 $n$ 、 $m$ を2以上の自然数とする。図11(A)では、 $n$ チャネル型の書き込みトランジスタ  $WTr(n, m)$  と  $p$ チャネル型の読み出しトランジスタ  $RTr(n, m)$  とキャパシタ  $C(n, m)$  からなる記憶セルが示されている。ここで、書き込みトランジスタ  $WTr(n, m)$  のドレインは読み出しトランジスタ  $RTr(n, m)$  のゲートおよびキャパシタ  $C(n, m)$  の一方の電極に接続されている。

10

【0046】

また、書き込みトランジスタ  $WTr(n, m)$  のゲートは書き込みワード線  $Q_n$  に、書き込みトランジスタ  $WTr(n, m)$  のソースと読み出しトランジスタ  $RTr(n, m)$  のソースはビット線  $R_m$  に、読み出しトランジスタ  $RTr(n, m)$  のドレインはバイアス線  $S_m$  に、キャパシタ  $C(n, m)$  の他方の電極は読み出しワード線  $P_n$  に、それぞれ接続されている。

20

【0047】

図1(A)あるいは図11(A)に示される記憶セルがマトリクス状に配置されてメモリ装置となるが、図から明らかなように、マトリクス1行につき、書き込みワード線、読み出しワード線がそれぞれ1本、マトリクス1列につき、ビット線、バイアス線がそれぞれ1本必要であるため、メモリ装置のマトリクスが $N$ 行 $M$ 列( $N$ 、 $M$ は2以上の自然数)であれば、 $(2N + 2M)$ 本の配線が必要である。

【0048】

本発明の態様の第2は、本発明の態様の第1に用いるものと同様な書き込みトランジスタ、読み出しトランジスタ、キャパシタをそれぞれ2個あるいはそれ以上用いて形成される記憶ユニットからなる半導体メモリ装置である。書き込みトランジスタと読み出しトランジスタの導電型は互いに同じものとしても、異なるものとしてもよい。

30

【0049】

また、本態様では、本発明の態様の第1に用いられた書き込みワード線と読み出しワード線の代わりに2本のワード線を配置する。個々のワード線は、あるときは書き込みワード線として、またあるときは読み出しワード線として機能する。

【0050】

さらに、本態様では、本発明の態様の第1に用いられたビット線とバイアス線の代わりに2本のビット線を配置する。個々のビット線は、あるときはビット線として、またあるときはバイアス線として機能する。

【0051】

そして、第1の書き込みトランジスタのドレインは第1のキャパシタの一方の電極、および第1の読み出しトランジスタのゲートに接続し、第2の書き込みトランジスタのドレインは第2のキャパシタの一方の電極、および第2の読み出しトランジスタのゲートに接続する。

40

【0052】

また、第1の書き込みトランジスタのソースと第1の読み出しトランジスタのソースと第2の読み出しトランジスタのドレインは第1のビット線と接続し、第2の書き込みトランジスタのソースと第2の読み出しトランジスタのソースと第1の読み出しトランジスタのドレインは第2のビット線と接続する。

【0053】

50

第1の書き込みトランジスタのゲートと第2のキャパシタの他方の電極は、第1のワード線に、第2の書き込みトランジスタのゲートと第1のキャパシタの他方の電極は、第2のワード線に、それぞれ接続する。

【0054】

第1のワード線、第2のワード線は、互いに平行であり、また、第1のビット線、第2のビット線は、互いに平行である。また、第1のワード線と第1のビット線とは直交する。

【0055】

図2(A)および図12(A)に、上記の構造を有する記憶ユニットの例を図示する。ここでは、 $n$ 、 $m$ を2以上の自然数とする。すなわち、書き込みトランジスタ $WTr1(n, m)$ と読み出しトランジスタ $RTr1(n, m)$ とキャパシタ $C1(n, m)$ からなる第1の記憶セル、書き込みトランジスタ $WTr2(n, m)$ と読み出しトランジスタ $RTr2(n, m)$ とキャパシタ $C2(n, m)$ からなる第2の記憶セルという2つの記憶セルと、その2つの記憶セルよりなる記憶ユニットが示されている。

10

【0056】

図2(A)、図12(A)とも書き込みトランジスタ $WTr1(n, m)$ 、 $WTr2(n, m)$ は $n$ チャネル型であり、また、図2(A)では読み出しトランジスタ $RTr1(n, m)$ 、 $RTr2(n, m)$ は $n$ チャネル型であり、図12(A)では読み出しトランジスタ $RTr1(n, m)$ 、 $RTr2(n, m)$ は $p$ チャネル型である。

【0057】

それぞれの記憶セルにおける書き込みトランジスタのドレインはキャパシタの一方の電極と読み出しトランジスタのゲートに接続されている。これらのトランジスタやキャパシタの接続される交点の電位は、読み出しトランジスタのゲートの電位と同じであり、読み出しトランジスタのオンオフと関連があるので、以下、これらの交点をノード $F1(n, m)$ 、 $F2(n, m)$ という。

20

【0058】

また、書き込みトランジスタ $WTr1(n, m)$ のソースと読み出しトランジスタ $RTr1(n, m)$ のソースと読み出しトランジスタ $RTr2(n, m)$ のドレインとは、ビット線 $R1_m$ と接続し、書き込みトランジスタ $WTr2(n, m)$ のソースと読み出しトランジスタ $RTr2(n, m)$ のソースと読み出しトランジスタ $RTr1(n, m)$ のドレインとは、ビット線 $R2_m$ と接続する。

30

【0059】

さらに、書き込みトランジスタ $WTr1(n, m)$ のゲートとキャパシタ $C2(n, m)$ の他方の電極はワード線 $Q1_n$ と接続し、書き込みトランジスタ $WTr2(n, m)$ のゲートとキャパシタ $C1(n, m)$ の他方の電極はワード線 $Q2_n$ と接続する。ワード線 $Q1_n$ と $Q2_n$ は平行であり、また、ビット線 $R1_m$ と $R2_m$ は平行である。さらに、ワード線 $Q1_n$ とビット線 $R1_m$ は直交する。

【0060】

図2(A)に示される記憶ユニットが図2(B)のように、あるいは図12(A)に示される記憶ユニットが図12(B)のようにマトリクス状に配置されてメモリ装置となるが、図に示されるような記憶ユニットのマトリクス1行につきワード線が2本、マトリクス1列につきビット線が2本必要であるため、 $N$ 行 $M$ 列( $N$ 、 $M$ は2以上の自然数)のマトリクスであれば、 $(2N + 2M)$ 本の配線が必要である。

40

【0061】

しかしながら、1つの記憶ユニットには2つの記憶セルが含まれているので、 $N$ 行 $M$ 列のマトリクスであっても実際には、図1(A)あるいは図11(A)に示す記憶セルをマトリクスにした場合に比べて2倍の記憶セルがある。したがって、記憶セル数が同じ場合には、配線数は、図1(A)あるいは図11(A)の記憶セルをマトリクスにした場合の半分である。このため、図1(A)あるいは図11(A)に示す記憶セルよりも単位記憶セルあたりの面積を減らせる。

【0062】

50

さらに、集積化するには、次行の記憶ユニットとコンタクト部分（コンタクトホール等）を共有すればよい。その例を図4（A）に示す。なお、図4（A）に点線の長方形で示される単位記憶ユニットの範囲は、配線との重なりを避けるため、実際よりもやや大きめに書かれている。図4（A）では読み出しトランジスタはpチャネル型であるが、nチャネル型であっても同様である。

#### 【0063】

ここでは、第n行の記憶ユニットの内部の回路構成は、図2（A）と同じであるが、第（n+1）行の記憶ユニットの内部の回路構成は、図2（A）のものを反転させてある。その結果、例えば、第n行第m列の記憶ユニットがビット線 $R_{2m}$ に接続するコンタクト部分を第（n+1）行第m列の記憶ユニットがビット線 $R_{2m}$ に接続するコンタクト部分と共有することができ、単位記憶ユニットおよび単位記憶セルあたりの面積を削減できる。

10

#### 【0064】

本発明の態様の第3は、本発明の態様の第2において、第2のビット線を隣接する列の第1のビット線で代用したものである。図4（B）に、上記の構造を有する記憶ユニットよりなるマトリクスを例を図示する。ここでは、n、mを2以上の自然数とする。なお、図4（B）に点線の長方形で示される単位記憶ユニットの範囲は、配線との重なりを避けるため、実際よりもやや大きめに書かれている。

#### 【0065】

図4（B）に点線の長方形で示される第n行第m列の記憶ユニットは、導電型は互いに異なる書き込みトランジスタと読み出しトランジスタとキャパシタを各2つずつを有する。ここでは、書き込みトランジスタがNチャネル型で、読み出しトランジスタはPチャネル型である。この記憶ユニットの内部の回路構成は図12（A）に示すものと同じである。

20

#### 【0066】

そして、第1の書き込みトランジスタ $WTr1(n, m)$ のドレインは第1のキャパシタ $C1(n, m)$ の一方の電極、および第1の読み出しトランジスタ $RTr1(n, m)$ のゲートに接続し、第2の書き込みトランジスタ $WTr2(n, m)$ のドレインは第2のキャパシタ $C2(n, m)$ の一方の電極、および第2の読み出しトランジスタ $RTr2(n, m)$ のゲートに接続する。

#### 【0067】

第1の書き込みトランジスタ $WTr1(n, m)$ のゲートと第2のキャパシタ $C2(n, m)$ の他方の電極は、ワード線 $Q1_n$ に、第2の書き込みトランジスタ $WTr2(n, m)$ のゲートと第1のキャパシタ $C1(n, m)$ の他方の電極は、ワード線 $Q2_n$ に、それぞれ接続する。

30

#### 【0068】

また、第1の書き込みトランジスタ $WTr1(n, m)$ のソースと第1の読み出しトランジスタ $RTr1(n, m)$ のソースと第2の読み出しトランジスタ $RTr2(n, m)$ のドレインは第1のビット線であるビット線 $R_m$ と接続し、第2の書き込みトランジスタ $WTr2(n, m)$ のソースと第2の読み出しトランジスタ $RTr2(n, m)$ のソースと第1の読み出しトランジスタ $RTr1(n, m)$ のドレインは第2のビット線であるビット線 $R_{m+1}$ と接続する。

40

#### 【0069】

そして、ビット線 $R_{m+1}$ は隣接する第n行第（m+1）列の記憶ユニットの第1のビット線でもある。図4（B）から明らかなように、マトリクス1行に付き、ワード線が2本、1列につきビット線が1本必要であるため、メモリ装置のマトリクスがN行M列（N、Mは2以上の自然数）であれば、列の両端の部分を考慮して（2N+M+1）本の配線が必要である。

#### 【0070】

すなわち、上記で示した本発明の態様の第2よりも配線数を削減でき、記憶セルあたりの面積を低減できる。また、図4（A）のようにコンタクト部分を共有することによりさらに集積度を高めることもできる。

50

## 【 0 0 7 1 】

以上、本発明の態様として、3つの例を示したが、本発明の技術思想によれば、上記の例に限られず、その他の態様も可能であることは、実施の形態に示される例を見れば明らかであろう。

## 【 発明の効果 】

## 【 0 0 7 2 】

上記の構成のいずれかを採用することにより、前記課題の少なくとも1つを解決できる。書き換え回数に関しては、上記の構成においては、書き込み動作がいずれも通常のトランジスタのオンオフによりなされるため、絶縁膜の劣化は起こりえない。すなわち、上記に示された本発明の半導体メモリ装置は実質的に書き換えの制限がない。また、データの保存に関しては、リーク電流が著しく少ないため、従来のDRAMよりも消費電流は低減できる。さらに、上記の態様では、1つの記憶セルに使用されるトランジスタの数は2つである。

10

## 【 0 0 7 3 】

また、データの保存できる期間に関しても、本発明は優れた特性を示す。用いるトランジスタのソースとドレイン間のオフ状態でのリーク電流やゲートリーク電流、キャパシタの内部リーク電流を上記の条件とすることにより、電荷を10時間以上、さらには100時間以上保持できる。さらに条件を改善することにより、1ヶ月以上、あるいは1年以上保持できる。

## 【 0 0 7 4 】

リークにより電荷が減少した場合は、従来のDRAMと同様にリフレッシュをおこなえばよいが、その間隔は、上記の電荷の保持できる期間によって定められる。上記のように長期間、電荷が保持されることにより、リフレッシュの間隔は、例えば、1ヶ月に1度や1年に1度となる。従来のDRAMで必要であった頻繁なリフレッシュは不要であるので、より消費電力の少ない半導体メモリ装置となる。

20

## 【 0 0 7 5 】

なお、従来のDRAMでは、データの読み出しの度に、再度、データを書き込む操作が必要であったが、上記に示された本発明の半導体メモリ装置では、データを読み出す操作により、データが消えることがないため、そのような操作は不要である。従来、このような特徴はSRAMで実現できるものであったが、上記に示された本発明の半導体メモリ装置は、一つの記憶セルに用いられるトランジスタの数は従来のSRAMより少なく、5つ以下、典型的には2つである。しかも、トランジスタのうち、ひとつを薄膜状の酸化物半導体を用いて形成すれば、従来のシリコン半導体の上に積層して形成できるため集積度を向上できる。

30

## 【 0 0 7 6 】

さらに上記酸化物半導体を用いたトランジスタを有する各記憶セルの読み出しトランジスタのゲートを互い違いに配置することにより、集積度を一層高めることができる。

## 【 0 0 7 7 】

集積度に関しては、本発明では、記憶セルに必要な容量の絶対値を低減させることができる。例えば、DRAMにおいては、記憶セルの容量は配線容量と同程度以上でないと動作に支障をきたすため、少なくとも30fFの容量が必要とされた。しかしながら、容量は面積に比例するため、集積度を上げてゆくと1つの記憶セルの面積が小さくなり、必要な容量を確保できなくなる。そのため、DRAMでは特殊な形状や材料を用いて大きな容量を形成する必要があった。

40

## 【 0 0 7 8 】

これに対し、本発明では、キャパシタの容量は、読み出しトランジスタのゲート容量との相対比で定めることができる。すなわち、集積度が高くなっても、そのことは読み出しトランジスタのゲート容量が低くなることを意味するので、キャパシタに必要とされる容量も同じ比率で低下する。したがって、集積度が高くなっても、基本的に同じ構造のキャパシタを用いることができる。

50

## 【 0 0 7 9 】

さらに、上記構成を有する半導体メモリ装置は、F G N V Mで書き込みや消去の際に必要な高い電圧を必要としない。また、F G N V Mにおいては、書き込み時のフローティングゲートへの電荷の注入は一方通行であり、非平衡状態でなされるため、電荷量のばらつきが大きかった。フローティングゲートで保持される電荷量によって、複数段階のデータを記憶することもできるが、電荷量のばらつきを考慮すると、4段階（2ビット）程度が一般的であった。より高ビットのデータを記憶するためには、より高い電圧を用いる必要があった。

## 【 0 0 8 0 】

これに対し、上記に示された本発明の構成では、キャパシタへの電荷の蓄積が可逆的におこなわれるため、ばらつきが小さく、例えば、電荷の注入による読み出しトランジスタのしきい値のばらつきを0.5V以下にできる。このため、より狭い電圧範囲において、より多くのデータを1つの記憶セルに保持でき、結果的に、その書き込みや読み出しの電圧も低くできる。例えば、4ビット（16段階）のデータの書き込みや読み出しに際して、使用する電圧を10V以下とできる。

## 【図面の簡単な説明】

## 【 0 0 8 1 】

【図1】本発明の半導体メモリ装置と駆動方法の例を示す図である。

【図2】本発明の半導体メモリ装置の例を示す図である。

【図3】本発明の半導体メモリ装置の駆動方法の例を説明する図である。

【図4】本発明の半導体メモリ装置の例を示す図である。

【図5】本発明の半導体メモリ装置の配線のレイアウト等の例を示す図である。

【図6】本発明の半導体メモリ装置の作製工程の例を示す図である。

【図7】本発明の半導体メモリ装置の作製工程の例を示す図である。

【図8】本発明の半導体メモリ装置の配線のレイアウト等の例を示す図である。

【図9】本発明の半導体メモリ装置の配線のレイアウト等の例を示す図である。

【図10】本発明の半導体メモリ装置の配線のレイアウト等の例を示す図である。

【図11】本発明の半導体メモリ装置と駆動方法の例を示す図である。

【図12】本発明の半導体メモリ装置の例を示す図である。

【図13】本発明の半導体メモリ装置の駆動方法の例を説明する図である。

【図14】本発明の半導体メモリ装置の配線のレイアウト等の例を示す図である。

【図15】本発明の半導体メモリ装置の駆動方法（書き込み）の例を説明する図である。

【図16】本発明の半導体メモリ装置の駆動方法（読み出し）の例を説明する図である。

【図17】本発明の半導体メモリ装置の配線のレイアウト等の例を示す図である。

## 【発明を実施するための形態】

## 【 0 0 8 2 】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

## 【 0 0 8 3 】

また、以下の実施の形態で開示された構造や条件等の項目は、他の実施の形態においても適宜、組み合わせることができる。なお、以下に説明する構成において、同様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略することもある。

## 【 0 0 8 4 】

## （実施の形態1）

本実施の形態では、図1（A）に示す半導体メモリ装置の動作の例について、図1（B）乃至図1（E）を用いて説明する。なお、電位として、以下に具体的な数値を挙げるが、それは、本発明の技術思想の理解を助けることが目的である。言うまでもなく、それらの

10

20

30

40

50

値はトランジスタやキャパシタのさまざまな特性によって、あるいは実施者の都合によって変更される。また、図1(A)に示される半導体メモリ装置は、以下の方法以外の方法によっても、データを書き込み、あるいは読み出すことができる。

【0085】

ここでは、書き込みトランジスタ  $WTr(n, m)$ 、読み出しトランジスタ  $RTr(n, m)$  をNチャネル型とする。書き込みトランジスタ  $WTr(n, m)$ 、読み出しトランジスタ  $RTr(n, m)$  とともに、ゲートの電位が、ソースあるいはドレインのいずれか一方の電位より1V以上高くなるとオンになる(電流を流す)とし、それ以外はオフである(電流を流さない)とする。

【0086】

また、読み出しトランジスタ  $RTr(n, m)$  のゲート容量のうち、ゲートバイアスによって変動する分はキャパシタ  $C(n, m)$  の容量に対して無視できるものとする。さらに、書き込みトランジスタ  $WTr(n, m)$  の寄生容量や読み出しトランジスタ  $RTr(n, m)$  の寄生容量、その他、配線間の寄生容量等、図に示されていない容量はすべて0として考える。また、図1(B)乃至図1(E)では、オン状態であるトランジスタには丸印を、オフ状態であるトランジスタには×印をそれぞれ、トランジスタの記号に重ねて表記する。特定の条件でオンになるものについては、別途記載する。

【0087】

最初に、この記憶セルへの書き込みについて説明する。書き込み時には、図1(B)に示すように、読み出しワード線  $P_n$  の電位を0Vとする。また、ビット線  $R_m$  の電位は、書き込むデータに応じて、0V、+1V、+2V、+3Vの4段階の値をとるものとする。また、バイアス線  $S_m$  の電位は、ビット線  $R_m$  の電位と等しくなるようにする。

【0088】

バイアス線  $S_m$  の電位をそのようにするために、半導体メモリ装置が必要な回路等を有することが好ましい。また、バイアス線  $S_m$  の電位は、ビット線  $R_m$  の電位と等しくなることが好ましいが、電位の差が0.2V以下であってもよい。あるいは、位相のずれがパルス幅の10%以下であってもよい。

【0089】

すなわち、バイアス線  $S_m$  の電位をビット線  $R_m$  の電位と等しくすることを目的とするための回路等や信号処理の手段等が設けられることが好ましい。あるいは信号処理の方法等が講じられることが好ましい。結果として、バイアス線  $S_m$  の電位とビット線  $R_m$  の電位との間に若干のずれがあったとしても、そのような手段を講じなかった場合に比べれば消費電力を低減できる。以下では、説明を簡単にするため、バイアス線  $S_m$  の電位は、ビット線  $R_m$  の電位と等しいものとする。

【0090】

次に、書き込みワード線  $Q_n$  の電位を、+4Vとすると、書き込みトランジスタ  $WTr(n, m)$  がオンとなり、書き込みトランジスタ  $WTr(n, m)$  のドレインの電位は書き込みトランジスタのソース(すなわち、ビット線  $R_m$ )の電位に近づく。ここでは、ビット線  $R_m$  の電位と等しくなるものとする。

【0091】

一方、読み出しトランジスタ  $RTr(n, m)$  のゲートの電位は、書き込みトランジスタ  $WTr(n, m)$  のドレインの電位と等しいが、それはまた、読み出しトランジスタ  $RTr(n, m)$  のソース(すなわち、ビット線  $R_m$ )の電位とも等しい。また、読み出しトランジスタ  $RTr(n, m)$  のドレイン(すなわち、バイアス線  $S_m$ )の電位はビット線  $R_m$  の電位と等しい。すなわち、読み出しトランジスタ  $RTr(n, m)$  のゲート、ソース、ドレインは同電位である。このため、読み出しトランジスタ  $RTr(n, m)$  はオフ状態である。

【0092】

この状態で書き込みワード線  $Q_n$  の電位を0Vとすると、書き込みトランジスタ  $WTr(n, m)$  のドレインに注入された電荷はそのまま保持される。このようにして、データを

10

20

30

40

50

書き込める。

【0093】

次に、当該行以外の行の書き込みをおこなう場合には、図1(C)に示すように、書き込みワード線 $Q_n$ の電位、読み出しワード線 $P_n$ の電位を0Vとする。一方、ビット線 $R_m$ の電位は、当該行以外の行に書き込むデータに応じて、0V、+1V、+2V、+3Vの4段階の値をとる。また、バイアス線 $S_m$ の電位は、ビット線 $R_m$ の電位と等しい。

【0094】

書き込みトランジスタ $WT r_{(n,m)}$ のドレインの電位は、書き込まれたデータに応じて、0V、+1V、+2V、+3Vのいずれかの値となる。この状態では、書き込みトランジスタ $WT r_{(n,m)}$ のソース(ビット線 $R$ )の電位(0~+3V)や書き込みトランジスタ $WT r_{(n,m)}$ のドレインの電位(0~+3V)よりも、書き込みトランジスタ $WT r_{(n,m)}$ のゲートの電位(0V)が低いため、書き込みトランジスタ $WT r_{(n,m)}$ はオフとなる。

10

【0095】

一方、読み出しトランジスタ $RT r_{(n,m)}$ のゲートの電位(0~+3V)は、ソース(すなわち、ビット線 $R_m$ )の電位(0~+3V)やドレイン(すなわち、バイアス線 $S_m$ )の電位(0~+3V)よりも高くなることがあり、読み出しトランジスタ $RT r_{(n,m)}$ はオンとなることもある。しかしながら、ソース(すなわち、ビット線 $R_m$ )の電位とドレイン(すなわち、バイアス線 $S_m$ )の電位が等しいので、ソースとドレインの間に電流が流れることはない。すなわち、読み出しトランジスタ $RT r_{(n,m)}$ がオンとなることがあっても、そのために電力を消費することはない。

20

【0096】

次に、読み出し方法について説明する。読み出し時には、バイアス線 $S_m$ の電位は、ビット線と異なるものとする。すなわち、図1(D)に示すように、書き込みワード線 $Q_n$ の電位、読み出しワード線 $P_n$ の電位をともに0Vとする。また、ビット線 $R_m$ の電位を+3V、バイアス線 $S_m$ の電位を+6Vとする。この状態では、読み出しトランジスタ $RT r_{(n,m)}$ のゲートの電位は、書き込まれたデータに応じて、0V、+1V、+2V、+3Vのいずれかとなり、ソース(すなわち、ビット線 $R_m$ )の電位やドレイン(すなわち、バイアス線 $S_m$ )の電位よりも低いので、読み出しトランジスタ $RT r_{(n,m)}$ はオフである。

30

【0097】

次に、図1(E)に示すように、読み出しワード線 $P_n$ の電位を+1Vに上昇させる。すると、読み出しトランジスタ $RT r_{(n,m)}$ のゲートは読み出しワード線 $P_n$ とキャパシタ $C_{(n,m)}$ と介して接続しているため、読み出しワード線 $P_n$ の電位の上昇分だけ、読み出しトランジスタ $RT r_{(n,m)}$ のゲートの電位が上昇する。すなわち、書き込まれたデータに応じて、+1V、+2V、+3V、+4Vのいずれかとなる。

【0098】

そして、読み出しトランジスタ $RT r_{(n,m)}$ のゲートの電位が+4Vであれば読み出しトランジスタ $RT r_{(n,m)}$ はオンとなる。それ以外の場合にはオフとなる。この段階で、読み出しトランジスタ $RT r_{(n,m)}$ のゲートの電位が+4Vであるのは、書き込み時にビット線 $R_m$ の電位が+3Vであった場合である。すなわち、読み出しワード線 $P_n$ の電位を+1Vとしたときに読み出しトランジスタ $RT r_{(n,m)}$ がオンであれば、書き込み時にビット線 $R_m$ の電位が+3Vであったとわかる。

40

【0099】

読み出しトランジスタ $RT r_{(n,m)}$ がオン状態となると、ビット線 $R_m$ に電流が流れるので、これを検知することによって、読み出しトランジスタ $RT r_{(n,m)}$ がオン状態であることを知ることができる。あるいは、ビット線 $R_m$ の一端がキャパシタであるならば、当初の電位(+3V)は、バイアス線 $S_m$ の電位(+6V)に近づくので、やはり、読み出しトランジスタ $RT r_{(n,m)}$ がオン状態であることを知ることができる。

【0100】

50

同様に、読み出しワード線  $P_n$  の電位が、 $+2V$  になれば、読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位は  $+2V$ 、 $+3V$ 、 $+4V$ 、 $+5V$  となる。そして、読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位が、 $+4V$  か  $+5V$  の場合のみ、読み出しトランジスタ  $RT r_{(n, m)}$  はオンとなり、それ以外の場合はオフとなる。

#### 【0101】

この段階で、読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位が  $+4V$  か  $+5V$  であるのは、書き込み時にビット線  $R_m$  の電位が  $+2V$  か  $+3V$  であった場合である。そして、図1(E)の段階ではオフであったのに、読み出しワード線  $P_n$  の電位を  $+2V$  に上昇させてオンとなるのは、書き込み時にビット線  $R_m$  の電位が  $+2V$  であった場合である。

10

#### 【0102】

さらに、読み出しワード線  $P_n$  の電位が、 $+3V$  になれば読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位は  $+3V$ 、 $+4V$ 、 $+5V$ 、 $+6V$  となる。そして、読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位が、 $+3V$  の場合のみ、読み出しトランジスタ  $RT r_{(n, m)}$  はオフとなり、それ以外の場合はオンとなる。この段階で、読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位が  $+3V$  であるのは、書き込み時にビット線  $R_m$  の電位が  $0V$  であった場合である。このようにして、書き込まれたデータを知ることができる。

#### 【0103】

なお、ビット線  $R_m$  にキャパシタを接続し、その電位を測定することにより、データを読み出すこともできる。例えば、図1(E)において、読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位が  $+5V$  であるとする、読み出しトランジスタ  $RT r_{(n, m)}$  はオンとなり、ビット線  $R_m$  の電位は、バイアス線  $S_m$  の電位に近づくが、ビット線  $R_m$  の電位が  $+5V$  となると、読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位と等しいので読み出しトランジスタ  $RT r_{(n, m)}$  はオフとなる。すなわち、ビット線  $R_m$  の電位は、 $+4V$  以上  $+5V$  未満となる。

20

#### 【0104】

同様に、読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位が  $+4V$  であるとする、ビット線  $R_m$  の電位は、 $+3V$  以上  $+4V$  未満となり、読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位が  $+6V$  であるとする、ビット線  $R_m$  の電位は、 $+5V$  以上  $+6V$  未満となる。読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位が  $+3V$  であると、読み出しトランジスタ  $RT r_{(n, m)}$  はオフであるため、ビット線  $R_m$  の電位は初期の値 ( $+3V$ ) から変わらない。

30

#### 【0105】

以上のようにして4段階のデータ(2ビット)を書き込み・読み出しできる。もちろん、同様にして、さらに多くのデータ、例えば、8段階のデータ(3ビット)、16段階のデータ(4ビット)を書き込み・読み出しできる。あるいは、2段階のデータ(1ビット)を書き込み・読み出しできる。

#### 【0106】

上記の説明では、寄生容量や読み出しトランジスタ  $RT r_{(n, m)}$  のゲート容量をキャパシタ  $C_{(n, m)}$  の容量に対して無視したが、現実の記憶セルではそれらを考慮した上で、与える電位を決定する必要がある。

40

#### 【0107】

読み出しトランジスタ  $RT r_{(n, m)}$  のゲート容量は、オン状態とオフ状態で大きく変動するので、読み出しトランジスタ  $RT r_{(n, m)}$  のゲートの電位はその影響を受ける。読み出しトランジスタ  $RT r_{(n, m)}$  のゲート容量のキャパシタ  $C_{(n, m)}$  の容量に対する比率が大きいほど、その影響が大きいので、好ましくは、キャパシタ  $C_{(n, m)}$  の容量は読み出しトランジスタ  $RT r_{(n, m)}$  のゲート容量の2倍以上とするとよい。

#### 【0108】

50



なお、記憶セルに保持される電荷量を複数段階とすることによって多段階のデータ（多値のデータ）を記憶するには、保持される電荷量のばらつきが小さいことが必要である。本実施の形態で示した半導体メモリ回路および半導体メモリ装置は、保持される電荷量のばらつきが小さいため、この目的に適している。

#### 【0109】

（実施の形態2）

本実施の形態では、図11（A）に示す半導体メモリ装置の動作の例について、図11（B）乃至図11（E）を用いて説明する。なお、電位として、以下に具体的な数値を挙げるが、それは、本発明の技術思想の理解を助けることが目的である。言うまでもなく、これらの値はトランジスタやキャパシタのさまざまな特性によって、あるいは実施者の都合によって変更される。また、図11（A）に示される半導体メモリ装置は、以下の方法以外の方法によっても、データを書き込み、あるいは読み出すことができる。

#### 【0110】

ここでは、書き込みトランジスタ  $WTr_{(n,m)}$  をNチャネル型、読み出しトランジスタ  $RTr_{(n,m)}$  をPチャネル型とする。書き込みトランジスタ  $WTr_{(n,m)}$  は、ゲートの電位が、ソースあるいはドレインのいずれか一方の電位より1V以上高くなるとオンになる（電流を流す）とし、それ以外はオフである（電流を流さない）とする。また、読み出しトランジスタ  $RTr_{(n,m)}$  は、ゲートの電位が、ソースあるいはドレインのいずれか一方の電位より1V以上低くなるとオンになる（電流を流す）とし、それ以外はオフである（電流を流さない）とする。

#### 【0111】

また、読み出しトランジスタ  $RTr_{(n,m)}$  のゲート容量のうち、ゲートバイアスによって変動する分はキャパシタ  $C_{(n,m)}$  の容量に対して無視できるものとする。さらに、書き込みトランジスタ  $WTr_{(n,m)}$  の寄生容量や読み出しトランジスタ  $RTr_{(n,m)}$  の寄生容量、その他、配線間の寄生容量等、図に示されていない容量はすべて0として考える。また、図11（B）乃至図11（E）では、オン状態であるトランジスタには丸印を、オフ状態であるトランジスタには×印をそれぞれ、トランジスタの記号に重ねて表記する。特定の条件でオンになるものについては、別途記載する。以下の例では、バイアス線  $S_m$  の電位は常時0Vであるとする。

#### 【0112】

最初に、この記憶セルへの書き込みについて説明する。書き込み時には、図11（B）に示すように、読み出しワード線  $P_n$  の電位を0Vとする。また、ビット線  $R_m$  の電位は、書き込むデータに応じて、0V、+1V、+2V、+3Vの4段階の値をとるものとする。そして、書き込みワード線  $Q_n$  の電位を、+4Vとすると、書き込みトランジスタ  $WTr_{(n,m)}$  がオンとなり、書き込みトランジスタ  $WTr_{(n,m)}$  のドレインの電位は書き込みトランジスタのソース（すなわち、ビット線  $R_m$ ）の電位に近づく。ここでは、ビット線  $R_m$  の電位と等しくなるものとする。

#### 【0113】

一方、読み出しトランジスタ  $RTr_{(n,m)}$  のゲートの電位は、書き込みトランジスタ  $WTr_{(n,m)}$  のドレインの電位と等しい。すなわち、読み出しトランジスタ  $RTr_{(n,m)}$  のゲートの電位は0V以上であり、かつ、読み出しトランジスタ  $RTr_{(n,m)}$  のソース（すなわち、ビット線  $R_m$ ）の電位と同じである。

#### 【0114】

また、読み出しトランジスタ  $RTr_{(n,m)}$  のドレイン（すなわち、バイアス線  $S_m$ ）の電位は0Vである。したがって、読み出しトランジスタ  $RTr_{(n,m)}$  のゲートの電位は、ソースやドレインの電位と同じか高いので、読み出しトランジスタ  $RTr_{(n,m)}$  はオフ状態である。このようにして、データを書き込むことができる。

#### 【0115】

なお、書き込み時を含めて、可能な限り、読み出しトランジスタ  $RTr_{(n,m)}$  をオフ状態とすることは、読み出しトランジスタ  $RTr_{(n,m)}$  のゲートからソース、あるいは

10

20

30

40

50

はゲートからドレインへのリーク電流を低減する上で効果がある。一般に、このようなリーク電流は、オン状態では多いが、オフ状態では非常に少なくなる。

【0116】

このようなリーク電流は、キャパシタ $C_{(n,m)}$ に保持された電荷の漏れであるので、その量が多ければ、データの保持時間の減少につながる。本実施の形態では、読み出しトランジスタ $RT_{r(n,m)}$ がオンとなるのは、読み出し時のみであるため、データの保持の面で優れている。

【0117】

次に、当該行以外の行の書き込みをおこなう場合には、図11(C)に示すように、書き込みワード線 $Q_n$ の電位を0Vとする。また、読み出しワード線 $P_n$ の電位を+3Vとする。一方、ビット線 $R_m$ の電位は、当該行以外の行に書き込むデータに応じて、0V、+1V、+2V、+3Vの4段階の値をとる。

【0118】

書き込みトランジスタ $WT_{r(n,m)}$ のドレインの電位は、読み出しワード線 $P_n$ とキャパシタ $C_{(n,m)}$ を介して接続しているため、読み出しワード線 $P_n$ の電位の変動(すなわち、図11(B)の0Vから図11(C)の+3Vへの上昇)により、3V上昇する。すなわち、書き込まれたデータに応じて、+3V、+4V、+5V、+6Vのいずれかの値となる。

【0119】

また、この状態では、書き込みトランジスタ $WT_{r(n,m)}$ のソース(ビット線 $R$ )の電位(0~+3V)や書き込みトランジスタ $WT_{r(n,m)}$ のドレインの電位(+3~+6V)よりも、書き込みトランジスタ $WT_{r(n,m)}$ のゲートの電位(0V)が低いいため、書き込みトランジスタ $WT_{r(n,m)}$ はオフとなる。

【0120】

さらに、読み出しトランジスタ $RT_{r(n,m)}$ のソース(すなわち、ビット線 $R_m$ )の電位(0~+3V)や読み出しトランジスタ $RT_{r(n,m)}$ のドレイン(すなわち、バイアス線 $S_m$ )の電位(0V)よりも、読み出しトランジスタ $RT_{r(n,m)}$ のゲートの電位(+3~+6V)が高いため、読み出しトランジスタ $RT_{r(n,m)}$ はオフとなる。

【0121】

次に、読み出しについて説明する。図11(D)に示すように、書き込みワード線 $Q_n$ の電位は0Vとする。また、読み出しワード線 $P_n$ の電位を+2Vとする。また、ビット線 $R_m$ の電位を+3Vとする。この状態では、書き込みトランジスタ $WT_{r(n,m)}$ のドレインの電位は、書き込まれたデータに応じて、+2V、+3V、+4V、+5Vのいずれかとなり、読み出しトランジスタ $RT_{r(n,m)}$ のゲートの電位が+2Vであればオンとなるが、それ以外の場合にはオフとなる。

【0122】

この段階で、読み出しトランジスタ $RT_{r(n,m)}$ のゲートの電位が+2Vであるのは、書き込み時にビット線 $R_m$ の電位が0Vであった場合である。すなわち、読み出しワード線 $P_n$ の電位を+2Vとしたときに読み出しトランジスタ $RT_{r(n,m)}$ がオンであれば、書き込み時にビット線 $R_m$ の電位が0Vであったとわかる。

【0123】

読み出しトランジスタ $RT_{r(n,m)}$ がオン状態となると、ビット線 $R_m$ に電流が流れるので、これを検知することによって、読み出しトランジスタ $RT_{r(n,m)}$ がオン状態であることを知ることができる。あるいは、ビット線 $R_m$ の一端がキャパシタであるならば、当初の電位(+3V)は、バイアス線 $S_m$ の電位(0V)に近づくので、やはり、読み出しトランジスタ $RT_{r(n,m)}$ がオン状態であることを知ることができる。

【0124】

同様に、図11(E)に示すように、読み出しワード線 $P_n$ の電位が、0Vになれば、読み出しトランジスタ $RT_{r(n,m)}$ のゲートの電位は0V、+1V、+2V、+3Vと

10

20

30

40

50

なる。そして、読み出しトランジスタ  $RTr(n, m)$  のゲートの電位が、+ 3 V の場合のみ、読み出しトランジスタ  $RTr(n, m)$  はオフとなり、それ以外の場合はオンとなる。

#### 【0125】

この段階で、読み出しトランジスタ  $RTr(n, m)$  のゲートの電位が + 3 V であるのは、書き込み時にビット線  $R_m$  の電位が + 3 V であった場合である。すなわち、読み出しワード線  $P_n$  の電位を 0 V としたときに読み出しトランジスタ  $RTr(n, m)$  がオフであれば、書き込み時にビット線  $R_m$  の電位が + 3 V であったとわかる。このように、読み出しワード線  $P_n$  の電位を変化させ、読み出しトランジスタ  $RTr(n, m)$  の状態を検知することにより、記憶セルに保持されているデータの値を知ることができる。

10

#### 【0126】

なお、ビット線  $R_m$  にキャパシタを接続し、その電位を測定することにより、データを読み出すこともできる。例えば、図 11 (E) において、読み出しトランジスタ  $RTr(n, m)$  のゲートの電位が + 2 V であるとする、読み出しトランジスタ  $RTr(n, m)$  はオンとなり、ビット線  $R_m$  の電位は、バイアス線  $S_m$  の電位に近づくが、ビット線  $R_m$  の電位が + 2 V となると、読み出しトランジスタ  $RTr(n, m)$  のゲートの電位と同じなので読み出しトランジスタ  $RTr(n, m)$  はオフとなる。すなわち、ビット線  $R_m$  の電位は、+ 2 V 以上 + 3 V 未満となる。

#### 【0127】

同様に、読み出しトランジスタ  $RTr(n, m)$  のゲートの電位が + 1 V であるとする、ビット線  $R_m$  の電位は、+ 1 V 以上 + 2 V 未満となり、読み出しトランジスタ  $RTr(n, m)$  のゲートの電位が 0 V であるとする、ビット線  $R_m$  の電位は、0 V 以上 + 1 V 未満となる。読み出しトランジスタ  $RTr(n, m)$  のゲートの電位が + 3 V であると、読み出しトランジスタ  $RTr(n, m)$  はオフであるため、ビット線  $R_m$  の電位は初期の値 (+ 3 V) から変わらない。

20

#### 【0128】

以上のようにして 4 段階のデータ (2 ビット) を書き込み・読み出しできる。もちろん、同様にして、さらに多くのデータ、例えば、8 段階のデータ (3 ビット)、16 段階のデータ (4 ビット) を書き込み・読み出しできる。あるいは、2 段階のデータ (1 ビット) を書き込み・読み出しできる。

30

#### 【0129】

上記の説明では、寄生容量や読み出しトランジスタ  $RTr(n, m)$  のゲート容量をキャパシタ  $C(n, m)$  の容量に対して無視したが、現実の記憶セルではそれらを考慮した上で、与える電位を決定する必要がある。

#### 【0130】

読み出しトランジスタ  $RTr(n, m)$  のゲート容量は、オン状態とオフ状態で大きく変動するので、読み出しトランジスタ  $RTr(n, m)$  のゲートの電位はその影響を受ける。読み出しトランジスタ  $RTr(n, m)$  のゲート容量のキャパシタ  $C(n, m)$  の容量に対する比率が大きいほど、その影響が大きいので、好ましくは、キャパシタ  $C(n, m)$  の容量は読み出しトランジスタ  $RTr(n, m)$  のゲート容量の 2 倍以上とするとよい。

40

#### 【0131】

なお、記憶セルに保持される電荷量を複数段階とすることによって多段階のデータ (多値のデータ) を記憶するには、保持される電荷量のばらつきが小さいことが必要である。本実施の形態で示した半導体メモリ回路および半導体メモリ装置は、保持される電荷量のばらつきが小さいため、この目的に適している。

#### 【0132】

##### (実施の形態 3)

本実施の形態では、実施の形態 1 で説明した半導体メモリ装置の形状や作製方法の例について説明する。本実施の形態では、書き込みトランジスタは、ガリウムとインジウムを含

50

有する酸化物半導体を用い、読み出しトランジスタは、単結晶シリコン半導体を用いる。そのため、書き込みトランジスタは読み出しトランジスタの上に積層して設けられる。

【0133】

すなわち、単結晶シリコン基板上に設けられた単結晶シリコン半導体を用いた絶縁ゲート型トランジスタを読み出しトランジスタとし、その上に、酸化物半導体を用いたトランジスタを形成して、これを書き込みトランジスタとする。なお、本実施の形態は単結晶シリコン基板上に半導体メモリ装置を形成する例について説明するが、それ以外の基板上に設けることも可能である。

【0134】

図5に本実施の形態の半導体メモリ装置の記憶セルのレイアウト例を示す。図5(A)は単結晶シリコン基板上に設けられた主要な配線・電極等を示す。基板上に素子分離領域102を形成する。基板上には、導電性の材料やドーピングされたシリコンを用いた導電性領域106を形成し、その一部は、読み出しトランジスタのソース、ドレインとなる。隣接する導電性領域106が読み出しトランジスタのゲート電極111で隔てられている部分もある。導電性領域106の一部には第1接続電極110が設けられる。

10

【0135】

図に示すように、第1接続電極110やバイアス線Sを隣接する記憶セルと共有することにより集積度を高められる。図5で示す半導体メモリ装置では、単位記憶セルあたりの面積は、最小加工線幅をFとすると、 $18F^2$ である。なお、図5において単位記憶セルとして表示されている点線の長方形で示される部分は、他の線との重なりを避けるため、実

20

【0136】

ゲート電極111や第1接続電極110の材料としては、後に形成する酸化物半導体とオーミック接触を形成する材料が好ましい。そのような材料としては、その仕事関数Wが酸化物半導体の電子親和力（酸化物半導体の導電帯の下限と真空準位の間のエネルギー差）とほぼ同じか小さい材料が挙げられる。すなわち、 $W < +0.3[eV]$ の関係を満たせばよい。例えば、チタン、モリブデン、窒化チタン等である。

【0137】

図5(B)は、図5(A)の回路の上に形成される酸化物半導体を用いたトランジスタを中心とした主要な配線や電極等を示す。複数の島状の酸化物半導体領域112と複数の第1配線114を形成する。第1配線114は、書き込みワード線、あるいは読み出しワード線となる。

30

【0138】

第1配線114の一部は酸化物半導体と重なって、書き込みトランジスタのゲート電極となる。また、酸化物半導体領域112は、下層のゲート電極111と接触する。第1配線114の一部は、ゲート電極111と重なり、キャパシタを形成する。また、酸化物半導体領域112の一部には、上層（例えば、ビット線）への接続のための第2接続電極118が設けられている。

【0139】

図5(A)および図5(B)を重ね合わせ、さらに、酸化物半導体を用いたトランジスタの上に形成される第2配線119を図示すると、図5(C)に示すようになる。ここでは、重なりが分かるように、意図的に少しずらして重ねてある。第2配線119はビット線を構成する。また、さらなる上層（例えば、バイアス線）への接続のための第3接続電極121が、第2接続電極118に重なるように設けられている。

40

【0140】

図5(D)は、第2配線119の上層に設けられる第3配線122を表示したものである。第3配線122はバイアス線を構成する。図5においては、導電性領域106の幅、第1配線114の幅等は最小加工線幅Fで加工する。すなわち、線幅および線間隔はFである。その場合、単位記憶セルの大きさは $18F^2$ となる。なお、図5(A)乃至(D)の点A、点Bは同じ位置を示すものである。

50

## 【0141】

以下、上記の構造の半導体メモリ装置の作製方法について説明する。図6および図7は図5の点Aと点Bを結ぶ工程断面を示す。本実施の形態では、基板として、p型の単結晶シリコン基板を用いる。以下、図の番号にしたがって、作製工程を説明する。

## 【0142】

## &lt;図6(A)&gt;

まず、公知の半導体製造技術を用いて、p型の単結晶シリコン基板101上に素子分離領域102、n型にドーピングされたシリコンによる導電性領域106、ゲート絶縁膜103、ダミーゲート104、第1層間絶縁物107を形成する。ダミーゲート104の側面には、図に示すようにサイドウォールを設けてもよい。

10

## 【0143】

ダミーゲート104としては、多結晶シリコンを用いるとよい。ゲート絶縁膜103の厚さはリーク電流を抑制するために厚さ10nm以上であることが好ましい。また、ゲート容量を、その後に形成するキャパシタの容量よりも小さくする目的で、ゲート絶縁膜103の誘電体として酸化珪素等の比誘電率の低い材料を用いることが好ましい。導電性領域106には、その表面にシリサイド領域105を設けて導電性を高める構造としてもよい。

## 【0144】

第1層間絶縁物107は単層でも多層でもよく、また、トランジスタのチャンネルにひずみを与えるためのストレスライナーを含んでもよい。最上層の膜は、スパインコーティング法によって平坦な膜とすると、その後の工程で有利である。例えば、第1層間絶縁物107として、プラズマCVD法による窒化珪素膜を形成し、その上にスパインコーティング法により得られる平坦な酸化シリコン膜を形成した多層膜を用いてもよい。

20

## 【0145】

## &lt;図6(B)&gt;

第1層間絶縁物107の表面が十分に平坦である場合には、ドライエッチング法により、第1層間絶縁物107をエッチングし、ダミーゲート104の上面が現れた時点でドライエッチングをやめる。ドライエッチング法の代わりに化学的機械的研磨(CMP)法を用いてもよいし、最初にCMP法で第1層間絶縁物107の表面を平坦にした後、ドライエッチング法で、さらにエッチングを進めてもよい。あるいは逆に、ドライエッチング法である程度、層間絶縁物をエッチングした後、CMP法で平坦化处理してもよい。かくして、第1層間絶縁物107を加工して、平坦な表面を有する第2層間絶縁物107aを得るとともに、ダミーゲート104の表面を露出せしめる。

30

## 【0146】

## &lt;図6(C)&gt;

次に、ダミーゲート104を選択的にエッチングして、第1開口部108を形成する。ダミーゲート104の材料として多結晶シリコンを使用している場合には、2乃至40%、好ましくは、20乃至25%のTMAH(水酸化テトラメチルアンモニウム)を用いればよい。さらに、フォトリソグラフィ法により第2層間絶縁物107aを選択的にエッチングして、シリサイド領域105に達する第2開口部109も形成する。

40

## 【0147】

## &lt;図6(D)&gt;

第1開口部108及び第2開口部109に単層あるいは多層の導電性材料の膜を堆積する。導電性材料としては、後に形成する酸化物半導体とオーミック接触を形成する材料が好ましい。また、この導電膜は、読み出しトランジスタ(ここではNチャネル型)のゲート電極でもあるので、そのしきい値を決定する上でも、仕事関数等の物性値が適切なものが好ましい。ひとつの材料で、これら2つの要件を満たせない場合は多層の膜にして、それぞれの条件を満足するようにすればよい。例えば、導電性材料として窒化チタンと窒化タングスタンの多層膜を用いるとよい。

## 【0148】

50

次に、導電性材料の膜をCMP法で平坦化しつつエッチングする。この作業は、第2層間絶縁物107aが現れた時点、あるいは、しばらくしてから停止するとよい。かくして、図に示すように、第1接続電極110、読み出しトランジスタのゲート電極111が形成される。その後、第2層間絶縁物107aの表面付近に含まれる水素を低減させるために、塩素を含むプラズマによる表面処理をおこなうとよい。第2層間絶縁物107aの水素濃度が十分に低ければ、その処理は必要ない。第2層間絶縁物107aの表面から100nmの領域における水素濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 未満、好ましくは、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満とするとよい。

【0149】

<図7(A)>

厚さ3乃至20nmの酸化物半導体膜をスパッタ法により形成する。酸化物半導体膜の作製方法はスパッタ法以外でもよい。酸化物半導体はガリウムとインジウムを含むことが好ましい。半導体メモリ装置の信頼性を高めるためには、酸化物半導体膜中の水素濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 未満とするとよい。組成比(ガリウム/インジウム)は、0.5以上2未満、好ましくは、0.9以上1.2未満とするとよい。ガリウム、インジウム以外に亜鉛を含んでもよい。

【0150】

この酸化物半導体膜をエッチングして島状の酸化物半導体領域112を形成する。半導体特性を改善するため酸化物半導体領域112に熱処理を施すことは好ましい。あるいは、酸素プラズマ処理をおこなうことでも同等の効果が得られる。熱処理と酸素プラズマ処理をそれぞれおこなう、あるいは同時におこなってもよい。かくして、ゲート電極111と酸化物半導体領域112、第1接続電極110と酸化物半導体領域112が、それぞれ接触する構造が得られる。

【0151】

その後、ゲート絶縁膜113をスパッタ法等の公知の成膜方法で形成する。リーク電流を減らす目的から、ゲート絶縁膜113の厚さは10nm以上が好ましく、また、ゲート絶縁膜中の水素濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 未満、好ましくは、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満とするとよい。そのためには、熱処理や塩素プラズマ処理、酸素プラズマ処理をおこなうとよい。

【0152】

ゲート絶縁膜としては、酸化珪素、酸化アルミニウム、酸化ハフニウム、酸化ランタン、窒化アルミニウム等を用いるとよい。あるいは、アルミニウムとガリウムの複合酸化物(好ましくは、アルミニウム/ガリウムが0.5以上3以下)のようなバンドギャップが6eV以上8eV以下の複合酸化物を用いてもよい。これらの単層膜のみならず多層膜を用いてもよい。

【0153】

ゲート絶縁膜113は、後で形成されるキャパシタの誘電体でもあり、キャパシタの容量を読み出しトランジスタのゲート容量よりも大きくするために、比誘電率が10以上の材料を用いることが好ましい。ゲート絶縁膜形成後にも酸化物半導体領域112の特性を改善するため熱処理をしてもよい。

【0154】

<図7(B)>

導電性材料により複数の第1配線114を形成する。第1配線114は、書き込みワード線や読み出しワード線となる。書き込みワード線の一部は酸化物半導体を用いたトランジスタのゲート電極となる。第1配線114としては、酸化物半導体に面している部分に用いられている材料の仕事関数が、酸化物半導体の電子親和力より0.5eV以上高い材料であることが好ましい。そのような材料としては、例えば、タンゲステン、金、白金、p型シリコン等が挙げられる。

【0155】

ゲート電極111と読み出しワード線の間には、ゲート絶縁膜113を誘電体とするキャ

10

20

30

40

50

パシタ 1 1 6 が形成される。キャパシタ 1 1 6 はゲート電極 1 1 1 と読み出しワード線の重なりで定義されるが、その面積は  $100\text{ nm}^2$  以上  $0.01\text{ }\mu\text{m}^2$  以下とすることが好ましい。

#### 【0156】

次に、公知のイオン注入法を用いて、酸化物半導体よりも酸化されやすい元素のイオンを酸化物半導体領域 1 1 2 に注入する。そのような元素としては、チタン、亜鉛、マグネシウム、シリコン、リン、硼素等が挙げられる。一般に、硼素やリンは従来の半導体プロセスにおいて使用されているため利用しやすく、特に、上記のような薄いゲート絶縁膜 1 1 3、酸化物半導体領域 1 1 2 に注入するには、硼素よりも原子量の大きいリンイオンが望ましい。

10

#### 【0157】

これらのイオンには水素が可能な限り含まれないようにすることが望まれる。イオン中の水素の濃度は好ましくは、 $0.1\%$  以下とする。水素は酸化物半導体のドナーとなることが知られているが、イオン中に水素が含まれていると、酸化物半導体に注入された水素が酸化物半導体中を移動して、素子の信頼性を低下させる。

#### 【0158】

酸化物半導体では、注入されたイオンが酸素と結合するため、酸素欠損が生じて、 $n$  型の導電性を示すようになる。シリコン半導体と異なる点は、シリコン半導体ではイオン注入後に、結晶性を回復するために高温での熱処理が必要であるが、多くの酸化物半導体では、そのような熱処理をおこなわなくても必要とする導電性を得られることにある。

20

#### 【0159】

かくして、酸化物半導体領域 1 1 2 中に  $n$  型の導電性を示す領域 1 1 5 が形成される。これらの領域のキャリア（電子）濃度が  $1 \times 10^{19}\text{ cm}^{-3}$  以上となるようにイオン注入条件を設定することが好ましい。 $n$  型の導電性を示す領域 1 1 5 は、第 1 配線 1 1 4 をマスクとして自己整合的に形成される。高温での熱処理が必要ないため、注入されたイオンの再拡散もほとんどおこらず、 $n$  型の導電性を示す領域 1 1 5 と第 1 配線 1 1 4 との重なりは非常に小さい。また、イオンが注入されなかった領域はチャネルとなる。

#### 【0160】

なお、酸化物半導体は、キャリア濃度が極めて低い真性に近い状態であっても、オーミックコンタクトを形成するような金属材料と接した部分では、金属材料から電子が注入され、金属材料から数  $10\text{ nm}$  以内の部分では良好な導電性を示す。したがって、図 7 (B) のゲート電極 1 1 1 上の酸化物半導体領域は、ドーピングされていないが、導体と扱ってよい。

30

#### 【0161】

<図 7 (C)>

その後、単層もしくは多層の薄膜よりなる第 3 層間絶縁物 1 1 7 を形成する。そして、その表面を平坦化し、選択的にエッチングして、 $n$  型の導電性を示す領域 1 1 5 に達するコンタクトホールを形成し、第 2 接続電極 1 1 8 を埋め込む。その後、第 2 配線 1 1 9 を形成する。第 2 配線 1 1 9 はビット線である。

#### 【0162】

40

さらに、その上に単層もしくは多層の薄膜よりなる第 4 層間絶縁物 1 2 0 を形成する。そして、その表面を平坦化し、選択的にエッチングして、一部の第 2 接続電極 1 1 8 に達するコンタクトホールを形成し、第 3 接続電極 1 2 1 を埋め込む。その後、第 3 配線 1 2 2 を形成する。第 3 配線 1 2 2 はバイアス線である。第 2 配線 1 1 9 や第 3 配線 1 2 2 と同様な配線を、読み出しワード線、書き込みワード線と平行に形成してもよい。かくして、図に示されるように、書き込みトランジスタ 1 2 3、読み出しトランジスタ 1 2 4 を有する半導体メモリ装置の記憶セルおよびそれらを有する記憶ユニットが作製される。

#### 【0163】

(実施の形態 4)

本実施の形態では、実施の形態 2 で説明した半導体メモリ装置の形状の例について説明す

50

る。本実施の形態では、書き込みトランジスタには、ガリウムとインジウムを含有する酸化物半導体を用い、読み出しトランジスタには、単結晶シリコン半導体を用いる。そのため、書き込みトランジスタは読み出しトランジスタの上に積層して設けられる。なお、本実施の形態で説明する半導体メモリ装置の作製方法の詳細は実施の形態3を参照することができる。

#### 【0164】

図17に本実施の形態の半導体メモリ装置の記憶セルのレイアウト例を示す。図17(A)は単結晶シリコン基板上に設けられた主要な配線・電極等を示す。基板上に素子分離領域102を形成する。基板上には、導電性の材料やドーピングされたシリコンを用いた導電性領域106を形成し、その一部は、読み出しトランジスタのソース、ドレインとなる。導電性領域106の一部はバイアス線 $S_m$ の一部となる。隣接する導電性領域106が読み出しトランジスタのゲート電極111で隔てられている部分もある。導電性領域106の一部には第1接続電極110が設けられる。ゲート電極111や第1接続電極110の材料としては、実施の形態3を参照すればよい。

10

#### 【0165】

図に示すように、第1接続電極110やバイアス線 $S_m$ を隣接する記憶セルと共有することにより集積度を高められる。図17で示す半導体メモリ装置では、単位記憶セルあたりの面積は、最小加工線幅を $F$ とすると、 $16.5F^2$ である。

#### 【0166】

図17(B)は、図17(A)の回路の上に形成される酸化物半導体を用いたトランジスタを中心とした主要な配線や電極等を示す。複数の島状の酸化物半導体領域112と複数の第1配線114を形成する。第1配線114は、書き込みワード線 $Q_n$ 、あるいは読み出しワード線 $P_n$ となる。

20

#### 【0167】

第1配線114の一部は酸化物半導体と重なって、書き込みトランジスタのゲート電極となる。また、酸化物半導体領域112は、下層のゲート電極111と接触する。第1配線114の一部は、ゲート電極111と重なり、キャパシタを形成する。また、酸化物半導体領域112の一部には、上層(例えば、ビット線 $R_m$ )への接続のための第2接続電極118が設けられている。

#### 【0168】

図17(A)および図17(B)を重ね合わせると、図17(C)に示すようになる。なお、図17(A)乃至(C)の点A、点Bは同じ位置を示すものである。ここでは、重なりが分かるように、意図的に少しずらして重ねてある。さらに、酸化物半導体を用いたトランジスタの上に形成される第2配線119も図示してある。第2配線119はビット線 $R_m$ を構成する。

30

#### 【0169】

図17(D)においては、導電性領域106の幅、第1配線114の幅等は最小加工線幅 $F$ で加工する。すなわち、線幅および線間隔は $F$ である。その場合、単位記憶セルの大きさは $16.5F^2$ となる。

#### 【0170】

(実施の形態5)

本実施の形態では、図2(A)に示す半導体メモリ装置の動作の例について、図3を用いて説明する。なお、電位として、以下に具体的な数値を挙げるが、それは、本発明の技術思想の理解を助けることが目的である。言うまでもなく、それらの値はトランジスタやキャパシタのさまざまな特性によって、あるいは実施者の都合によって変更される。また、図2(A)に示される半導体メモリ装置は、以下の方法以外の方法によっても、データを書き込み、あるいは読み出すことができる。

40

#### 【0171】

ここでは、書き込みトランジスタ $WTr1(n, m)$ 、 $WTr2(n, m)$ 、読み出しトランジスタ $RTr1(n, m)$ 、 $RTr2(n, m)$ をNチャネル型とし、いずれも、ゲ

50



ートの電位が、ソースあるいはドレインのいずれか一方の電位より 1 V 以上高くなるとオンになるとし、それ以外はオフであるとする。

【0172】

また、読み出しトランジスタ  $RT r 1 (n, m)$ 、 $RT r 2 (n, m)$  のゲート容量のうち、ゲートバイアスによって変動する分はキャパシタ  $C 1 (n, m)$ 、 $C 2 (n, m)$  の容量に対して無視できるものとする。さらに、書き込みトランジスタ  $WT r 1 (n, m)$ 、 $WT r 2 (n, m)$  の寄生容量や読み出しトランジスタ  $RT r 1 (n, m)$ 、 $RT r 2 (n, m)$  の寄生容量、その他、配線間の寄生容量等、図に示されていない容量はすべて 0 として考える。また、図 3 では、オン状態であるトランジスタには丸印を、オフ状態であるトランジスタには x 印をそれぞれ、トランジスタの記号に重ねて表記する。特定の条件でオンになるものについては、別途記載する。

10

【0173】

最初に、書き込み方法について説明する。書き込み時には、ビット線  $R 1_m$  の電位と  $R 2_m$  の電位は等しくなるものとする。当該記憶ユニットの行以外の行の書き込みをおこなうには、図 3 (A) に示すように、ワード線  $Q 1_n$ 、 $Q 2_n$  の電位を - 3 V とする。ビット線  $R 1_m$ 、 $R 2_m$  の電位は、書き込みのおこなわれる記憶セルに書き込むデータに応じて、0 V、+ 1 V、+ 2 V、+ 3 V の 4 段階の値をとるものとする。

【0174】

この状態で、ノード  $F 1 (n, m)$ 、 $F 2 (n, m)$  の電位は - 3 V 以上 0 V 以下であるようにする。このような条件では、書き込みトランジスタ  $WT r 1 (n, m)$ 、 $WT r 2 (n, m)$ 、読み出しトランジスタ  $RT r 1 (n, m)$ 、 $RT r 2 (n, m)$  はいずれもオフである。

20

【0175】

次に、当該記憶セルにデータを書き込む。まず、図 3 (B) に示すように、ビット線  $R 1_m$  の電位は書き込むデータに応じて、0 V、+ 1 V、+ 2 V、+ 3 V のいずれかとなるようにする。ビット線  $R 2_m$  の電位はビット線  $R 1_m$  の電位と等しい。さらに、ワード線  $Q 1_n$  の電位を + 4 V、ワード線  $Q 2_n$  の電位を 0 V とすると、書き込みトランジスタ  $WT r 1 (n, m)$  がオンとなり、ノード  $F 1 (n, m)$  の電位はビット線  $R 1_m$  の電位に近づく。ここでは、ビット線  $R 1_m$  の電位と等しくなるものとする。

【0176】

この段階では、書き込みトランジスタ  $WT r 2 (n, m)$  はオフ状態である。また、読み出しトランジスタ  $RT r 1 (n, m)$  においても、ゲート、ソース、ドレインの電位がすべて等しいので、オフである。一方、ノード  $F 2 (n, m)$  の電位はワード線  $Q 1_n$  の電位が、- 3 V から + 4 V に上昇したことに対応して、+ 7 V 上昇し、+ 4 V 以上 + 7 V 以下となる。このため、読み出しトランジスタ  $RT r 2 (n, m)$  はオンとなるが、ソース（すなわち、ビット線  $R 2_m$ ）とドレイン（すなわち、ビット線  $R 1_m$ ）の電位が等しいため、ソースとドレインの間に電流は流れない。

30

【0177】

次に、ワード線  $Q 1_n$  の電位を 0 V とすると、書き込みトランジスタ  $WT r 1 (n, m)$  がオフとなり、ノード  $F 1 (n, m)$  の電位はビット線  $R 1_m$  の電位に維持され、データの書き込みが完了する。

40

【0178】

次にもう一方の記憶セルにデータを書き込む。図 3 (C) に示すように、ビット線  $R 1_m$  の電位は書き込むデータに応じて、0 V、+ 1 V、+ 2 V、+ 3 V のいずれかとなるようにする。一方、ビット線  $R 2_m$  の電位はビット線  $R 1_m$  の電位と等しい。ここで、ワード線  $Q 2_n$  の電位を + 4 V とすると、ノード  $F 1 (n, m)$  の電位は + 4 V 上昇し、+ 4 V 以上 + 7 V 以下となる。同時に、書き込みトランジスタ  $WT r 2 (n, m)$  はオンとなるため、ノード  $F 2 (n, m)$  の電位はビット線  $R 2_m$  の電位と等しくなる。

【0179】

一方、この段階では、読み出しトランジスタ  $RT r 1 (n, m)$ 、書き込みトランジスタ

50

$WTr1(n, m)$  はオフ状態である。また、読み出しトランジスタ  $RTr2(n, m)$  はオンとなるが、ソース（すなわち、ビット線  $R2_m$ ）とドレイン（すなわち、ビット線  $R1_m$ ）の電位が等しいため、ソースとドレインの間に電流は流れない。この後、ワード線  $Q2_n$  の電位を  $0V$  とすることにより、もう一方の記憶セルへのデータの書き込みが完了する。

#### 【0180】

次に読み出し方法について説明する。以下では、図2(A)の記憶ユニットのうち、左の記憶セルのデータを読み出す場合について説明するが、右の記憶セルのデータの読み出しも同様におこなえる。

#### 【0181】

まず、当該記憶ユニット以外の行の読み出しをおこなう場合には、図3(A)に示すように、ワード線  $Q1_n$ 、 $Q2_n$  の電位を  $-3V$  とする。こうすると、書き込みトランジスタ  $WTr1(n, m)$ 、 $WTr2(n, m)$  はオフとなる。

#### 【0182】

また、ノード  $F1(n, m)$ 、 $F2(n, m)$  の電位は、 $-3V$  以上  $0V$  以下となる。そして、ビット線  $R1_m$ 、 $R2_m$  の電位は、後で説明するように  $0V$  以上  $+3V$  以下であるので、読み出しトランジスタ  $RTr1(n, m)$ 、 $RTr2(n, m)$  もオフを維持できる。

#### 【0183】

次に、当該記憶セルの読み出しをおこなう。図3(D)に示すように、ワード線  $Q1_n$  の電位を  $-3V$ 、ワード線  $Q2_n$  の電位を  $-2V$  とする。また、ビット線  $R1_m$  の電位を  $0V$ 、ビット線  $R2_m$  の電位を  $+3V$  とする。このときには、書き込みトランジスタ  $WTr1(n, m)$ 、 $WTr2(n, m)$  はオフのままである。また、ノード  $F2(n, m)$  の電位は  $-3V$  以上  $0V$  以下であり、読み出しトランジスタ  $RTr2(n, m)$  はオフのままである。

#### 【0184】

一方、ノード  $F1(n, m)$  の電位は  $-2V$  以上  $+1V$  以下である。ノード  $F1(n, m)$  の電位は読み出しトランジスタ  $RTr1(n, m)$  のゲートの電位であるので、ノード  $F1(n, m)$  の電位が  $+1V$  であれば、読み出しトランジスタ  $RTr1(n, m)$  はオンとなる。このため、ビット線  $R1_m$  と  $R2_m$  の間に電流が流れる。

#### 【0185】

もし、ビット線  $R1_m$  の一端がキャパシタであれば、ビット線  $R1_m$  と  $R2_m$  の間に電流が流れると、当初の電位 ( $0V$ ) は、ビット線  $R2_m$  の電位 ( $+3V$ ) に近づくこととなる。最終的な電位は、ノード  $F1(n, m)$  の電位で決まるが、いずれにせよ、ビット線  $R1_m$  の電位は  $0V$  以上  $+3V$  以下で変動することとなる。

#### 【0186】

この段階で、ノード  $F1(n, m)$  の電位が  $+1V$  であるのは、書き込み時のビット線  $R1_m$  の電位が  $+3V$  であった場合である。すなわち、ワード線  $Q2_n$  の電位を  $-2V$  としたときに読み出しトランジスタ  $RTr1(n, m)$  がオンであれば、書き込み時にビット線  $R1_m$  の電位が  $+3V$  であったとわかる。このようにして、保持されているデータの値を知ることができる。

#### 【0187】

さらに、図3(E)に示すようにワード線  $Q2_n$  の電位を  $-1V$  に上昇させると、ノード  $F1(n, m)$  の電位は、書き込まれたデータに応じて  $-1V$ 、 $0V$ 、 $+1V$ 、 $+2V$  のいずれかとなる。ここで、ノード  $F1(n, m)$  の電位が  $+1V$  か  $+2V$  であれば、読み出しトランジスタ  $RTr1(n, m)$  はオンとなるため、ビット線  $R1_m$  と  $R2_m$  の間に電流が流れる。

#### 【0188】

このことを検知してデータの値を知ることができる。この段階で、ノード  $F1(n, m)$  の電位が  $+1V$  あるいは  $+2V$  であるのは、書き込み時にビット線  $R1_m$  の電位が  $+2V$

10

20

30

40

50

あるいは + 3 V であった場合である。ワード線  $Q 2_n$  の電位が - 2 V (すなわち、図 3 (D) の状態) ではオフ状態であったのに、- 1 V になるとオン状態となったとすれば、書き込み時にビット線  $R 1_m$  の電位が + 2 V であったとわかる。

#### 【0189】

同様に、図 3 (F) に示すようにワード線  $Q 2_n$  の電位を 0 V に上昇させると、ノード  $F 1_{(n, m)}$  の電位は、書き込まれたデータに応じて 0 V、+ 1 V、+ 2 V、+ 3 V のいずれかとなる。ここで、ノード  $F 1_{(n, m)}$  の電位が + 1 V、+ 2 V、+ 3 V であれば、読み出しトランジスタ  $R T r 1_{(n, m)}$  はオンとなるため、ビット線  $R 1_m$  と  $R 2_m$  の間に電流が流れる。すなわち、書き込み時にビット線  $R 1_m$  の電位が + 1 V、+ 2 V、+ 3 V のいずれかであった場合、読み出しトランジスタ  $R T r 1_{(n, m)}$  はここでオンとなる。

10

#### 【0190】

書き込み時にビット線の電位が 0 V であった場合には、ワード線  $Q 2_n$  の電位を 0 V とした場合、ノード  $F 1_{(n, m)}$  の電位は 0 V であり、依然としてオフである。すなわち、ワード線  $Q 2_n$  の電位が 0 V でもビット線  $R 1_m$  と  $R 2_m$  の間に電流が流れない場合は、書き込み時にビット線  $R 1_m$  の電位が 0 V であったとわかる。

#### 【0191】

以上は、ワード線  $Q 2_n$  の電位を段階的に変化させてデータの値を知る方法であるが、実施の形態 1 で説明したのと同様な手法で、電位を測定することによってもデータの値を知ることができる。

20

#### 【0192】

このようにして 4 段階のデータ (2 ビット) を書き込み・読み出しできる。もちろん、同様にして、さらに多くのデータ、例えば、8 段階のデータ (3 ビット)、16 段階のデータ (4 ビット) を書き込み・読み出しできる。あるいは、2 段階のデータ (1 ビット) を書き込み・読み出しできる。

#### 【0193】

なお、図 4 (A) で示される半導体メモリ装置と図 2 (A) で示される半導体メモリ装置との差違は、ビット線とのコンタクト部分の共有の有無のみであるので、図 4 (A) で示される半導体メモリ装置であっても、本実施の形態で示した方法で、動作させることができる。もちろん、図 4 (A) で示される半導体装置を本実施の形態に開示された方法以外で動作させることもできる。

30

#### 【0194】

上記の説明では、寄生容量や読み出しトランジスタ  $R T r 1_{(n, m)}$ 、 $R T r 2_{(n, m)}$  のゲート容量をキャパシタ  $C 1_{(n, m)}$ 、 $C 2_{(n, m)}$  の容量に対して無視したが、現実の記憶セルではそれらを考慮した上で、与える電位を決定する必要がある。

#### 【0195】

読み出しトランジスタ  $R T r 1_{(n, m)}$ 、 $R T r 2_{(n, m)}$  のゲート容量は、オン状態とオフ状態で大きく変動するので、読み出しトランジスタ  $R T r 1_{(n, m)}$ 、 $R T r 2_{(n, m)}$  のゲートの電位はその影響を受ける。読み出しトランジスタ  $R T r 1_{(n, m)}$ 、 $R T r 2_{(n, m)}$  のゲート容量のキャパシタ  $C 1_{(n, m)}$ 、 $C 2_{(n, m)}$  の容量に対する比率が大きいほど、その影響が大きいので、好ましくは、キャパシタ  $C 1_{(n, m)}$ 、 $C 2_{(n, m)}$  の容量は読み出しトランジスタ  $R T r 1_{(n, m)}$ 、 $R T r 2_{(n, m)}$  のゲート容量の 2 倍以上とするとよい。

40

#### 【0196】

##### (実施の形態 6)

本実施の形態では、半導体メモリ装置の形状について図 8 を用いて説明する。図 8 (A) は、実施の形態 3 で示した半導体メモリ装置の単結晶シリコン基板上に設けられた主要な配線・電極等と同じものである。図 5 (A) は 1 つの記憶セルを中心に示したが、図 8 (A) では、さらに他の記憶セルとの関係がわかるように表示してある。図 8 (A) には、記憶セルの大きさを決定する上で重要な長さや間隔である、ゲート電極 1 1 1 間の間隔  $a$

50

、導電性領域 106 間の間隔  $b$ 、ゲート電極 111 の長さ  $c$  が示されている

【0197】

マトリクス状の半導体装置の集積度を決定する要因はいくつかある。ひとつは、ゲート電極の長さ  $c$  である。ゲート電極 111 は導電性領域 106 を確実に横断する必要がある。導電性領域 106 の幅は最小加工線幅 ( $F$ ) で加工されるため、ゲート電極 111 の長さ  $c$  は最小加工線幅の 2 倍 ( $2F$ ) 以上が必要とされる。また、ゲート電極 111 が隣接するゲート電極 111 から分断されている必要があるため、ゲート電極 111 間の間隔  $a$  も最小加工線幅 ( $F$ ) 以上が必要とされる。以上のことから、導電性領域 106 間の間隔  $b$  は最小加工線幅の 2 倍 ( $2F$ ) 以上が必要とされる。

【0198】

上記ゲート電極 111 間の間隔  $a$ 、導電性領域 106 間の間隔  $b$ 、ゲート電極 111 の長さ  $c$  を最小化することにより、最も集積度が向上し、実施の形態 3 で示したように、単位記憶セルあたりの面積を  $18F^2$  とすることができる。しかしながら、この場合には、図 5 あるいは図 7 で示されたように、ビット線とバイアス線を別の配線層 (すなわち、第 1 配線 114 と第 2 配線 119) で形成する必要がある。このことは工程数の増加とそれに伴う歩留まりの低下につながる。

【0199】

本実施の形態では、特に導電性領域 106 間の間隔  $b$  を適切な値とすることにより、集積度を犠牲にしても、工程数を抑制し、さらに別の効果も得られることを示す。集積化を求めるには、導電性領域 106 間の間隔  $b$  は  $2F$  とすることが好ましいが、本実施の形態では  $3F$  とする。もちろん、導電性領域 106 間の間隔  $b$  が  $F$  だけ増加したことに伴い、集積度が低下する。図 8 (B) 乃至 (D) に示される半導体メモリ装置では、単位記憶セルあたりの面積は図 8 (A) の  $1.33$  倍の  $24F^2$  となる。しかしながら、集積度の低下を補うだけの別の効果が期待できる。

【0200】

導電性領域 106 間の間隔  $b$  が  $F$  だけ増加したことに伴い、他の長さや構造を変更できる。具体的には、導電性領域 106 を部分的に拡大し、ビット線とのコンタクト部分を長さ  $F$  だけバイアス線とのコンタクト部分の反対方向に移動させることと、導電性領域 106 間の間隔が広がったことを利用して、ゲート電極の長さ  $c$  を  $F$  だけ伸ばすということである。

【0201】

前者の効果により、ビット線とバイアス線を同じ配線層で形成することができ、後者の効果により、キャパシタの容量を図 8 (A) の  $1.5$  倍とすることができる。以下、それらについて説明する。なお、本実施の形態で示す半導体メモリ装置は、配線のパターン等は異なるが、実施の形態 3 で示した方法により作製できる。

【0202】

図 8 (B) は単結晶シリコン基板上に設けられた主要な配線・電極等を示す。配線・電極は実施の形態 3 あるいは図 8 (A) とほとんど同じである。異なる点の 1 つは導電性領域の一部が、長さ  $F$  だけ図の上方に拡大している点である。このことを利用して、ビット線  $R$  とのコンタクト部分を長さ  $F$  だけ図の上方に移動させる。

【0203】

もう一つの異なる点は、ゲート電極 111 を上下にそれぞれ  $0.5F$  伸ばしたことである。すなわち、ゲート電極の長さ  $c$  は、図 8 (A) では  $2F$  であったが、図 8 (B) では  $3F$  となる。このことは、キャパシタ  $C$  の容量が図 8 (A) の  $1.5$  倍となることを意味する。

【0204】

実施の形態 1 で指摘したようにキャパシタ  $C$  の容量は、読み出しトランジスタ  $RT_r$  のゲート容量よりも大きいことが好ましいので、容量が増加することは、その目的に好適である。さらに、データの保持時間は、主に書き込みトランジスタ  $WT_r$  のオフ状態での抵抗にキャパシタ  $C$  の容量を乗じた値であるので、キャパシタ  $C$  の容量が増大することは、デ

10

20

30

40

50

ータの保持時間を増大させる効果がある。

【0205】

図8(C)は、図8(B)の回路の上に形成される酸化物半導体を用いたトランジスタを中心とした主要な配線や電極等を示す。実施の形態3と同様に、複数の島状の酸化物半導体領域112と複数の第1配線114、複数の第2接続電極118を形成する。第1配線114はゲート電極111と重なるように配置される。酸化物半導体領域112や第1配線114、第2接続電極118の配置は図8(B)に応じてなされる。

【0206】

図8(B)および(C)を重ね合わせると、図8(D)に示すようになる。ここでは、重なりが分かるように、意図的に少しずらして重ねてある。さらに、酸化物半導体を用いたトランジスタの上に形成される第2配線119も図示してある。第2配線119はビット線 $R_m$ 、 $R_{m+1}$ 、バイアス線 $S_m$ 、 $S_{m+1}$ 等を構成する。すなわち、同一の配線層でビット線とバイアス線を形成できる。これは、導電性領域106間の間隔 $b$ が広がったことに伴い、ビット線とバイアス線の間隔を広げることができたためである。

【0207】

上述のように、集積度は低下し、単位セル面積は1.33倍となったが、一方で、キャパシタ $C$ の容量は1.5倍となった。しかも、それに加えて、ビット線とバイアス線を同一配線層で形成できるようになった。

【0208】

(実施の形態7)

本実施の形態では、別の半導体メモリ装置の形状について説明する。図9に本実施の形態の半導体メモリ装置の記憶ユニットのレイアウト例を示す。本実施の形態で示す半導体メモリ装置は、配線のパターン等は異なるが、実施の形態3で示した方法により作製できる。本実施の形態で示す半導体装置は、図4(A)で示される回路図に相当する回路配置を有する。

【0209】

図9(A)は単結晶シリコン基板上に設けられた主要な配線・電極等を示す。基板上には素子分離領域102を形成する。また、導電性の材料やドーピングされたシリコンを用いた導電性領域106を形成する。隣接する導電性領域106が読み出しトランジスタのゲート電極111で隔てられている部分もある。

【0210】

導電性領域106の一部には第1接続電極110が設けられる。ゲート電極111や第1接続電極110の材料としては、実施の形態3に示したゲート電極111や第1接続電極110の条件を満たすものを用いればよい。図9(A)から分かるように、個々の導電性領域106は、第1接続電極110を中央に有し、ゲート電極111で分離されているため、ゆがんだH型(あるいはI型)をしている。

【0211】

本実施の形態では、図に示されるように、第1接続電極110を設ける部分の導電性領域が、図5(A)に示されるものより広いため、第1接続電極110に使用する部分の面積を大きくすることができる。図9(A)では、図5(A)の2倍の面積を使用している。このように接続電極を大きくすると、上層との配線等との接合を確実にすることができ、接続不良に伴う、歩留まり低下を阻止できる。

【0212】

記憶ユニットは、図に示すように、2つの第1接続電極110の間にあり、導電性領域106で取り囲まれた1つの素子分離領域102と2つのゲート電極111を有する。また、各記憶ユニットには2つの記憶セルがある。

【0213】

本実施の形態で特徴的なことは、ゲート電極111を互い違いに配置したことである。その結果、図5(A)あるいは図8(A)で示す構造の半導体メモリ装置に比べて、より高密度にゲート電極111を配置できる。図8(A)で示す構造の半導体メモリ装置では

10

20

30

40

50

、ゲート電極 1 1 1 を同一直線上に配置したため、ゲート電極 1 1 1 間の間隔  $a$  を、最小加工線幅 ( $F$ ) とする必要がある。その結果、隣接する導電性領域 1 0 6 間の間隔  $b$  は最小加工線幅の 2 倍 ( $2F$ ) 以上とする必要がある。

【0214】

しかしながら、本実施の形態では、ゲート電極 1 1 1 を互い違いに配置しているため、間隔  $a$  に相当する値を 0 とすることができ、間隔  $b$  に相当する値 (図 9 (A) では  $b_1$  と  $b_2$ ) を、最小加工線幅の 1 倍 ( $F$ ) とすることができる。このことにより、単位記憶セルあたりの面積を  $12F^2$  とできる。

【0215】

なお、本明細書で示すレイアウトは位置あわせのマージンを多めに取っている。マージンを極力少なくした設計ルールでは、本実施の形態で説明する原理に基づく半導体メモリ装置の単位記憶セルあたりの面積を  $8F^2$  まで縮小できる。

【0216】

本実施の形態では、導電性領域 1 0 6 間の間隔として、記憶ユニット間の導電性領域 1 0 6 の間隔  $b_1$  と記憶ユニット内の導電性領域 1 0 6 の間隔  $b_2$  という、性質の異なる間隔が存在し、それぞれ独立に制御することによりそれぞれ効果が得られる。記憶セルあたりの面積を縮小するには、いずれも最小加工線幅  $F$  とすればよい。

【0217】

図 9 (B) は、図 9 (A) の回路の上に形成される酸化物半導体を用いたトランジスタを中心とした主要な配線や電極等を示す。複数の島状の酸化物半導体領域 1 1 2 と複数の第 1 配線 1 1 4 を形成する。第 1 配線 1 1 4 は、ワード線  $Q_{1n}$ 、 $Q_{2n}$ 、 $Q_{1n+1}$ 、 $Q_{2n+1}$  等となり、ゲート電極 1 1 1 と重なるように配置される。

【0218】

第 1 配線 1 1 4 の一部は酸化物半導体と重なって、書き込みトランジスタのゲート電極となる。また、酸化物半導体領域 1 1 2 は、下層のゲート電極 1 1 1 と接触する。第 1 配線 1 1 4 の一部は、ゲート電極 1 1 1 と重なり、キャパシタを形成する。また、酸化物半導体領域 1 1 2 には、上層 (例えば、ビット線  $R_m$  等) への接続のための第 2 接続電極 1 1 8 が設けられる。酸化物半導体領域 1 1 2 の形状は、導電性領域 1 0 6 の形状と同様に、 $180^\circ$  回転させると重なるという 2 回対称であり、かつ、線対称ではない。

【0219】

図 9 (A) および図 9 (B) を重ね合わせ、さらに、酸化物半導体を用いたトランジスタの上に形成される第 2 配線 1 1 9 を図示すると、図 9 (C) に示すようになる。ここでは、重なりが分かるように、意図的に少しずらして重ねてある。第 2 配線 1 1 9 はビット線  $R_1$  を構成する。また、さらなる上層 (例えば、ビット線  $R_2$ ) への接続のための第 3 接続電極 1 2 1 が、第 2 接続電極 1 1 8 に重なるように設けられている。

【0220】

図 9 (D) は、第 2 配線 1 1 9 の上層に設けられる第 3 配線 1 2 2 を表示したものである。第 3 配線 1 2 2 はビット線  $R_2$  を構成する。

【0221】

(実施の形態 8)

本実施の形態では、さらに異なる半導体メモリ装置の形状について説明する。本実施の形態では、図 9 (A) に示された導電性領域 1 0 6 の間隔  $b_1$  と  $b_2$  を異なる値とすることによる効果について説明する。図 10 に本実施の形態の半導体メモリ装置の記憶ユニットのレイアウト例を示す。本実施の形態で示す半導体メモリ装置は、配線のパターン等は異なるが、実施の形態 3 で示した方法により作製できる。本実施の形態で示す半導体装置は、図 4 (A) で示される回路図に相当する回路配置を有する。

【0222】

図 10 (A) は単結晶シリコン基板上に設けられた主要な配線・電極等を示す。基板上には素子分離領域 1 0 2 を形成する。また、導電性の材料やドーピングされたシリコンを用いた導電性領域 1 0 6 を形成する。隣接する導電性領域 1 0 6 が読み出しトランジスタの

10

20

30

40

50

ゲート電極 1 1 1 で隔てられている部分もある。

#### 【 0 2 2 3 】

導電性領域 1 0 6 の一部には第 1 接続電極 1 1 0 が設けられる。ゲート電極 1 1 1 や第 1 接続電極 1 1 0 の材料としては、実施の形態 3 に示したゲート電極 1 1 1 や第 1 接続電極 1 1 0 の条件を満たすものを用いればよい。本実施の形態でも、記憶ユニットは、実施の形態 7 と同様に、2 つの第 1 接続電極 1 1 0 の間にあり、導電性領域 1 0 6 で取り囲まれた 1 つの素子分離領域 1 0 2 と 2 つのゲート電極 1 1 1 を有する。また、各記憶ユニットには 2 つの記憶セルがある。

#### 【 0 2 2 4 】

本実施の形態で特徴的なことは、ゲート電極 1 1 1 を互い違いに配置したことに加え、記憶ユニット間の導電性領域 1 0 6 の間隔  $b_1$  を、記憶ユニット内の導電性領域 1 0 6 の間隔  $b_2$  より大きくしたことである。ここでは、最小加工線幅の 2 倍 ( $2F$ ) とした。その結果、図 9 で示す構造の半導体メモリ装置に比べて、集積度は低下するが、一方で、ゲート電極 1 1 1 の長さ  $c$  を大きくできる。

10

#### 【 0 2 2 5 】

図 10 に示す半導体メモリ装置では、単位記憶セルあたりの面積は  $1.5F^2$  であり、図 9 の半導体メモリ装置 ( $1.2F^2$ ) より大きいものの、図 5 に示される半導体メモリ装置 ( $1.8F^2$ ) より小さい。

#### 【 0 2 2 6 】

また、ゲート電極の長さは  $3F$  となり、したがって、キャパシタの容量は図 5 に示される半導体メモリ装置の 1.5 倍となる。このように、本実施の形態で示す半導体メモリ装置は、単位記憶セル面積の縮小とキャパシタの容量の増加という 2 つの効果を得ることができる。

20

#### 【 0 2 2 7 】

単位記憶セル面積の縮小とキャパシタの容量の増加という、矛盾する 2 つの要求をどの程度達成できているのか、ということ判断するには、キャパシタの面積を単位記憶セル面積で除した値、キャパシタ / 記憶セル面積比を比較するとよい。この数値が高いほど好ましい。

#### 【 0 2 2 8 】

図 5 で示される半導体メモリ装置あるいは実施の形態 6 で示される半導体メモリ装置では、この値は、それぞれ、 $0.11$ 、 $0.125$  であり、図 9 で示される半導体メモリ装置では  $0.17$  である。これに対し、図 10 で示される半導体メモリ装置では、 $0.2$  である。すなわち、集積度では図 9 で示される半導体メモリ装置に及ばないものの、キャパシタ / 記憶セル面積比に関しては、図 10 で示される半導体メモリ装置は、図 9 で示される半導体メモリ装置より優れている。

30

#### 【 0 2 2 9 】

図 10 (B) は、図 10 (A) の回路の上に形成される酸化物半導体を用いたトランジスタを中心とした主要な配線や電極等を示す。複数の島状の酸化物半導体領域 1 1 2 と複数の第 1 配線 1 1 4 を形成する。第 1 配線 1 1 4 は、ワード線  $Q_{1n}$ 、 $Q_{2n}$ 、 $Q_{1n+1}$ 、 $Q_{2n+1}$  等となる。また、酸化物半導体領域 1 1 2 には、上層 (例えば、ビット線等) への接続のための第 2 接続電極 1 1 8 が設けられる。

40

#### 【 0 2 3 0 】

図 10 (A) および (B) を重ね合わせると、図 10 (C) に示すようになる。ここでは、重なりが分かるように、意図的に少しずらして重ねてある。さらに、酸化物半導体を用いたトランジスタの上に形成される第 2 配線 1 1 9 も図示してある。第 2 配線 1 1 9 はビット線  $R_{1m}$ 、 $R_{2m}$ 、 $R_{1m+1}$ 、 $R_{2m+1}$  等を構成する。

#### 【 0 2 3 1 】

本実施の形態では、図 9 に示される半導体メモリ装置よりも、単位記憶セルあたりの面積が大きくなったが、そのため、より多くのビット線を同一層内に形成できる。そのため、例えば、図 2 (A) で示される半導体メモリ装置のビット線を同じ層内で形成できる。こ

50

のことは工程数の削減につながる。

#### 【0232】

さらに、図10(C)に示されるように、第2配線119の第2接続電極118とのコンタクト部分は、図8(D)のものより広くできる。このことは、コンタクト不良による歩留まり低下を抑制する上で効果的である。

#### 【0233】

(実施の形態9)

本実施の形態では、図12(A)に示す半導体メモリ装置の動作の例について、図13を用いて説明する。なお、電位として、以下に具体的な数値を挙げるが、それは、本発明の技術思想の理解を助けることが目的である。言うまでもなく、それらの値はトランジスタやキャパシタのさまざまな特性によって、あるいは実施者の都合によって変更される。また、図12(A)に示される半導体メモリ装置は、以下の方法以外の方法によっても、データを書き込み、あるいは読み出すことができる。

#### 【0234】

ここでは、書き込みトランジスタ $WTr1(n, m)$ 、 $WTr2(n, m)$ をNチャンネル型、読み出しトランジスタ $RTr1(n, m)$ 、 $RTr2(n, m)$ をPチャンネル型とする。また、書き込みトランジスタは、ゲートの電位が、ソースあるいはドレインのいずれか一方の電位より1V以上高くなるとオンになるとし、それ以外はオフであるとする。また、読み出しトランジスタは、ゲートの電位が、ソースあるいはドレインのいずれか一方の電位より1V以上低くなるとオンになるとし、それ以外はオフであるとする。

#### 【0235】

また、読み出しトランジスタ $RTr1(n, m)$ 、 $RTr2(n, m)$ のゲート容量のうち、ゲートバイアスによって変動する分はキャパシタ $C1(n, m)$ 、 $C2(n, m)$ の容量に対して無視できるものとする。さらに、書き込みトランジスタ $WTr1(n, m)$ 、 $WTr2(n, m)$ の寄生容量や読み出しトランジスタ $RTr1(n, m)$ 、 $RTr2(n, m)$ の寄生容量、その他、配線間の寄生容量等、図に示されていない容量はすべて0として考える。また、図13では、オン状態であるトランジスタには丸印を、オフ状態であるトランジスタには×印をそれぞれ、トランジスタの記号に重ねて表記する。特定の条件でオンになるものについては、別途記載する。

#### 【0236】

最初に、書き込み方法について説明する。当該記憶ユニットの行以外の行の書き込みをおこなうには、図13(A)に示すように、ワード線 $Q1_n$ 、 $Q2_n$ の電位を0Vとする。ビット線 $R1_m$ 、 $R2_m$ の電位は、書き込みのおこなわれる記憶セルに書き込むデータに応じて、0V、+1V、+2V、+3Vの4段階の値をとるものとする。この状態で、ノード $F1(n, m)$ 、 $F2(n, m)$ の電位は+3V以上+6V以下であるようにする。このような条件では、書き込みトランジスタ $WTr1(n, m)$ 、 $WTr2(n, m)$ 、読み出しトランジスタ $RTr1(n, m)$ 、 $RTr2(n, m)$ はいずれもオフである。

#### 【0237】

次に、当該記憶セルにデータを書き込む。まず、図13(B)に示すように、ビット線 $R1_m$ の電位は書き込むデータに応じて、0V、+1V、+2V、+3Vのいずれかとなるようにする。一方、ビット線 $R2_m$ の電位は0Vとする。さらに、ワード線 $Q1_n$ の電位を+4V、ワード線 $Q2_n$ の電位を-3Vとすると、書き込みトランジスタ $WTr1(n, m)$ がオンとなり、ノード $F1(n, m)$ の電位はビット線 $R1_m$ の電位に近づく。ここでは、ビット線 $R1_m$ の電位と等しくなるものとする。

#### 【0238】

一方、この段階では、読み出しトランジスタ $RTr1(n, m)$ 、 $RTr2(n, m)$ 、書き込みトランジスタ $WTr2(n, m)$ はオフ状態である。また、ノード $F2(n, m)$ の電位はワード線 $Q1_n$ の電位が、0Vから+4Vに上昇したことに対応して、+4V上昇し、+7V以上+10V以下となる。

#### 【0239】



次に、ワード線  $Q1_n$  の電位を  $-3V$  とすると、書き込みトランジスタ  $WTr1_{(n,m)}$  がオフとなり、ノード  $F1_{(n,m)}$  の電位はビット線  $R1_m$  の電位に維持され、データの書き込みが完了する。

#### 【0240】

次にもう一方の記憶セルにデータを書き込む。図13(C)に示すように、ビット線  $R2_m$  の電位は書き込むデータに応じて、 $0V$ 、 $+1V$ 、 $+2V$ 、 $+3V$  のいずれかとなるようにする。一方、ビット線  $R1_m$  の電位は  $0V$  とする。ここで、ワード線  $Q2_n$  の電位を  $+4V$  とすると、ノード  $F1_{(n,m)}$  の電位は  $+4V$  上昇し、 $+7V$  以上  $+10V$  以下となる。同時に、書き込みトランジスタ  $WTr2_{(n,m)}$  はオンとなるため、ノード  $F2_{(n,m)}$  の電位はビット線  $R2_m$  の電位と等しくなる。

10

#### 【0241】

一方、この段階では、読み出しトランジスタ  $RTr1_{(n,m)}$ 、 $RTr2_{(n,m)}$ 、書き込みトランジスタ  $WTr1_{(n,m)}$  はオフ状態である。この後、ワード線  $Q2_n$  の電位を  $-3V$  とすることにより、もう一方の記憶セルへのデータの書き込みが完了する。

#### 【0242】

次に読み出し方法について説明する。以下では、図12(A)の記憶ユニットのうち、左の記憶セルのデータを読み出す場合について説明するが、右の記憶セルのデータの読み出しも同様におこなえる。

#### 【0243】

まず、当該記憶ユニット以外の行の読み出しをおこなう場合には、図13(A)に示すように、ワード線  $Q1_n$ 、 $Q2_n$  の電位を  $0V$  とする。こうすると、書き込みトランジスタ  $WTr1_{(n,m)}$ 、 $WTr2_{(n,m)}$  はオフとなる。

20

#### 【0244】

また、ノード  $F1_{(n,m)}$ 、 $F2_{(n,m)}$  の電位は、 $+3V$  以上  $+6V$  以下となる。そして、ビット線  $R1_m$ 、 $R2_m$  の電位は、後で説明するように  $0V$  以上  $+3V$  以下であるので、読み出しトランジスタ  $RTr1_{(n,m)}$ 、 $RTr2_{(n,m)}$  もオフを維持できる。

#### 【0245】

次に、当該記憶セルの読み出しをおこなう。図13(D)に示すように、ワード線  $Q1_n$  の電位を  $0V$ 、ワード線  $Q2_n$  の電位を  $-1V$  とする。また、ビット線  $R1_m$  の電位を  $0V$ 、ビット線  $R2_m$  の電位を  $+3V$  とする。このときには、書き込みトランジスタ  $WTr1_{(n,m)}$ 、 $WTr2_{(n,m)}$  はオフのままである。また、ノード  $F2_{(n,m)}$  の電位は  $+3V$  以上  $+6V$  以下であり、読み出しトランジスタ  $RTr2_{(n,m)}$  はオフのままである。

30

#### 【0246】

一方、ノード  $F1_{(n,m)}$  の電位は  $+2V$  以上  $+5V$  以下である。ノード  $F1_{(n,m)}$  の電位は読み出しトランジスタ  $RTr1_{(n,m)}$  のゲートの電位であるので、ノード  $F1_{(n,m)}$  の電位が  $+2V$  であれば、読み出しトランジスタ  $RTr1_{(n,m)}$  はオンとなる。このため、ビット線  $R1_m$  と  $R2_m$  の間に電流が流れる。

#### 【0247】

40

もし、ビット線  $R2_m$  の一端がキャパシタであれば、ビット線  $R1_m$  と  $R2_m$  の間に電流が流れると、当初の電位 ( $+3V$ ) は、ビット線  $R1_m$  の電位 ( $0V$ ) に近づくこととなる。最終的な電位は、ノード  $F1_{(n,m)}$  の電位で決まるが、いずれにせよ、ビット線  $R2_m$  の電位は  $0V$  以上  $+3V$  以下で変動することとなる。

#### 【0248】

この段階で、ノード  $F1_{(n,m)}$  の電位が  $+2V$  であるのは、書き込み時のビット線  $R1_m$  の電位が  $0V$  であった場合である。すなわち、ワード線  $Q2_n$  の電位を  $-1V$  としたときに読み出しトランジスタ  $RTr1_{(n,m)}$  がオンであれば、書き込み時にビット線  $R1_m$  の電位が  $0V$  であったとわかる。このようにして、保持されているデータの値を知ることができる。

50

## 【0249】

さらに、図13(E)に示すようにワード線 $Q_{2n}$ の電位を $-2V$ に低下させると、ノード $F_{1(n,m)}$ の電位は、書き込まれたデータに応じて $+1V$ 、 $+2V$ 、 $+3V$ 、 $+4V$ のいずれかとなる。ここで、ノード $F_{1(n,m)}$ の電位が $+1V$ か $+2V$ であれば、読み出しトランジスタ $RTr_{1(n,m)}$ はオンとなるため、ビット線 $R_{1m}$ と $R_{2m}$ の間に電流が流れる。

## 【0250】

このことを検知してデータの値を知ることができる。この段階で、ノード $F_{1(n,m)}$ の電位が $+1V$ あるいは $+2V$ であるのは、書き込み時にビット線 $R_{1m}$ の電位が $0V$ あるいは $+1V$ であった場合である。ワード線 $Q_{2n}$ の電位が $-1V$ (すなわち、図13(D)の状態)ではオフ状態であったのに、 $-2V$ になるとオン状態となったとすれば、書き込み時にビット線 $R_{1m}$ の電位が $+1V$ であったとわかる。

10

## 【0251】

同様に、図13(F)に示すようにワード線 $Q_{2n}$ の電位を $-3V$ に低下させると、ノード $F_{1(n,m)}$ の電位は、書き込まれたデータに応じて $0V$ 、 $+1V$ 、 $+2V$ 、 $+3V$ のいずれかとなる。ここで、ノード $F_{1(n,m)}$ の電位が $0V$ か $+1V$ 、 $+2V$ であれば、読み出しトランジスタ $RTr_{1(n,m)}$ はオンとなるため、ビット線 $R_{1m}$ と $R_{2m}$ の間に電流が流れる。すなわち、書き込み時にビット線 $R_{1m}$ の電位が $0V$ 、 $+1V$ 、 $+2V$ のいずれかであった場合、読み出しトランジスタ $RTr_{1(n,m)}$ はここでオンとなる。

20

## 【0252】

書き込み時にビット線の電位が $+3V$ であった場合には、ワード線 $Q_{2n}$ の電位を $-3V$ とした場合、ノード $F_{1(n,m)}$ の電位は $+3V$ であり、依然としてオフである。すなわち、ワード線 $Q_{2n}$ の電位が $-3V$ でもビット線 $R_{1m}$ と $R_{2m}$ の間に電流が流れない場合は、書き込み時にビット線 $R_{1m}$ の電位が $+3V$ であったとわかる。

## 【0253】

以上は、ワード線 $Q_{2n}$ の電位を段階的に変化させてデータの値を知る方法であるが、実施の形態1で説明したのと同様な手法で、電位を測定することによってもデータの値を知ることができる。

## 【0254】

このようにして4段階のデータ(2ビット)を書き込み・読み出しできる。もちろん、同様にして、さらに多くのデータ、例えば、8段階のデータ(3ビット)、16段階のデータ(4ビット)を書き込み・読み出しできる。あるいは、2段階のデータ(1ビット)を書き込み・読み出しできる。

30

## 【0255】

なお、図4(A)で示される半導体メモリ装置と図12(A)で示される半導体メモリ装置との差違は、ビット線とのコンタクト部分の共有の有無のみであるので、図4(A)で示される半導体メモリ装置であっても、本実施の形態で示した方法で、動作させることができる。もちろん、図4(A)で示される半導体装置を本実施の形態に開示された方法以外で動作させることもできる。

40

## 【0256】

上記の説明では、寄生容量や読み出しトランジスタ $RTr_{1(n,m)}$ 、 $RTr_{2(n,m)}$ のゲート容量をキャパシタ $C_{1(n,m)}$ 、 $C_{2(n,m)}$ の容量に対して無視したが、現実の記憶セルではそれらを考慮した上で、与える電位を決定する必要がある。

## 【0257】

読み出しトランジスタ $RTr_{1(n,m)}$ 、 $RTr_{2(n,m)}$ のゲート容量は、オン状態とオフ状態で大きく変動するので、読み出しトランジスタ $RTr_{1(n,m)}$ 、 $RTr_{2(n,m)}$ のゲートの電位はその影響を受ける。読み出しトランジスタ $RTr_{1(n,m)}$ 、 $RTr_{2(n,m)}$ のゲート容量のキャパシタ $C_{1(n,m)}$ 、 $C_{2(n,m)}$ の容量に対する比率が大きいほど、その影響が大きいので、好ましくは、キャパシタ $C_{1(n,m)}$

50

$n, m$ )、 $C2(n, m)$ の容量は読み出しトランジスタ $RT r 1(n, m)$ 、 $RT r 2(n, m)$ のゲート容量の2倍以上とするとよい。

【0258】

(実施の形態10)

本実施の形態では、図4(B)に示す半導体メモリ装置の動作の例について、図15および図16を用いて説明する。なお、電位として、以下に具体的な数値を挙げるが、それは、本発明の技術思想の理解を助けることが目的である。言うまでもなく、それらの値はトランジスタやキャパシタのさまざまな特性によって、あるいは実施者の都合によって変更される。また、図4(B)に示される半導体メモリ装置は、以下の方法以外の方法によっても、データを書き込み、あるいは読み出すことができる。

10

【0259】

ここでは、図4(B)の半導体メモリ装置の、第 $n$ 行第 $m$ 列の記憶ユニットと、それに隣接する第 $n$ 行第 $(m+1)$ 列の記憶ユニットにおける書き込みおよび読み出し方法について説明するが、他の記憶ユニットでも同様な操作をおこなうことにより書き込みおよび読み出しを実施できる。

【0260】

本実施の形態では、書き込みトランジスタ $WTr 1(n, m)$ 、 $WTr 2(n, m)$ 、 $WTr 1(n, m+1)$ 、 $WTr 2(n, m+1)$ をNチャネル型、読み出しトランジスタ $RT r 1(n, m)$ 、 $RT r 2(n, m)$ 、 $RT r 1(n, m+1)$ 、 $RT r 2(n, m+1)$ をPチャネル型とする。また、書き込みトランジスタは、ゲートの電位が、ソースあるいはドレインのいずれか一方の電位より2V以上高くなるとオンになるとし、それ以外はオフであるとする。また、読み出しトランジスタは、ゲートの電位が、ソースあるいはドレインのいずれか一方の電位より2V以上低くなるとオンになるとし、それ以外はオフであるとする。

20

【0261】

また、読み出しトランジスタ $RT r 1(n, m)$ 、 $RT r 2(n, m)$ 、 $RT r 1(n, m+1)$ 、 $RT r 2(n, m+1)$ のゲート容量のうち、ゲートバイアスによって変動する分はキャパシタ $C1(n, m)$ 、 $C2(n, m)$ 、 $C1(n, m+1)$ 、 $C2(n, m+1)$ の容量に対して無視できるものとする。

【0262】

さらに、書き込みトランジスタ $WTr 1(n, m)$ 、 $WTr 2(n, m)$ 、 $WTr 1(n, m+1)$ 、 $WTr 2(n, m+1)$ の寄生容量や読み出しトランジスタ $RT r 1(n, m)$ 、 $RT r 2(n, m)$ 、 $RT r 1(n, m+1)$ 、 $RT r 2(n, m+1)$ の寄生容量、その他、配線間の寄生容量等、図に示されていない容量はすべて0として考える。

30

【0263】

なお、図15および図16では、オン状態であるトランジスタには丸印を、オフ状態であるトランジスタには×印をそれぞれ、トランジスタの記号に重ねて表記する。特定の条件でオンになるものについては、別途記載する。

【0264】

最初に、書き込み方法について説明する。当該記憶ユニットを含む行以外の書き込みをおこなうには、図15(A)に示すように、ワード線 $Q1_n$ 、 $Q2_n$ の電位を0Vとする。ビット線 $R_m$ 、 $R_{m+1}$ 、 $R_{m+2}$ の電位は、書き込みのおこなわれる記憶セルに書き込むデータに応じて、0Vか+1Vの2段階の値をとるものとする。

40

【0265】

この状態で、ノード $F1(n, m)$ 、 $F2(n, m)$ 、ノード $F1(n, m+1)$ 、 $F2(n, m+1)$ の電位は+1V以上+2V以下であるようにする。このような条件では、書き込みトランジスタ $WTr 1(n, m)$ 、 $WTr 2(n, m)$ 、 $WTr 1(n, m+1)$ 、 $WTr 2(n, m+1)$ 、読み出しトランジスタ $RT r 1(n, m)$ 、 $RT r 2(n, m)$ 、 $RT r 1(n, m+1)$ 、 $RT r 2(n, m+1)$ はいずれもオフである。

【0266】

50

次に、当該記憶ユニットにデータを書き込む。まず、図15(B)に示すように、ビット線 $R_m$ 、 $R_{m+1}$ 、 $R_{m+2}$ の電位は書き込むデータに応じて、0Vか+1Vのいずれかとなるようにする。さらに、ワード線 $Q1_n$ の電位を+3V、ワード線 $Q2_n$ の電位を-1Vとすると、書き込みトランジスタ $WTr1(n, m)$ と $WTr1(n, m+1)$ がオンとなり、ノード $F1(n, m)$ とノード $F1(n, m+1)$ の電位は、それぞれビット線 $R_m$ と $R_{m+1}$ の電位に近づく。ここでは、それぞれ、ビット線 $R_m$ と $R_{m+1}$ の電位と等しくなるものとする。

【0267】

一方、この段階では、読み出しトランジスタ $RTr1(n, m)$ 、 $RTr2(n, m)$ 、 $RTr1(n, m+1)$ 、 $RTr2(n, m+1)$ 、書き込みトランジスタ $WTr2(n, m)$ 、 $WTr2(n, m+1)$ はオフ状態である。また、ノード $F2(n, m)$ の電位はワード線 $Q1_n$ の電位が、0Vから+3Vに上昇したことに対応して、+3V上昇し、+4V以上+5V以下となる。

10

【0268】

次に、ワード線 $Q1_n$ の電位を-1Vとすると、書き込みトランジスタ $WTr1(n, m)$ と $WTr1(n, m+1)$ がオフとなり、ノード $F1(n, m)$ とノード $F1(n, m+1)$ の電位は、それぞれ、ビット線 $R_m$ と $R_{m+1}$ の電位に維持され、データが書き込まれる。

【0269】

次に、各記憶ユニットのもう一方の記憶セルにデータを書き込む。図15(C)に示すように、ビット線 $R_m$ 、 $R_{m+1}$ 、 $R_{m+2}$ の電位は書き込むデータに応じて、0Vか+1Vのいずれかとなるようにする。

20

【0270】

ここで、ワード線 $Q2_n$ の電位を+3Vとすると、ノード $F1(n, m)$ の電位は+3V上昇し、+4V以上+5V以下となる。同時に、書き込みトランジスタ $WTr2(n, m)$ と $WTr2(n, m+1)$ はオンとなるため、ノード $F2(n, m)$ とノード $F2(n, m+1)$ の電位は、それぞれ、ビット線 $R_{m+1}$ と $R_{m+2}$ の電位と等しくなる。

【0271】

一方、この段階では、読み出しトランジスタ $RTr1(n, m)$ 、 $RTr2(n, m)$ 、 $RTr1(n, m+1)$ 、 $RTr2(n, m+1)$ 、書き込みトランジスタ $WTr1(n, m)$ 、 $WTr1(n, m+1)$ はオフ状態である。この後、ワード線 $Q2_n$ の電位を-1Vとすることにより、もう一方の記憶セルへのデータを書き込みが完了する。

30

【0272】

次に読み出し方法について説明する。以下では、図4(B)の記憶ユニットのうち、左の記憶セルのデータを読み出す場合について説明するが、右の記憶セルのデータの読み出しも同様におこなえる。

【0273】

まず、ビット線 $R_{m+1}$ の電位を0Vとする。すなわち、ビット線の電位は1行おきに0Vとする。この状態で当該記憶ユニット以外の行の読み出しをおこなう場合には、図16(A)に示すように、ワード線 $Q1_n$ 、 $Q2_n$ の電位を0Vとする。

40

【0274】

こうすると、書き込みトランジスタ $WTr1(n, m)$ 、 $WTr2(n, m)$ はオフとなる。また、ノード $F1(n, m)$ 、 $F2(n, m)$ 、 $F1(n, m+1)$ 、 $F2(n, m+1)$ の電位は、+1V以上+2V以下である。そして、ビット線 $R_m$ 、 $R_{m+2}$ の電位は、後で説明するように0V以上+2V以下であるので、読み出しトランジスタ $RTr1(n, m)$ 、 $RTr2(n, m)$ 、 $RTr1(n, m+1)$ 、 $RTr2(n, m+1)$ 、もオフを維持できる。

【0275】

次に、当該記憶セルの読み出しをおこなう。図16(B)に示すように、ワード線 $Q1_n$ の電位を0V、ワード線 $Q2_n$ の電位を-1Vとする。また、ビット線 $R_m$ 、 $R_{m+2}$ の

50

電位を + 2 V とする。このときには、書き込みトランジスタ  $WTr1(n, m)$ 、 $WTr2(n, m)$ 、 $WTr1(n, m+1)$ 、 $WTr2(n, m+1)$  はオフのままである。また、ノード  $F2(n, m)$ 、 $F2(n, m+1)$  の電位は + 1 V 以上 + 2 V 以下であり、読み出しトランジスタ  $RTr2(n, m)$ 、 $RTr2(n, m+1)$  はオフのままである。

#### 【0276】

一方、ノード  $F1(n, m)$ 、 $F1(n, m+1)$  の電位は 0 V 以上 + 1 V 以下である。ノード  $F1(n, m)$ 、 $F1(n, m+1)$  の電位は、それぞれ、読み出しトランジスタ  $RTr1(n, m)$ 、 $RTr1(n, m+1)$  のゲートの電位であるので、ノード  $F1(n, m)$  の電位が 0 V であれば、読み出しトランジスタ  $RTr1(n, m)$  はオンとなる。同じく、ノード  $F1(n, m+1)$  の電位が 0 V であれば、読み出しトランジスタ  $RTr1(n, m+1)$  はオンとなる。このため、ビット線  $R_m$  と  $R_{m+1}$  の間、あるいはビット線  $R_{m+1}$  と  $R_{m+2}$  の間に電流が流れる。

10

#### 【0277】

もし、ビット線  $R_m$  (あるいはビット線  $R_{m+2}$ ) の一端がキャパシタであれば、ビット線  $R_m$  と  $R_{m+1}$  の間 (あるいはビット線  $R_{m+1}$  と  $R_{m+2}$  の間) に電流が流れると、当初の電位 (+ 2 V) は、ビット線  $R_{m+1}$  の電位 (0 V) に近づくこととなる。最終的な電位は、ノード  $F1(n, m)$  (あるいはノード  $F1(n, m+1)$ ) の電位で決まるが、いずれにせよ、ビット線  $R_m$  (およびビット線  $R_{m+2}$ ) の電位は 0 V 以上 + 2 V 以下で変動することとなる。

20

#### 【0278】

この段階で、ノード  $F1(n, m)$  (あるいはノード  $F1(n, m+1)$ ) の電位が 0 V であるのは、書き込み時にビット線  $R_m$  (あるいはビット線  $R_{m+1}$ ) の電位が 0 V であった場合である。すなわち、ワード線  $Q2_n$  の電位を - 1 V としたときに読み出しトランジスタ  $RTr1(n, m)$  (あるいは読み出しトランジスタ  $RTr1(n, m+1)$ ) がオンであれば、書き込み時にビット線  $R_m$  (あるいはビット線  $R_{m+1}$ ) の電位が 0 V であったとわかる。

#### 【0279】

逆に、ビット線  $R_m$  と  $R_{m+1}$  の間 (あるいはビット線  $R_{m+1}$  と  $R_{m+2}$  の間) に電流が流れなければ、書き込み時にビット線  $R_m$  (あるいはビット線  $R_{m+1}$ ) の電位が + 1 V であったとわかる。このようにして、保持されているデータの値を知ることができる。

30

#### 【0280】

各記憶ユニットのもう一方の記憶セルのデータを読み出すには、図 16 (C) に示すようにワード線  $Q1_n$  の電位を - 1 V に低下させ、ワード線  $Q2_n$  の電位を 0 V に上昇させる。すると、ノード  $F1(n, m)$ 、 $F1(n, m+1)$  の電位は + 1 V 以上 + 2 V 以下となる。一方、ノード  $F2(n, m)$ 、 $F2(n, m+1)$  の電位は 0 V 以上 + 1 V 以下となる。

#### 【0281】

ここで、ノード  $F2(n, m)$  の電位が 0 V (すなわち、書き込み時にビット線  $R_{m+1}$  の電位が 0 V であった場合) であれば、読み出しトランジスタ  $RTr2(n, m)$  はオンとなるため、ビット線  $R_m$  と  $R_{m+1}$  の間に電流が流れる。また、ノード  $F2(n, m+1)$  の電位が 0 V (すなわち、書き込み時にビット線  $R_{m+2}$  の電位が 0 V であった場合) であれば、読み出しトランジスタ  $RTr2(n, m+1)$  はオンとなるため、ビット線  $R_{m+1}$  と  $R_{m+2}$  の間に電流が流れる。

40

#### 【0282】

逆に、ビット線  $R_m$  と  $R_{m+1}$  の間 (あるいはビット線  $R_{m+1}$  と  $R_{m+2}$  の間) に電流が流れなければ、書き込み時にビット線  $R_{m+1}$  (あるいはビット線  $R_{m+2}$ ) の電位が + 1 V であったとわかる。このようにして、保持されているデータの値を知ることができる。

#### 【0283】

50

以上は、２段階のデータ（１ビット）を書き込み・読み出しする方法であるが、もちろん、さらに多くのデータ、例えば、４段階のデータ（２ビット）、８段階のデータ（３ビット）、１６段階のデータ（４ビット）を書き込み・読み出しできる。

#### 【０２８４】

上記の説明では、寄生容量や読み出しトランジスタ  $RTr1(n, m)$ 、 $RTr2(n, m)$  のゲート容量をキャパシタ  $C1(n, m)$ 、 $C2(n, m)$  の容量に対して、無視したが、現実の記憶セルではそれらを考慮した上で、与える電位を決定する必要がある。

#### 【０２８５】

読み出しトランジスタ  $RTr1(n, m)$ 、 $RTr2(n, m)$  のゲート容量は、オン状態とオフ状態で大きく変動するので、読み出しトランジスタ  $RTr1(n, m)$ 、 $RTr2(n, m)$  のゲートの電位はその影響を受ける。読み出しトランジスタ  $RTr1(n, m)$ 、 $RTr2(n, m)$  のゲート容量のキャパシタ  $C1(n, m)$ 、 $C2(n, m)$  の容量に対する比率が大きいほど、その影響が大きいので、好ましくは、キャパシタ  $C1(n, m)$ 、 $C2(n, m)$  の容量は読み出しトランジスタ  $RTr1(n, m)$ 、 $RTr2(n, m)$  のゲート容量の２倍以上とするとよい。

#### 【０２８６】

##### （実施の形態１１）

本実施の形態では、半導体メモリ装置の形状について説明する。図１４に本実施の形態の半導体メモリ装置の記憶ユニットのレイアウト例を示す。本実施の形態で示す半導体装置は、図４（Ｂ）で示される回路図に相当する回路配置を有する。本実施の形態で示す半導体メモリ装置は、配線のパターン等は異なるが、実施の形態３で示した方法により作製できる。

#### 【０２８７】

図１４（Ａ）は単結晶シリコン基板上に設けられた主要な配線・電極等を示す。この部分は図９（Ａ）と実質的に同じである。図１４（Ｂ）は、図１４（Ａ）の回路の上に形成される酸化物半導体を用いたトランジスタを中心とした主要な配線や電極等を示す。この部分も図９（Ｂ）と実質的に同じである。

#### 【０２８８】

すなわち、ここまでは実施の形態７と同じである。ただし、図４（Ｂ）で示す回路を形成するには、書き込みトランジスタと読み出しトランジスタは異なる導電型であることが必要であり、そのため、例えば、半導体基板にドーピングする不純物等を変更する必要がある。

#### 【０２８９】

本実施の形態では、これらの上に形成される第２配線１１９のパターンが実施の形態７と異なる。すなわち、実施の形態７では、２種類のビット線  $R1$  と  $R2$  を形成する必要があり、かつ、レイアウトの余裕がないため、それらを２層の第２配線１１９、第３配線１２２で形成する。一方、本実施の形態では、ビット線は１種類（ビット線  $R$ ）であり、図１４（Ｃ）に示すように、第２配線１１９でジグザグに形成することによりビット線  $R_m$ 、 $R_{m+1}$ 、 $R_{m+2}$  等形成できる。すなわち、図４（Ｂ）で示す回路では、プロセスを簡略化できる。

#### 【０２９０】

##### （実施の形態１２）

本実施の形態では、実施の形態１乃至１１に示した回路や半導体メモリ装置およびその駆動方法等を用いた電子機器について説明する。これらは、パーソナルコンピュータ、携帯通信機器、画像表示装置、映像再生装置、画像映像撮像装置、ゲーム機、電子書籍等の機器に用いることができる。

#### 【符号の説明】

#### 【０２９１】

- １０１ 単結晶シリコン基板
- １０２ 素子分離領域

10

20

30

40

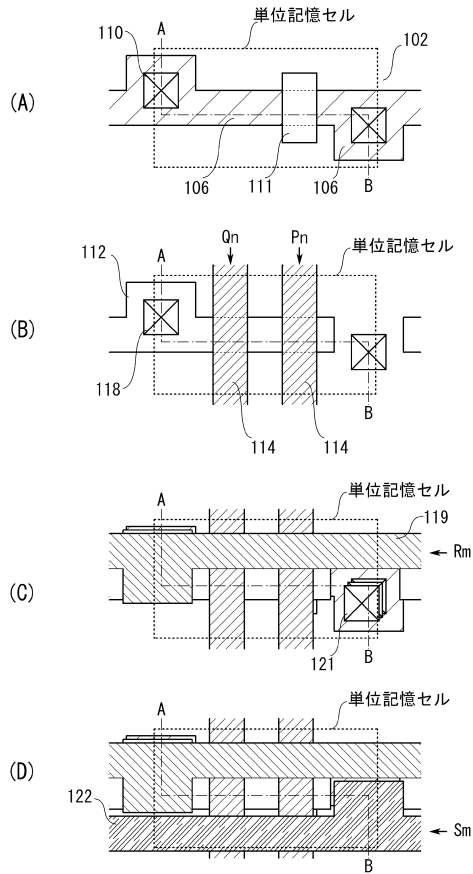
50

1 0 3	ゲート絶縁膜	
1 0 4	ダミーゲート	
1 0 5	シリサイド領域	
1 0 6	導電性領域	
1 0 7	第 1 層間絶縁物	
1 0 7 a	第 2 層間絶縁物	
1 0 8	第 1 開口部	
1 0 9	第 2 開口部	
1 1 0	第 1 接続電極	
1 1 1	ゲート電極	10
1 1 2	酸化物半導体領域	
1 1 3	ゲート絶縁膜	
1 1 4	第 1 配線	
1 1 5	n 型の導電性を示す領域	
1 1 6	キャパシタ	
1 1 7	第 3 層間絶縁物	
1 1 8	第 2 接続電極	
1 1 9	第 2 配線	
1 2 0	第 4 層間絶縁物	
1 2 1	第 3 接続電極	20
1 2 2	第 3 配線	
1 2 3	書き込みトランジスタ	
1 2 4	読み出しトランジスタ	
W T r	書き込みトランジスタ	
R T r	読み出しトランジスタ	
C	キャパシタ	
P	読み出しワード線	
Q	書き込みワード線	
R	ビット線	
S	バイアス線	30

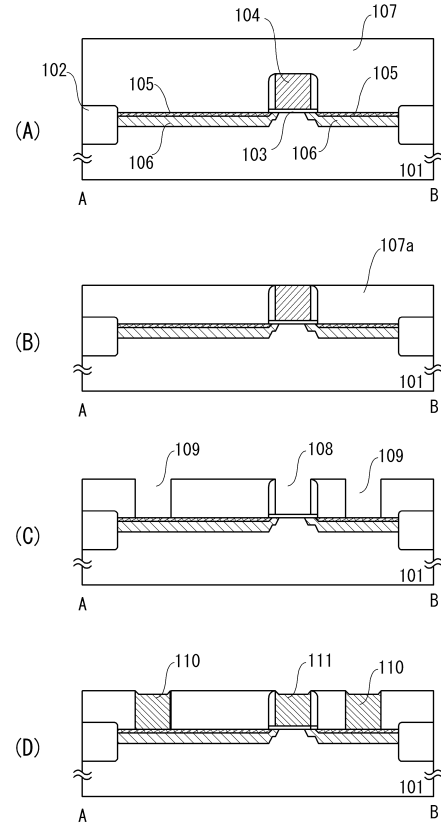




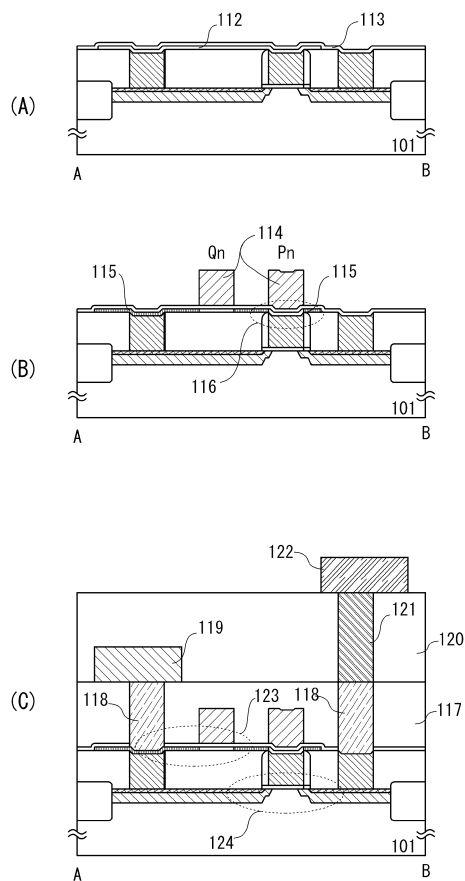
【図 5】



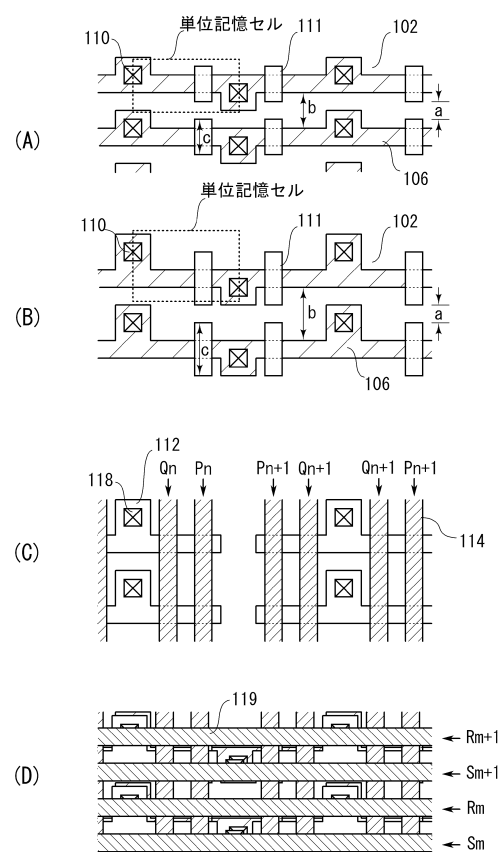
【図 6】



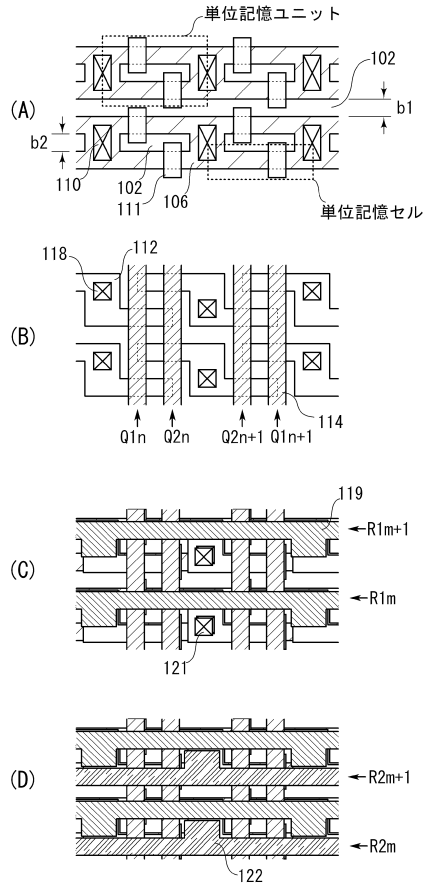
【図 7】



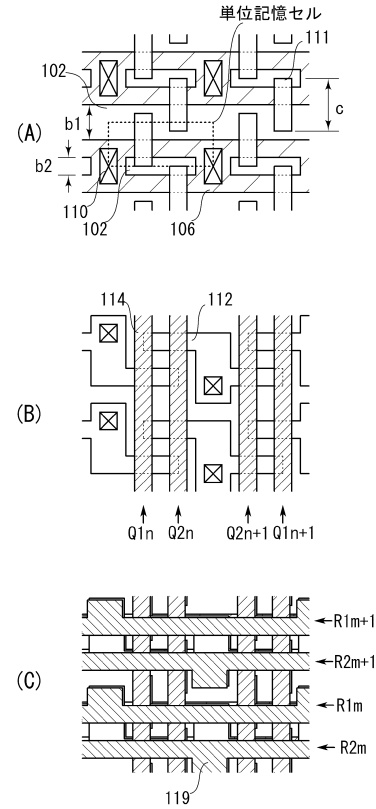
【図 8】



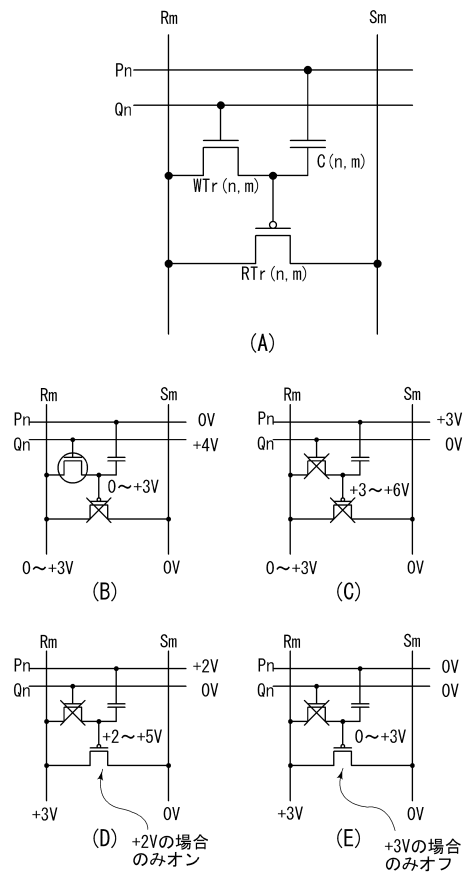
【図 9】



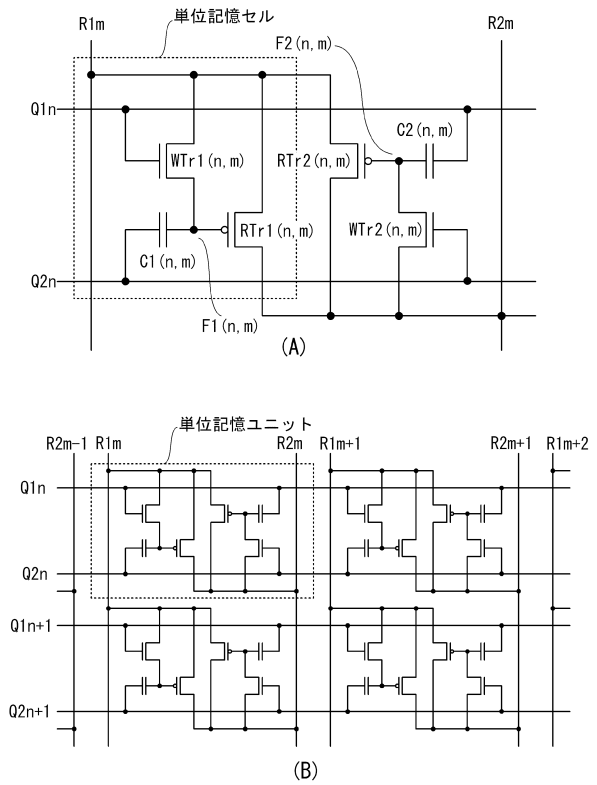
【図 10】



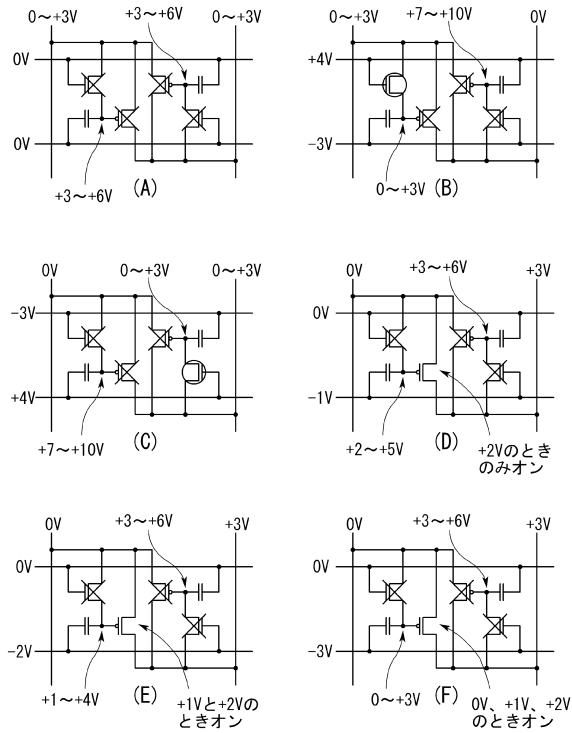
【図 11】



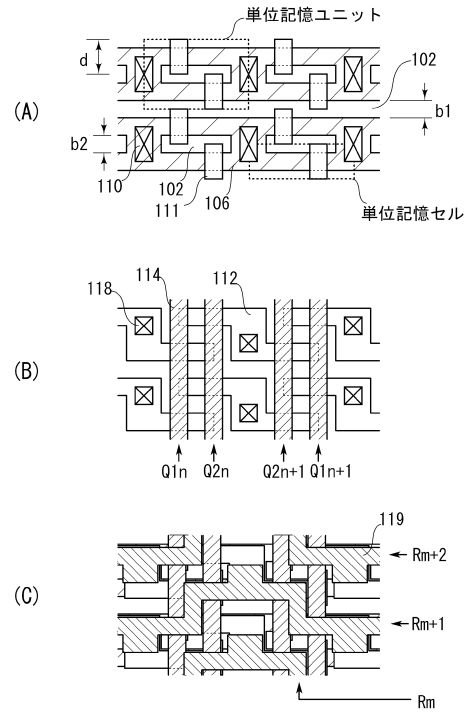
【図 12】



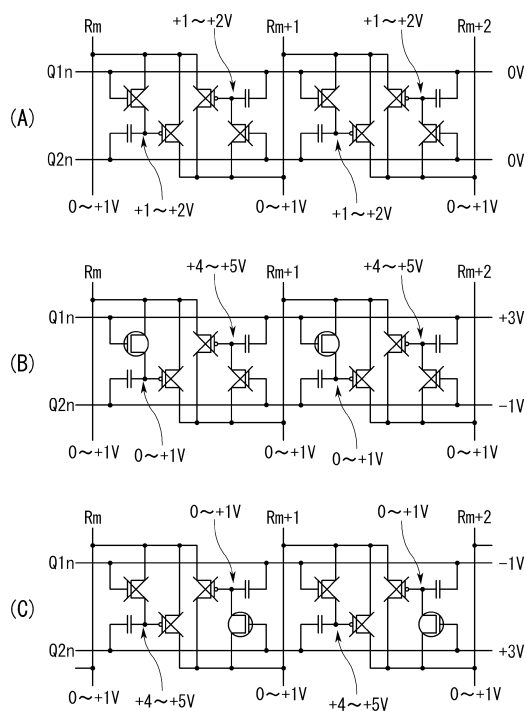
【図 13】



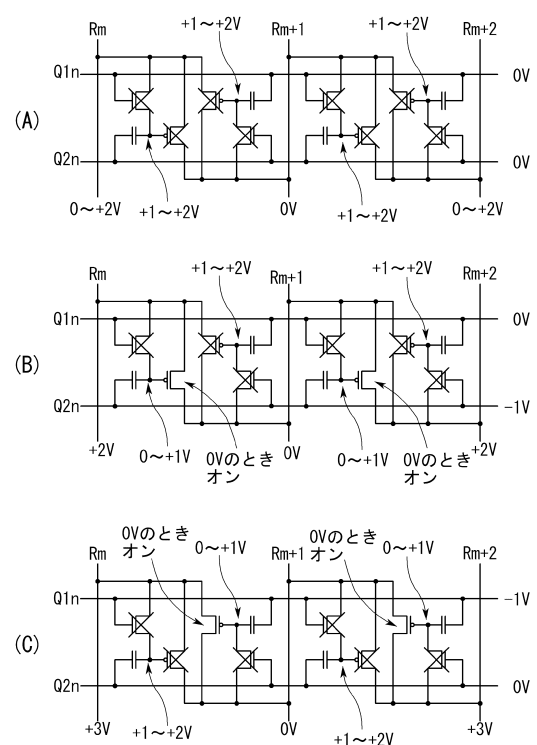
【図 14】



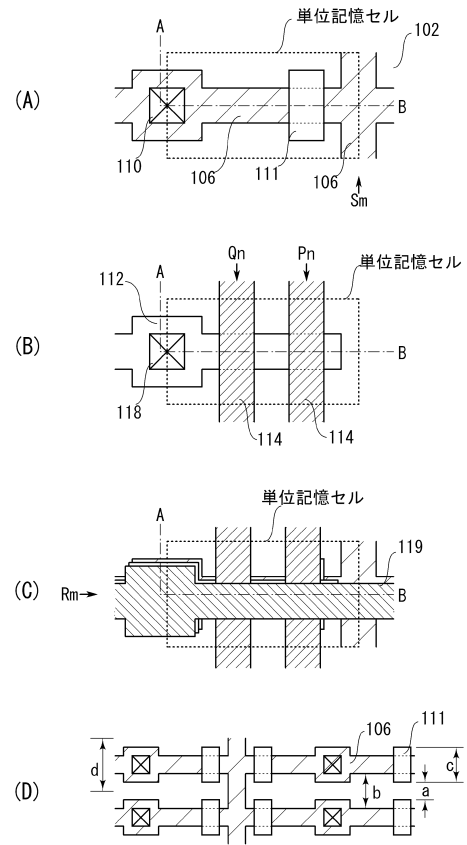
【図 15】



【図 16】



【図 17】



---

 フロントページの続き

(51)Int.Cl. F I  
*H 0 1 L 27/115 (2006.01)* H 0 1 L 29/78 6 1 3 B  
*H 0 1 L 21/336 (2006.01)*  
*H 0 1 L 29/788 (2006.01)*  
*H 0 1 L 29/792 (2006.01)*

(56)参考文献 特開 2 0 0 7 - 0 4 2 1 7 2 ( J P , A )  
 特開 2 0 0 6 - 1 2 1 0 2 9 ( J P , A )  
 特開 2 0 0 1 - 0 5 3 1 6 4 ( J P , A )  
 特開 2 0 0 2 - 0 9 3 1 7 8 ( J P , A )  
 特開 2 0 0 6 - 3 3 8 7 3 0 ( J P , A )  
 特開 2 0 0 8 - 2 6 9 7 5 1 ( J P , A )  
 特開 2 0 0 8 - 2 4 4 4 6 0 ( J P , A )  
 米国特許出願公開第 2 0 0 8 / 0 2 1 6 5 3 3 ( U S , A 1 )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 4 2  
 G 1 1 C 1 1 / 4 0 5  
 H 0 1 L 2 1 / 3 3 6  
 H 0 1 L 2 1 / 8 2 4 7  
 H 0 1 L 2 7 / 1 0 8  
 H 0 1 L 2 7 / 1 1 5  
 H 0 1 L 2 9 / 7 8 6  
 H 0 1 L 2 9 / 7 8 8  
 H 0 1 L 2 9 / 7 9 2