

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-526596

(P2024-526596A)

(43)公表日 令和6年7月19日(2024.7.19)

(51)国際特許分類 F I
 H 0 1 L 25/00 (2006.01) H 0 1 L 25/00 B
 H 0 1 L 23/00 (2006.01) H 0 1 L 23/00 C

審査請求 未請求 予備審査請求 未請求 (全36頁)

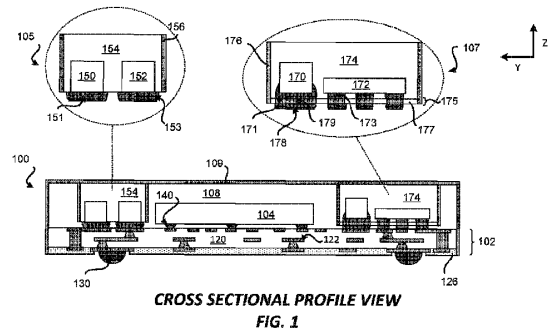
(21)出願番号 特願2023-579789(P2023-579789)
 (86)(22)出願日 令和4年6月10日(2022.6.10)
 (85)翻訳文提出日 令和5年12月26日(2023.12.26)
 (86)国際出願番号 PCT/US2022/033023
 (87)国際公開番号 WO2023/003650
 (87)国際公開日 令和5年1月26日(2023.1.26)
 (31)優先権主張番号 17/383,241
 (32)優先日 令和3年7月22日(2021.7.22)
 (33)優先権主張国・地域又は機関
 米国(US)
 (81)指定国・地域 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA
 ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(
 AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A
 T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR
 ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,
 最終頁に続く

(71)出願人 507364838
 クアルコム、インコーポレイテッド
 アメリカ合衆国 カリフォルニア 9 2 1
 2 1 サン ディエゴ モアハウス ドライ
 ブ 5 7 7 5
 (74)代理人 100108453
 弁理士 村山 靖彦
 (74)代理人 100163522
 弁理士 黒田 晋平
 (72)発明者 アニルード・バット
 アメリカ合衆国・カリフォルニア・9 2
 1 2 1 - 1 7 1 4・サン・ディエゴ・モ
 アハウス・ドライブ・5 7 7 5
 (72)発明者 ジェイ・スコット・サーモン
 アメリカ合衆国・カリフォルニア・9 2
 最終頁に続く

(54)【発明の名称】 シールドを有するブロックデバイスを含むパッケージ

(57)【要約】

基板と、基板に結合された第1の集積デバイスと、基
 板に結合された第1のブロックデバイスと、第1の集積
 デバイス及び第1のブロックデバイスをカプセル化する
 第2のカプセル化層と、を含むパッケージ。第1のプロ
 ックデバイスは、第1の電気構成要素と、第2の電気構
 成要素と、第1の電気構成要素及び第2の電気構成要素
 を少なくとも部分的にカプセル化する第1のカプセル化
 層と、第1のカプセル化層に結合された第1の金属層と
 、を含む。



【特許請求の範囲】**【請求項 1】**

パッケージであって、
基板と、
前記基板に結合された第 1 の集積デバイスと、
前記基板に結合された第 1 のブロックデバイスであって、前記第 1 のブロックデバイス
が、
第 1 の電気構成要素と、
第 2 の電気構成要素と、
前記第 1 の電気構成要素及び前記第 2 の電気構成要素をカプセル化する第 1 のカプセル
10
化層と、
前記第 1 のカプセル化層に結合された第 1 の金属層と、を含む、第 1 のブロックデバ
イスと、
前記第 1 の集積デバイス及び前記第 1 のブロックデバイスを少なくとも部分的にカプセル
化する第 2 のカプセル化層と、
を備える、パッケージ。

【請求項 2】

前記第 2 のカプセル化層に結合された第 2 の金属層を更に備え、前記第 2 の金属層が、
前記第 2 のカプセル化層の外面上に配置されている、請求項 1 に記載のパッケージ。

【請求項 3】

前記第 2 の金属層が、前記第 1 のブロックデバイスの前記第 1 の金属層に結合されてい
る、請求項 2 に記載のパッケージ。 20

【請求項 4】

前記第 1 の金属層及び / 又は前記第 2 の金属層が、電磁干渉 (E M I) シールドとして
構成されている、請求項 2 に記載のパッケージ。

【請求項 5】

前記第 1 の金属層及び / 又は前記第 2 の金属層が、接地に結合するように構成されてい
る、請求項 2 に記載のパッケージ。

【請求項 6】

前記第 1 のブロックデバイスが、ブロック基板を更に含み、
前記第 1 の電気構成要素及び前記第 2 の電気構成要素が、前記ブロック基板に結合され
ている、
請求項 1 に記載のパッケージ。 30

【請求項 7】

前記第 1 の電気構成要素が、受動構成要素又は集積デバイスを含み、
前記第 2 の電気構成要素が、別の受動構成要素又は別の集積デバイスを含む、
請求項 1 に記載のパッケージ。

【請求項 8】

前記第 1 のブロックデバイスが、3 つ以上の電気構成要素を含む、請求項 1 に記載のパ
ッケージ。 40

【請求項 9】

前記基板に結合された第 2 のブロックデバイスを更に備え、前記第 2 のブロックデバ
イスが、
第 3 の電気構成要素と、
第 4 の電気構成要素と、
前記第 3 の電気構成要素及び前記第 4 の電気構成要素をカプセル化する第 3 のカプセル
化層と、
前記第 3 のカプセル化層に結合された第 3 の金属層であって、前記第 3 の金属層が、
前記第 2 のブロックデバイスのためのシールドとして構成されている、第 3 の金属層と、
含む、請求項 1 に記載のパッケージ。 50

- 【請求項 10】
前記第 1 のブロックデバイスが、複数のはんだ相互接続部を介して前記基板に結合されている、請求項 1 に記載のパッケージ。
- 【請求項 11】
装置であって、
基板と、
前記基板に結合された第 1 の集積デバイスと、
前記基板に結合された第 1 のブロックデバイスであって、前記第 1 のブロックデバイスが、
第 1 の電気構成要素と、
第 2 の電気構成要素と、
前記第 1 の電気構成要素及び前記第 2 の電気構成要素をカプセル化するように構成された第 1 のカプセル化のための手段と、
前記第 1 のカプセル化のための手段に結合された第 1 の金属層と、
を含む、第 1 のブロックデバイスと、
前記第 1 の集積デバイス及び前記第 1 のブロックデバイスを少なくとも部分的にカプセル化するように構成された第 2 のカプセル化のための手段と、
を備える、装置。
- 【請求項 12】
前記第 2 のカプセル化のための手段に結合された第 2 の金属層を更に備え、前記第 2 の金属層が、前記第 2 のカプセル化のための手段の外面上に配置されている、請求項 11 に記載の装置。
- 【請求項 13】
前記第 2 の金属層が、前記第 1 のブロックデバイスの前記第 1 の金属層に結合されている、請求項 12 に記載の装置。
- 【請求項 14】
前記第 1 の金属層及び / 又は前記第 2 の金属層が、電磁干渉 (E M I) シールドとして構成されている、請求項 12 に記載の装置。
- 【請求項 15】
前記第 1 の金属層及び / 又は前記第 2 の金属層が、接地に結合するように構成されている、請求項 12 に記載の装置。
- 【請求項 16】
前記第 1 のブロックデバイスが、ブロック基板を更に含み、
前記第 1 の電気構成要素及び前記第 2 の電気構成要素が、前記ブロック基板に結合されている、
請求項 11 に記載の装置。
- 【請求項 17】
前記第 1 の電気構成要素が、受動構成要素又は集積デバイスを含み、
前記第 2 の電気構成要素が、別の受動構成要素又は別の集積デバイスを含む、
請求項 11 に記載の装置。
- 【請求項 18】
前記第 1 のブロックデバイスが、3 つ以上の電気構成要素を含む、請求項 11 に記載の装置。
- 【請求項 19】
前記基板に結合された第 2 のブロックデバイスを更に備え、前記第 2 のブロックデバイスが、
第 3 の電気構成要素と、
第 4 の電気構成要素と、
前記第 3 の電気構成要素及び前記第 4 の電気構成要素をカプセル化するように構成された第 3 のカプセル化のための手段と、

10

20

30

40

50

前記第 3 のカプセル化のための手段に結合された第 3 の金属層であって、前記第 3 の金属層が、前記第 2 のブロックデバイスのためのシールドとして構成されている、第 3 の金属層と、

含む、請求項 1 1 に記載の装置。

【請求項 2 0】

前記装置が、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット (I o T) デバイス、及び自動車両内のデバイスからなるグループから選択されたデバイスを含む、請求項 1 1 に記載の装置。

10

【請求項 2 1】

パッケージを作製するための方法であって、

基板を提供することと、

第 1 の集積デバイスを前記基板に結合することと、

第 1 のブロックデバイスを前記基板に結合することであって、前記第 1 のブロックデバイスが、

第 1 の電気構成要素と、

第 2 の電気構成要素と、

前記第 1 の電気構成要素及び前記第 2 の電気構成要素をカプセル化する第 1 のカプセル化層と、

20

前記第 1 のカプセル化層に結合された第 1 の金属層と、

を含む、ことと、

前記第 1 の集積デバイス及び前記第 1 のブロックデバイスを少なくとも部分的にカプセル化する第 2 のカプセル化層を形成することと、

を含む、方法。

【請求項 2 2】

前記第 2 のカプセル化層の外面上に第 2 の金属層を形成することを更に含む、請求項 2 1 に記載の方法。

【請求項 2 3】

30

前記第 2 の金属層が、前記第 1 のブロックデバイスの前記第 1 の金属層に結合されている、請求項 2 2 に記載の方法。

【請求項 2 4】

前記第 1 の金属層及び / 又は前記第 2 の金属層が、電磁干渉 (E M I) シールドとして構成されている、請求項 2 2 に記載の方法。

【請求項 2 5】

前記第 1 のブロックデバイスが、ブロック基板を更に含み、

前記第 1 の電気構成要素及び前記第 2 の電気構成要素が、前記ブロック基板に結合されている、

請求項 2 1 に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

関連出願の相互参照

本出願は、2021年7月22日に米国特許庁に出願された非仮特許出願第 1 7 / 3 8 3 , 2 4 1 号の優先権及び利益を主張するものであり、その内容全体が、以下に全文が完全に記載されるかのように、すべての適用可能な目的のために参照により本明細書に組み込まれる。

【0 0 0 2】

様々な特徴は、集積デバイスを有するパッケージに関する。

50

【背景技術】

【0003】

パッケージは、基板と集積デバイスとを含み得る。これらの構成要素は、共に結合されて、様々な電氣的機能を実行することができるパッケージを提供する。電磁干渉（EMI）は、構成要素及びパッケージの全体的な性能に影響を与える可能性がある。より良好な性能のパッケージを提供し、パッケージ内及び周囲のEMIの影響を低減することが継続的に必要とされている。

【発明の概要】

【課題を解決するための手段】

【0004】

様々な特徴は、集積デバイスを有するパッケージに関する。

【0005】

一例は、基板と、基板に結合された第1の集積デバイスと、基板に結合された第1のブロックデバイスと、第1の集積デバイス及び第1のブロックデバイスを少なくとも部分的にカプセル化する第2のカプセル化層と、を含むパッケージを提供する。第1のブロックデバイスは、第1の電気構成要素と、第2の電気構成要素と、第1の電気構成要素及び第2の電気構成要素をカプセル化する第1のカプセル化層と、第1のカプセル化層に結合された第1の金属層と、を含む。

【0006】

別の例は、基板と、基板に結合された第1の集積デバイスと、基板に結合された第1のブロックデバイスと、第1の集積デバイス及び第1のブロックデバイスを少なくとも部分的にカプセル化するように構成された第2のカプセル化のための手段と、を含む装置を提供する。第1のブロックデバイスは、第1の電気構成要素と、第2の電気構成要素と、第1の電気構成要素及び第2の電気構成要素をカプセル化するように構成された第1のカプセル化のための手段と、第1のカプセル化のための手段に結合された第1の金属層と、を含む。

【0007】

別の例は、パッケージを作製するための方法を提供する。方法は、基板を提供する。方法は、第1の集積デバイスを基板に結合する。方法は、第1のブロックデバイスを基板に結合する。第1のブロックデバイスは、第1の電気構成要素と、第2の電気構成要素と、第1の電気構成要素及び第2の電気構成要素をカプセル化する第1のカプセル化層と、第1のカプセル化層に結合された第1の金属層と、を含む。方法は、第1の集積デバイス及び第1のブロックデバイスを少なくとも部分的にカプセル化する第2のカプセル化層を形成する。

【0008】

様々な特徴、性質、及び利点は、同様の参照符号が全体にわたって対応して識別する図面と併せて読まれると、以下に記載する詳細な説明から明らかになり得る。

【図面の簡単な説明】

【0009】

【図1】シールドを有する少なくとも1つのブロックデバイスを含むパッケージの断面プロファイル図である。

【図2】シールドを有する少なくとも1つのブロックデバイスを含むパッケージの断面平面図である。

【図3】シールドを有するブロックデバイスの断面プロファイル図である。

【図4】シールドを有するブロックデバイスの別の断面プロファイル図である。

【図5】シールドを有するブロックデバイスの底面図である。

【図6】シールドを有するブロックデバイスの上面図である。

【図7】シールド及びブロック基板を有するブロックデバイスの断面プロファイル図である。

【図8】シールド及びブロック基板を有するブロックデバイスの別の断面プロファイル図

10

20

30

40

50

である。

【図 9】シールド及びブロック基板を有するブロックデバイスの底面図である。

【図 10】シールド及びブロック基板を有するブロックデバイスの上面図である。

【図 11】シールドを有するブロックデバイスの断面プロファイル図である。

【図 12】シールドを有するブロックデバイスの別の断面プロファイル図である。

【図 13】シールドを有するブロックデバイスの底面図である。

【図 14】シールドを有するブロックデバイスの上面図である。

【図 15 A】少なくとも 1 つのブロックデバイス及びシールドを備えるパッケージを作製するための例示的なシーケンスを示す図である。

【図 15 B】少なくとも 1 つのブロックデバイス及びシールドを備えるパッケージを作製するための例示的なシーケンスを示す図である。 10

【図 16】少なくとも 1 つのブロックデバイス及びシールドを備えるパッケージを作製するための例示的なシーケンスを示す図である。

【図 17 A】シールドを有するブロックデバイスを作製するための例示的なシーケンスを示す図である。

【図 17 B】シールドを有するブロックデバイスを作製するための例示的なシーケンスを示す図である。

【図 18 A】ブロックデバイス、ブロック基板、及びシールドを作製するための例示的なシーケンスを示す図である。

【図 18 B】ブロックデバイス、ブロック基板、及びシールドを作製するための例示的なシーケンスを示す図である。 20

【図 18 C】ブロックデバイス、ブロック基板、及びシールドを作製するための例示的なシーケンスを示す図である。

【図 19】シールドを有するブロックデバイスを作製するための方法の例示的な流れ図である。

【図 20 A】基板を作製するための例示的なシーケンスを示す図である。

【図 20 B】基板を作製するための例示的なシーケンスを示す図である。

【図 21】基板を作製するための方法の例示的な流れ図である。

【図 22】ダイ、電子回路、集積デバイス、集積受動デバイス (IPD)、受動構成要素、パッケージ、及び / 又は本明細書で説明するデバイスパッケージを集積し得る様々な電子デバイスを示す図である。 30

【発明を実施するための形態】

【0010】

以下の説明では、本開示の様々な態様を完全に理解することが可能なように具体的な詳細を示す。しかしながら、態様がこれらの具体的な詳細なしに実践される場合があることが、当業者によって理解されよう。例えば、回路は、不必要な詳細で態様を曖昧にすることを避けるために、ブロック図で示されることがある。他の例では、本開示の態様を曖昧にしないように、周知の回路、構造、及び技術は詳細には示されない場合がある。

【0011】

本開示は、基板と、基板に結合された第 1 の集積デバイスと、基板に結合された第 1 のブロックデバイスと、第 1 の集積デバイス及び第 1 のブロックデバイスを少なくとも部分的にカプセル化する第 2 のカプセル化層と、を含むパッケージについて説明する。第 1 のブロックデバイスは、第 1 の電気構成要素 (例えば、第 1 の電気デバイス) と、第 2 の電気構成要素 (例えば、第 2 の電気デバイス) と、第 1 の電気構成要素及び第 2 の電気構成要素をカプセル化する第 1 のカプセル化層と、第 1 のカプセル化層に結合された第 1 の金属層と、を含み、第 1 の金属層は、第 1 のブロックデバイスのためのシールド (例えば、電磁干渉 (EMI) シールド) として構成される。電気構成要素 (例えば、電気デバイス) の例は、受動構成要素 (例えば、キャパシタ) 及び / 又は集積デバイス (例えば、半導体ダイ) を含む。シールドを有するブロックデバイスを使用することは、パッケージ内のブロックデバイス及び / 又は他の構成要素 (例えば、第 1 の集積デバイス) のためのシ 40 50

ルドを提供するのに役立つ。例えば、第1のブロックデバイスのためのシールドは、第1の集積デバイスのためのシールドとして構成され得、第1のブロックデバイスを通る電流がパッケージの第1の集積デバイスを通る電流と干渉することを防止するのに役立つ、及び/又はパッケージの第1の集積デバイスを通る電流が第1のブロックデバイスを通る電流と干渉することを防止するのに役立つ。加えて、パッケージの構成はまた、パッケージ性能の改善を依然として提供しながら、パッケージのサイズ及び/又は設置面積を減少させるのに役立つ。

【0012】

ブロックデバイス及びシールドを備える例示的なパッケージ

図1は、電磁干渉(EMI)シールドを有する少なくとも1つのブロックデバイスを含むパッケージ100の断面プロファイル図を示す。パッケージ100は、基板102と、集積デバイス104と、ブロックデバイス105と、ブロックデバイス107と、カプセル化層108と、金属層109と、を含む。ブロックデバイス105及び/又はブロックデバイス107は、シールドされたブロックデバイスの例であり得る。

10

【0013】

基板102は、少なくとも1つの誘電体層120と、複数の相互接続部122と、はんだレジスト層126と、を含む。基板102は、第1の表面(例えば、上面)と第2の表面(例えば、底面)とを含み得る。複数のはんだ相互接続部130は、基板102に結合され得る。例えば、複数のはんだ相互接続部130は、複数の相互接続部122に結合され得る。

20

【0014】

集積デバイス104は、複数のはんだ相互接続部140を介して基板102の第1の表面に結合される。ブロックデバイス105は、第1のブロックデバイスであり得る。ブロックデバイス105は、複数のはんだ相互接続部151及び/又は複数のはんだ相互接続部153を介して基板102の第1の表面に結合される。ブロックデバイス105は、複数のはんだ相互接続部151及び/又は複数のはんだ相互接続部153を介して複数の相互接続部122に結合される。ブロックデバイス107は、第2のブロックデバイスであり得る。ブロックデバイス107は、複数のはんだ相互接続部178を介して基板102の第1の表面に結合される。ブロックデバイス107は、複数のはんだ相互接続部178を介して複数の相互接続部122に結合される。

30

【0015】

カプセル化層108は、第2のカプセル化層であり得る。カプセル化層108は、集積デバイス104、ブロックデバイス105、ブロックデバイス107、及び/又は基板102の上及び/又はそれらの周囲に配置され得る。カプセル化層108は、集積デバイス104、ブロックデバイス105、及びブロックデバイス107を少なくとも部分的にカプセル化し得る。カプセル化層108は、モールド、レジソ、及び/又はエポキシを含み得る。カプセル化層108は、カプセル化のための手段(例えば、第2のカプセル化のための手段)であり得る。カプセル化層108は、圧縮成形及びトランスファー成形プロセス、シート成形プロセス、あるいは液体成形プロセスを使用することによって提供され得る。

40

【0016】

金属層109は、第2の金属層であり得る。金属層109は、カプセル化層108の外面に配置され、結合される。例えば、金属層109は、カプセル化層108の外面上部及び/又は側部の上に配置され得る。金属層109は、基板102の側部の上に配置され得る。金属層109は、1つ以上の金属層を含み得る。以下で更に説明するように、金属層109は、ブロックデバイス105の金属層及び/又はブロックデバイス107の金属層に結合され得る。金属層109は、接地に結合されるように構成され得る。金属層109は、パッケージ100のためのEMIシールド(例えば、EMIシールドのための手段)として構成され得る。例えば、金属層109は、パッケージ100のためのコンフォーマルシールドとして構成され得る。金属層109は、パッケージ100の外部の信号がパ

50

パッケージ 100 の内部を移動する電流及び / 又は信号と干渉することを防止するのに役立ち得る。

【0017】

ブロックデバイス 105 は、少なくとも 2 つの電気構成要素（例えば、少なくとも 2 つの電気デバイス）を含む。ブロックデバイス 107 は、少なくとも 2 つの電気構成要素（例えば、少なくとも 2 つの電気デバイス）を含む。電気構成要素（例えば、電気デバイス）の例は、受動構成要素（例えば、キャパシタ）及び / 又は集積デバイス（例えば、半導体ダイ）を含む。

【0018】

ブロックデバイス 105 は、受動構成要素 150（例えば、第 1 のキャパシタ）と、受動構成要素 152（例えば、第 2 のキャパシタ）と、カプセル化層 154 と、金属層 156 と、を含む。受動構成要素 150 は、第 1 の電気構成要素の一例であり得る。受動構成要素 152 は、第 2 の電気構成要素の一例であり得る。カプセル化層 154 は、受動構成要素 150 及び受動構成要素 152 をカプセル化し得る。カプセル化層 154 は、第 1 のカプセル化層であり得る。カプセル化層 154 は、モールド、レジン、及び / 又はエポキシを含み得る。カプセル化層 154 は、カプセル化のための手段（例えば、第 1 のカプセル化のための手段）であり得る。

10

【0019】

金属層 156 は、カプセル化層 154 に結合され得る。金属層 156 は、ブロックデバイス 105 の側面に結合され得る。金属層 156 は、第 1 の金属層であり得る。金属層 156 は、接地に結合されるように構成され得る。金属層 156 は、ブロックデバイス 105 のための EMI シールド（例えば、EMI シールドのための手段）として構成され得る。金属層 156 は、パッケージ 100 のための EMI シールドとして構成され得る。金属層 156 は、受動構成要素 150 及び / 又は受動構成要素 152 のためのシールドを提供し得る。金属層 156 はまた、集積デバイス 104（及び / 又はパッケージ 100 内の任意の他の構成要素）のためのシールドを提供し得る。例えば、金属層 156 は、受動構成要素 150 及び / 又は受動構成要素 152 を通って移動する電流が、集積デバイス 104 を通って移動する電流及び / 又は信号と干渉することを防止するのに役立ち得、逆もまた同様である。金属層 156 は、パッケージ 100 のためのコンパートメントシールドとして構成され得る。金属層 156 は、パッケージ 100 の外部の信号がブロックデバイス 105 の内部を移動する電流及び / 又は信号と干渉することを防止するのに役立ち得る。金属層 156 は、金属層 109 に結合され得る。

20

30

【0020】

ブロックデバイス 107 は、ブロック基板 175 と、受動構成要素 170（例えば、第 1 のキャパシタ）と、集積デバイス 172 と、カプセル化層 174 と、金属層 176 と、を含む。受動構成要素 170 は、第 1 の電気構成要素の一例であり得る。集積デバイス 172（例えば、半導体ダイ）は、第 2 の電気構成要素の一例であり得る。カプセル化層 174 は、受動構成要素 170 及び集積デバイス 172 をカプセル化し得る。カプセル化層 174 は、第 3 のカプセル化層であり得る。カプセル化層 174 は、モールド、レジン、及び / 又はエポキシを含み得る。カプセル化層 174 は、カプセル化のための手段（例えば、第 3 のカプセル化のための手段）であり得る。カプセル化層 174 は、ブロック基板 175、受動構成要素 170、及び集積デバイス 172 の上に配置され得る。

40

【0021】

ブロック基板 175 は、少なくとも 1 つの誘電体層 177 と、複数の相互接続部 179（例えば、ブロック基板の相互接続部）と、を含む。異なる実装形態は、少なくとも 1 つの誘電体層 177 に対して異なる材料を使用し得る。例えば、少なくとも 1 つの誘電体層 177 は、ガラス、石英及び / 又はプリプレグを含み得る。受動構成要素 170 は、複数のはんだ相互接続部 171 を介してブロック基板 175 に結合される。集積デバイス 172 は、複数のはんだ相互接続部 173 を介してブロック基板 175 に結合される。ブロック基板 175 は、EMI シールドを少なくとも部分的に提供するように構成され得る。す

50

なわち、複数の相互接続部 179 のうちのいくつかの相互接続部は、EMIシールドとして構成され得る。複数の相互接続部 179 のうちのいくつかの相互接続部は、接地に結合されるように構成され得る。複数の相互接続部 179 のうちのいくつかの相互接続部は、金属層 176 に結合され得る。ブロックデバイス 107 は、複数のはんだ相互接続部 178 を介して基板 102 の複数の相互接続部 122 に結合される。複数のはんだ相互接続部 178 は、ブロック基板 175 の複数の相互接続部 179 に結合され得る。

【0022】

金属層 176 は、カプセル化層 174 に結合され得る。金属層 176 は、ブロックデバイス 107 の側面に結合され得る。金属層 176 は、ブロック基板 175 の複数の相互接続部 179 のうちのいくつかの相互接続部に結合され得る。金属層 176 は、第 1 の金属層であり得る。金属層 176 は、接地に結合されるように構成され得る。金属層 176 は、ブロックデバイス 107 のための EMIシールド（例えば、EMIシールドのための手段）として構成され得る。金属層 176 は、パッケージ 100 のための EMIシールドとして構成され得る。金属層 176 は、受動構成要素 170 及び / 又は集積デバイス 172 のためのシールドを提供し得る。金属層 176 はまた、集積デバイス 104（及び / 又はパッケージ 100 内の任意の他の構成要素）のためのシールドを提供し得る。例えば、金属層 176 は、受動構成要素 170 及び / 又は集積デバイス 172 を通って移動する電流が、集積デバイス 104 を通って移動する電流及び / 又は信号と干渉することを防止するのに役立ち得、逆もまた同様である。金属層 176 は、パッケージ 100 のためのコンパートメントシールドとして構成され得る。金属層 176 は、パッケージ 100 の外部の信号がブロックデバイス 107 の内部を移動する電流及び / 又は信号と干渉することを防止するのに役立ち得る。金属層 176 は、金属層 109 に結合され得る。

【0023】

図 2 は、パッケージ 100 の断面平面図を示す。図 2 に示されるように、パッケージ 100 は、集積デバイス 104 と、ブロックデバイス 105 と、ブロックデバイス 107 と、受動構成要素 270 と、受動構成要素 272 と、カプセル化層 108 と、金属層 109 と、を含む。集積デバイス 104、ブロックデバイス 105、ブロックデバイス 107、受動構成要素 270、及び受動構成要素 272 は、基板 102（図 2 には図示せず）に結合される。カプセル化層 108 は、集積デバイス 104、ブロックデバイス 105、ブロックデバイス 107、受動構成要素 270、及び受動構成要素 272 を少なくとも部分的にカプセル化する。カプセル化層 108 は、基板 102、集積デバイス 104、ブロックデバイス 105、ブロックデバイス 107、受動構成要素 270、及び / 又は受動構成要素 272 の上に配置され得る。

【0024】

ブロックデバイス 105 は、受動構成要素 150 と、受動構成要素 152 と、受動構成要素 250 と、受動構成要素 252 と、カプセル化層 154 と、金属層 156 と、を含む。カプセル化層 154 は、受動構成要素 150、受動構成要素 152、受動構成要素 250、及び受動構成要素 252 をカプセル化する。

【0025】

ブロックデバイス 107 は、受動構成要素 170 と、集積デバイス 172 と、カプセル化層 174 と、金属層 176 と、を含む。

【0026】

金属層 156 は、カプセル化層 154、受動構成要素 150、受動構成要素 152、受動構成要素 250、及び受動構成要素 252 を横方向に取り囲む。金属層 156 は、受動構成要素 150、受動構成要素 152、受動構成要素 250、及び受動構成要素 252 を、集積デバイス 104、ブロックデバイス 107、受動構成要素 270、及び / 又は受動構成要素 272 からシールドし得る。同様に、金属層 156 は、集積デバイス 104、ブロックデバイス 107、受動構成要素 270、及び / 又は受動構成要素 272 を、受動構成要素 150、受動構成要素 152、受動構成要素 250、及び受動構成要素 252 からシールドし得る。

10

20

30

40

50

【 0 0 2 7 】

金属層 1 7 6 は、カプセル化層 1 7 4、受動構成要素 1 7 0、及び集積デバイス 1 7 2 を横方向に取り囲む。金属層 1 7 6 は、受動構成要素 1 7 0 及び集積デバイス 1 7 2 を、集積デバイス 1 0 4、ブロックデバイス 1 0 5、受動構成要素 2 7 0、及び / 又は受動構成要素 2 7 2 からシールドし得る。同様に、金属層 1 7 6 は、集積デバイス 1 0 4、ブロックデバイス 1 0 5、受動構成要素 2 7 0、及び / 又は受動構成要素 2 7 2 を、受動構成要素 1 7 0 及び集積デバイス 1 7 2 からシールドし得る。

【 0 0 2 8 】

パッケージ 1 0 0 の構成にはいくつかの利点が存在する。第 1 に、E M I シールドを有するブロックデバイスを使用することは、パッケージ 1 0 0 からの構成要素間の干渉、及び / 又はパッケージ 1 0 0 の外部の構成要素からの干渉を低減及び / 又は排除することによって、パッケージの性能を改善するのに役立つ。第 2 に、E M I シールドを有するブロックデバイスを使用することは、パッケージ 1 0 0 内の構成要素がパッケージ 1 0 0 の性能に必ずしも悪影響を及ぼすことなくパッケージ 1 0 0 内で互いにより近接して配置され得るので、よりコンパクトなパッケージを提供するのに役立つ。第 3 に、予め定められた E M I シールドを有するブロックデバイスを使用することは、パッケージの組み立て及び作製中の作製プロセスを簡略化する。

【 0 0 2 9 】

E M I シールド（例えば、金属層 1 5 6、金属層 1 7 6、金属層 1 0 9）は、パッケージ内の異なる回路機能間に電氣的絶縁を提供するファラデーケージとして構成され得る。これらのブロックデバイス上で予め適用されたコンパートメントシールドを使用することにより、パッケージの既存のレイアウトを大幅に変更することなく、優れたシールドを提供し得る。E M I シールド（単数又は複数）は、シールドのための手段（例えば、E M I シールドのための手段）であり得る。

【 0 0 3 0 】

パッケージ 1 0 0 は、1 つ以上のブロックデバイスなどの、異なる数のブロックデバイスを含み得ることに留意されたい。また、各ブロックデバイスは、パッケージの他の構成要素及び / 又はデバイスからシールドされる異なる数の電気構成要素（例えば、電気デバイス、受動構成要素、集積デバイス）を有し得る。したがって、本開示に示されるパッケージ 1 0 0 の構成は、単なる例示である。

【 0 0 3 1 】

図 3 ~ 図 6 は、ブロックデバイス 1 0 5 の様々な図を示す。図 3 は、受動構成要素 1 5 0 と、受動構成要素 1 5 2 と、カプセル化層 1 5 4 と、金属層 1 5 6 と、を含むブロックデバイス 1 0 5 の側面図を示す。複数のはんだ相互接続部 1 5 1 は、受動構成要素 1 5 0 に結合される。複数のはんだ相互接続部 1 5 3 は、受動構成要素 1 5 2 に結合される。いくつかの実装形態では、受動構成要素 1 5 0 の底部及び / 又は受動構成要素 1 5 2 の底部は、カプセル化層 1 5 4 の底部と位置合わせされ得る。例えば、受動構成要素 1 5 0 の底面及び / 又は受動構成要素 1 5 2 の底面は、カプセル化層 1 5 4 の底面と位置合わせされ得る。いくつかの実装形態では、受動構成要素 1 5 0 及び / 又は受動構成要素 1 5 2 は、受動構成要素 1 5 0 の側部の一部及び / 又は受動構成要素 1 5 2 の側部の一部がカプセル化層 1 5 4 によって覆われないように、カプセル化層 1 5 4 の底面から突出し得る。図 4 は、受動構成要素 1 5 0 と、受動構成要素 2 5 0 と、カプセル化層 1 5 4 と、金属層 1 5 6 と、を含むブロックデバイス 1 0 5 の別の側面図を示す。

【 0 0 3 2 】

図 5 は、受動構成要素 1 5 0 と、受動構成要素 1 5 2 と、受動構成要素 2 5 0 と、受動構成要素 2 5 2 と、カプセル化層 1 5 4 と、金属層 1 5 6 と、を含むブロックデバイス 1 0 5 の底面図を示す。複数のはんだ相互接続部が、受動構成要素 1 5 0、受動構成要素 1 5 2、受動構成要素 2 5 0、及び / 又は受動構成要素 2 5 2 の端子に結合され得る。図 6 は、金属層 1 5 6 を含むブロックデバイス 1 0 5 の上面図を示す。金属層 1 5 6 は、カプセル化層 1 5 4 の表面の上に配置される。

10

20

30

40

50

【 0 0 3 3 】

図 7 ~ 図 1 0 は、ブロックデバイス 1 0 7 の様々な図を示す。図 7 は、受動構成要素 1 7 0 と、集積デバイス 1 7 2 と、ブロック基板 1 7 5 と、カプセル化層 1 7 4 と、金属層 1 7 6 と、を含むブロックデバイス 1 0 7 の側面図を示す。複数のはんだ相互接続部 1 7 8 は、ブロック基板 1 7 5 に結合される。カプセル化層 1 7 4 は、ブロック基板 1 7 5、受動構成要素 1 7 0、及び集積デバイス 1 7 2 の上に配置される。金属層 1 7 6 は、カプセル化層 1 7 4 の表面の上に配置される。ブロック基板 1 7 5 は、少なくとも 1 つの誘電体層 1 7 7 と、複数の相互接続部 1 7 9 と、を含む。複数のはんだ相互接続部 1 7 8 は、複数の相互接続部 1 7 9 のうちのいくつかの相互接続部に結合される。図 8 は、受動構成要素 1 7 0 と、集積デバイス 1 7 2 と、ブロック基板 1 7 5 と、カプセル化層 1 7 4 と、金属層 1 7 6 と、を含むブロックデバイス 1 0 7 の別の側面図を示す。

10

【 0 0 3 4 】

図 9 は、受動構成要素 1 7 0 と、集積デバイス 1 7 2 と、(少なくとも 1 つの誘電体層 1 7 7 及び複数の相互接続部 1 7 9 を含む) ブロック基板 1 7 5 と、カプセル化層 1 7 4 と、金属層 1 7 6 と、を含むブロックデバイス 1 0 7 の底面図を示す。複数のはんだ相互接続部が、複数の相互接続部 1 7 9 のうちのいくつかの相互接続部に結合され得る。図 1 0 は、金属層 1 7 6 を含むブロックデバイス 1 0 7 の上面図を示す。金属層 1 7 6 は、カプセル化層 1 7 4 の表面の上に配置される。

【 0 0 3 5 】

いくつかの実装形態では、ブロックデバイス 1 0 7 は、ブロック基板 1 7 5 なしで実装され得る。いくつかの実装形態では、ブロックデバイス 1 0 5 は、ブロックデバイス 1 0 7 について説明したように、ブロック基板 1 7 5 と共に実装され得る。

20

【 0 0 3 6 】

図 1 1 ~ 図 1 4 は、ブロックデバイス 1 1 0 7 の様々な図を示す。ブロックデバイス 1 1 0 7 は、任意のパッケージ(例えば、1 0 0)内に実装され得る。ブロックデバイス 1 1 0 7 は、ブロックデバイス 1 0 7 と同様であり得る。しかしながら、ブロックデバイス 1 1 0 7 は、ブロック基板 1 7 5 を含まない。図 1 1 は、受動構成要素 1 7 0 と、集積デバイス 1 7 2 と、カプセル化層 1 7 4 と、金属層 1 7 6 と、を含むブロックデバイス 1 1 0 7 の側面図を示す。複数のはんだ相互接続部 1 7 1 は、受動構成要素 1 7 0 に結合される。複数のはんだ相互接続部 1 7 3 は、集積デバイス 1 7 2 に結合される。いくつかの実装形態では、受動構成要素 1 7 0 及び/又は集積デバイス 1 7 2 は、受動構成要素 1 7 0 の側部の一部及び/又は集積デバイス 1 7 2 の側部の一部がカプセル化層 1 7 4 によって覆われないように、カプセル化層 1 7 4 の底面から突出し得る。いくつかの実装形態では、受動構成要素 1 7 0 の底部及び/又は集積デバイス 1 7 2 の底部は、カプセル化層 1 7 4 の底部と位置合わせされ得る。例えば、受動構成要素 1 7 0 の底面及び/又は集積デバイス 1 7 2 の底面は、カプセル化層 1 7 4 の底面と位置合わせされ得る。図 1 2 は、受動構成要素 1 7 0 と、集積デバイス 1 7 2 と、カプセル化層 1 7 4 と、金属層 1 7 6 と、を含むブロックデバイス 1 1 0 7 の別の側面図を示す。

30

【 0 0 3 7 】

図 1 3 は、受動構成要素 1 7 0 と、集積デバイス 1 7 2 と、カプセル化層 1 7 4 と、金属層 1 7 6 と、を含むブロックデバイス 1 1 0 7 の底面図を示す。複数のはんだ相互接続部 1 7 1 が、受動構成要素 1 7 0 の端子に結合され得る。複数のはんだ相互接続部 1 7 3 は、集積デバイス 1 7 2 に結合され得る。図 1 4 は、金属層 1 7 6 を含むブロックデバイス 1 1 0 7 の上面図を示す。金属層 1 7 6 は、カプセル化層 1 7 4 の表面の上に配置される。

40

【 0 0 3 8 】

集積デバイス(例えば、1 0 4、1 7 2)は、ダイ(例えば、半導体ベアダイ)を含み得る。集積デバイスは、電源管理集積回路(PMIC)を含み得る。集積デバイスは、アプリケーションプロセッサを含み得る。集積デバイスは、モデムを含み得る。集積デバイスは、無線周波数(RF)デバイス、受動デバイス、フィルタ、キャパシタ、インダクタ

50

、アンテナ、送信機、受信機、ガリウムヒ素（GaAs）ベースの集積デバイス、表面音響波（SAW）フィルタ、バルク音響波（BAW）フィルタ、発光ダイオード（LED）集積デバイス、シリコン（Si）ベースの集積デバイス、炭化ケイ素（SiC）ベースの集積デバイス、メモリ、電力管理プロセッサ、及び/又はそれらの組み合わせを含み得る。集積デバイス（例えば、104、172）は、少なくとも1つの電子回路（例えば、第1の電子回路、第2の電子回路、など）を含み得る。集積デバイスは、電気構成要素及び/又は電気デバイスの一例であり得る。

【0039】

様々なパッケージについて説明してきたが、次に、パッケージを作製するためのいくつかの方法について以下で説明する。

【0040】

ブロックデバイス及びシールドを備えるパッケージを作製するための例示的なシーケンス

いくつかの実装形態では、パッケージを作製することは、いくつかのプロセスを含む。図15A及び図15Bは、パッケージを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、図15A～図15Bのシーケンスが、図1のパッケージ100を提供又は作製するために使用され得る。しかしながら、図15A～図15Bのプロセスは、本開示で説明するパッケージのうちのいずれかを作製するために使用され得る。

【0041】

パッケージを提供又は作製するためのシーケンスを簡略化及び/又は明確化するために、図15A～図15Bのシーケンスが1つ以上の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序は変更又は修正されてもよい。いくつかの実装形態では、プロセスのうちの1つ以上は、本開示の範囲を逸脱することなく交換又は置換されてもよい。

【0042】

図15Aに示されるように、段階1は、基板102が提供された後の状態を示す。基板102は、少なくとも1つの誘電体層120と、複数の相互接続部122と、はんだレジスト層126と、を含む。異なる実装形態は、異なる数の金属層を有する異なる基板を使用し得る。基板は、コア無し基板、コア有り基板、又は埋め込みトレース基板（ETSS）を含み得る。図20A～図20Bは、基板を作製することの一例を図示及び説明する。

【0043】

段階2は、複数のはんだ相互接続部1500が基板102に結合された（基板102の上に提供された）後の状態を示す。複数のはんだ相互接続部1500は、複数の相互接続部122のうちの少なくともいくつかの相互接続部に結合され得る。複数のはんだ相互接続部1500は、複数のはんだ相互接続部140、151、153、及び/又は178を表し得る。

【0044】

段階3は、集積デバイス104、ブロックデバイス105、及びブロックデバイス107が複数のはんだ相互接続部1500を介して基板102に結合された後の状態を示す。ブロックデバイス105は、複数のはんだ相互接続部151及び/又は153を介して基板102に結合され得る。集積デバイス104は、複数のはんだ相互接続部140を介して基板102に結合され得る。ブロックデバイス107は、複数のはんだ相互接続部178を介して基板102に結合され得る。異なる実装形態は、異なる構成要素及び/又はデバイスを基板102に結合し得る。他の構成要素及び/又はデバイスが、基板102に結合され得る。集積デバイス104、ブロックデバイス105、及びブロックデバイス107を基板102に結合するために、はんだリフロープロセスが使用され得る。

【0045】

段階4は、カプセル化層108が基板102の上に提供された（例えば、形成された）後の状態を示す。カプセル化層108は、ブロックデバイス105、集積デバイス104、及びブロックデバイス107をカプセル化し得る。カプセル化層108は、基板102

10

20

30

40

50

に結合される他のデバイス及び／又は構成要素をカプセル化し得る。カプセル化層 108 は、モールド、レジン、及び／又はエポキシを含み得る。圧縮成形プロセス、トランスファー成形プロセス、又は液体成形プロセスが、カプセル化層 108 を形成するために使用され得る。カプセル化層 108 は、フォトリソグラフィ可能であり得る。カプセル化層 108 は、カプセル化のための手段であり得る。段階 4 に示されるように、カプセル化層 108 は、ブロックデバイス 105 の上部及びブロックデバイス 107 の上部が露出された（例えば、カプセル化層 108 によって覆われない）ままにする。いくつかの実装形態では、カプセル化層 108 は、カプセル化層 108 がブロックデバイス 105 の上部及び／又はブロックデバイス 107 の上部の上及び／又はそれらの周囲に形成され、配置されるように形成され得る。

10

【0046】

段階 5 は、図 15B に示されるように、ブロックデバイス 105 の一部分及びブロックデバイス 107 の一部分が除去された後の状態を示す。研削プロセス及び／又は研磨プロセスは、ブロックデバイス 105 の部分及び／又はブロックデバイス 107 の一部分を除去し得る。いくつかの実装形態では、ブロックデバイス 105 の金属層 156 の上部及びブロックデバイス 107 の金属層 176 の上部を除去して、カプセル化層 154 及びカプセル化層 174 を露出させ得る。カプセル化層 154 の部分及び／又はカプセル化層 174 の一部分もまた、除去され得る。いくつかの実装形態では、（例えば、ブロックデバイス 105 及び／又はブロックデバイス 107 の上にカプセル化層 108 が存在する場合）カプセル化層 108 の一部分もまた、除去され得る。

20

【0047】

段階 6 は、金属層 109 がカプセル化層 108 の外面の上に形成された後の状態を示す。スパッタリングプロセス及び／又はめっきプロセスは、金属層 109 を形成してカプセル化層 108 に結合するために使用され得る。金属層 109 は、カプセル化層 108 の上面、カプセル化層 154 の表面、カプセル化層 174 の表面、カプセル化層 108 の側面、及び基板 102 の側面の上に形成され得る。金属層 109 は、ブロックデバイス 105 の金属層 156 に結合され得る。金属層 109 は、ブロックデバイス 107 の金属層 176 に結合され得る。金属層 109 は、接地に結合されるように構成され得る。

【0048】

段階 7 は、複数のはんだ相互接続部 130 が基板 102 に結合された後の状態を示す。はんだリフロープロセスが、複数のはんだ相互接続部 130 を基板 102 に結合するために使用され得る。

30

【0049】

ブロックデバイスの配置では、表面実装技術（SMT）を使用して、ブロックデバイスを適切な位置に配置し得る。

【0050】

ブロックデバイス及びシールドを備えるパッケージを作製するための方法の例示的な流れ図

いくつかの実装態様では、ブロックデバイス及びシールドを含むパッケージを作製することは、いくつかのプロセスを含む。図 16 は、パッケージを提供又は作製するための方法 1600 の例示的な流れ図を示す。いくつかの実装形態では、図 16 の方法 1600 が、本開示で説明した図 1 のパッケージ 100 を提供又は作製するために使用され得る。しかしながら、方法 1600 は、本開示で説明したパッケージ（例えば、100）のうちのいずれかを提供又は作製するために使用され得る。

40

【0051】

図 16 の方法は、パッケージを提供又は作製するための方法を簡略化及び／又は明確化するために、1つ以上のプロセスを組み合わせてもよいことに留意されたい。いくつかの実装形態では、プロセスの順序は変更又は修正されてもよい。

【0052】

方法は、（1605において）基板（例えば、102）を提供する。基板 102 は、供

50

給元によって提供されてもよく、又は作製されてもよい。図 20A ~ 図 20B に示されるプロセスと同様のプロセスが、基板 102 を作製するために使用され得る。しかしながら、異なる実装形態は、基板 102 を作製するために異なるプロセスを使用し得る。基板 102 を作製するために使用され得るプロセスの例は、セミアディティブプロセス (SAP) 及びモディファイドセミアディティブプロセス (mSAP) を含む。基板 102 は、少なくとも 1 つの誘電体層 120 と、複数の相互接続部 122 と、はんだレジスト層 126 と、を含む。基板 102 は、埋め込みトレース基板 (ETB) を含み得る。いくつかの実装形態では、少なくとも 1 つの誘電体層 120 は、プリプレグ層を含み得る。図 15A の段階 1 は、基板を提供することの一例を図示及び説明している。

【0053】

方法は、(1610 において) 基板 102 の上に複数のはんだ相互接続部 (例えば、1500) を提供する。複数のはんだ相互接続部 1500 は、複数の相互接続部 122 のうちの少なくともいくつかの相互接続部に結合され得る。図 15A の段階 2 は、はんだ相互接続を提供することの一例を図示及び説明している。

【0054】

方法は、(1615 において) 構成要素及び/又はデバイスを基板 102 の第 1 の表面に結合する。例えば、集積デバイス 104 は、基板 102 の第 1 の表面 (例えば、上面) に結合される。集積デバイス 104 は、複数のはんだ相互接続部 140 を介して基板 102 に結合され得る。ブロックデバイス 105 は、複数のはんだ相互接続部 151 及び/又は 153 を介して基板 102 の第 1 の表面に結合され得る。ブロックデバイス 107 は、複数のはんだ相互接続部 178 を介して基板 102 の第 1 の表面に結合され得る。集積デバイス 104、ブロックデバイス 105、及びブロックデバイス 107 を、複数のはんだ相互接続部を介して基板 102 に結合するために、はんだリフロープロセスが使用され得る。図 15A の段階 3 は、少なくとも構成要素及び/又はデバイスを基板に結合することの一例を図示して説明している。

【0055】

方法は、(1620 において) 基板 (例えば、102) の上にカプセル化層 (例えば、168) を形成する。カプセル化層 108 は、基板 102、集積デバイス 104、ブロックデバイス 105、及びブロックデバイス 107 の上及び/又はそれらの周囲に提供されて形成され得る。いくつかの実装形態では、集積デバイス 104、ブロックデバイス 105、及び/又はブロックデバイス 107 の上部は、露出されたままにされ得る。カプセル化層 108 は、集積デバイス (単数若しくは複数)、デバイス (単数若しくは複数)、及び/又は構成要素 (単数若しくは複数) をカプセル化し得る。カプセル化層 108 は、モールド、レジン、及び/又はエポキシを含み得る。圧縮成形プロセス、トランスファー成形プロセス、又は液体成形プロセスが、カプセル化層 108 を形成するために使用され得る。カプセル化層 108 は、フォトエッチング可能であり得る。カプセル化層 108 は、カプセル化のための手段であり得る。図 15A の段階 4 は、カプセル化層を形成することの一例を図示して説明している。

【0056】

方法は、(1625 において) ブロックデバイス 105 の一部分及びブロックデバイス 107 の一部分を除去する。研削プロセス及び/又は研磨プロセスは、ブロックデバイス 105 の部分及び/又はブロックデバイス 107 の一部分を除去し得る。いくつかの実装形態では、ブロックデバイス 105 の金属層 156 の上部及びブロックデバイス 107 の金属層 176 の上部を除去して、カプセル化層 154 及びカプセル化層 174 を露出させ得る。カプセル化層 154 の部分及び/又はカプセル化層 174 の一部分もまた、除去され得る。いくつかの実装形態では、(例えば、ブロックデバイス 105 及び/又はブロックデバイス 107 の上にカプセル化層 108 が存在する場合) カプセル化層 108 の一部分もまた、除去され得る。図 15B の段階 5 は、構成要素及び/又はカプセル化層の一部分を除去するために研削することの一例を図示して説明している。

【0057】

10

20

30

40

50

方法は、(1630において)カプセル化層108の外面上に金属層(例えば、109)を形成する。スパッタリングプロセス及び/又はめっきプロセスは、金属層109を形成してカプセル化層108に結合するために使用され得る。金属層109は、カプセル化層108の上面、カプセル化層154の表面、カプセル化層174の表面、カプセル化層108の側面、及び基板102の側面上に形成され得る。金属層109は、ブロックデバイス105の金属層156に結合され得る。金属層109は、ブロックデバイス107の金属層176に結合され得る。金属層109は、接地に結合されるように構成され得る。

【0058】

方法は、(1635において)複数のはんだ相互接続部(例えば、130)を基板102に結合する。はんだリフロープロセスが、複数のはんだ相互接続部130を基板102に結合するために使用され得る。図15Bの段階7は、はんだ相互接続部を基板に結合することの一例を図示して説明している。

10

【0059】

本開示で説明するパッケージ(例えば、100)は、1つずつ作製され、又は1つ以上のウェハの一部として一緒に作製され、次いで、個別のパッケージに単一化され得る。

【0060】

設計及び構成要素の要件に応じて、いくつかのブロックアセンブリ構成が使用され得、例えば、テープ支援成形がキャリアと共に使用され得る。ブロックデバイスは、SMTアセンブリルールを使用して結合され得、テープアンドリールプロセス及びアセンブリプロセスと互換性があるように設計され得る。ブロックデバイスの高さは、外部のEMIシールドとの電気接続を可能にするように、目標パッケージ厚さを考慮して調整される必要があり得る。

20

【0061】

シールドを有するブロックデバイスを作製するための例示的なシーケンス

いくつかの実装形態では、ブロックデバイスを作製することは、いくつかのプロセスを含む。図17A~図17Bは、ブロックデバイスを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、図17A~図17Bのシーケンスが、ブロックデバイス105を提供又は作製するために使用され得る。しかしながら、図17A~図17Bのプロセスは、本開示で説明するブロックデバイスのうちのいずれかを作製するために使用され得る。

30

【0062】

図17A~図17Bのシーケンスは、ブロックデバイスを提供又は作製するためのシーケンスを簡略化及び/又は明確化するために、1つ以上の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序は変更又は修正されてもよい。いくつかの実装形態では、プロセスのうちの1つ以上は、本開示の範囲を逸脱することなく交換又は置換されてもよい。

【0063】

段階1は、図17Aに示されるように、テープ1700が提供された後の状態を示す。テープ1700は、接着剤を含み得る。テープの代わりに別のキャリアが使用され得ることに留意されたい。

40

【0064】

段階2は、複数の受動構成要素1710がテープ1700に搭載され、結合された後の状態を示す。複数の受動構成要素1710は、受動構成要素150、152、250、及び/又は252などの、本開示で説明する受動構成要素のうちのいずれかを表し得る。他の構成要素及び/又はデバイスもまた、テープ1700に結合され得ることに留意されたい。例えば、集積デバイス(例えば、104)は、テープ1700に搭載され、結合され得る。

【0065】

段階3は、カプセル化層154がテープ1700の上に形成された後の状態を示す。カ

50

ブセル化層 154 は、受動構成要素 1710 をカプセル化し得る。カプセル化層 154 は、モールド、レジン、及び / 又はエポキシを含み得る。圧縮成形プロセス、トランスファー成形プロセス、又は液体成形プロセスが、カプセル化層 154 を形成するために使用され得る。

【0066】

段階 4 は、カプセル化層 154 が切断及び / 又はダイシングされた後の状態を示し、これにより、カプセル化層 154 内に切断線 1720 (例えば、空洞) を作成する。切断線 1720 を作成するために、ソー及び / 又はレーザが使用され得る。これにより、カプセル化層及びいくつかの受動構成要素を有するいくつかの個別のブロックデバイスを作成する。

【0067】

段階 5 は、図 17B に示されるように、カプセル化層及びいくつかの受動構成要素を有する個別のブロックデバイスがテープ 1700 から分離され (例えば、除去され)、キャリア 1750 に移送された後の状態を示す。個別のブロックデバイスは、キャリア 1750 に配置され、結合され得る。キャリアへの移送は任意選択であり得ることに留意されたい。

【0068】

段階 6 は、金属層 156 が個別のブロックデバイスのカプセル化層 154 の上に (例えば、カプセル化層 154 の表面の上に) 形成された後の状態を示す。スパッタリングプロセス及び / 又はめっきプロセスが、金属層 156 を形成するために使用され得る。

【0069】

段階 7 は、各々が複数の受動構成要素、カプセル化層 154、及び金属層 156 を有する複数のブロックデバイス 105 を残して、キャリア 1750 が分離された後の状態を示す。金属層 156 は、EMI シールドとして構成され得る。

【0070】

シールドを有するブロックデバイスを作製するための例示的なシーケンス

いくつかの実装形態では、ブロックデバイスを作製することは、いくつかのプロセスを含む。図 18A ~ 図 18C は、ブロックデバイスを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、図 18A ~ 図 18C のシーケンスが、ブロックデバイス 107 を提供又は作製するために使用され得る。しかしながら、図 18A ~ 図 18C のプロセスは、本開示で説明するブロックデバイスのうちのいずれかを作製するために使用され得る。

【0071】

図 18A ~ 図 18C のシーケンスは、ブロックデバイスを提供又は作製するためのシーケンスを簡略化及び / 又は明確化するために、1つ以上の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序は変更又は修正されてもよい。いくつかの実装形態では、プロセスのうちの1つ以上は、本開示の範囲を逸脱することなく交換又は置換されてもよい。

【0072】

図 18A に示されるように、段階 1 は、ブロック基板 175 が提供された後の状態を示す。ブロック基板 175 は、少なくとも1つの誘電体層 177 と、複数の相互接続部 179 と、を含み得る。異なる実装形態は、少なくとも1つの誘電体層 177 に対して異なる材料を使用し得る。例えば、少なくとも1つの誘電体層 177 は、プリプレグ、ガラス、及び / 又は石英を含み得る。図 20A ~ 図 20B は、ブロック基板 175 を作製するために使用され得る、基板を作製することの一例を示す。

【0073】

段階 2 は、複数の受動構成要素 170 及び複数の集積デバイス 172 がブロック基板 175 に搭載され、結合された後の状態を示す。他の構成要素及び / 又はデバイスもまた、ブロック基板 175 に結合され得ることに留意されたい。複数の受動構成要素 170 及び複数の集積デバイス 172 は、複数のはんだ相互接続 (例えば、171、173) を介し

10

20

30

40

50

てブロック基板 175 に結合され得る。複数の受動構成要素 170 及び複数の集積デバイス 172 をブロック基板 175 に結合するために、はんだリフロープロセスが使用され得る。

【0074】

段階 3 は、カプセル化層 174 がブロック基板 175 及び受動構成要素 170 及び集積デバイス 172 の上に形成された後の状態を示す。カプセル化層 174 は、受動構成要素 170 と集積デバイス 172 とをカプセル化し得る。カプセル化層 174 は、モールド、レジン、及び / 又はエポキシを含み得る。圧縮成形プロセス、トランスファー成形プロセス、又は液体成形プロセスが、カプセル化層 174 を形成するために使用され得る。

【0075】

段階 4 は、ブロック基板 175、複数の受動構成要素 170、複数の集積デバイス 172、及びカプセル化層 174 がキャリア 1800 に結合された後の状態を示す。

【0076】

段階 5 は、図 18B に示されるように、カプセル化層 174 が切断及び / 又はダイシングされた後の状態を示し、これにより、カプセル化層 174 内に切断線 1820 (例えば、空洞) を作成する。切断線 1820 を作成するために、ソー及び / 又はレーザが使用され得る。これにより、カプセル化層及びいくつかの受動構成要素及び / 又は集積デバイスを有するいくつかの個別のブロックデバイスを作成する。

【0077】

段階 6 は、カプセル化層及びいくつかの受動構成要素及び / 又は集積デバイスを有する個別のブロックデバイスがキャリア 1800 から分離され (例えば、除去され)、キャリア 1810 に移送された後の状態を示す。個別のブロックデバイスは、キャリア 1810 に配置され、結合され得る。いくつかの実装形態では、別のキャリアへの移送は任意選択であり得ることに留意されたい。

【0078】

段階 7 は、金属層 176 が個別のブロックデバイスのカプセル化層 174 の上に (例えば、カプセル化層 174 の表面の上に) 形成された後の状態を示す。スパッタリングプロセス及び / 又はめっきプロセスが、金属層 176 を形成するために使用され得る。

【0079】

段階 8 は、各々がブロック基板 175、少なくとも 1 つの受動構成要素、少なくとも 1 つの集積デバイス、カプセル化層 174、及び金属層 176 を有する複数のブロックデバイス 107 を残して、キャリア 1810 が分離された後の状態を示す。金属層 176 は、EMI シールドとして構成され得る。ブロック基板 175 の少なくとも一部は、EMI シールドとして構成され得る。

【0080】

シールドを有するブロックデバイスを備えるパッケージを作製するための方法の例示的な流れ図

いくつかの実装形態では、シールドを有するブロックデバイスの作製は、いくつかのプロセスを含む。図 19 は、ブロックデバイスを提供又は作製するための方法 1900 の例示的な流れ図を示す。いくつかの実装形態では、図 19 の方法 1900 は、本開示で説明する図 1 のブロックデバイス 107 を提供又は作製するために使用され得る。方法 1900 を、ブロックデバイス 107 を作製することに関して説明する。しかしながら、方法 1900 は、本開示で説明したブロックデバイス (例えば、105、107) のうちのいずれかを提供又は作製するために使用され得る。

【0081】

図 19 の方法は、ブロックデバイスを提供又は作製するための方法を簡略化及び / 又は明確化するために、1 つ以上のプロセスを組み合わせてもよいことに留意されたい。いくつかの実装形態では、プロセスの順序は変更又は修正されてもよい。

【0082】

方法は、(1905 において) ブロック基板 (例えば、175) を任意選択的に提供し

10

20

30

40

50

得る。ブロック基板 175 は、供給元によって提供されてもよく、又は作製されてもよい。ブロック基板 175 は、少なくとも 1 つの誘電体層 177 と、複数の相互接続部 179 と、を含み得る。図 18 A の段階 1 は、ブロック基板を提供することの一例を図示及び説明している。

【0083】

方法は、(1910において)少なくとも 1 つの受動構成要素(例えば、170)及び/又は少なくとも 1 つの集積デバイス(例えば、172)を提供し、結合する。少なくとも 1 つの受動構成要素及び/又は少なくとも 1 つの集積デバイスは、ブロック基板 175 に結合され得、又はテープ若しくはキャリアに結合され得る。少なくとも 1 つの受動構成要素及び/又は少なくとも 1 つの集積デバイスは、電気構成要素及び/又は電気デバイス 10

【0084】

方法は、(1915において)ブロック基板(例えば、175)、キャリア又はテープの上にカプセル化層(例えば、174)を形成する。カプセル化層 174 は、ブロック基板 175 並びに集積デバイス(例えば、172)及び/又は受動構成要素(例えば、170)の上及び/又はそれらの周囲に提供され、形成され得る。カプセル化層 174 は、集積デバイス(単数若しくは複数)及び/又は構成要素をカプセル化し得る。カプセル化層 174 は、モールド、レジン、及び/又はエポキシを含み得る。圧縮成形プロセス、トランスファー成形プロセス、又は液体成形プロセスが、カプセル化層 174 を形成するため 20

【0085】

方法は、(1920において)カプセル化層(例えば、174)をダイシングし、これにより、カプセル化層 174 内に切断線 1820(例えば、空洞)を作成する。切断線 1820 を作成するために、ソー及び/又はレーザが使用され得る。これにより、カプセル化層、受動構成要素(単数若しくは複数)、及び/又は集積デバイス(単数若しくは複数)を有するいくつかの個別のブロックデバイスを作成する。図 18 B の段階 5 は、カプセル化層をダイシングすることの一例を図示及び説明している。ダイシングが完了すると、 30

【0086】

方法は、(1925において)個別のブロックデバイスのカプセル化層 174 の上に金属層(例えば、176)を形成する。金属層が形成され、カプセル化層 174 の外面に結合され得る。スパッタリングプロセス及び/又はめっきプロセスが、金属層 176 を形成するために使用され得る。金属層 176 は、EMIシールドとして構成され得る。図 18 C の段階 7 は、例示的な、金属層を形成することを図示及び説明している。ブロックデバイスを作製するプロセス中、様々な構成要素が、様々なテープ及び/又はキャリアに分離 40

【0087】

適切な設計ルール及びダイシング公差を使用することにより、個別のブロックデバイスのカプセル化中並びにパッケージカプセル化中にボイドが発生するリスクを最小限に抑えることができることに留意されたい。

【0088】

パッケージ上のはんだマスクを開くこと及び適切なモールドフローにより、モールドボイドのリスクを更に低減することができることに留意されたい。ブロックデバイスは、モ 50

ールドボイドのリスクを更に低減するために、パッケージアSEMBリ中のスタンドオフを増加させるようにより薄くすることができる露出パッドを含み得る。

【0089】

基板を作製するための例示的なシーケンス

いくつかの実装形態では、基板の作製は、いくつかのプロセスを含む。図20A~図20Bは、基板を提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、図20A~図20Bのシーケンスが、図1の基板102を提供又は作製するために使用され得る。しかしながら、図20A~図20Bのプロセスは、本開示で説明する基板のうちのいずれかを作製するために使用され得る。

【0090】

図20A~図20Bのシーケンスは、基板を提供又は作製するためのシーケンスを簡略化及び/又は明確化するために、1つ以上の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序は変更又は修正されてもよい。いくつかの実装形態では、プロセスのうちの1つ以上は、本開示の範囲を逸脱することなく交換又は置換されてもよい。

【0091】

段階1は、図20Aに示されるように、キャリア2000が提供され、金属層がキャリア2000の上に形成された後の状態を示す。金属層は、相互接続部2002を形成するようにパターニングされ得る。めっきプロセス及びエッチングプロセスが、金属層及び相互接続部を形成するために使用され得る。いくつかの実装形態では、キャリア2000には、相互接続部2002を形成するためにパターニングされる金属層が提供され得る。いくつかの実装形態では、キャリア2000の上にシード層が存在し得る。シード層は、キャリア2000と相互接続部2002を形成する金属層との間に配置され得る。

【0092】

段階2は、誘電体層2020がキャリア2000及び相互接続部2002の上に形成された後の状態を示す。堆積及び/又は積層プロセスが、誘電体層2020を形成するために使用され得る。誘電体層2020は、ポリイミドを含み得る。しかしながら、異なる実装形態は、誘電体層に対して異なる材料を使用し得る。

【0093】

段階3は、複数の空洞2010が誘電体層2020内に形成された後の状態を示す。複数の空洞2010は、エッチングプロセス(例えば、フォトエッチングプロセス)又はレーザープロセスを使用して形成され得る。

【0094】

段階4は、相互接続部2012が、複数の空洞2010の中及び上を含めて、誘電体層2020の中及び上に形成された後の状態を示す。例えば、ビア、パッド及び/又はトレースが形成され得る。めっきプロセスが、相互接続部を形成するために使用されてもよい。

【0095】

段階5は、別の誘電体層2022が誘電体層2020の上に形成された後の状態を示す。堆積及び/又は積層プロセスが、誘電体層2022を形成するために使用され得る。誘電体層2022は、誘電体層2020と同じ材料であり得る。しかしながら、異なる実装形態は、誘電体層に対して異なる材料を使用し得る。

【0096】

段階6は、図20Bに示されるように、複数の空洞2030が誘電体層2022内に形成された後の状態を示す。エッチングプロセス又はレーザープロセスが、空洞2030を形成するために使用され得る。

【0097】

段階7は、相互接続部2014が、複数の空洞2030の中及び上を含めて、誘電体層2022の中及び上に形成された後の状態を示す。例えば、ビア、パッド及び/又はトレースが形成され得る。めっきプロセスが、相互接続部を形成するために使用されてもよい

10

20

30

40

50

。

【0098】

段階5～7は、追加の金属層及び誘電体層を形成するために反復的に繰り返され得ることに留意されたい。すべて相互接続部2002、2012、及び/又は2014のうちのいくつか又はすべてが、基板102の複数の相互接続部122を画定し得る。誘電体層2020及び2022は、少なくとも1つの誘電体層120によって表され得る。

【0099】

段階8は、キャリア2000が少なくとも1つの誘電体層120から分離され(例えば、除去され、研磨除去され)、少なくとも1つの誘電体層120及び複数の相互接続部122を含む基板102を残した後の状態を示す。

10

【0100】

段階9は、はんだレジスト層124及びはんだレジスト層126が基板102の上に形成された後の状態を示す。堆積プロセスは、はんだレジスト層124及びはんだレジスト層126を形成するために使用され得る。いくつかの実装形態では、少なくとも1つの誘電体層120の上に、はんだレジスト層が形成されなくてもよく、又は1つのはんだレジスト層が形成されていてもよい。

【0101】

異なる実装形態は、金属層(単数又は複数)を形成するためにそれぞれに異なるプロセスを使用してもよい。いくつかの実装形態では、化学気相成長(CVD)プロセス及び/又は物理気相成長(PVD)プロセスが、金属層(単数又は複数)を形成するために使用

20

【0102】

基板を作製するための方法の例示的な流れ図

いくつかの実装形態では、基板の作製は、いくつかのプロセスを含む。図21は、基板を提供又は作製するための方法2100の例示的な流れ図を示す。いくつかの実装形態では、図21の方法2100が、図1の基板(単数又は複数)を提供又は作製するために使用され得る。例えば、図21の方法は、基板102を作製するために使用され得る。

【0103】

図21の方法2100は、基板を提供又は作製するための方法を簡略化及び/又は明確化するために、1つ以上のプロセスを組み合わせてもよいことに留意されたい。いくつかの実装形態では、プロセスの順序は変更又は修正されてもよい。

30

【0104】

方法は、(2105において)キャリア2000を提供する。異なる実装形態は、キャリアに対して異なる材料を使用し得る。キャリアは、シード層を含み得る。キャリアは、基板、ガラス、クオーツ及び/又はキャリアテープを含み得る。図20Aの段階1は、提供されるキャリアの一例を図示及び説明している。

【0105】

方法は、(2110において)キャリア2000の上に金属層を形成する。金属層は、相互接続部を形成するようにパターンニングされ得る。めっきプロセスが、金属層及び相互接続部を形成するために使用され得る。いくつかの実装形態では、キャリアは、金属層を含み得る。キャリアの上の金属層は、相互接続部(例えば、2002)を形成するようにパターンニングされ得る。図20Aの段階1は、キャリアの上に形成される金属層及び相互接続部の一例を図示及び説明している。

40

【0106】

方法は、(2115において)キャリア2000及び相互接続部2002の上に誘電体層2020を形成する。堆積及び/又は積層プロセスが、誘電体層を形成するために使用され得る。誘電体層2020は、ポリイミドを含み得る。誘電体層を形成することはまた、誘電体層2020内に複数の空洞(例えば、2010)を形成することを含み得る。複数の空洞は、エッチングプロセス(例えば、フォトリソグラフィ)又はレーザプロセスを使

50

用して形成され得る。図 20A の段階 2 ~ 3 は、誘電体層、及び誘電体層内の空洞を形成することの一例を図示して説明している。

【0107】

方法は、(2120において)誘電体層の中及び上に相互接続部を形成する。例えば、相互接続部 2012 が、誘電体層 2020 の中及び上に形成され得る。めっきプロセスが、相互接続部を形成するために使用されてもよい。相互接続部を形成することは、誘電体層の上及び/又は中にパターニングされた金属層を提供することを含み得る。相互接続部を形成することはまた、誘電体層の空洞内に相互接続部を形成することを含み得る。図 20A の段階 4 は、誘電体層の中及び上に相互接続部を形成することの一例を図示及び説明している。

10

【0108】

方法は、(2125において)誘電体層 2020 及び相互接続部の上に誘電体層 2022 を形成する。堆積及び/又は積層プロセスが、誘電体層を形成するために使用され得る。誘電体層 2022 は、ポリイミドを含み得る。誘電体層を形成することはまた、誘電体層 2022 内に複数の空洞(例えば、2030)を形成することを含み得る。複数の空洞は、エッチングプロセス又はレーザプロセスを使用して形成され得る。図 20A ~ 図 20B の段階 5 ~ 6 は、誘電体層、及び誘電体層内の空洞を形成することの一例を図示して説明している。

【0109】

方法は、(2130において)誘電体層の中及び/又は上に相互接続部を形成する。例えば、相互接続部 2014 が形成され得る。めっきプロセスが、相互接続部を形成するために使用されてもよい。相互接続部を形成することは、誘電体層の上及び中にパターニングされた金属層を提供することを含み得る。相互接続部を形成することはまた、誘電体層の空洞内に相互接続部を形成することを含み得る。図 20B の段階 7 は、誘電体層の中及び上に相互接続部を形成することの一例を図示及び説明している。

20

【0110】

方法は、2125 及び 2130 において説明したように、追加の誘電体層(単数又は複数)と追加の相互接続部とを形成し得る。

【0111】

すべての誘電体層(単数又は複数)及び追加の相互接続部が形成されると、方法は、キャリア(例えば、2000)を誘電体層 2020 から分離し(例えば、除去、研磨除去して)基板を残し得る。いくつかの実装形態では、方法は、基板の上に、はんだレジスト層(例えば、124、126)を形成し得る。

30

【0112】

異なる実装形態は、金属層(単数又は複数)を形成するためにそれぞれに異なるプロセスを使用してよい。いくつかの実装形態では、化学気相成長(CVD)プロセス及び/又は物理気相成長(PVD)プロセスが、金属層(単数又は複数)を形成するために使用されてもよい。例えば、スパッタリングプロセス、吹付塗装プロセス、及び/又はめっきプロセスが、金属層を形成するために使用されてもよい。

【0113】

例示的な電子デバイス

図 22 は、前述のデバイス、集積デバイス、集積回路(IC)パッケージ、集積回路(IC)デバイス、半導体デバイス、集積回路、ダイ、インターポーザ、パッケージ、パッケージオンパッケージ(PoP)、システムインパッケージ(SiP)、又はシステムオンチップ(SoC)のうちのいずれかと一体化され得る様々な電子デバイスを示す。例えば、携帯電話デバイス 2202、ラップトップコンピュータデバイス 2204、固定位置端末デバイス 2206、ウェアラブルデバイス 2208、又は自動車両 2210 が、本明細書で説明するようなデバイス 2200 を含み得る。デバイス 2200 は、例えば、本明細書で説明するデバイス及び/又は集積回路(IC)パッケージのうちのいずれかであり得る。図 22 に示されるデバイス 2202、2204、2206 及び 2208、並びに車

40

50

両 2 2 1 0 は、単なる例示である。他の電子デバイスもまた、デバイス 2 2 0 0 を特徴としてもよく、デバイス 2 2 0 0 は、限定はしないが、モバイルデバイス、ハンドヘルドパーソナル通信システム (P C S) ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム (G P S) 対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテイメントユニット、メーター読み取り機器などの固定位置データユニット、通信デバイス、スマートフォン、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス (例えば、時計、眼鏡)、モノのインターネット (I o T) デバイス、サーバ、ルータ、自動車両 (例えば、自律車両) に実装された電子デバイス、又はデータ若しくはコンピュータ命令を記憶し若しくは取り出す任意の他のデバイス、あるいはそれらの任意の組み合わせを含むデバイス (例えば、電子デバイス) のグループを含む。

10

【 0 1 1 4 】

図 1 ~ 図 1 4、図 1 5 A ~ 図 1 5 B、図 1 6、図 1 7 A ~ 図 1 7 B、図 1 8 A ~ 図 1 8 C、及び / 又は図 1 9 ~ 図 2 2 に示されている構成要素、プロセス、特徴、及び / 又は機能のうちの一つ以上は、単一の構成要素、プロセス、特徴又は機能に再構成され得る及び / 又は組み合わせられ得るか、あるいはいくつかの構成要素、プロセス、又は機能において具現化され得る。本開示から逸脱することなく、追加の要素、構成要素、プロセス、及び / 又は機能が更に追加されてもよい。また、本開示における図 1 ~ 図 1 4、図 1 5 A ~ 図 1 5 B、図 1 6、図 1 7 A ~ 図 1 7 B、図 1 8 A ~ 図 1 8 C、 / 及び又は図 1 9 ~ 図 2 2、並びにそれらの対応する説明は、ダイ及び / 又は IC に限定されないことに留意されたい。いくつかの実装形態では、図 1 ~ 図 1 4、図 1 5 A ~ 図 1 5 B、図 1 6、図 1 7 A ~ 図 1 7 B、図 1 8 A ~ 図 1 8 C、及び / 又は図 1 9 ~ 図 2 2、並びにそれらの対応する説明は、デバイス及び / 又は集積デバイスを製造し、作成し、提供し、及び / 又は生産するために使用され得る。いくつかの実装形態では、デバイスは、ダイ、集積デバイス、集積受動デバイス (I P D)、ダイパッケージ、集積回路 (I C) デバイス、デバイスパッケージ、集積回路 (I C) パッケージ、ウェハ、半導体デバイス、パッケージオンパッケージ (P o P) デバイス、放熱デバイス、及び / 又はインターポーザを含み得る。

20

【 0 1 1 5 】

本開示における図は、様々な部品、構成要素、物体、デバイス、パッケージ、集積デバイス、集積回路、及び / 又はトランジスタの実際の表現及び / 又は概念的表現を表し得ることに留意されたい。いくつかの例では、図は、縮尺通りではない場合がある。いくつかの例では、簡明にするために、すべての構成要素及び / 又は部品が示されているとは限らない。いくつかの例では、図中の様々な部品及び / 又は構成要素の位置、ロケーション、サイズ及び / 又は形状は、例示的なものであり得る。いくつかの実装形態では、図中の様々な構成要素及び / 又は部品は、随意であり得る。

30

【 0 1 1 6 】

「例示的 (e x e m p l a r y) 」という語は、「例、事例、又は例示として働くこと」を意味するために本明細書で使用される。「例示的」として本明細書で説明された任意の実装形態又は態様は、必ずしも本開示の他の態様よりも好ましい又は有利であると解釈されるべきではない。同様に、「態様」という用語は、本開示のすべての態様が、説明した特徴、利点、又は動作モードを含むことを必要とするとは限らない。「結合される」という用語は、2つの物体間の直接的又は間接的な結合 (例えば、機械的結合) を指すために本明細書で使用される。例えば、オブジェクト A がオブジェクト B に物理的に接触し、オブジェクト B がオブジェクト C に接触する場合、オブジェクト A 及びオブジェクト C は、直接物理的に互いに接触しない場合であっても、やはり互いに結合されると見なされてよい。物体 B に結合される物体 A は、物体 B の少なくとも一部に結合され得る。「電氣的に結合される」という用語は、電流 (例えば、信号、電力、接地) が 2つの物体間を移動し得るように、2つの物体が一緒に直接的又は間接的に結合されることを意味し得る。電氣的に結合されている2つの物体は、2つの物体の間を移動する電流を有しても有しなくてもよい。「第 1 の」、「第 2 の」、「第 3 の」及び「第 4 の」 (及び / 又は第 5 以上の

40

50

もの)の用語の使用は恣意的である。説明した構成要素のいずれかが、第1の構成要素、第2の構成要素、第3の構成要素、又は第4の構成要素であり得る。例えば、第2の構成要素と呼ばれる構成要素が、第1の構成要素、第2の構成要素、第3の構成要素、又は第4の構成要素であり得る。「カプセル化する」、「カプセル化すること」という用語、及び/又はその派生語は、物体が別の物体を部分的にカプセル化する、又は完全にカプセル化し得ることを意味する。「上部」及び「底部」という用語は任意である。上部に設置される構成要素は、底部の上に設置される構成要素の上に設置され得る。上部の構成要素が底部の構成要素と見なされてもよく、その逆もあり得る。本開示で説明するように、第2の構成要素の「上」に設置される第1の構成要素は、底部又は上部が恣意的にどのように定義されるかに応じて、第1の構成要素が、第2の構成要素の上又は下に設置されることを意味し得る。別の例では、第1の構成要素は、第2の構成要素の第1の表面の上に(例えば、上方に)設置され得、第3の構成要素は、第2の構成要素の第2の表面の上に(例えば、下方に)設置され得、第2の表面は、第1の表面に対向している。ある構成要素が別の構成要素の上に位置する文脈において本出願で使用される「~の上に(over)」という用語は、別の構成要素上並びに/あるいは別の構成要素内にある(例えば、構成要素の表面上にある、あるいは構成要素に埋め込まれた)構成要素を意味するために使用され得ることに更に留意されたい。したがって、例えば、第2の構成要素の上に位置する第1の構成要素は、(1)第1の構成要素が第2の構成要素の上に位置するが、第2の構成要素に直接接触してはならず、(2)第1の構成要素が第2の構成要素上(例えば、第2の構成要素の表面上)に位置し、並びに/あるいは(3)第1の構成要素が第2の構成要素内に位置する(例えば、第2の構成要素に埋め込まれている)ことを意味する場合があります。第2の構成要素の「中に(in)」設置される第1の構成要素は、部分的に第2の構成要素の中に設置され得るか、又は完全に第2の構成要素の中に設置され得る。本開示で使用される「約(about)『Xの値』」又は「およそ(approximately)Xの値」という用語は、「Xの値」の10パーセント以内を意味する。例えば、約1又はおよそ1の値は、0.9~1.1の範囲内の値を意味する。

10

20

【0117】

いくつかの実装形態では、相互接続部とは、2つの点、要素、及び/又は構成要素の間の電気接続を可能又は容易にする、デバイス又はパッケージの要素又は構成要素である。いくつかの実装形態では、相互接続部は、トレース、ビア、パッド、ピラー、メタライゼーション層、再分配層、及び/又はアンダーバンプメタライゼーション(UBM: under bump metallization)層/相互接続部を含み得る。いくつかの実装形態では、相互接続部は、信号(例えば、データ信号)、接地及び/又は電力のための電気経路を提供するように構成されてもよい導電性の材料を含み得る。相互接続部は、2つ以上の要素又は構成要素を含み得る。相互接続部は、1つ以上の相互接続部によって画定されてもよい。相互接続部は、1つ以上の金属層を含み得る。相互接続部は、回路の一部であってよい。異なる実装形態は、相互接続部を形成するためにそれぞれに異なるプロセス及び/又はシーケンスを使用してもよい。いくつかの実装形態では、化学気相成長(CVD)プロセス、物理気相成長(PVD)プロセス、スパッタリングプロセス、吹付塗装プロセス、及び/又はめっきプロセスが、相互接続部を形成するために使用されてもよい。

30

40

【0118】

また、本明細書に含まれる様々な開示が、フローチャート、流れ図、構造図、又はブロック図として示されるプロセスとして説明される場合があることに留意されたい。フローチャートは動作を逐次プロセスとして説明することがあるが、動作の多くは並列に又は同時に実行することができる。加えて、工程の順序は並べ替えられてよい。プロセスは、その工程が完了するときに終了される。

【0119】

以下では、更なる例を、本開示の理解を容易にするために説明する。

【0120】

50

態様 1 : パッケージであって、基板と、基板に結合された第 1 の集積デバイスと、基板に結合された第 1 のブロックデバイスであって、第 1 のブロックデバイスが、第 1 の電気構成要素と、第 2 の電気構成要素と、第 1 の電気構成要素及び第 2 の電気構成要素をカプセル化する第 1 のカプセル化層と、第 1 のカプセル化層に結合された第 1 の金属層と、を含む、第 1 のブロックデバイスと、第 1 の集積デバイス及び前記第 1 のブロックデバイスを少なくとも部分的にカプセル化する第 2 のカプセル化層と、を備える、パッケージ。

【 0 1 2 1 】

態様 2 : 第 2 のカプセル化層に結合された第 2 の金属層を更に備え、第 2 の金属層が、第 2 のカプセル化層の外面上に配置されている、態様 1 に記載のパッケージ。

【 0 1 2 2 】

態様 3 : 第 2 の金属層が、第 1 のブロックデバイスの第 1 の金属層に結合されている、態様 2 に記載のパッケージ。

【 0 1 2 3 】

態様 4 : 第 1 の金属層及び / 又は第 2 の金属層が、電磁干渉 (E M I) シールドとして構成されている、態様 2 又は 3 に記載のパッケージ。

【 0 1 2 4 】

態様 5 : 第 1 の金属層及び / 又は第 2 の金属層が、接地に結合するように構成されている、態様 2 ~ 4 に記載のパッケージ。

【 0 1 2 5 】

態様 6 : 第 1 のブロックデバイスが、ブロック基板を更に含み、第 1 の電気構成要素及び第 2 の電気構成要素が、ブロック基板に結合されている、態様 1 ~ 5 に記載のパッケージ。

【 0 1 2 6 】

態様 7 : 第 1 の電気構成要素が、受動構成要素又は集積デバイスを含み、第 2 の電気構成要素が、別の受動構成要素又は別の集積デバイスを含む、態様 1 ~ 6 に記載のパッケージ。

【 0 1 2 7 】

態様 8 : 第 1 のブロックデバイスが、3 つ以上の電気構成要素を含む、態様 1 ~ 7 に記載のパッケージ。

【 0 1 2 8 】

態様 9 : 基板に結合された第 2 のブロックデバイスを更に備え、第 2 のブロックデバイスが、第 3 の電気構成要素と、第 4 の電気構成要素と、第 3 の電気構成要素及び第 4 の電気構成要素をカプセル化する第 3 のカプセル化層と、第 3 のカプセル化層に結合された第 3 の金属層であって、前記第 3 の金属層が、第 2 のブロックデバイスのためのシールドとして構成されている、第 3 の金属層と、含む、態様 1 ~ 8 に記載のパッケージ。

【 0 1 2 9 】

態様 10 : 第 1 のブロックデバイスが、複数のはんだ相互接続部を介して基板に結合されている、態様 1 ~ 9 に記載のパッケージ。

【 0 1 3 0 】

態様 11 : 装置であって、基板と、基板に結合された第 1 の集積デバイスと、基板に結合された第 1 のブロックデバイスであって、第 1 のブロックデバイスが、第 1 の電気構成要素と、第 2 の電気構成要素と、第 1 の電気構成要素及び第 2 の電気構成要素をカプセル化するように構成された第 1 のカプセル化のための手段と、第 1 のカプセル化のための手段に結合された第 1 の金属層と、を含む、第 1 のブロックデバイスと、第 1 の集積デバイス及び第 1 のブロックデバイスを少なくとも部分的にカプセル化するように構成された第 2 のカプセル化のための手段と、を備える、装置。

【 0 1 3 1 】

態様 12 : 第 2 のカプセル化のための手段に結合された第 2 の金属層を更に備え、第 2 の金属層が、第 2 のカプセル化のための手段の外面上に配置されている、態様 11 に記載の装置。

10

20

30

40

50

【 0 1 3 2 】

態様 1 3 : 第 2 の金属層が、第 1 のブロックデバイスの第 1 の金属層に結合されている、態様 1 2 に記載の装置。

【 0 1 3 3 】

態様 1 4 : 第 1 の金属層及び / 又は第 2 の金属層が、電磁干渉 (E M I) シールドとして構成されている、態様 1 2 又は 1 3 に記載の装置。

【 0 1 3 4 】

態様 1 5 : 第 1 の金属層及び / 又は第 2 の金属層が、接地に結合するように構成されている、態様 1 2 ~ 1 4 に記載の装置。

【 0 1 3 5 】

態様 1 6 : 第 1 のブロックデバイスが、ブロック基板を更に含み、第 1 の電気構成要素及び第 2 の電気構成要素が、ブロック基板に結合されている、態様 1 1 ~ 1 5 に記載の装置。

【 0 1 3 6 】

態様 1 7 : 第 1 の電気構成要素が、受動構成要素又は集積デバイスを含み、第 2 の電気構成要素が、別の受動構成要素又は別の集積デバイスを含む、態様 1 1 ~ 1 6 に記載の装置。

【 0 1 3 7 】

態様 1 8 : 第 1 のブロックデバイスが、3 つ以上の電気構成要素を含む、態様 1 1 ~ 1 7 に記載の装置。

【 0 1 3 8 】

態様 1 9 : 基板に結合された第 2 のブロックデバイスを更に備え、第 2 のブロックデバイスが、第 3 の電気構成要素と、第 4 の電気構成要素と、第 3 の電気構成要素及び前記第 4 の電気構成要素をカプセル化するように構成された第 3 のカプセル化のための手段と、第 3 のカプセル化のための手段に結合された第 3 の金属層であって、第 3 の金属層が、第 2 のブロックデバイスのためのシールドとして構成されている、第 3 の金属層と、含む、態様 1 1 ~ 1 8 に記載の装置。

【 0 1 3 9 】

態様 2 0 : 装置が、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット (I o T) デバイス、及び自動車両内のデバイスからなるグループから選択されたデバイスを含む、態様 1 1 ~ 1 9 に記載の装置。

【 0 1 4 0 】

態様 2 1 : パッケージを作製するための方法であって、基板を提供することと、第 1 の集積デバイスを基板に結合することと、第 1 のブロックデバイスを基板に結合することと、第 1 のブロックデバイスが、第 1 の電気構成要素と、第 2 の電気構成要素と、第 1 の電気構成要素及び第 2 の電気構成要素をカプセル化する第 1 のカプセル化層と、第 1 のカプセル化層に結合された第 1 の金属層と、を含む、ことと、第 1 の集積デバイス及び第 1 のブロックデバイスを少なくとも部分的にカプセル化する第 2 のカプセル化層を形成することと、を含む、方法。

【 0 1 4 1 】

態様 2 2 : 第 2 のカプセル化層の外面上に第 2 の金属層を形成することを更に含む、態様 2 1 に記載の方法。

【 0 1 4 2 】

態様 2 3 : 第 2 の金属層が、第 1 のブロックデバイスの第 1 の金属層に結合されている、態様 2 2 に記載の方法。

【 0 1 4 3 】

態様 2 4 : 第 1 の金属層及び / 又は第 2 の金属層が、電磁干渉 (E M I) シールドとし

10

20

30

40

50

て構成されている、態様 2 2 又は 2 3 に記載の方法。

【 0 1 4 4 】

態様 2 5 : 第 1 のブロックデバイスが、ブロック基板を更に含み、第 1 の電気構成要素及び第 2 の電気構成要素が、ブロック基板に結合されている、態様 2 1 ~ 2 4 に記載の方法。

【 0 1 4 5 】

本明細書で説明する本開示の様々な特徴は、本開示から逸脱することなく異なるシステムにおいて実装され得る。本開示の上記の態様は例にすぎず、本開示を限定するものとして解釈されるべきではないことに留意されたい。本開示の態様の説明は、例示的であることが意図されており、特許請求の範囲を限定することは意図されていない。したがって、本教示は、他のタイプの装置に容易に適用することができ、多くの代替形態、修正形態、及び変形形態が、当業者には明らかであろう。

【 符号の説明 】

【 0 1 4 6 】

1 0 0	パッケージ	
1 0 2	基板	
1 0 4	集積デバイス	
1 0 5	ブロックデバイス	
1 0 7	ブロックデバイス	
1 0 8	カプセル化層	20
1 0 9	金属層	
1 2 0	誘電体層	
1 2 2	相互接続部	
1 2 4	レジスト層	
1 2 6	レジスト層	
1 3 0	相互接続部	
1 4 0	相互接続部	
1 5 0	受動構成要素	
1 5 1	相互接続部	
1 5 2	受動構成要素	30
1 5 3	相互接続部	
1 5 4	カプセル化層	
1 5 6	金属層	
1 7 0	受動構成要素	
1 7 1	相互接続部	
1 7 2	集積デバイス	
1 7 3	相互接続部	
1 7 4	カプセル化層	
1 7 5	ブロック基板	
1 7 6	金属層	40
1 7 7	誘電体層	
1 7 8	相互接続部	
1 7 9	相互接続部	
2 5 0	受動構成要素	
2 5 2	受動構成要素	
2 7 0	受動構成要素	
2 7 2	受動構成要素	
1 1 0 7	ブロックデバイス	
1 5 0 0	相互接続部	
1 7 0 0	テープ	50

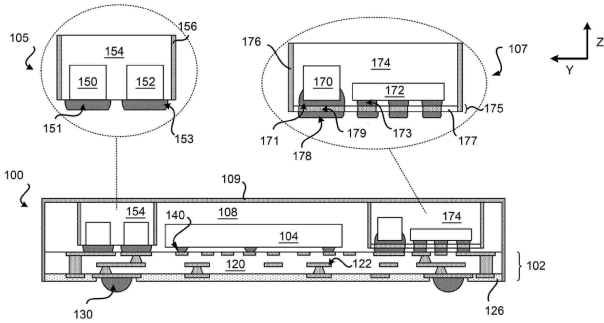
- 1 7 1 0 受動構成要素
- 1 7 2 0 切断線
- 1 7 5 0 キャリア
- 1 8 0 0 キャリア
- 1 8 1 0 キャリア
- 1 8 2 0 切断線
- 2 0 0 0 キャリア
- 2 0 0 2 相互接続部
- 2 0 1 0 空洞
- 2 0 1 2 相互接続部
- 2 0 1 4 相互接続部
- 2 0 2 0 誘電体層
- 2 0 2 2 誘電体層
- 2 0 3 0 空洞
- 2 2 0 0 デバイス
- 2 2 0 2 携帯電話デバイス
- 2 2 0 2 デバイス
- 2 2 0 4 デバイス
- 2 2 0 6 デバイス
- 2 2 0 8 デバイス
- 2 2 1 0 車両

10

20

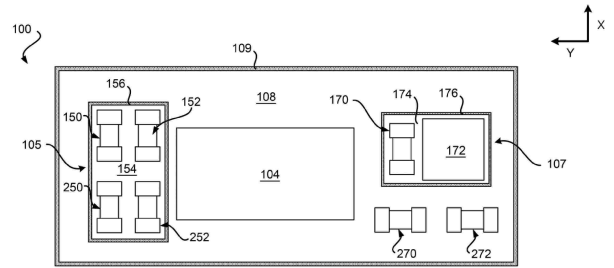
【図面】

【図 1】



断面プロフィール図
図1

【図 2】



断面平面図
図2

30

40

50

【 図 3 】

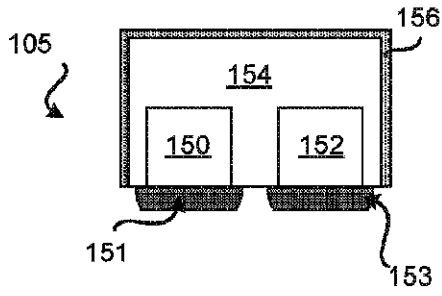


FIG. 3

【 図 4 】

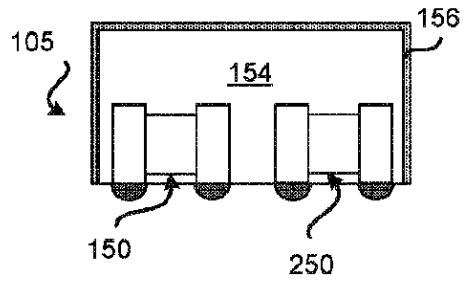


FIG. 4

10

【 図 5 】

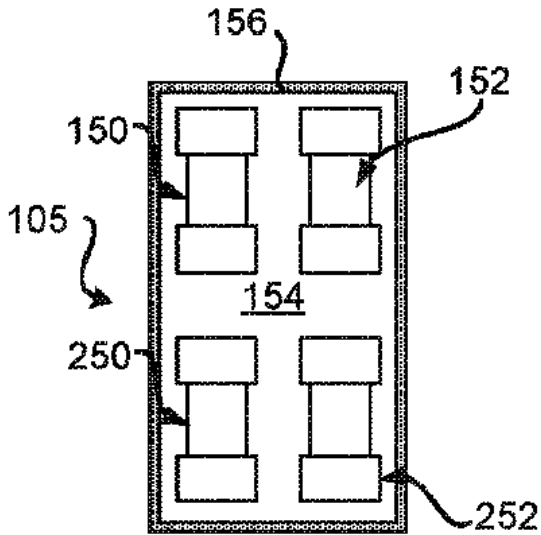


FIG. 5

【 図 6 】

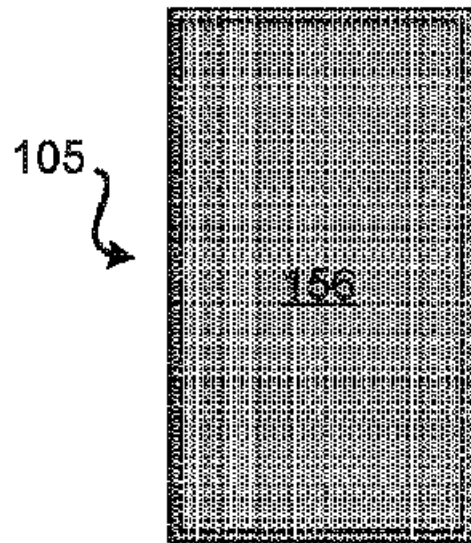


FIG. 6

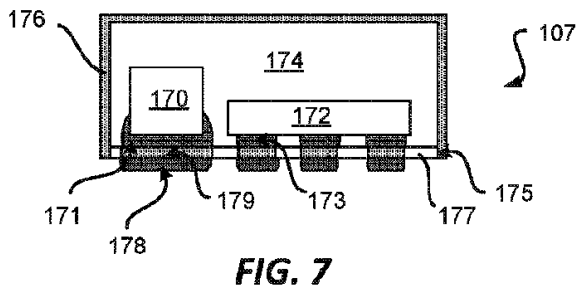
20

30

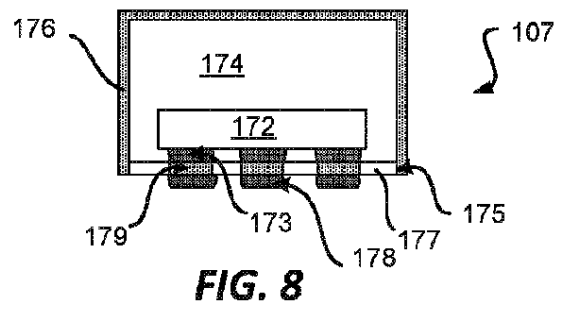
40

50

【 図 7 】

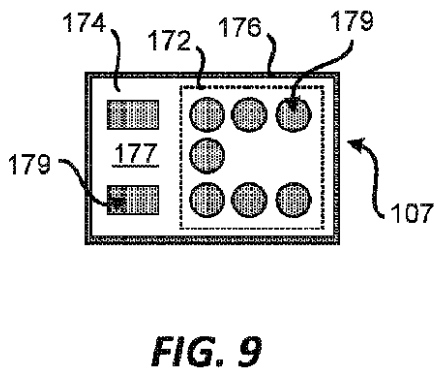


【 図 8 】

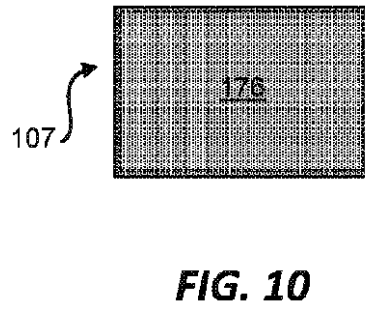


10

【 図 9 】

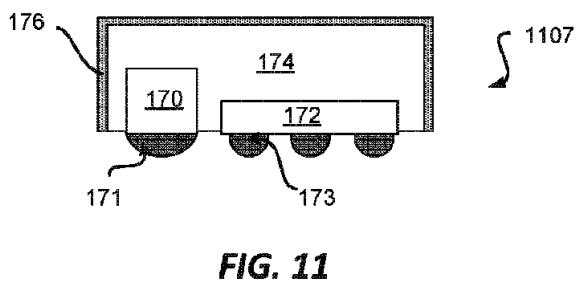


【 図 10 】

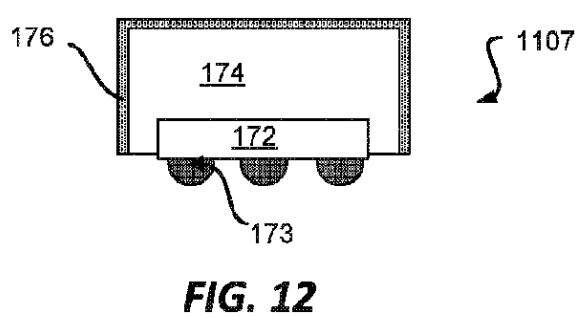


20

【 図 11 】



【 図 12 】



30

40

50

【 図 1 3 】

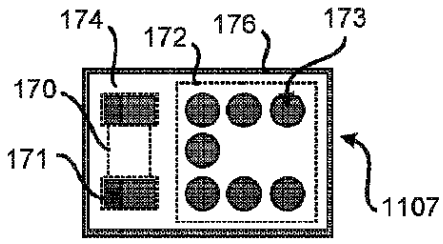


FIG. 13

【 図 1 4 】

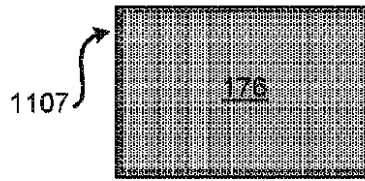


FIG. 14

10

【 図 1 5 A 】

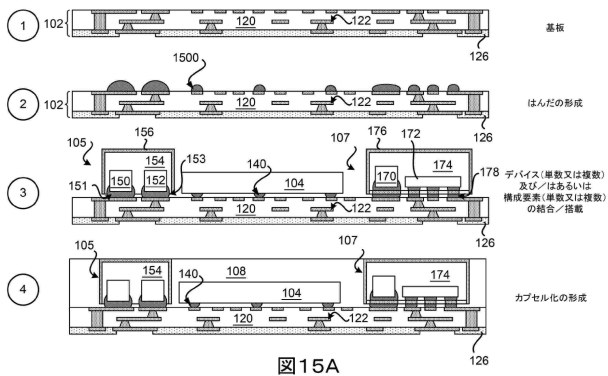


図 15A

【 図 1 5 B 】

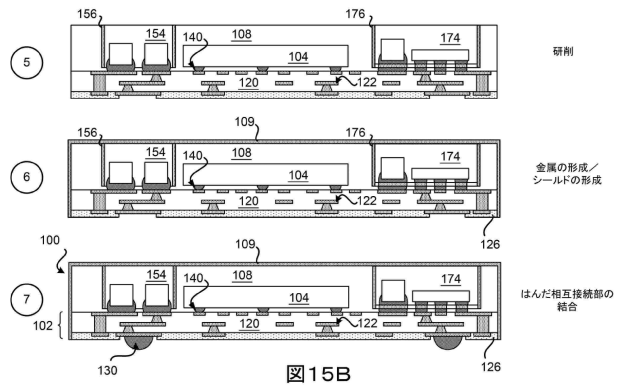


図 15B

20

30

40

50

【図 16】

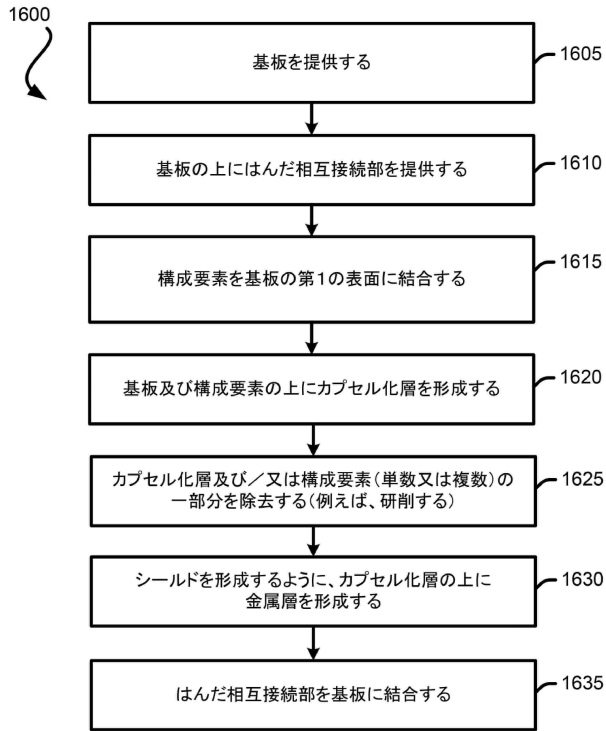


図 16

【図 17 A】

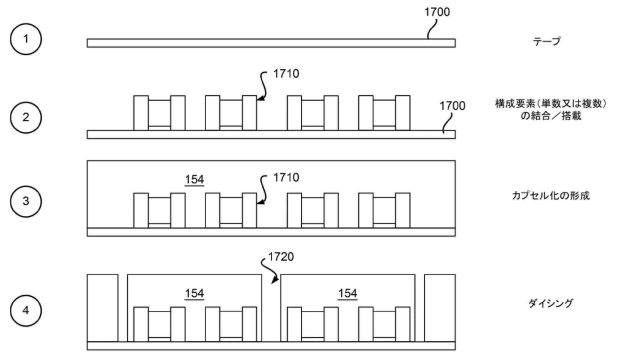


図 17A

10

20

【図 17 B】

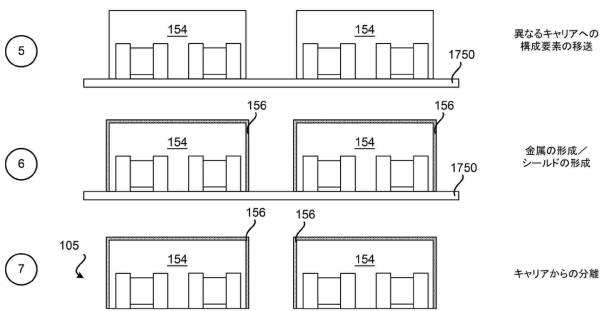


図 17B

【図 18 A】

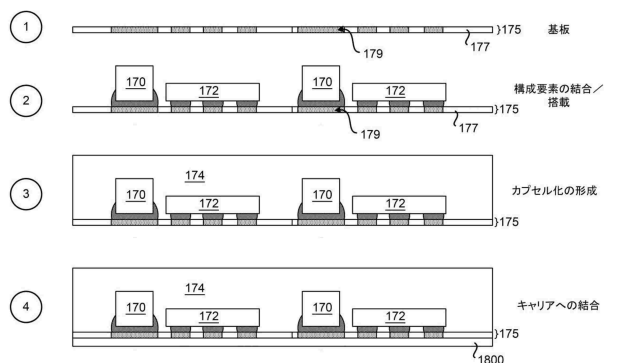


図 18A

30

40

50

【図18B】

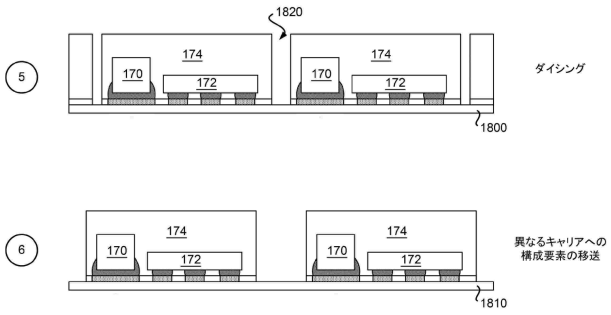


図18B

【図18C】

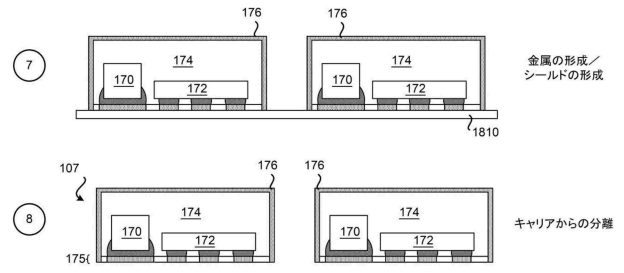


図18C

10

【図19】

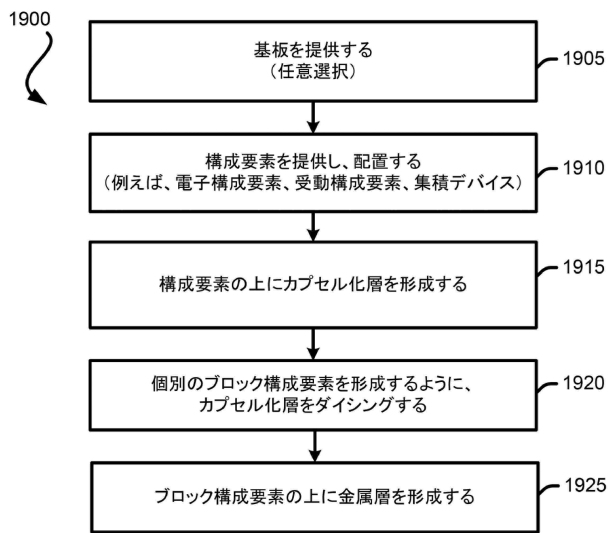


図19

【図20A】

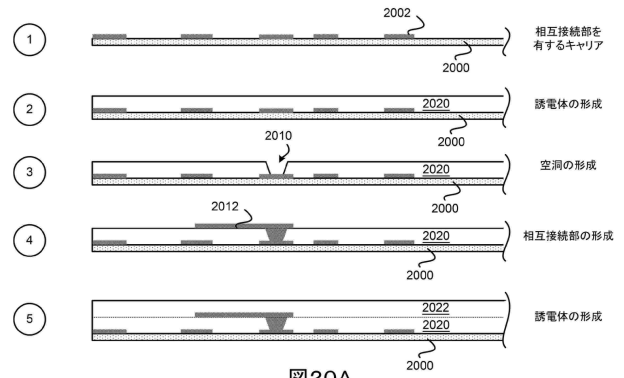


図20A

20

30

40

50

【図20B】

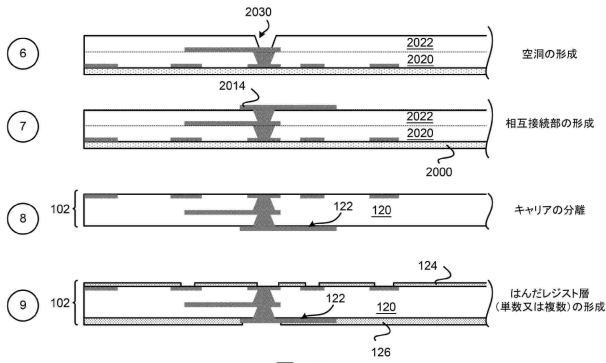


図20B

【図21】

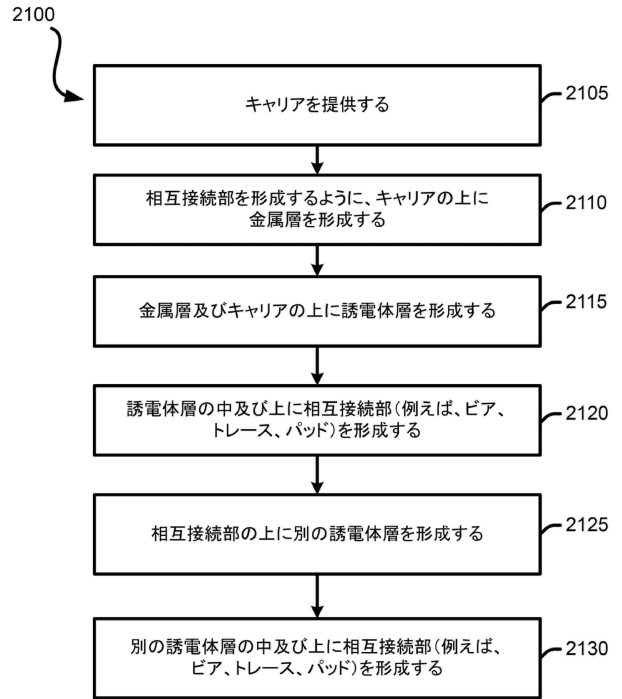


図21

【図22】

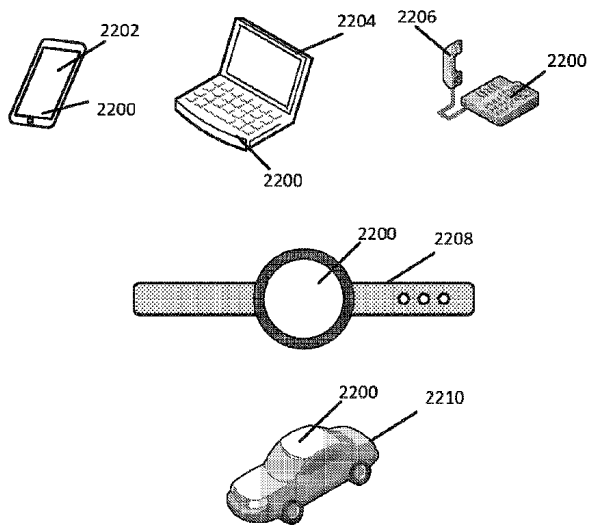


FIG. 22

10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2022/033023
--

A. CLASSIFICATION OF SUBJECT MATTER		
INV. H01L23/552	H01L23/31	H01L25/03 H01L25/16
ADD. H01L23/00	H01L21/56	H01L25/00
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2019/273079 A1 (GONG JUNG CHUL [KR] ET AL) 5 September 2019 (2019-09-05) paragraph [0056] - paragraph [0123]; figures 9,10	1-25
X	US 2019/081027 A1 (KUMAR RAJNEESH [US] ET AL) 14 March 2019 (2019-03-14) paragraphs [0049], [0064], [0098]; figures 3,6	1-4, 6-14, 16-25
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 30 September 2022	Date of mailing of the international search report 11/10/2022	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Diaz Alvarez, C	

1

Form PCT/ISA/210 (second sheet) (April 2005)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2022/033023

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2019273079 A1	05-09-2019	KR 20190105378 A	17-09-2019
		TW 201939690 A	01-10-2019
		US 2019273079 A1	05-09-2019

US 2019081027 A1	14-03-2019	BR 112018006664 A2	09-10-2018
		CA 2998190 A1	06-04-2017
		CN 108140637 A	08-06-2018
		EP 3357088 A1	08-08-2018
		JP 6505951 B2	24-04-2019
		JP 2018535541 A	29-11-2018
		KR 20180064401 A	14-06-2018
		TW 201714276 A	16-04-2017
		US 2017098634 A1	06-04-2017
		US 2019081027 A1	14-03-2019
		WO 2017058825 A1	06-04-2017

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,J
O,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,M
Z,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,
TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW
1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライヴ・ 5 7 7 5