

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl.⁷
 H01L 29/78

(45) 공고일자 2005년08월30일
 (11) 등록번호 10-0511038
 (24) 등록일자 2005년08월22일

(21) 출원번호	10-2003-0075139	(65) 공개번호	10-2004-0038710
(22) 출원일자	2003년10월27일	(43) 공개일자	2004년05월08일

(30) 우선권주장 JP-P-2002-00312994 2002년10월28일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
 일본국 도쿄도 미나토구 시바우라 1초메 1방 1고

(72) 발명자 사이또도모히로
 일본도쿄도미나토구시바우라1초메1방1고가부시끼가이샤도시바지적재
 산부내

(74) 대리인 구영창
 장수길

심사관 : 임동우

(54) 반도체 장치 및 반도체 장치의 제조 방법

요약

메탈 게이트 전극과 저저항의 소스·드레인 전극을 구비한 반도체 장치를 제공한다. 반도체 기판(1) 위에 소자 영역과 소자 분리 영역을 형성한다. 소자 영역을 횡단하여, 단부가 상기 소자 분리 영역에 형성된 더미 게이트를 형성한다. 소자 분리 영역에 더미 게이트보다 낮은 제1 영역을 형성하고, 더미 게이트를 제외한 소자 영역에 제1 영역의 상면보다 낮은 소스·드레인 영역을 형성한다. 소스·드레인 영역의 주변부에 측벽을 형성하고 소스·드레인 불순물 확산층을 형성한다. 소스·드레인 영역과 제1 영역의 상방에 더미 게이트와 동일한 높이의 반도체막을 형성한다. 반도체막의 상면을 산화하여 실리콘 산화막을 형성하고, 이 실리콘 산화막을 마스크로 하여 소자 영역에 형성된 더미 게이트를 제거한다. 반도체막을 에칭 스토퍼로 하여 소자 분리 영역에 형성된 더미 게이트를 후퇴시켜 실리콘 산화막을 제거한다. 더미 게이트 대신에 게이트 절연막과 게이트 전극을 형성한다. 반도체막을 제거하여 소스·드레인 불순물 확산층을 노출시키고, 소스·드레인 불순물 확산층 위에 소스·드레인 전극을 형성한다.

대표도

도 2

색인어

반도체 막, 소스·드레인 전극, 불순물 확산층, 실리콘 산화막

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 반도체 장치의 상면도.

도 2는 본 발명의 제1 실시예에 따른 반도체 장치의 단면도로서, 도 2의 (a)는 도 1의 I-I 방향의 단면도이고, 도 2의 (b)는 도 1의 II-II 방향의 단면도.

도 3은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 1)의 단면도.

도 4는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 2)의 상면도.

도 5는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 2)의 단면도로서, 도 5의 (a)는 도 4의 I-I 방향의 단면도이고, 도 5의 (b)는 도 4의 II-II 방향의 단면도.

도 6은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 3)의 단면도.

도 7은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 4)의 상면도.

도 8은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 4)의 단면도로서, 도 8의 (a)는 도 7의 I-I 방향의 단면도이고, 도 8의 (b)는 도 7의 II-II 방향의 단면도.

도 9는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 5)의 단면도.

도 10은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 6)의 단면도.

도 11은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 7)의 상면도.

도 12는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 7)의 단면도로서, 도 12의 (a)는 도 11의 I-I 방향의 단면도이고, 도 12의 (b)는 도 11의 II-II 방향의 단면도.

도 13은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 8)의 상면도.

도 14는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 8)의 단면도로서, 도 14의 (a)는 도 13의 I-I 방향의 단면도이고, 도 14의 (b)는 도 13의 II-II 방향의 단면도.

도 15는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 9)의 단면도.

도 16은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 10)의 상면도.

도 17은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 10)의 단면도로서, 도 17의 (a)는 도 16의 I-I 방향의 단면도이고, 도 17의 (b)는 도 16의 II-II 방향의 단면도.

도 18은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 11)의 단면도.

도 19는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 12)의 상면도.

도 20은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 12)의 단면도로서, 도 20의 (a)는 도 19의 I-I 방향의 단면도이고, 도 20의 (b)는 도 19의 II-II 방향의 단면도.

도 21은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 13)의 상면도.

도 22는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 13)의 단면도로서, 도 22의 (a)는 도 21의 I-I 방향의 단면도이고, 도 22의 (b)는 도 21의 II-II 방향의 단면도.

도 23은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 14)의 단면도.

도 24는 본 발명의 제2 실시예에 따른 반도체 장치의 상면도.

도 25는 본 발명의 제2 실시예에 따른 반도체 장치의 단면도로서, 도 25의 (a)는 도 24의 I-I 방향의 단면도이고, 도 25의 (b)는 도 24의 II-II 방향의 단면도.

도 26은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 1)의 단면도.

도 27은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 2)의 단면도.

도 28은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 3)의 상면도.

도 29는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 3)의 단면도로서, 도 29의 (a)는 도 28의 I-I 방향의 단면도이고, 도 29의 (b)는 도 28의 II-II 방향의 단면도.

도 30은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 4)의 상면도.

도 31은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 4)의 단면도로서, 도 31의 (a)는 도 30의 I-I 방향의 단면도이고, 도 31의 (b)는 도 30의 II-II 방향의 단면도.

도 32는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 5)의 단면도.

도 33은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 6)의 상면도.

도 34는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 6)의 단면도로서, 도 34의 (a)는 도 33의 I-I 방향의 단면도이고, 도 34의 (b)는 도 33의 II-II 방향의 단면도.

도 35는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 7)의 단면도.

도 36은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 8)의 상면도.

도 37은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 8)의 단면도로서, 도 37의 (a)는 도 36의 I-I 방향의 단면도이고, 도 37의 (b)는 도 36의 II-II 방향의 단면도.

도 38은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 9)의 상면도.

도 39는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 9)의 단면도로서, 도 39의 (a)는 도 38의 I-I 방향의 단면도이고, 도 39의 (b)는 도 38의 II-II 방향의 단면도.

도 40은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 10)의 상면도.

도 41은 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중(그 10)의 단면도로서, 도 41의 (a)는 도 40의 I-I 방향의 단면도이고, 도 41의 (b)는 도 40의 II-II 방향의 단면도.

도 42는 본 발명의 제2 실시예의 변형예에 따른 반도체 장치의 단면도.

도 43은 본 발명의 제2 실시예의 변형예에 따른 반도체 장치의 제조 방법을 설명하기 위한 반도체 장치의 제조 도중의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 실리콘 기판

2, 18, 27 내지 31, 37 내지 40 : 실리콘 산화막

3, 17 : 폴리실리콘막

4 : 실리콘 질화막

5, 51, 52, 53 : STI(실리콘 산화막)

6 : 레지스트

7 내지 10, 23, 24 : 측벽(실리콘 질화막)

11, 14 : LDD 영역

12, 15 : 헤일로 영역

13 : 소스 불순물 확산층

16 : 드레인 불순물 확산층

19 : 게이트 절연막

20 : 게이트 전극

21 : 소스 전극

22 : 드레인 전극

25, 26 : 실리사이드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다마신 게이트 프로세스에 의한 메탈 게이트 전극을 구비한 반도체 장치에 관한 것으로, 특히 저저항의 소스·드레인 전극에 관한 것이다.

메탈 게이트 전극을 구비한 트랜지스터는 다마신 게이트 프로세스를 사용하여 제작할 수 있다(예를 들면, 특히 문헌1 참조). 또한, 소스·드레인 불순물 확산층 위에 니켈 실리사이드를 형성하여 소스·드레인 불순물 확산층에 접속되는 소스·드레인 전극의 저항을 저감시킨 트랜지스터도 있다(예를 들면, 특히 문헌2 참조).

다마신 게이트 프로세스에서는 소스·드레인 불순물 확산층을 형성 후에 게이트 절연막 형성이나, 채널 부분으로의 이온 주입 후의 활성화의 어닐링을 행한다. 이들의 게이트 절연막 형성이나 어닐링은 600°C 이상의 열 공정이다. 그러나, 니켈 실리사이드는, 500°C 이상의 열 공정에 의해 응집을 일으켜, 소스·드레인 전극의 저항이 고저항으로 되는 문제점이 있었다.

[특허 문헌1]

일본 특개평4-123439호 공보(청구항 1, 도 1)

[특허 문헌2]

일본 특개2002-198368호 공보(청구항 1, 도 1)

발명이 이루고자 하는 기술적 과제

본 발명은 상기 사정을 감안하여 이루어진 것으로, 그 목적은 메탈 게이트 전극과 저저항의 소스·드레인 전극을 구비한 반도체 장치를 제공하는 것에 있다.

또한, 본 발명의 목적은 메탈 게이트 전극과 저저항의 소스·드레인 전극을 구비한 반도체 장치의 제조 방법을 제공하는 것에 있다.

발명의 구성 및 작용

상기 문제점을 해결하기 위한 본 발명의 제1 특징은, 제1 상면을 갖는 소자 영역과 제1 상면보다 낮은 제2 상면을 갖고 소자 영역을 둘러싼 분리 영역을 갖는 반도체 기판(1)과, 제2 상면 위에 형성되며 소자 영역에 접하여 제1 상면보다 높은 제3 상면을 갖는 제1 절연체와, 제2 상면 위에 형성되며 소자 영역과 제1 절연체에 접하여 제3 상면보다 높은 제4 상면을 갖는 제2 절연체를 갖는 소자 분리 절연체와, 제1 상면 위에 형성되며 제2 절연체(51)의 측면에 접하는 제1 측벽과 제1 상면 위에 형성되며 양 단부가 제1 측벽의 양 단부에 각각 접속되는 제2 측벽을 갖는 소스 측벽 절연체와, 제1 상면 위에 형성되며 제2 절연체의 측면에 접하는 제3 측벽과 제1 상면 위에 제2 측벽에 평행하게 형성되어 양 단부가 제3 측벽의 양 단부에 각각 접속되는 제4 측벽을 갖는 드레인 측벽 절연체와, 제1 상면 위와 제3 상면 위에 형성되며 제2 절연체, 제2 측벽과 제4 측벽의 측면에 접하는 게이트 절연막과, 게이트 절연막 위에 형성되며 측면이 게이트 절연막에 접하는 게이트 도전체와, 제1 상면 상방에 형성되어 제1 상면과 전기적으로 접속되고 측면이 제1 측벽과 제2 측벽에 접하는 소스 도전체와, 제1 상면 상방에 형성되어 제1 상면과 전기적으로 접속되어 측면이 제3 측벽과 제4 측벽에 접하는 드레인 도전체를 구비하는 반도체 장치에 있다.

본 발명의 제2 특징은, 반도체 기판 위에 섬 형상의 소자 영역을 형성하는 단계와, 소자 영역의 외주부에 소자 분리 영역을 형성하는 단계와, 소자 영역을 횡단하여 단부가 소자 분리 영역에 형성된 더미 게이트를 형성하는 단계와, 더미 게이트를 제외한 소자 분리 영역을 더미 게이트보다 낮게 하는 단계와, 더미 게이트를 제외한 소자 영역을 노출시켜 소자 분리 영역보다 낮은 소스·드레인 영역을 형성하는 단계와, 소스·드레인 영역의 주변에 더미 게이트와 소자 분리 영역에 접하도록 측벽을 형성하는 단계와, 소스·드레인 영역의 반도체 기판에 소스·드레인 불순물 확산층을 형성하는 단계와, 소스·드레인 영역 및 게이트 배선을 제외한 소자 분리 영역에 더미 게이트와 동일한 높이의 반도체막을 형성하는 단계와, 반도체막의 상면을 산화하여 실리콘 산화막을 형성하는 단계와, 실리콘 산화막을 마스크로 하여 더미 게이트를 제거하는 단계와, 반도

체막 상면의 산화막과 더미 게이트 아래에 있는 버퍼막을 게이트 배선 부분의 소자 분리 영역의 일부분을 제거함으로써 소자 분리 영역, 소자 영역에 게이트 홈을 형성하는 단계와, 게이트 홈에 게이트 절연막과 게이트 전극을 형성하는 단계와, 반도체막을 제거하여 소스·드레인 불순물 확산층을 노출시키는 단계와, 소스·드레인 불순물 확산층 위에 소스·드레인 전극을 형성하는 단계를 포함하는 반도체 장치의 제조 방법에 있다.

이어서, 도면을 참조하면서, 본 발명의 실시예에 대하여 설명한다. 이하의 도면의 기재에서, 동일하거나 또는 유사한 부분에는 동일하거나 또는 유사한 부호를 붙인다. 또한, 도면은 모식적인 것으로, 두께와 평면 치수와의 관계, 각 층의 두께의 비율 등을 현실의 것과는 다른 것임을 유의해야한다.

(제1 실시예)

본 발명의 제1 실시예에 따른 반도체 장치는, 도 1과 도 2에 도시한 바와 같이, 반도체 기판(1), 소자 분리 절연체(51 내지 53)와, 소스 측벽 절연체(7, 8, 27, 28)와, 드레인 측벽 절연체(9, 10, 29, 30)와, 게이트 절연막(19)과, 게이트 도전체(20)와, 소스 도전체(21)와, 드레인 도전체(22)를 갖는다.

반도체 기판(1)은 소자 영역과 분리 영역을 갖는다. 소자 영역의 상면은, 분리 영역의 상면보다 높다. 분리 영역은 소자 영역을 둘러싸고 있다. 반도체 기판(1)의 소자 영역은 소스 불순물 확산층(13), 드레인 불순물 확산층(16), 경 도핑된 드레인(LDD) 영역(11, 14)과 헤일로(Halo) 영역(12, 15)을 갖고 있다. 반도체 기판(1)의 도전형이 p형이면, 헤일로 영역(12, 15)의 도전형은 p형이고, 소스 불순물 확산층(13), 드레인 불순물 확산층(16)과 LDD 영역(11, 14)의 도전형은 n형이다. 반대로, 반도체 기판(1)의 도전형이 n형이면, 헤일로 영역(12, 15)의 도전형은 n형이고, 소스 불순물 확산층(13), 드레인 불순물 확산층(16)과 LDD 영역(11, 14)의 도전형은 p형이다.

소자 분리 절연체(51 내지 53)는, 제1 절연체(52, 53)와 제2 절연체(51)를 갖는다. 제1 절연체(52, 53)는, 반도체 기판(1)의 분리 영역의 상면 위에 형성된다. 제1 절연체(52, 53)는, 반도체 기판(1)의 소자 영역에 접한다. 제1 절연체(52, 53)의 상면은, 반도체 기판(1)의 소자 영역의 상면보다 높다. 제2 절연체(51)는, 반도체 기판(1)의 분리 영역의 상면 위에 형성된다. 제2 절연체(51)는, 반도체 기판(1)의 소자 영역과 제1 절연체(52, 53)에 접한다. 제2 절연체(51)의 상면은, 제1 절연체(52, 53)의 상면보다 높다.

소스 측벽 절연체(7, 8, 27, 28)는 제1 측벽(7, 27)과 제2 측벽(8, 28)을 갖는다. 제1 측벽(7, 27)은 반도체 기판(1)의 소자 영역의 상면 위에 형성된다. 제1 측벽(7, 27)은 제2 절연체(51)의 측면에 접한다. 제2 측벽(8, 28)은 반도체 기판(1)의 소자 영역의 상면 위에 형성된다. 제2 측벽(8, 28)의 양 단부는, 제1 측벽(7, 27)의 양 단부에 각각 접속된다. 제2 측벽(8, 28)은 양 단부가 제2 절연체(51)에 접한다. 제1 측벽(7, 27)은 하층(27)이 실리콘 산화막이고, 상층(7)이 실리콘 질화막의 2층 구조이다. 제2 측벽(8, 28)은 하층(28)이 실리콘 산화막이고, 상층(8)이 실리콘 질화막의 2층 구조이다. 또, 제2 측벽(8, 28) 아래의 반도체 기판(1)의 소자 영역 내에는 LDD 영역(11)이 형성되어 있다. LDD 영역(11) 아래의 반도체 기판(1)의 소자 영역 내에는, 헤일로 영역(12)이 형성되어 있다. 제1 측벽(7, 27) 아래의 반도체 기판(1)의 소자 영역 내에도 LDD 영역과 헤일로 영역(12)이 형성되지만, 트랜지스터의 전기 특성에 영향을 주지 않으므로 도시하지 않는다.

드레인 측벽 절연체(9, 10, 29, 30)는, 제3 측벽(10, 30)과 제4 측벽(9, 29)을 갖는다. 제3 측벽(10, 30)은 반도체 기판(1)의 소자 영역의 상면 위에 형성된다. 제3 측벽(10, 30)은 제2 절연체(51)의 측면에 접한다. 제4 측벽(9, 29)의 양 단부는 제3 측벽(10, 30)의 양 단부에 각각 접속된다. 제4 측벽(9, 29)은 양 단부가 제2 절연체(51)에 접한다. 제3 측벽(10, 30)은 하층(30)이 실리콘 산화막이고, 상층(10)이 실리콘 질화막의 2층 구조이다. 제4 측벽(9, 29)은 하층(29)이 실리콘 산화막이고, 상층(9)이 실리콘 질화막의 2층 구조이다. 제1 측벽(7, 27)과 제3 측벽(10, 30)의 최상부의 높이는 제2 절연체(51)의 상면의 높이와 동일하거나, 더 낮다. 제2 측벽(8, 28)과 제4 측벽(9, 29)의 최상부의 높이는 제2 절연체(51)의 상면의 높이와 동일하다. 또, 제4 측벽(9, 29) 아래의 반도체 기판(1)의 소자 영역 내에는 LDD 영역(14)이 형성되어 있다. LDD 영역(14) 아래의 반도체 기판(1)의 소자 영역 내에는 헤일로 영역(15)이 형성되어 있다. 제3 측벽(10, 30) 아래의 반도체 기판(1)의 소자 영역 내에도 LDD 영역과 헤일로 영역이 형성되어 있지만, 트랜지스터의 전기 특성에 영향을 주지 않으므로 도시하지 않는다.

게이트 절연막(19)은 반도체 기판(1)의 소자 영역의 상면 위와 제1 절연체(52, 53)의 상면 위에 형성된다. 게이트 절연막(19)은 제2 절연체(51), 제2 측벽(8, 28)과 제4 측벽(9, 29)의 측면에 접한다. 게이트 절연막(19)은 고유전체를 갖는다.

게이트 도전체(20)는 게이트 절연막(19) 위에 형성된다. 게이트 도전체(20)의 측면은 게이트 절연막(19)에 접한다. 게이트 절연막(19)과 게이트 도전체(20)의 최상부의 높이는 제2 절연체(51)의 상면의 높이와 동일하다. 게이트 도전체(20)는 베탈이다.

소스 도전체(21)는 반도체 기판(1)의 소자 영역의 소스 영역(13)의 상면 상방에 형성된다. 소스 도전체(21)는 반도체 기판(1)의 소자 영역과 전기적으로 접속된다. 소스 도전체(21)의 측면은 제1 측벽(7, 27)과 제2 측벽(8, 28)에 접한다. 또, 소스 불순물 확산층(13)은 제2 절연체(51)에 접하지 않는다. 혹은, 제2 절연체(51)에 접하는 경우에도, 제2 절연체(51) 근방의 소스 불순물 확산층(13)의 활성 불순물 농도는 소스 불순물 확산층(13)의 활성 불순물 농도의 평균값보다 낮다.

드레인 도전체(22)는 반도체 기판(1)의 소자 영역의 드레인 불순물 확산층(16)의 상면 상방에 형성된다. 드레인 도전체(22)는 반도체 기판(1)의 소자 영역과 전기적으로 접속된다. 드레인 도전체(22)의 측면은 제3 측벽(10, 30)과 제4 측벽(9, 29)에 접한다. 또, 드레인 불순물 확산층(16)은 제2 절연체(51)에 접하지 않는다. 혹은, 제2 절연체(51)에 접하는 경우에도, 제2 절연체(51) 근방의 드레인 불순물 확산층(16)의 활성 불순물 농도는 드레인 불순물 확산층(16)의 활성 불순물 농도의 평균값보다 낮다.

소스 도전체(21)와 드레인 도전체(22)의 최상부의 높이는 제2 절연체(51)의 상면의 높이와 동일하다. 소스 도전체(21)와 상기 드레인 도전체(22)가 메탈이다. 또한, 소스 도전체(21)와 드레인 도전체(22)는 실리사이드라도 무방하다.

게이트 전극에 다결정 실리콘을 채용한 경우에는, 게이트 전극에 공핍층이 생겨, 게이트 절연막의 실효 막 두께가 증가한다. 이 실효 막 두께의 증가는 게이트 절연막을 박막화하면 무시할 수 없으며, 트랜지스터의 구동력을 저하시킨다. 따라서, 게이트 전극으로서 메탈 전극을 채용한다. 그 결과, 게이트 전극의 공핍층을 억제할 수 있다.

또한, 소스·드레인 전극도 메탈 전극으로 함으로써 소스·드레인 전극의 저항을 저감시킬 수 있다. 이에 의해서도, 트랜지스터의 구동력 등의 성능을 향상시킬 수 있다. 소스·드레인 불순물 확산층(13, 16)이 제2 절연체(51)에 접하고 있는 경우에는, 그 접촉면을 개재하여 소스·드레인 불순물 확산층(13, 16)과 소스·드레인 불순물 확산층(13, 16) 아래의 반도체 기판(1) 사이에 누설 전류가 흐르는 경우가 있다. 제1 실시예의 반도체 장치에서는 소스·드레인 불순물 확산층(13, 16)이 제2 절연체(51)에 접하고 있지 않으므로, 소스·드레인 불순물 확산층(13, 16)과 소스·드레인 불순물 확산층(13, 16) 아래의 반도체 기판(1) 사이에서 누설 전류는 흐르기 어렵다.

본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명한다. 우선, 반도체 기판(1)으로서, p형 실리콘(Si) 기판을 준비한다. 도 3에 도시한 바와 같이, 실리콘 기판(1) 위에 베퍼 산화막(2)으로 되는 실리콘 산화(SiO_2)막을 열 산화법에 의해 성막한다. 베퍼 산화막(2) 위에 더미 다결정 실리콘(Si : 3)과 실리콘 질화(Si_3N_4)막을 화학 기상 성장(CVD)법에 의해 성막한다.

이어서, 레지스트를 소자 영역의 패턴으로 패터닝한다. 도 4와 도 5에 도시한 바와 같이, 반응성·이온·에칭(RIE)에 의해, 실리콘 질화막(4), 다결정 실리콘(3) 모두와, 실리콘 기판(1)을 소정의 깊이까지 이방성 에칭한다. 레지스트를 제거한다. 이에 의해, 반도체 기판(1) 위에 섬 형상의 소자 영역이 형성된다.

웨이퍼 전면에 절연막, 예를 들면 실리콘 산화막(5)을 CVD법에 의해 퇴적시킨다. 도 6에 도시한 바와 같이, 화학적 기계적 연마(CMP : Chemical Mechanical Polishing)에 의해 실리콘 질화막(4)의 상면이 노출될 때까지 연마하여, 웨이퍼 표면을 평탄화한다. 이에 의해, 소자 영역의 외주부에, 실리콘 산화막(5)이 매립된 소자 분리 영역이 형성된다.

이어서, 도 7과 도 8에 도시한 바와 같이, 게이트 전극의 영역을 규정하는 레지스트(6)를 패터닝한다. 레지스트(6)는 소자 영역을 획단하고, 단부가 소자 분리 영역에 형성된다. 도 9에 도시한 바와 같이, 레지스트(6)를 마스크로 하고, 다결정 실리콘(3)을 스토퍼로 하여, 실리콘 질화막(4)을 이방성 에칭한다. 이 이방성 에칭에 의해, 소자 분리 영역의 실리콘 산화막(51)을 실리콘 질화막(4)의 막 두께보다는 얇은 깊이만큼 이방성 에칭한다. 또, 이들의 이방성 에칭은, 동시에 행하는 것이 바람직하지만, 따로 행해도 된다. 이어서, 도 10에 도시한 바와 같이, 레지스트(6)와 실리콘 산화막(51)을 마스크로 하고, 베퍼 산화막(2)을 스토퍼로 하여, 다결정 실리콘(3)을 이방성 에칭한다. 레지스트(6)를 제거한다. 이에 의해, 소자 영역을 획단하고, 단부가 소자 분리 영역에 접한 더미 게이트(3, 4)가 형성된다. 더미 게이트는 상층(4)이 실리콘 질화층이고, 상층(4)의 아래의 층(3)이 다결정 실리콘층(3)의 2층 구조를 갖는다. 그리고, 소자 분리 영역에 더미 게이트(3, 4)보다 낮은 실리콘 산화막(51)의 상면을 갖는 제1 영역이 형성되고, 더미 게이트(3, 4)를 제외한 소자 영역에 제1 영역보다 낮은 베퍼 산화막(2)의 상면을 갖는 소스·드레인 영역이 형성된다.

베퍼 산화막(2)을 에칭하지 않고, 더미 게이트의 실리콘 질화막(4)을 마스크로 하여, 즉 게이트 전극의 패턴에 자기 정합적으로 LDD 영역(11, 14)과 헤일로 영역(13, 16)에 각각 익스텐션 및 헤일로의 이온 주입을 행한다. 그 후에 손상 회복의 어닐링을 행한다. 실리콘 질화막을 전면에 퇴적시키고, 실리콘 산화막(2, 51, 52)을 스토퍼로 하여 실리콘 질화막을 이방

성 예칭에 의해 에치백한다. 이에 의해, 소스·드레인 영역의 주변부에 측벽(7 내지 10)이 형성된다. 도 11과 도 12에 도시한 바와 같이, 소스·드레인 불순물 확산층(13, 16)에 이온 주입을 행하고, 주입한 불순물의 활성화와 손상 회복을 위해 어닐링을 행한다. 소스·드레인 영역의 하방의 반도체 기판(1)에 소스·드레인 불순물 확산층(13, 16)이 형성된다. 또, 이후의 더미 게이트를 제거한 후의 게이트 홈의 개구에 반도체 기판(1)의 채널 부분으로의 이온 주입을 행하는 경우에는, 그 채널 부분으로의 이온 주입 후에 통합하여 활성화의 어닐링을 행할 수 있다. 어닐링의 횟수를 줄일 수 있으므로, 불순물의 열 확산에 의한 소스·드레인 불순물 확산층(13, 16)의 확대를 최소한으로 억제할 수 있어, 작은 소스·드레인 불순물 확산층(13, 16)을 요구하는 미세한 트랜지스터의 형성에 유리하다.

웨이퍼 전면에 더미 소스·드레인 전극으로 되는 다결정 실리콘막(17)을 CVD법에 의해 퇴적시킨다. 또, 다결정 실리콘막(17)은 열 산화막이 형성 가능한 반도체막이면 되고, 예를 들면 실리콘 게르마늄(SiGe)이어도 된다. CMP에 의해 더미 게이트의 실리콘 질화막(4)의 상면까지 연마하여 웨이퍼를 평탄화한다. 도 13과 도 14에 도시한 바와 같이, 게이트 패턴 이외의 영역에 다결정 실리콘(17)이 매립되어 노출된다. 게이트 패턴 이외의 영역에 상기 더미 게이트와 동일한 높이의 반도체막(17)이 형성된다.

이어서, 도 15에 도시한 바와 같이, 다결정 실리콘막(17)의 상면을 열 산화하고, 실리콘 산화막(18)을 형성한다. 이에 의해, 트랜지스터의 채널에 상당하는 영역 중에서, 더미 게이트의 실리콘 질화막(4)과 실리콘 질화막의 측벽(8, 9)을 제외한 영역이 실리콘 산화막(18, 52, 53)으로 피복된다.

도 16과 도 17에 도시한 바와 같이, 실리콘 산화막(18, 52, 53)을 마스크로 하여 노출되어 있는 실리콘 질화막(4)을 에칭한다. 또한, 측벽(8, 9)의 상부를 에칭한다.

도 18에 도시한 바와 같이, 실리콘 산화막(18, 52, 53)을 마스크로 하여, 베퍼 산화막(2)을 스토퍼로 하여, 더미 게이트의 다결정 실리콘(3)을 에칭한다.

도 19와 도 20에 도시한 바와 같이, 다결정 실리콘막(17)과 반도체 기판(1)을 에칭 스토퍼로 하여, 이방성 에칭에 의해, 소자 분리 영역에 형성된 더미 게이트 패턴의 실리콘 산화막(52, 53)을 파내어 후퇴시키고, 실리콘 산화막(18)과 베퍼 산화막(2)을 제거한다. 이에 의해, 소자 영역에 형성된 더미 게이트가 제거되고, 게이트 전극이 매립되는 게이트 홈이 형성된다. 또, 이 때, 게이트 홈 이외의 영역은 더미 소스·드레인 전극으로서 퇴적시킨 다결정 실리콘막(17)으로 피복되어 있다. 노출된 실리콘 기판(1)에, 필요에 따라 채널 이온 주입을 행하여, 주입한 불순물이 활성화되는 어닐링을 행한다.

게이트 절연막(19)을 퇴적시킨다. 게이트 전극 재료로 되는 메탈을 퇴적시킨다. CMP에 의해 측벽(8, 9)의 상면까지 연마하여, 웨이퍼를 평탄화한다. 이것으로, 도 21과 도 22에 도시한 바와 같이, 게이트 홈에 게이트 절연막(19)과 게이트 전극(20)이 매립되어, 게이트 배선이 완성된다. 게이트 전극(20)에는 질화 티탄(TiN), 질화 텅스텐(WN), 질화 탄탈(TaN), 텅스텐(W), 탄탈(Ta), 몰리브덴(Mo), 백금(Pt), 금(Au) 등이 있다. 단, 반드시 상기 재료에만 한정되는 것은 아니다. 게이트 전극(20)에 실리사이드를 사용할 수 있다. 실리사이드로서는, 코발트 실리사이드(CoSi), 니켈 실리사이드(NiSi), 니오븀 실리사이드(NbSi), 탄탈 실리사이드(TaSi) 등으로 이용할 수 있다. 게이트 전극(20)은 단층에 한하지 않고, 복층 또는 복수의 메탈을 혼합 및 반응시켜 형성해도 된다. 또한, 복수 종류의 전극이 한 장의 웨이퍼 위에 형성되며 있어도 된다. 게이트 절연막(19)은 고유전체를 갖는 것이 바람직하다. 게이트 절연막(19)에는 산화 탄탈(Ta_2O_5)막, 하프늄(Hf)이나 지르코늄(Zr)을 포함한 고유전체막, 메탈 산화물막, 실리케이트막이나 산화 알루미늄(Al_2O_3)막, 혹은 이들의 막의 혼합막이어도 된다.

베퍼 산화막(28, 29)을 스토퍼로 하여, 평탄화 후에도 노출되어 있는 더미 소스·드레인 전극의 다결정 실리콘막(17)을 CDE로 제거한다. 또한, 측벽(7 내지 10)을 마스크로 하고, 실리콘 기판(1)을 스토퍼로 하여, 베퍼 산화막(28, 29)을 에칭한다. 이에 의해, 도 23에 도시한 바와 같이, 실리콘 기판(1)의 소스 불순물 확산층(13)의 상면과 드레인 불순물 확산층(16)의 상면이 노출된다.

소스 불순물 확산층(13)의 상면과 드레인 불순물 확산층(16)의 상면을 포함하여 웨이퍼 전면에 메탈을 퇴적시킨다. 측벽(7 내지 10)과 실리콘 절연막(51)의 상면에 퇴적한 메탈을 CMP로 연마하여 제거하고, 웨이퍼를 평탄화한다. 이에 의해, 도 1과 도 2에 도시한 바와 같이, 소스·드레인 불순물 확산층(13, 16) 위에 메탈의 소스·드레인 전극(21과 22)이 형성된다. 소스·드레인 전극(21과 22)에는 게이트 전극과 동일한 재료를 이용할 수 있다. 실리콘 기판(1)과 소스·드레인 전극(21, 22) 사이의 접촉 저항을 저감시키기 위해, 소스·드레인 전극(21, 22)의 하층에 실리사이드를 형성해도 된다. 또, 실리사이드는 퇴적시켜도 되고, 메탈과 실리콘 기판(1)을 반응시켜 실리콘 기판(1)에 침식되도록 형성해도 된다. 반응시키는 메탈로서는, 코발트(Co), 니켈(Ni), 니오븀(Nb), 탄탈(Ta) 등으로 이용할 수 있다. 실리사이드 형성의 열 공정은 1회에 한하지 않

고, 복수회 행해도 된다. 예를 들면, 코발트 실리사이드(CoSi)인 경우에는, 우선 코발트를 퇴적하여, 475°C 정도의 저온의 열 처리를 행한다. 예치제에 황산과 과산화수소수의 혼합 용액을 이용한 웨트 에칭으로 미반응의 코발트를 제거한다. 그리고, 재차 800°C 정도의 고온의 열 처리를 행한다. 이와 같이, 코발트인 경우, 실리사이드 반응을 2회에 나눠 행한다.

이 후의 반도체 장치의 제조 방법은, 통상의 반도체 장치의 제조 방법과 동일하다. 즉, 층간 절연막으로서 예를 들면 실리콘 산화막을 웨이퍼 전면에 퇴적하고, 게이트 전극(20)과 소스·드레인 전극(21, 22) 위에 층간 절연막을 관통하는 컨택트홀을 형성한다. 게이트 전극(20)이나 소스·드레인 전극(21, 22)에 접속되는 컨택트 전극을 컨택트홀 내에 형성한다. 마지막으로 컨택트 전극에 접속되는 배선을 층간 절연막 위에 형성한다.

또, 웰 형성을 위한 이온 주입과 어닐링은 더미 게이트의 적층막(3, 4)을 형성하기 전이나, 실리콘 기판(1)을 에칭하기 전에 행한다. 이 때, 웰 영역과 소자 영역과의 위치 정렬을 위해, 더미 게이트의 적층막(3, 4)을 형성하기 전에 미리 실리콘 기판(1)을 에칭하여 정합 마크를 형성한다. 이에 의해, 정합 정밀도를 향상시킬 수 있다. 또한, 트랜지스터의 임계값 조정을 위해 행해지는 채널의 이온 주입도, 웰 형성을 위한 이온 주입에 전후하여 행해도 된다.

제1 실시예에 따르면, 게이트 전극(20)에서는 게이트 저항을 저감하고, 게이트 공핍화를 방지하여 트랜지스터 자체의 구동력을 향상시킬 수 있다. 소스·드레인 전극(21, 22)에서는 소스·드레인 사이의 온 저항을 저감시킬 수 있다. 이에 의해, 집적 회로 등의 반도체 장치에서는 회로 저항이 억제되고, 인버터 회로에서 동작 속도가 향상하는 등의 성능이 향상한다.

(제2 실시예)

본 발명의 제2 실시예에 따른 반도체 장치는, 도 24와 도 25에 도시한 바와 같이, 도 1과 도 2의 제1 실시예에 따른 반도체 장치와 비교하여, 측벽(7 내지 10)과 그 주변의 구조와 실리사이드층(25, 26)을 갖는 것이 다르다.

측벽(7 내지 10)은 제1 실시예의 반도체 장치의 2층 구조와 달리, 단층 구조이다. 측벽(7, 10)의 상단의 높이는 실리콘 산화막(51)의 상면의 높이와 동일하거나 혹은 낮아도 된다.

실리사이드층(25, 26)은 소스·드레인 전극(21, 22)과 소스·드레인 불순물 확산층(13, 16) 사이에 형성된다. 이에 의해, 소스·드레인 불순물 확산층(13, 16)과 소스·드레인 전극(21, 22) 사이의 접촉 저항이 저감한다. 또한, 실리사이드층(25, 26)은, 실리콘 산화막(51)에 접하지 않는다. 실리콘 산화막(51)에 접하고 있는 경우에는, 그 접촉면을 개재하여 실리사이드층(25, 26)과 소스·드레인 불순물 확산층(13, 16) 아래의 반도체 기판(1) 사이에 누설 전류가 흐르는 경우가 있다. 제2 실시예의 반도체 장치에서는 실리사이드층(25, 26)이 제2 절연체(51)에 접하고 있지 않으므로, 실리사이드층(25, 26)과 소스·드레인 불순물 확산층(13, 16) 아래의 반도체 기판(1) 사이에서 누설 전류는 흐르기 어렵다.

본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명한다. 제2 실시예의 반도체 장치의 제조 방법의 시작은 제1 실시예의 반도체 장치의 제조 방법에서의 도 3 내지 도 8에 관한 제조 방법과 동일하다.

이어서, 도 26에 도시한 바와 같이, 레지스트(6)를 마스크로 하고, 다결정 실리콘(3)을 스토퍼로 하여, 실리콘 질화막(4)을 이방성 에칭한다. 이 이방성 에칭에 의해, 소자 분리 영역의 실리콘 산화막(51)을 실리콘 질화막(4)의 막 두께와 동일한 깊이만큼이나, 혹은 더 깊게 이방성 에칭한다. 이어서, 도 27에 도시한 바와 같이, 레지스트(6)와 실리콘 산화막(51)을 마스크로 하고, 베퍼 산화막(2)을 스토퍼로 하여, 다결정 실리콘(3)을 이방성 에칭한다. 레지스트(6)를 제거한다. 이에 의해, 더미 게이트(3, 4)가 형성된다.

실리콘 질화막(4)을 마스크로 하고, 실리콘 기판(1)을 스토퍼로 하여, 베퍼 산화막(2)을 이방성 에칭한다. 이에 의해, 소자 분리 영역에 더미 게이트(3, 4)보다 낮은 실리콘 산화막(51)의 상면이 형성되고, 더미 게이트(3, 4)를 제외한 소자 영역에 실리콘 기판(1)의 상면을 갖는 소스·드레인 영역이 형성된다.

더미 게이트의 실리콘 질화막(4)을 마스크로 하여, LDD 영역(11, 14)과 헤일로 영역(12, 15)에 각각 익스텐션 및 헤일로의 이온 주입을 행한다. 그 후에 손상 회복의 어닐링을 행한다. 도 28과 도 29에 도시한 바와 같이, 소스·드레인 영역의 주변부에 측벽(7 내지 10)이 형성된다. 또한, 실리콘 절연막(52, 53)의 측면에 접하도록 측벽(23, 24)이 형성된다.

실리콘 산화막(31)을 웨이퍼 전면에 컨포멀하게 퇴적시킨다. 도 28과 도 29에 도시한 바와 같이, 소스·드레인 불순물 확산층(13, 16)에 이온 주입을 행하고, 주입한 불순물의 활성화와 손상 회복을 위해 어닐링을 행한다.

웨이퍼 전면에 다결정 실리콘막(17)을 CVD법에 의해 퇴적시킨다. 도 30과 도 31에 도시한 바와 같이, CMP에 의해 실리콘 질화막(4)의 상면까지 연마한다.

이어서, 도 32에 도시한 바와 같이, 다결정 실리콘막(17)의 상면을 열 산화하여, 실리콘 산화막(18)을 형성한다.

도 33과 도 34에 도시한 바와 같이, 실리콘 산화막(18, 52, 53)을 마스크로 하여, 실리콘 질화막(4)을 에칭한다. 또한, 측벽(8, 9)의 상부가 에칭된다.

도 35에 도시한 바와 같이, 실리콘 산화막(18, 52, 53)을 마스크로 하고, 버퍼 산화막(2)을 스토퍼로 하여, 다결정 실리콘(3)을 에칭한다.

도 36과 도 37에 도시한 바와 같이, 다결정 실리콘막(17)과 반도체 기판(1)을 에칭 스토퍼로 하여, 실리콘 산화막(52, 53)을 파내어 후퇴시키고, 실리콘 산화막(18)과 버퍼 산화막(2)을 제거한다.

게이트 절연막(19)을 퇴적시킨다. 게이트 전극 재료로 되는 메탈을 퇴적시킨다. CMP에 의해 실리콘 산화막(51)의 상면까지 연마한다. 그 결과, 도 38과 도 39에 도시한 바와 같이, 게이트 홈에 게이트 절연막(19)과 게이트 전극(20)이 매립된다.

실리콘 산화막(31)을 스토퍼로 하여, 다결정 실리콘막(17)을 CDE로 제거한다. 또한, 측벽(7 내지 10)과 실리콘 기판(1)을 스토퍼로 하여, 실리콘 산화막(31)을 등방적으로 에칭한다. 이 때 실리콘 산화막(51)도 에칭되지만 반도체 장치의 구조에 큰 변화는 없다. 실리콘 기판(1)의 소스 불순물 확산층(13)의 상면과 드레인 불순물 확산층(16)의 상면이 노출된다.

메탈막을 웨이퍼 전면에 성막한다. 메탈막과 실리콘 기판(1)을 가열하여 반응시켜 실리콘 기판(1)에 침식되도록 실리사이드층(25, 26)을 형성한다. 도 40과 도 41에 도시한 바와 같이, 미반응의 메탈막을 실리사이드층(25, 26)에 대하여 선택적으로 에칭한다. 측벽(7과 10)에 의해, 실리사이드층(25, 26)이 실리콘 절연막(51)의 측면에 접하지는 않는다.

실리사이드층(25, 26)의 상면을 포함하여 웨이퍼 전면에 메탈을 퇴적시킨다. 도 24와 도 25에 도시한 바와 같이, 측벽(8, 9)과 실리콘 절연막(51)의 상면에 퇴적시킨 메탈을 CMP에 의해 연마하여 제거한다.

이 후의 반도체 장치의 제조 방법은, 제1 실시예의 반도체 장치의 제조 방법과 동일하다

제2 실시예에 의하면, 게이트 전극(20)에서는 게이트 저항을 저감시키고, 게이트 공핍화를 방지하여 트랜지스터 자체의 구동력을 향상시킬 수 있다. 소스-드레인 전극(21, 22)에서는 누설 전류를 증가시키지 않고, 소스-드레인 사이의 온 저항을 제1 실시예의 경우보다 저감시킬 수 있다.

(제2 실시예의 변형예)

본 발명의 제2 실시예의 변형예에 따른 반도체 장치는, 도 42에 도시한 바와 같이 도 25의 제2 실시예에 따른 반도체 장치와 비교하여, 측벽(7 내지 10, 37 내지 40)과 그 주변의 구조가 다르다.

측벽(7 내지 10, 37 내지 40)은 제2 실시예의 반도체 장치의 단층 구조와 달리, 측면에 대한 수선 방향으로 실리콘 산화막(37 내지 40)과 실리콘 질화막(7 내지 10)의 2층 구조이다.

또한, 실리사이드층(25, 26)을 실리콘 산화막(51)으로부터, 또한 실리콘 산화막(37 내지 40)의 막 두께정도만 분리할 수 있다. 제2 실시예의 반도체 장치에서는, 또한 실리사이드층(25, 26)과 소스-드레인 불순물 확산층(13, 16) 아래의 반도체 기판(1) 사이에서 누설 전류는 흐르기 어렵다.

본 발명의 제2 실시예의 변형예에 따른 반도체 장치의 제조 방법에 대하여 설명한다. 제2 실시예의 변형예의 반도체 장치의 제조 방법의 시작은 제2 실시예의 반도체 장치의 제조 방법에서의 도 39까지에 관한 제조 방법과 동일하다

이어서, 실리콘 산화막(31)을 스토퍼로 하여, 다결정 실리콘막(17)을 CDE로 제거한다. 또한, 실리콘 기판(1)을 스토퍼로 하여, 실리콘 산화막(31)을 이방성 에칭한다. 실리콘 기판(1)의 소스 불순물 확산층(13)의 상면과 드레인 불순물 확산층(16)의 상면이 노출된다. 측벽(37 내지 40)이 형성된다.

메탈막을 웨이퍼 전면에 성막한다. 메탈막과 실리콘 기판(1)을 가열하여 반응시켜 실리콘 기판(1)에 침식되도록 실리사이드층(25, 26)을 형성한다. 도 43에 도시한 바와 같이, 미반응의 메탈막을 실리사이드층(25, 26)에 대하여 선택적으로 에칭한다. 측벽(37)과 측벽(40)에 의해, 실리사이드층(25, 26)이 실리콘 절연막(51)의 측면으로부터 더 이격된다.

실리사이드층(25, 26)의 상면을 포함하여 웨이퍼 전면에 메탈을 퇴적시킨다. 도 42에 도시한 바와 같이, 측벽(8, 9)과 실리콘 절연막(51)의 상면에 퇴적시킨 메탈을 CMP에 의해 연마하여 제거한다.

이 후의 반도체 장치의 제조 방법은, 제1 실시예의 반도체 장치의 제조 방법과 동일하다

제2 실시예의 변형예에 의하면, 게이트 전극(20)에서는 게이트 저항을 저감시키고, 게이트 공핍화를 방지하여 트랜지스터 자체의 구동력을 향상시킬 수 있다. 소스·드레인 전극(21, 22)에서는 누설 전류를 증가시키지 않고, 소스-드레인 사이의 온 저항을 제1 실시예인 경우보다 저감시킬 수 있다.

또, 본 발명은 상기 실시예에 한정되는 것은 아니고, 본 발명의 요지를 일탈하지 않는 범위에서 다양하게 변형하여 실시할 수 있다.

메탈 전극의 형성 방법도 CMP에 의해 홈에 매립하는 경우 외에, 레지스트와 패터닝 후에 RIE 등의 이방성 에칭을 행하여 게이트 전극을 가공해도 된다.

또한, 실리콘 기판(1)은 반도체 기판이면 된다. 반도체 기판으로서는, 실리콘 온 인슐레이터(SOI) 기판의 실리콘층, 또는 실리콘 게르마늄(SiGe) 혼정, 탄화 실리콘 게르마늄(SiGeC) 혼정 등의 반도체 기판이어도 된다. 기타, 본 발명의 요지를 일탈하지 않는 범위에서 다양하게 변형시켜 실시할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 메탈 게이트 전극과 저저항의 소스·드레인 전극을 구비한 반도체 장치를 제공할 수 있다.

또한, 본 발명에 의하면, 메탈 게이트 전극과 저저항의 소스·드레인 전극을 구비한 반도체 장치의 제조 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

제1 상면을 갖는 소자 영역과, 상기 제1 상면보다 낮은 제2 상면을 갖고 상기 소자 영역을 둘러싼 분리 영역을 갖는 반도체 기판과,

상기 제2 상면 위에 형성되며 상기 소자 영역에 접하여 상기 제1 상면보다 높은 제3 상면을 갖는 제1 절연체와, 상기 제2 상면 위에 형성되며 상기 소자 영역과 상기 제1 절연체에 접하여 상기 제3 상면보다 높은 제4 상면을 갖는 제2 절연체를 갖는 소자 분리 절연체와,

상기 제1 상면 위에 형성되며 상기 제2 절연체의 측면에 접하는 제1 측벽과, 상기 제1 상면 위에 형성되며 양 단부가 상기 제1 측벽의 양 단부에 각각 접속되는 제2 측벽을 갖는 소스 측벽 절연체와,

상기 제1 상면 위에 형성되며 상기 제2 절연체의 측면에 접하는 제3 측벽과, 상기 제1 상면 위에 상기 제2 측벽에 평행하게 형성되어 양 단부가 상기 제3 측벽의 양 단부에 각각 접속되는 제4 측벽을 갖는 드레인 측벽 절연체와,

상기 게이트 절연막과 상기 게이트 절연막 위에 형성되고, 상기 게이트 절연막과 상기 게이트 절연막에 접하는 게이트 절연막과,

상기 게이트 절연막 위에 형성되고, 측면이 상기 게이트 절연막에 접하는 게이트 도전체와,

상기 제1 상면 상방에 형성되고, 상기 제1 상면과 전기적으로 접속되어, 측면이 상기 제1 측벽과 제2 측벽에 접하는 소스 도전체와,

상기 제1 상면 상방에 형성되고, 상기 제1 상면과 전기적으로 접속되어, 측면이 상기 제3 측벽과 제4 측벽에 접하는 드레인 도전체를 갖는 것을 특징으로 하는 반도체 장치.

청구항 2.

제1항에 있어서,

상기 제1 측벽과 상기 제3 측벽의 최상부의 높이가 상기 제4 상면의 높이와 동일하거나 더 낮은 것을 특징으로 하는 반도체 장치.

청구항 3.

제1항에 있어서,

상기 제2 측벽과 상기 제4 측벽의 최상부의 높이가 상기 제4 상면의 높이와 동일한 것을 특징으로 하는 반도체 장치.

청구항 4.

제1항에 있어서,

상기 게이트 절연막과 상기 게이트 도전체의 최상부의 높이가 상기 제4 상면의 높이와 동일한 것을 특징으로 하는 반도체 장치.

청구항 5.

제1항에 있어서,

상기 소스 도전체와 상기 드레인 도전체의 최상부의 높이가 상기 제4 상면의 높이와 동일한 것을 특징으로 하는 반도체 장치.

청구항 6.

제1항에 있어서,

상기 게이트 도전체가 메탈인 것을 특징으로 하는 반도체 장치.

청구항 7.

제1항에 있어서,

상기 소스 도전체와 상기 드레인 도전체가 메탈인 것을 특징으로 하는 반도체 장치.

청구항 8.

제1항에 있어서,

상기 소스 도전체와 상기 드레인 도전체가 실리사이드인 것을 특징으로 하는 반도체 장치.

청구항 9.

제1항에 있어서,

상기 게이트 절연막이 고유전체를 갖는 것을 특징으로 하는 반도체 장치.

청구항 10.

제1항에 있어서,

상기 반도체 기판이 제1 도전형이고,

상기 반도체 기판이, 상기 소스 도전체의 하방에 형성되어 상기 제1 상면을 포함한 제2 도전형의 소스 불순물 확산층과, 상기 드레인 도전체의 하방에 형성되어 상기 제1 상면을 포함한 제2 도전형의 드레인 불순물 확산층을 더 갖는 것을 특징으로 하는 반도체 장치.

청구항 11.

제1항에 있어서,

상기 제1 상면과 상기 소스 도전체 사이에 형성된 소스 실리사이드층과, 상기 제1 상면과 상기 드레인 도전체 사이에 형성된 드레인 실리사이드층을 더 갖는 것을 특징으로 하는 반도체 장치.

청구항 12.

제1항에 있어서,

상기 제1 측벽, 상기 제2 측벽, 상기 제3 측벽과 상기 제4 측벽은, 하층이 실리콘 산화막이고, 상층이 실리콘 질화막의 2층 구조인 것을 특징으로 하는 반도체 장치.

청구항 13.

제1항에 있어서,

상기 제1 측벽, 상기 제2 측벽, 상기 제3 측벽과 상기 제4 측벽은, 측면에 대한 수선 방향으로 실리콘 산화막과 실리콘 질화막의 2층 구조인 것을 특징으로 하는 반도체 장치.

청구항 14.

반도체 기판 위에 섬 형상의 소자 영역을 형성하는 단계와,

상기 소자 영역의 외주부에 소자 분리 영역을 형성하는 단계와,

상기 소자 영역을 획단하며, 단부가 상기 소자 분리 영역에 접한 더미 게이트를 형성하는 단계와,

상기 소자 분리 영역에 상기 더미 게이트보다 낮은 제1 영역을 형성하는 단계와,

상기 더미 게이트를 제외한 상기 소자 영역에 소스·드레인 영역을 형성하는 단계와,

상기 소스·드레인 영역의 주변부에 측벽을 형성하는 단계와,

상기 소스·드레인 영역의 하방의 반도체 기판에 소스·드레인 불순물 확산층을 형성하는 단계와,

더미 게이트를 포함하는 게이트 배선 이외의 영역에 상기 더미 게이트와 동일한 높이의 반도체막을 형성하는 단계와,

상기 반도체막의 상면을 산화하여, 실리콘 산화막을 형성하는 단계와,

상기 실리콘 산화막을 마스크로 하여, 상기 소자 영역에 형성된 더미 게이트를 제거하는 단계와,

상기 반도체막을 에칭 스토퍼로 하여, 상기 소자 분리 영역에 형성된 게이트 배선 영역을 후퇴시켜, 상기 실리콘 산화막을 제거하는 단계와,

상기 더미 게이트 대신에 게이트 절연막과 게이트 전극을 형성하는 단계와,

상기 반도체막을 제거하고, 상기 소스·드레인 불순물 확산층을 노출시키는 단계와,

상기 소스·드레인 불순물 확산층 위에 소스·드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15.

제14항에 있어서,

상기 소스·드레인 전극이 실리사이드를 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16.

제14항에 있어서,

상기 소스·드레인 전극을 형성하는 단계는,

반도체 기판을 화학 반응시켜 실리사이드를 형성하는 단계와,

상기 실리사이드 위에 도전체를 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17.

제14항에 있어서,

상기 게이트 절연막은 고유전체를 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 18.

제14항에 있어서,

상기 소스·드레인 영역의 표면이, 반도체 기판의 표면과 일치하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 19.

제14항에 있어서,

상기 더미 게이트는, 상층이 실리콘 질화층이고, 상기 상층의 아래의 층이 반도체층의 2층 구조를 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

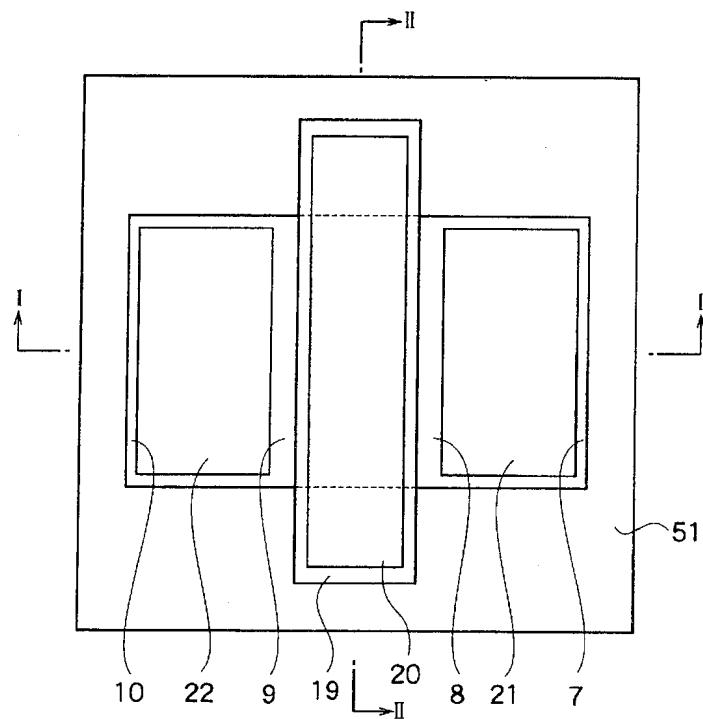
청구항 20.

제14항에 있어서,

상기 반도체막이 실리콘 게르마늄인 것을 특징으로 하는 반도체 장치의 제조 방법.

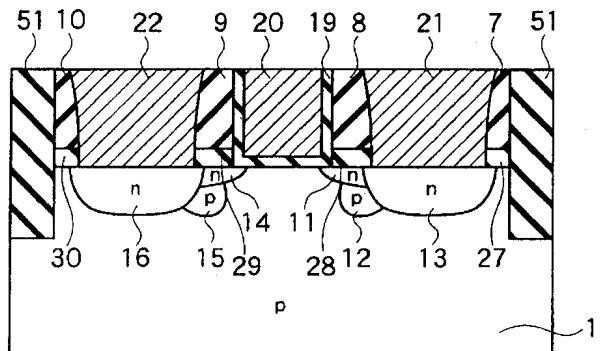
도면

도면1

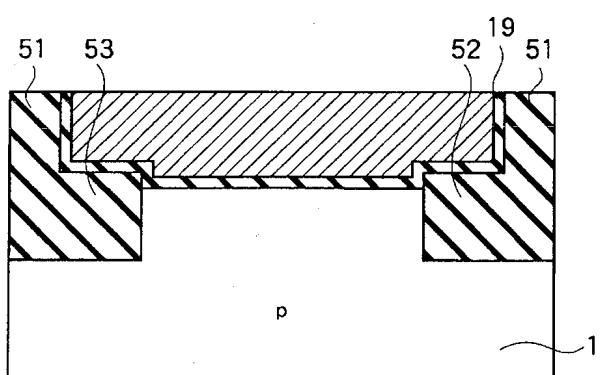


도면2

(a)

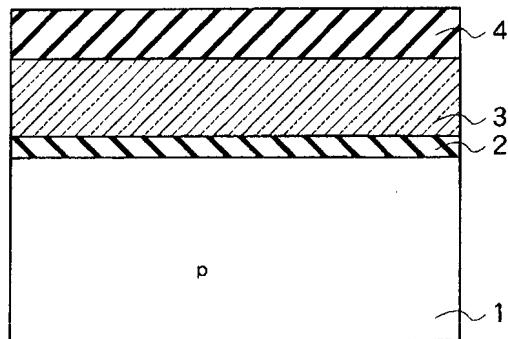


(b)

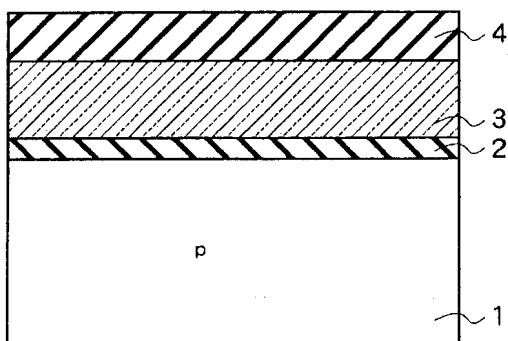


도면3

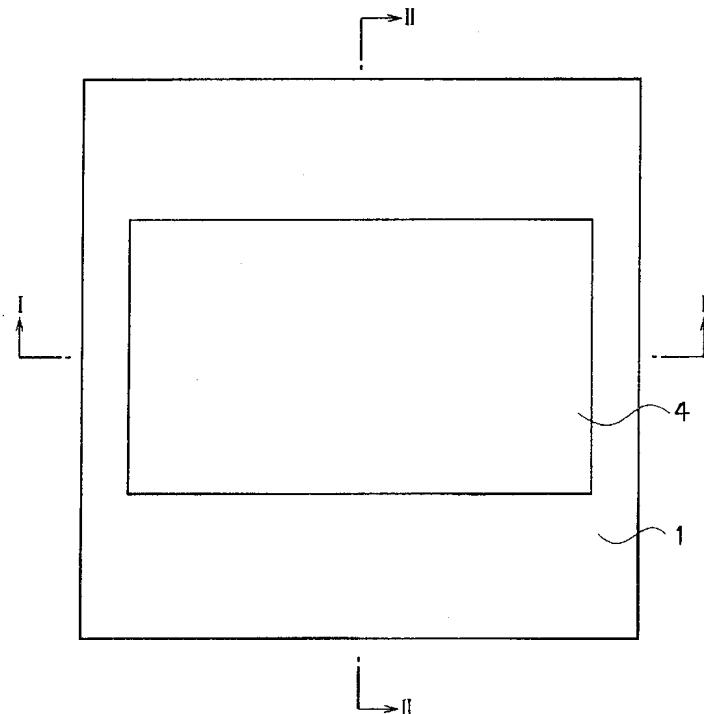
(a)



(b)

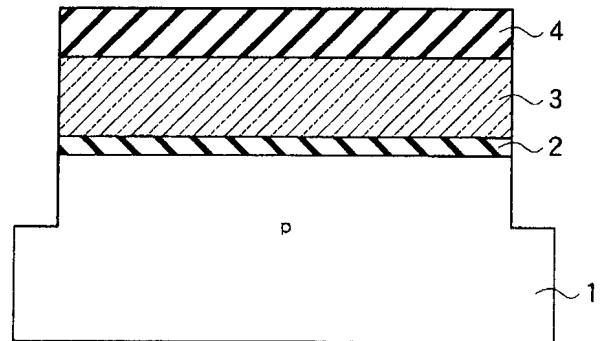


도면4

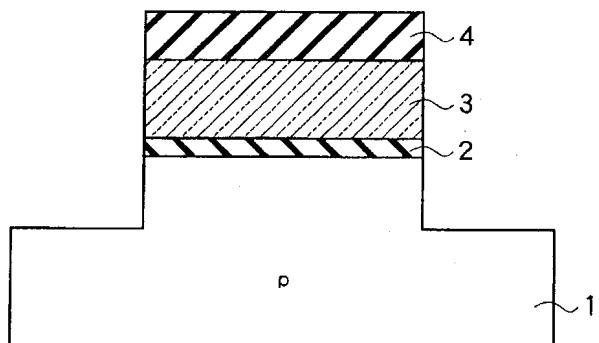


도면5

(a)

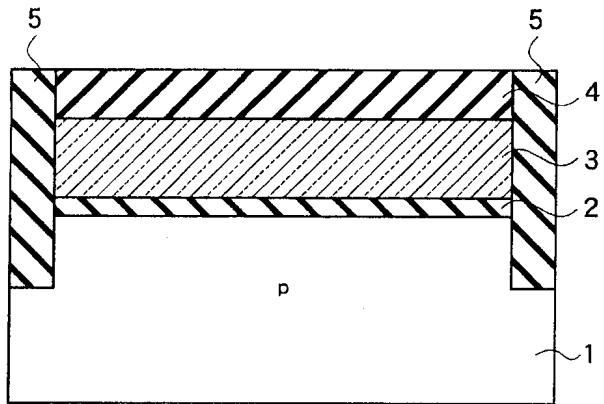


(b)

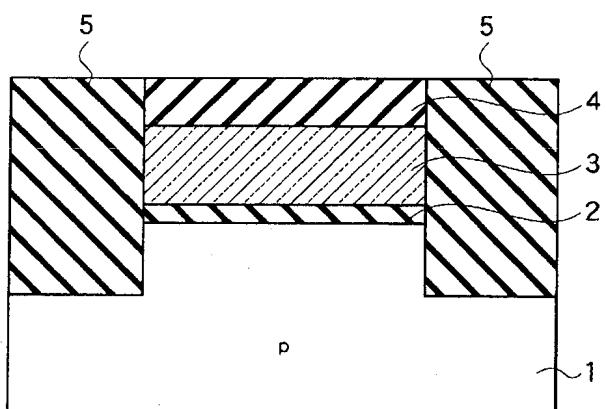


도면6

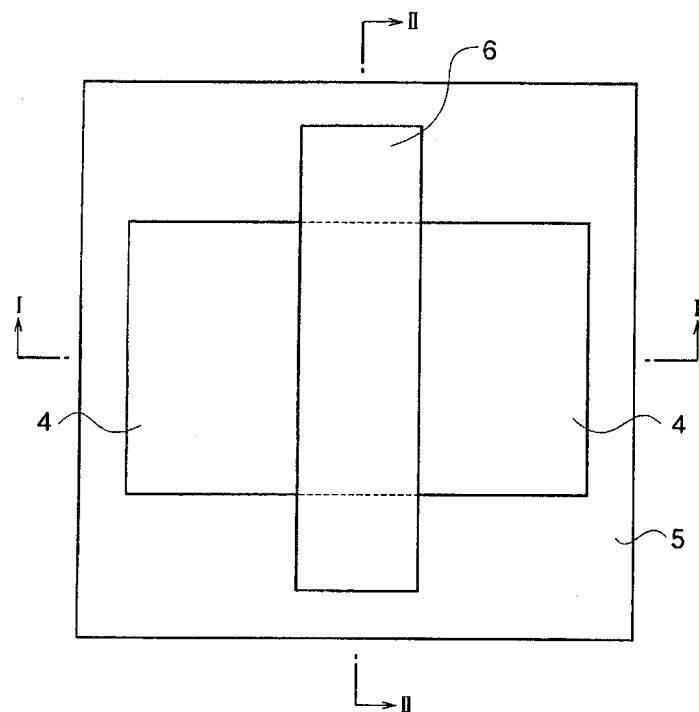
(a)



(b)

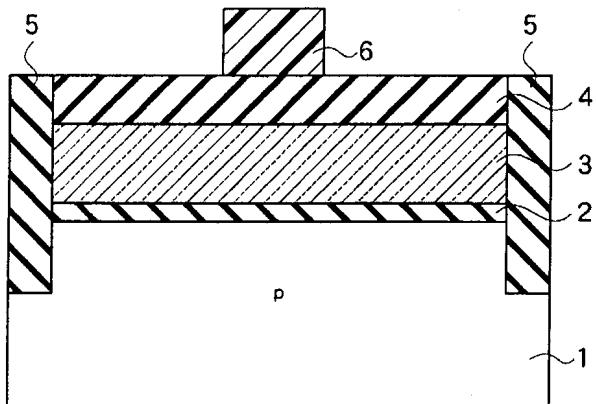


도면7

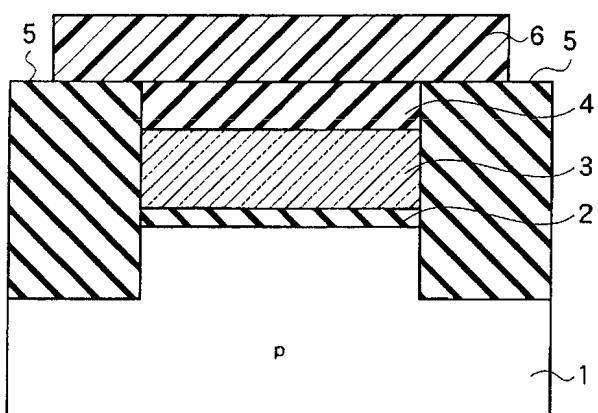


도면8

(a)

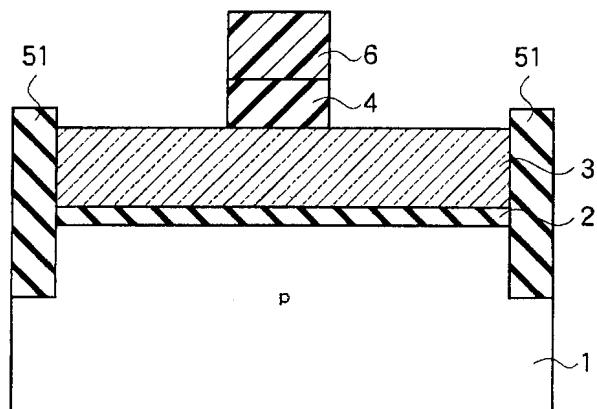


(b)

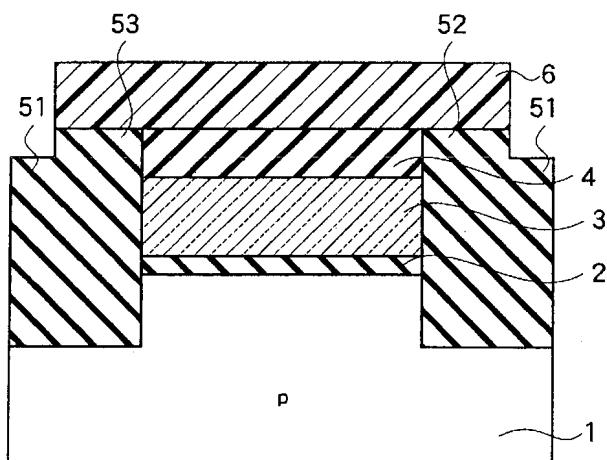


도면9

(a)

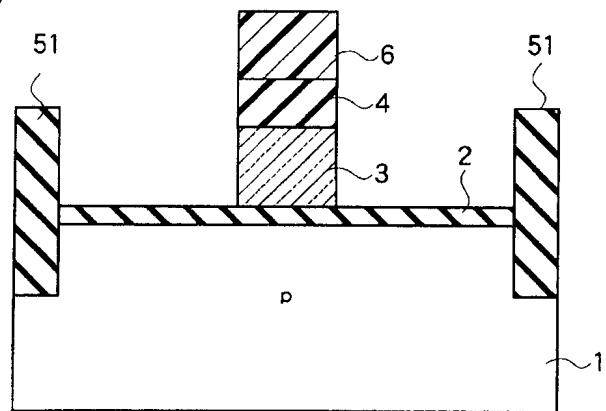


(b)

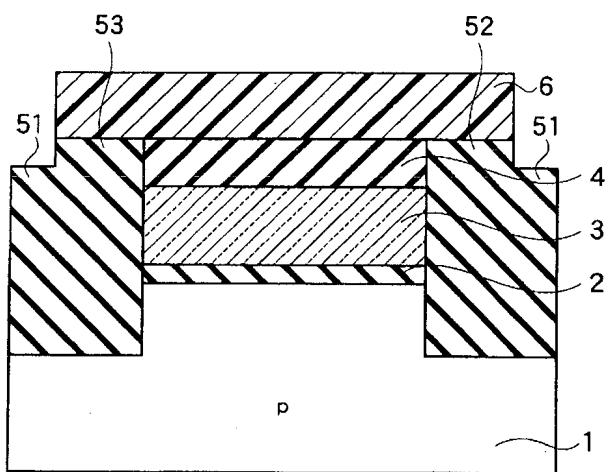


도면10

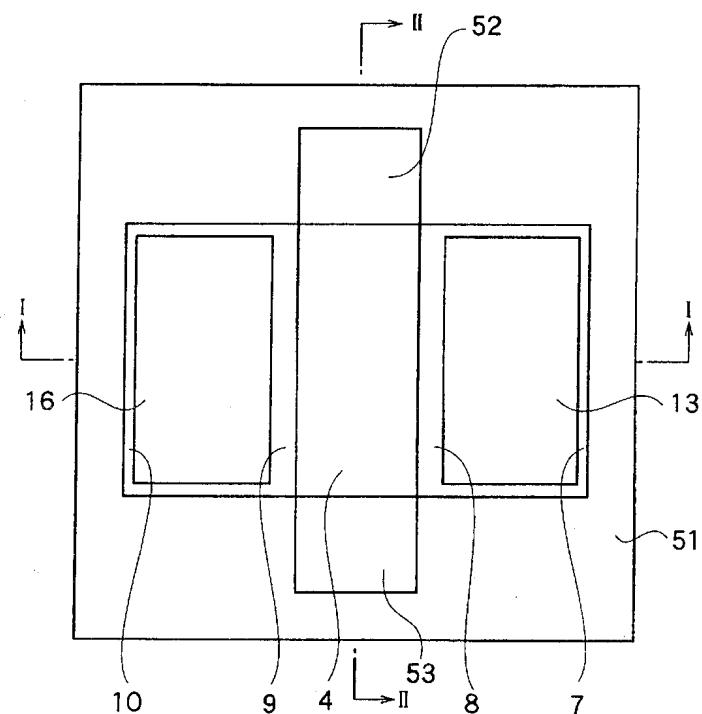
(a)



(b)

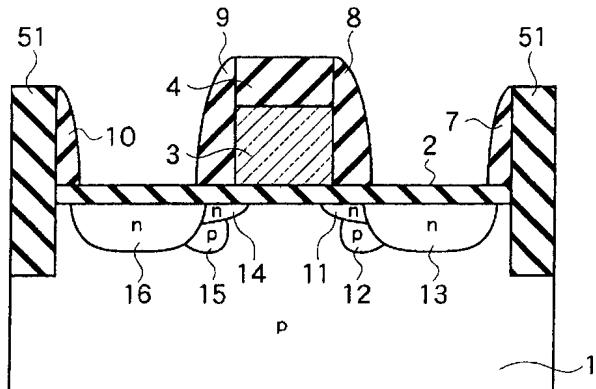


도면11

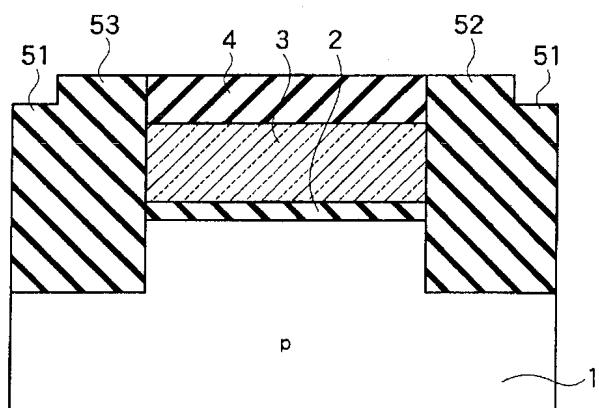


도면12

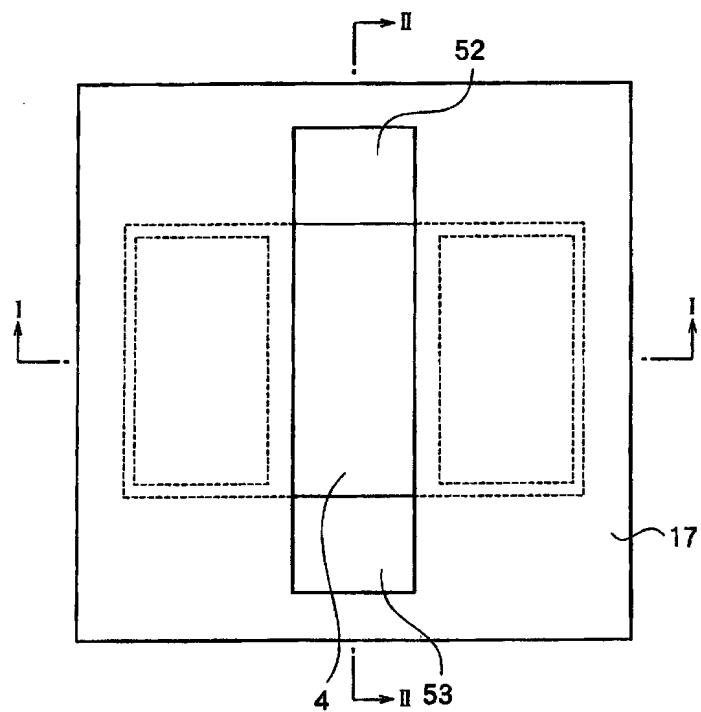
(a)



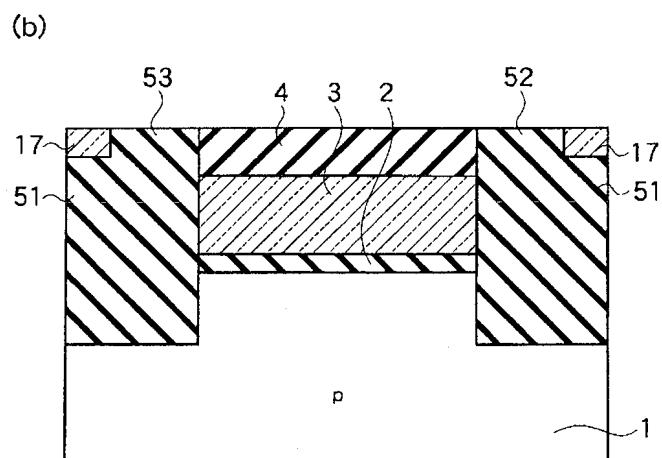
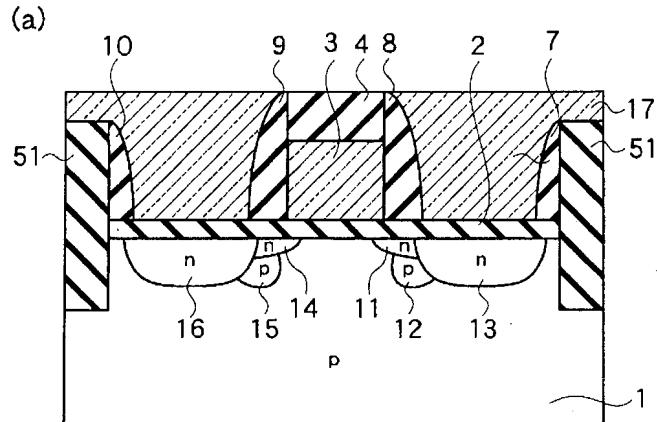
(b)



도면13

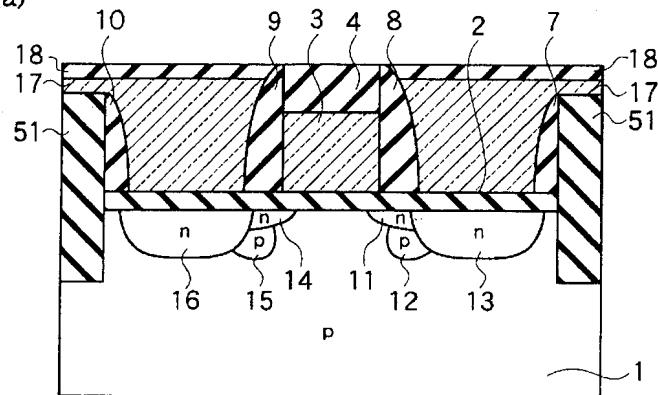


도면14

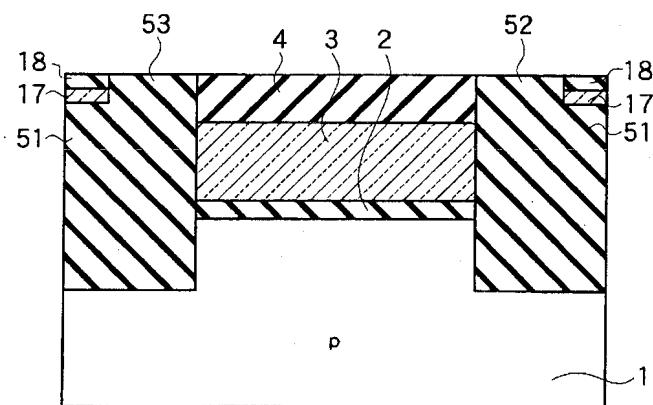


도면15

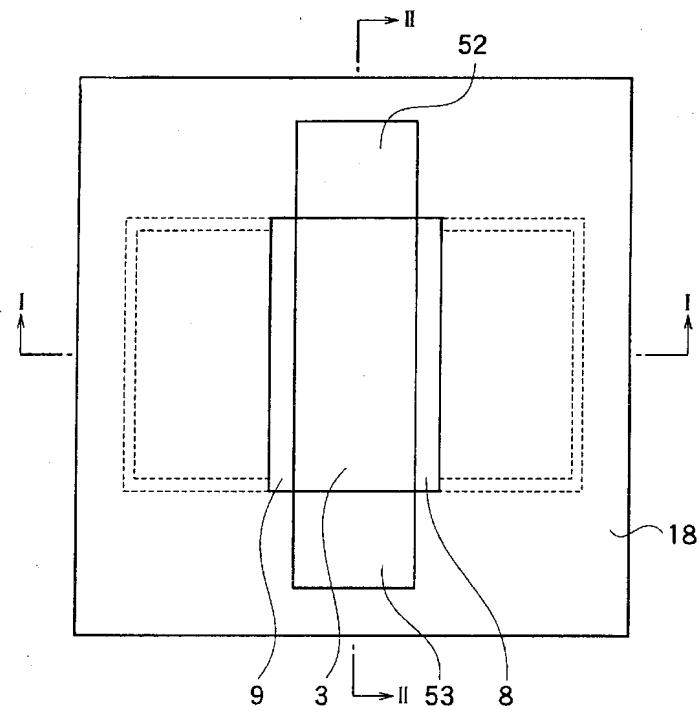
(a)



(b)

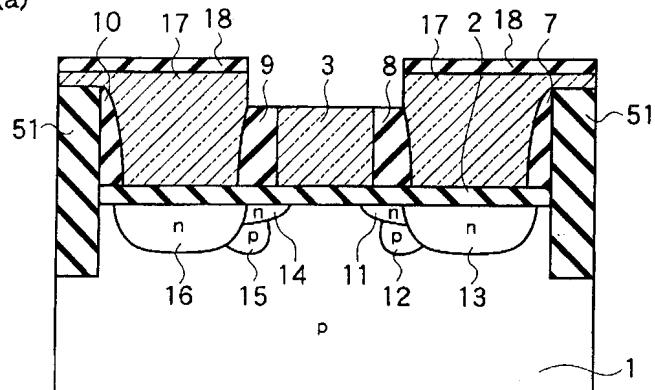


도면16

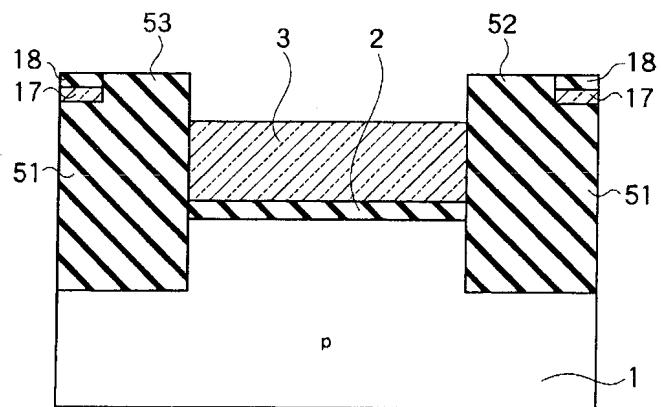


도면17

(a)

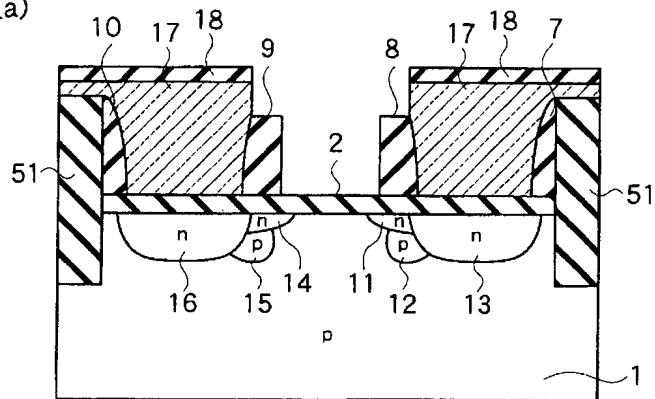


(b)

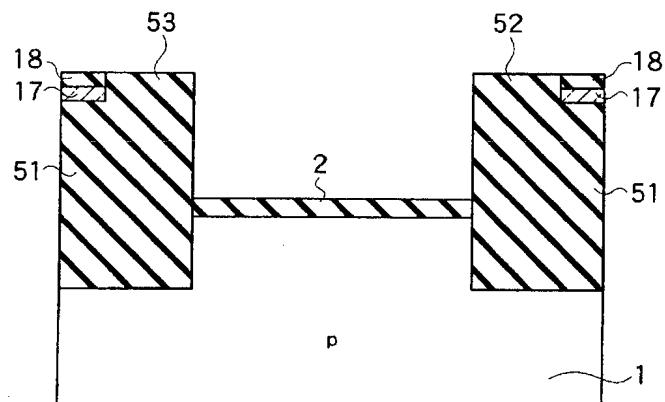


도면18

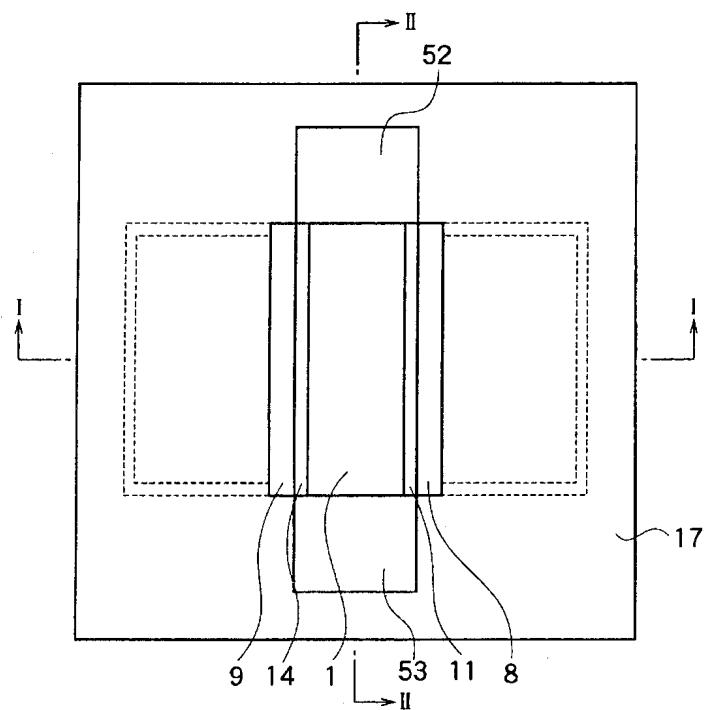
(a)



(b)

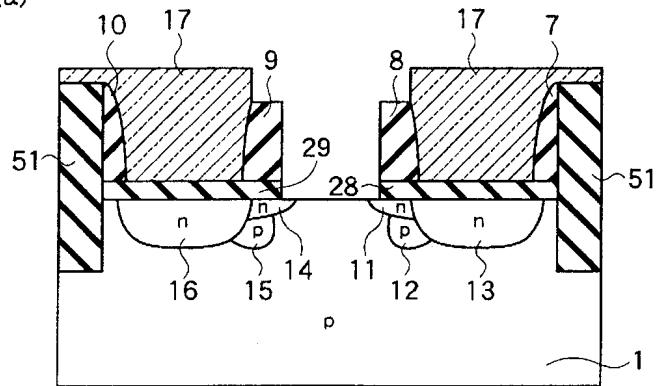


도면19

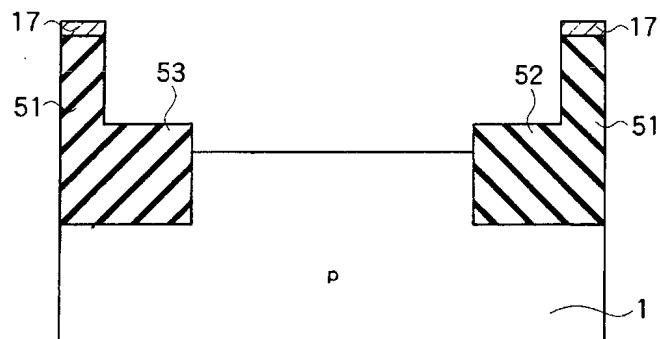


도면20

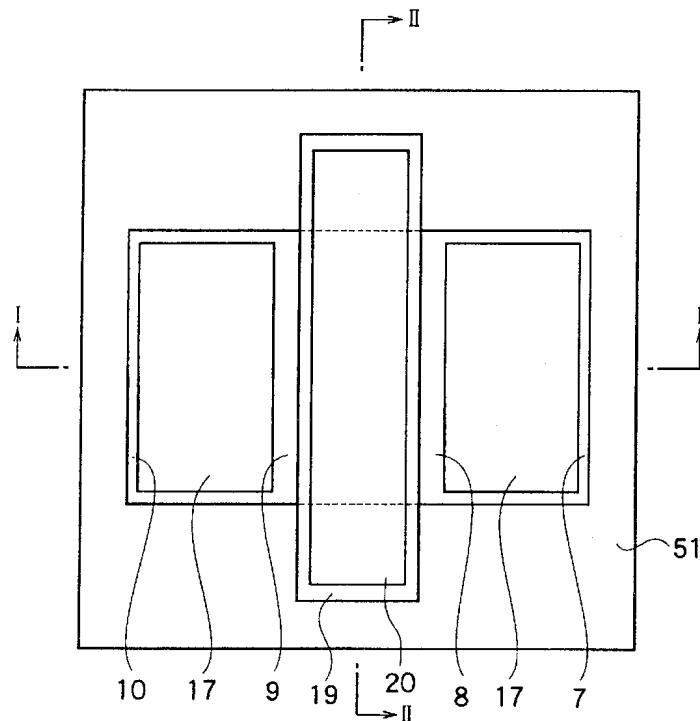
(a)



(b)

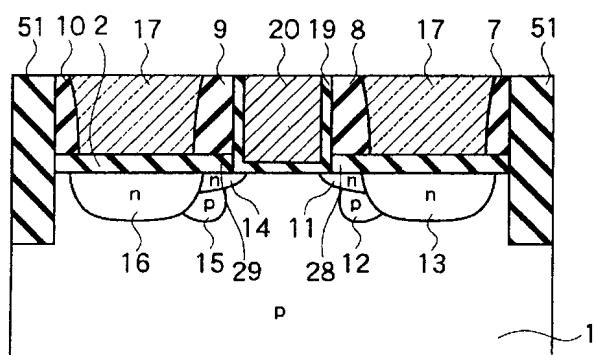


도면21

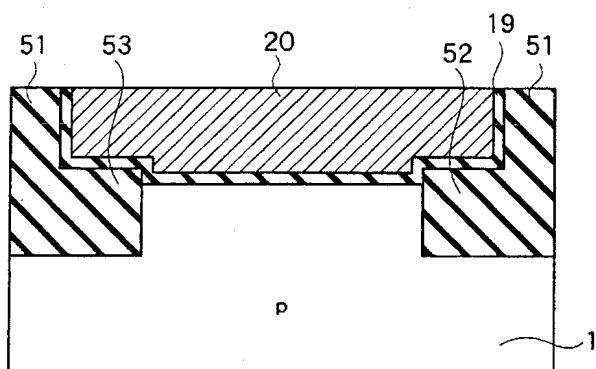


도면22

(a)

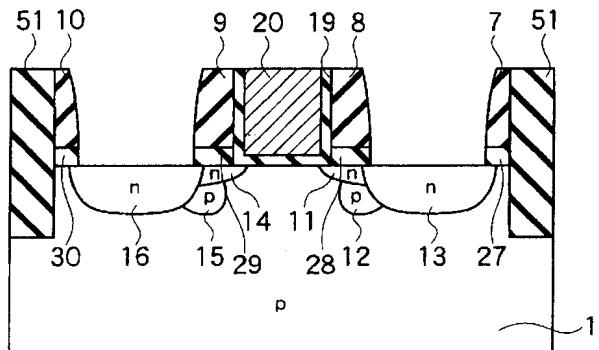


(b)

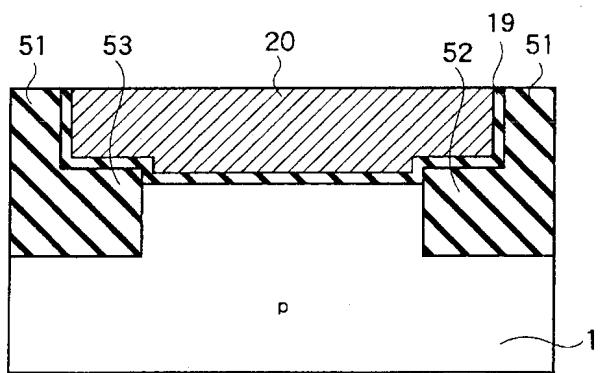


도면23

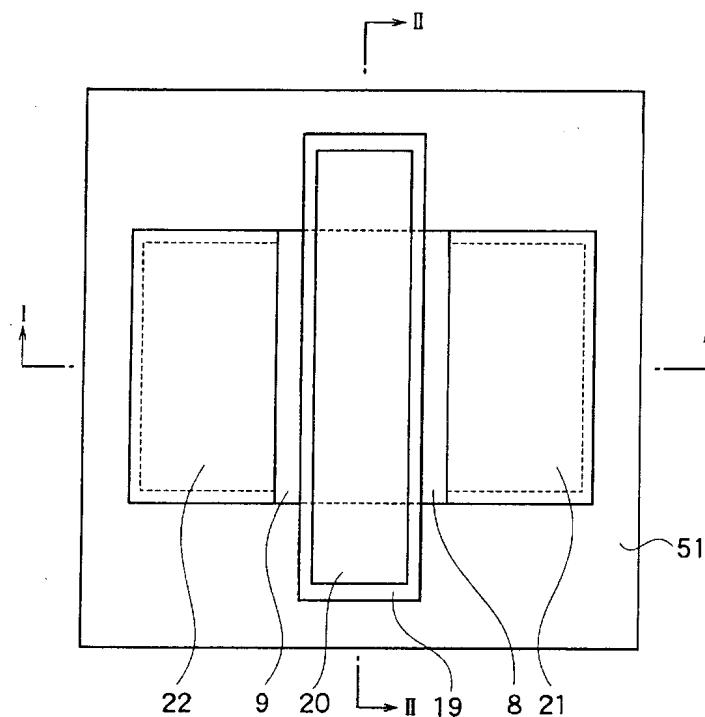
(a)



(b)

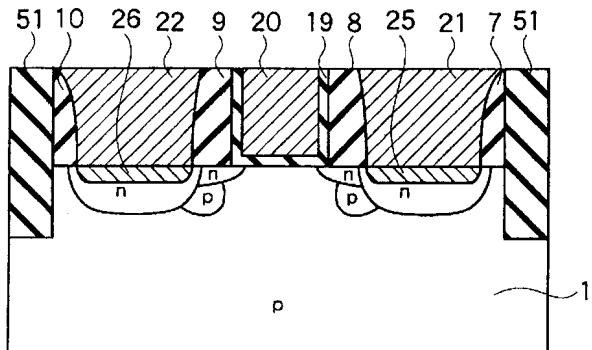


도면24

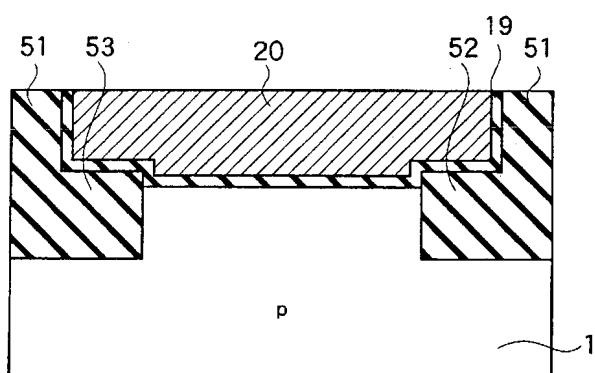


도면25

(a)

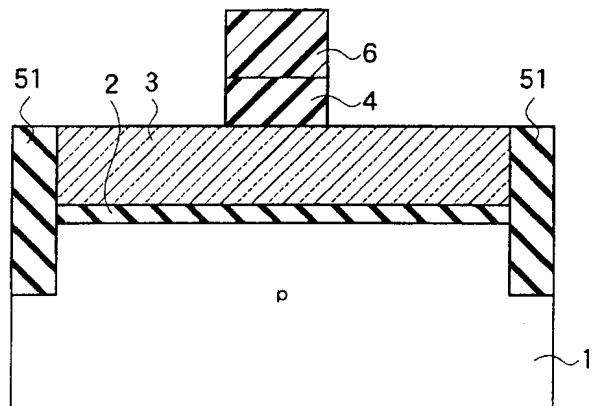


(b)

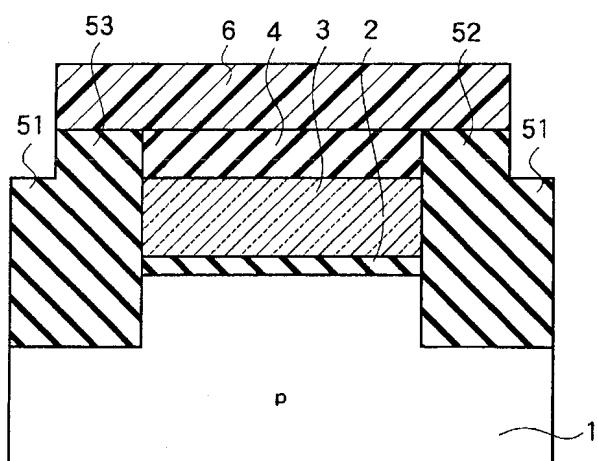


도면26

(a)

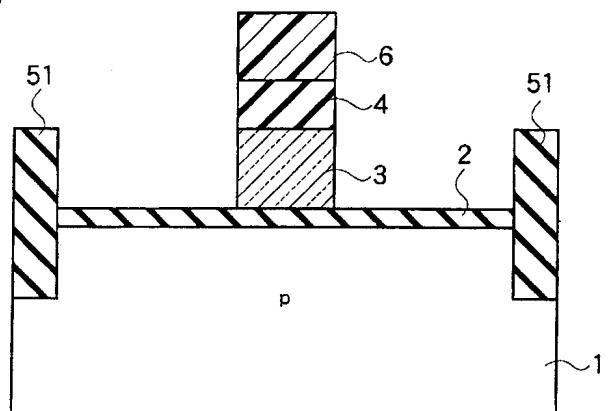


(b)

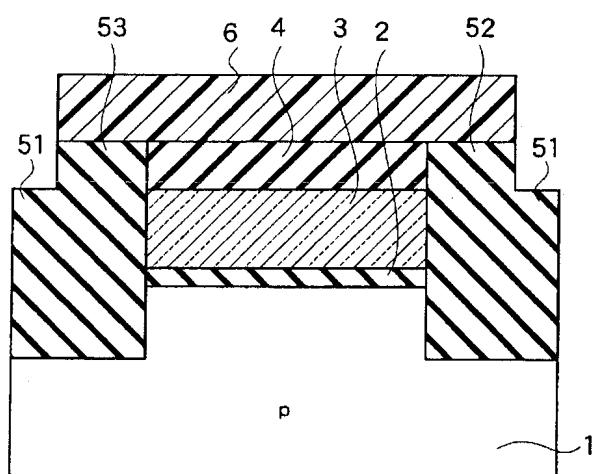


도면27

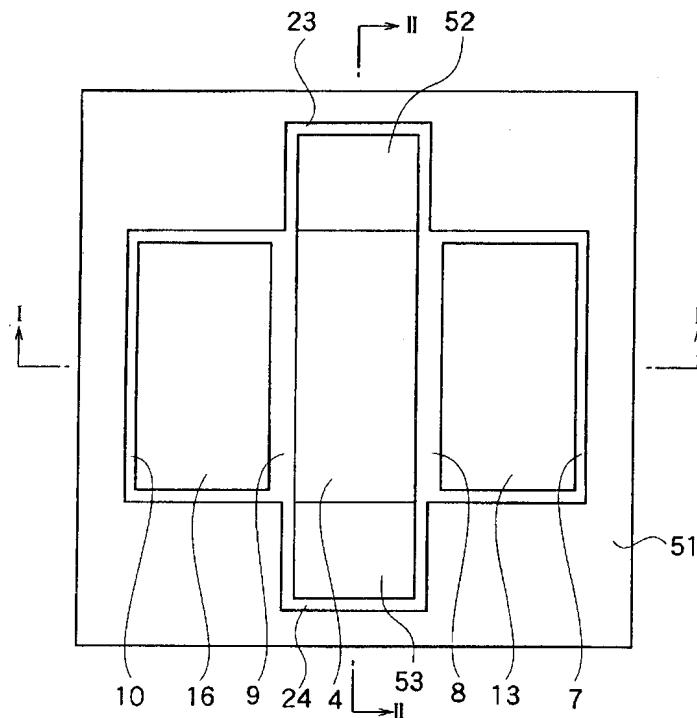
(a)



(b)

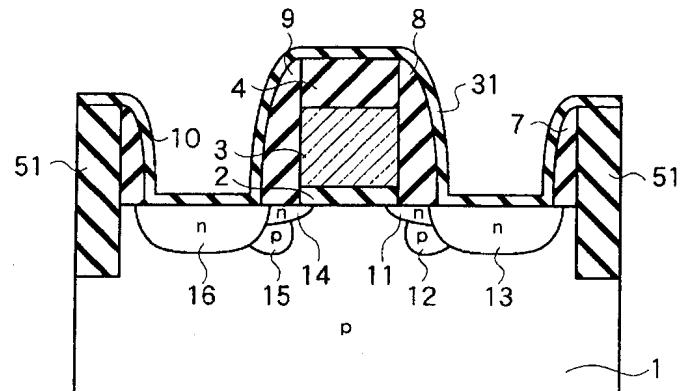


도면28

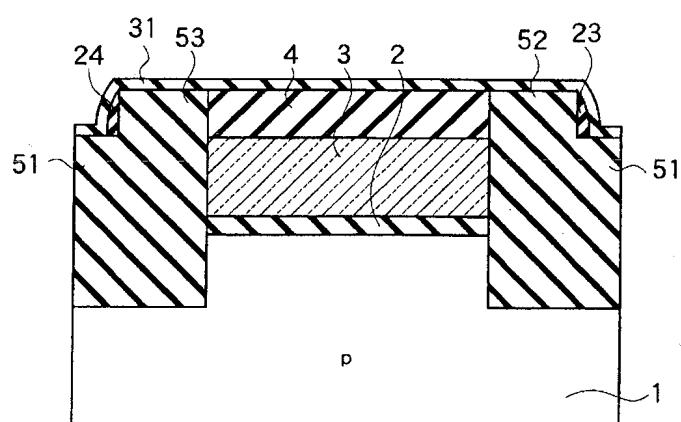


도면29

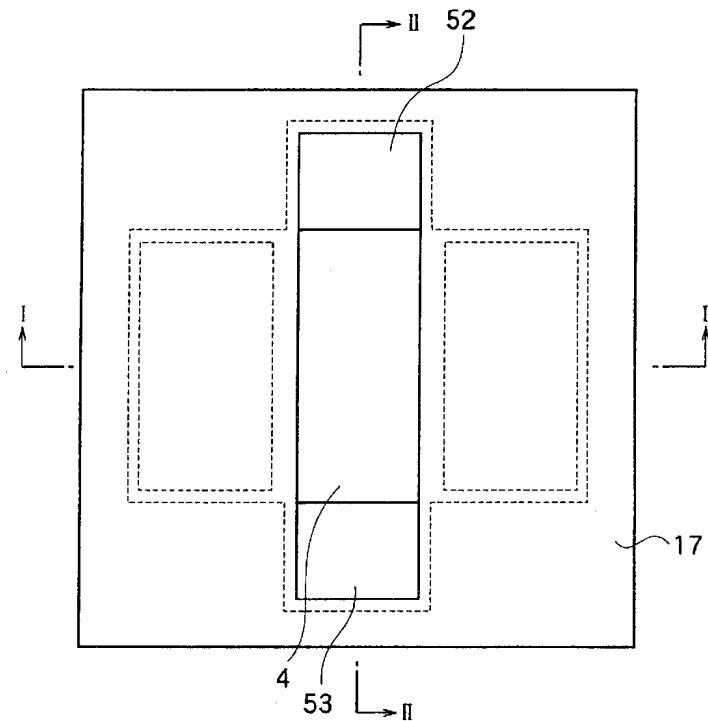
(a)



(b)

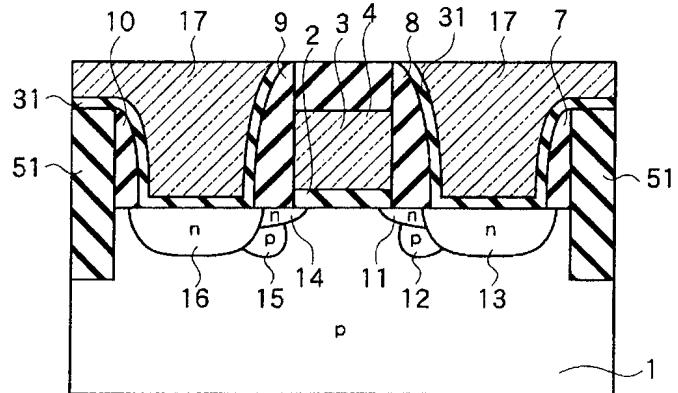


도면30

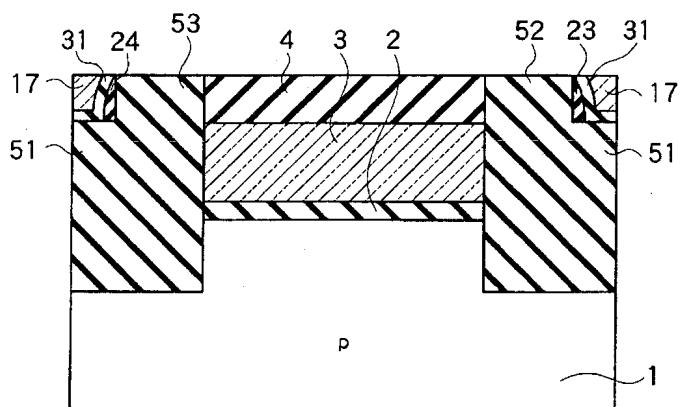


도면31

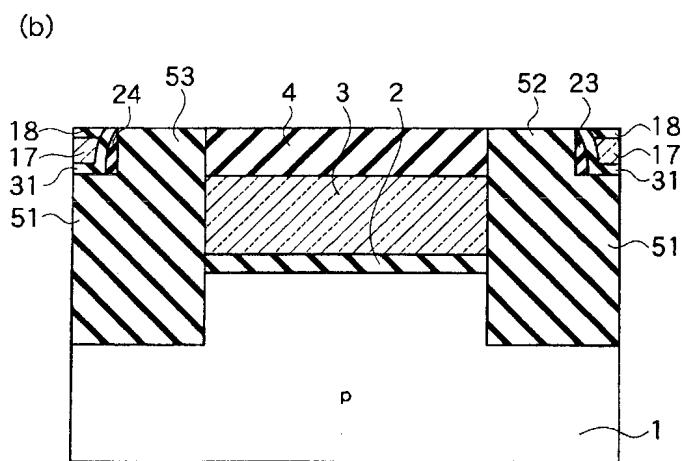
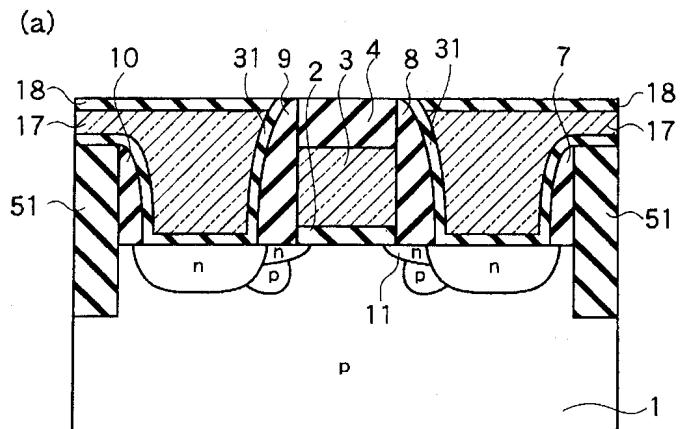
(a)



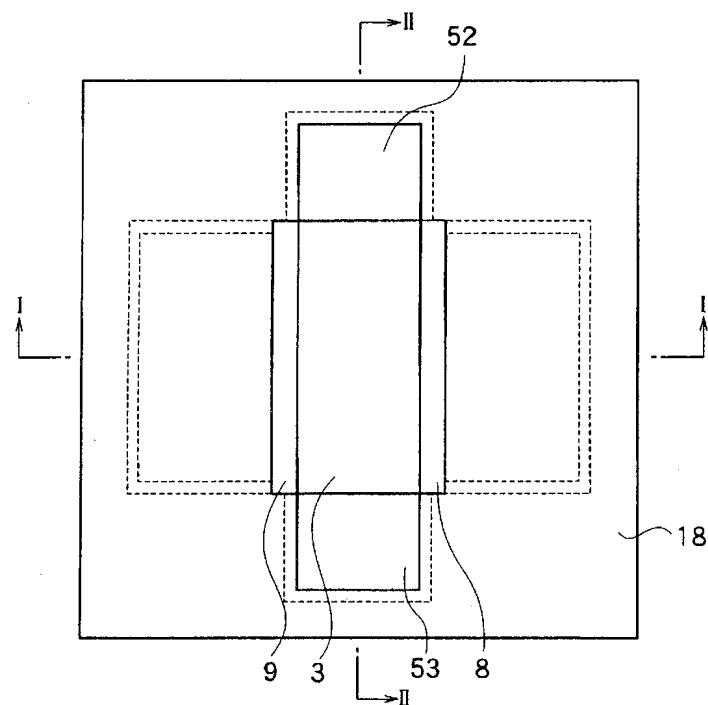
(b)



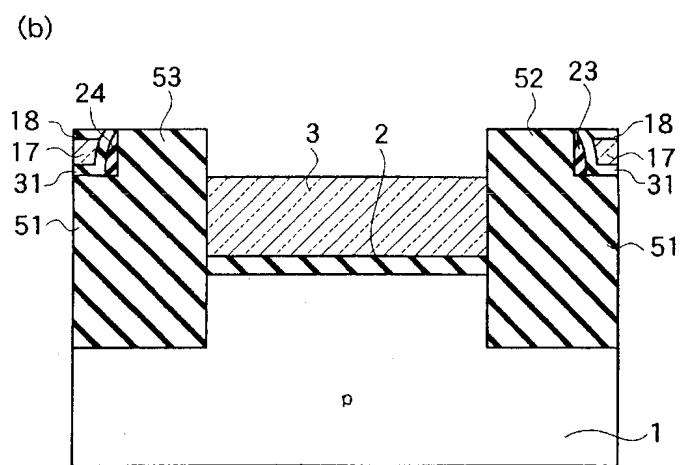
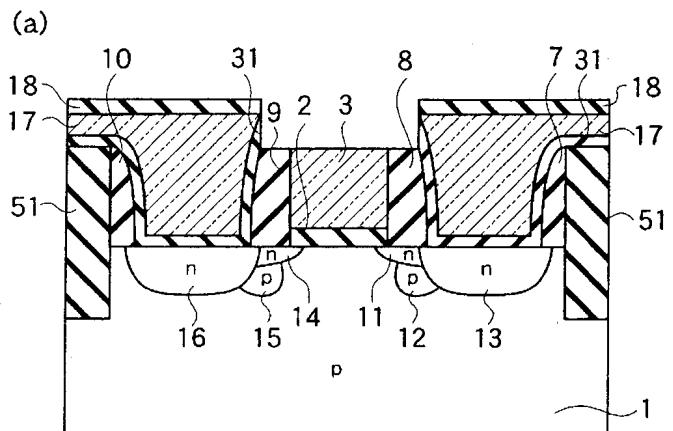
도면32



도면33

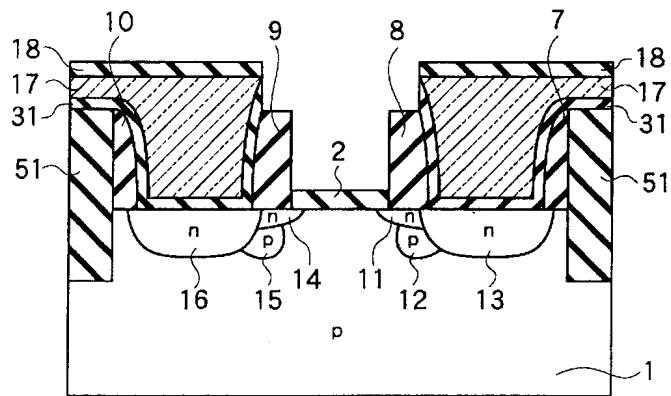


도면34

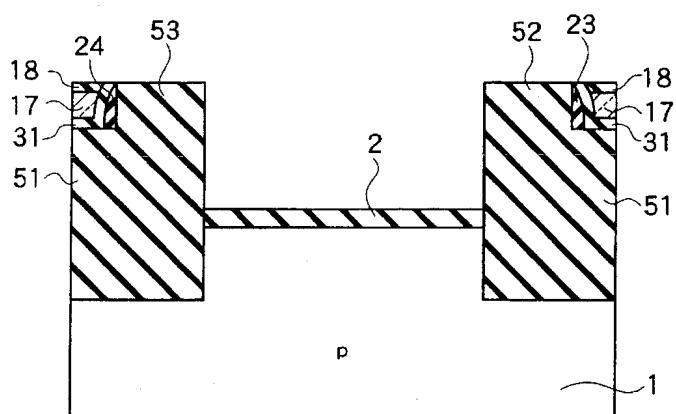


도면35

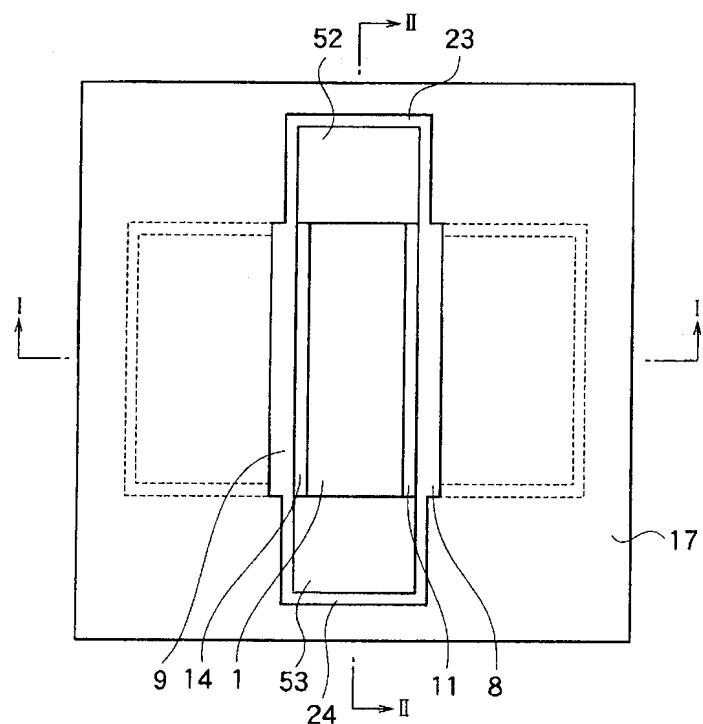
(a)



(b)

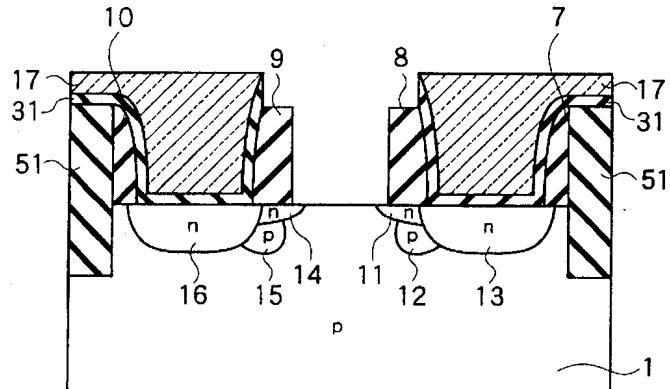


도면36

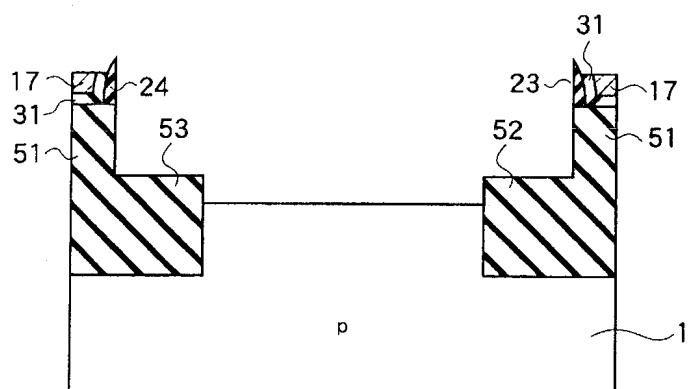


도면37

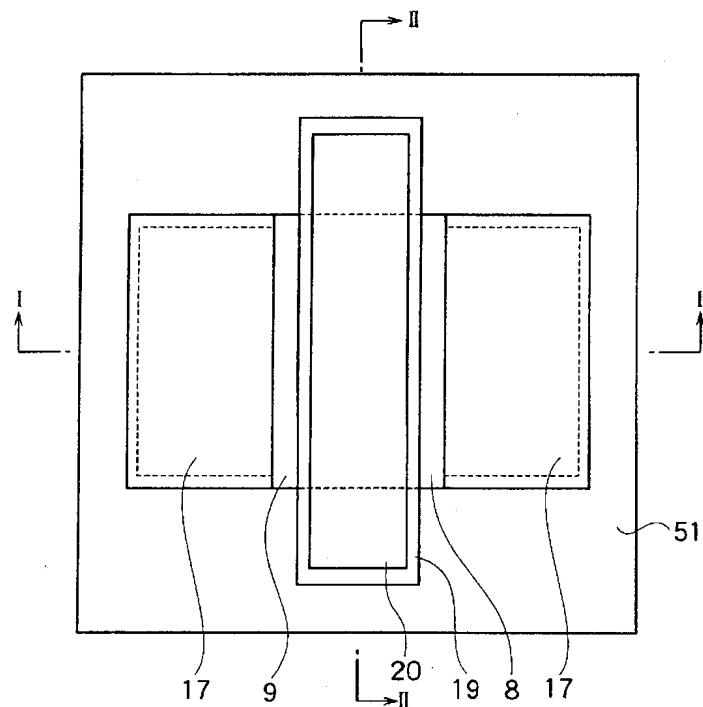
(a)



(b)

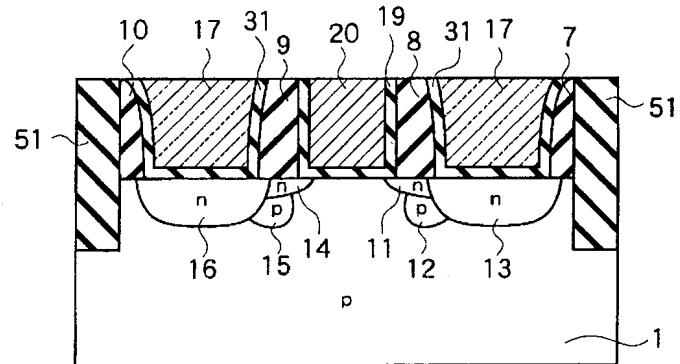


도면38

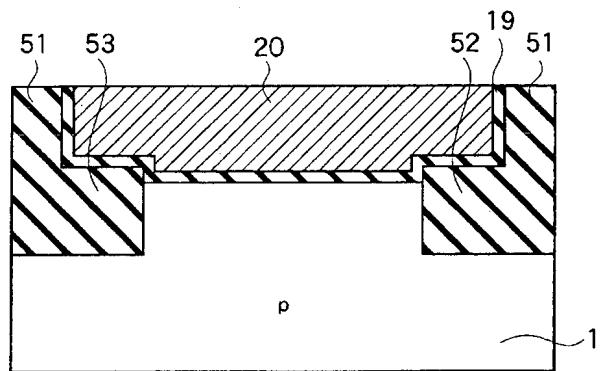


도면39

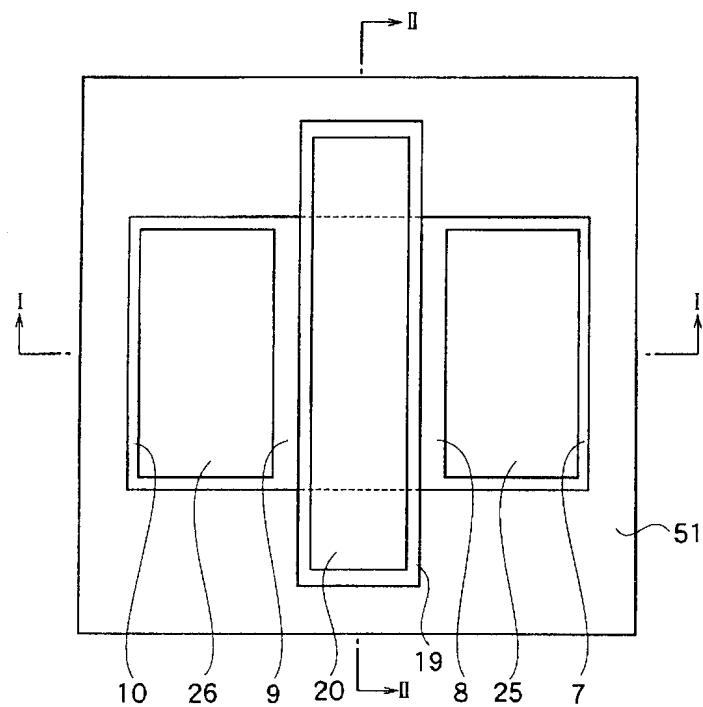
(a)



(b)

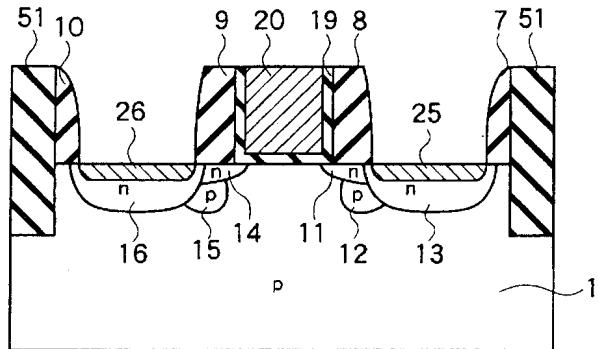


도면40

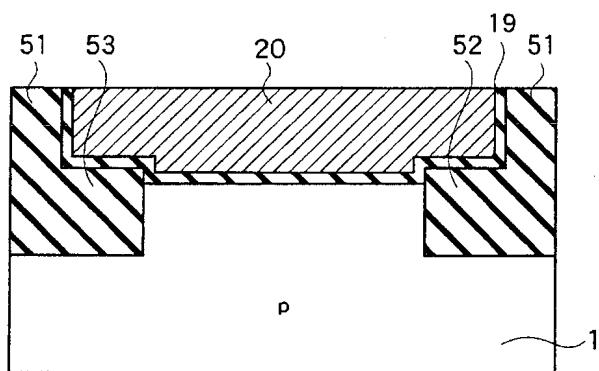


도면41

(a)

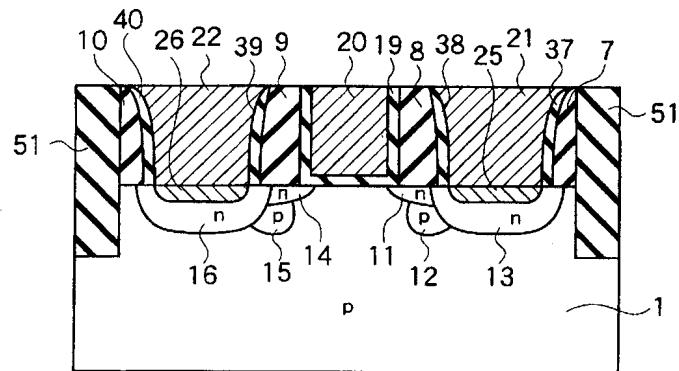


(b)

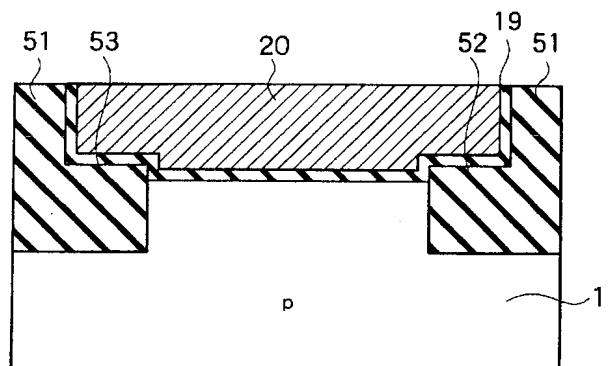


도면42

(a)

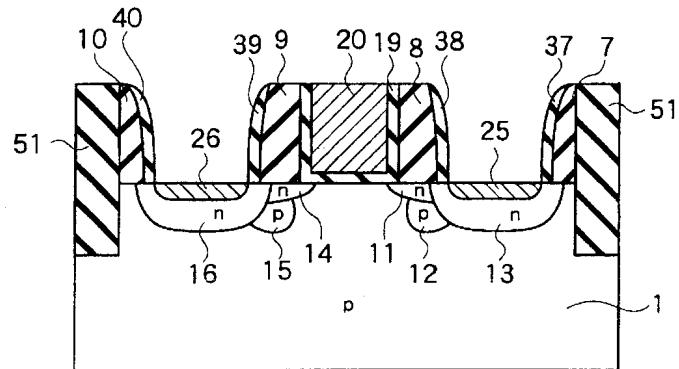


(b)



도면43

(a)



(b)

