



(12) 发明专利申请

(10) 申请公布号 CN 105448243 A

(43) 申请公布日 2016. 03. 30

(21) 申请号 201510609481. 0

(22) 申请日 2015. 09. 22

(30) 优先权数据

2014-192644 2014. 09. 22 JP

(71) 申请人 NLT 科技股份有限公司

地址 日本神奈川县川崎市

(72) 发明人 松枝洋二郎 野中义弘 高取宪一

(74) 专利代理机构 北京品源专利代理有限公司

11332

代理人 吕琳 杨生平

(51) Int. Cl.

G09G 3/3258(2016. 01)

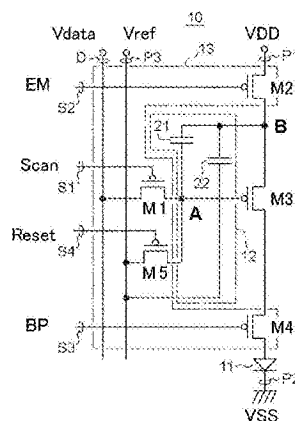
权利要求书4页 说明书14页 附图8页

(54) 发明名称

像素电路及其驱动方法以及显示装置

(57) 摘要

本发明实现一种能提高检测阈值电压的精度的像素电路等。所述像素电路包括：发光元件；驱动晶体管，将对应于所施加的电压的电流提供给所述发光元件；电容器部，保持包括所述驱动晶体管的阈值电压和数据电压的电压并将所述电压施加到所述驱动晶体管；以及开关部，使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压。所述开关部包括输入来自参考电压电源线的参考电压的参考电压晶体管和输入来自数据线的数据电压的数据电压晶体管。



1. 一种像素电路,具备:

发光元件;

驱动晶体管,将对应于所施加的电压的电流提供给所述发光元件;

电容器部,保持包括所述驱动晶体管的阈值电压和数据电压的电压,并将所述电压施加到所述驱动晶体管;以及

开关部,使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压,其中,

所述开关部包括输入来自参考电压电源线的参考电压的参考电压晶体管和输入来自数据线的所述数据电压的数据电压晶体管。

2. 如权利要求 1 所述的像素电路,其中,

所述驱动晶体管包括栅极端子、源极端子和漏极端子,并且将对应于在所述栅极端子和所述源极端子之间施加的电压的电流提供给连接到所述漏极端子的所述发光元件,

所述电容器部保持包括所述驱动晶体管的所述阈值电压和所述数据电压的电压,并且将所述电压施加到所述驱动晶体管的所述栅极端子和所述源极端子之间,

所述开关部

具有包括包括所述参考电压晶体管和所述数据电压晶体管的多个晶体管,通过这些晶体管的切换动作,使所述电容器部保持包括所述阈值电压的所述电压,之后使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压,

当使所述电容器部保持包括所述阈值电压的所述电压时,通过使所述参考电压晶体管导通且使所述数据电压晶体管关断,将参考电压提供给所述电容器部,

当使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压时,通过使所述参考电压晶体管关断且使所述数据电压晶体管导通,将数据电压提供给所述电容器部。

3. 如权利要求 1 所述的像素电路,其中,

所述发光元件是有机发光二极管。

4. 如权利要求 2 所述的像素电路,其中,

当使所述电容器部保持包括所述阈值电压的所述电压时,所述开关部在等于或长于一个水平扫描期间的时间内通过使所述参考电压晶体管导通且使所述数据电压晶体管关断,将所述参考电压提供给所述电容器部。

5. 如权利要求 2 所述的像素电路,其中,

当使所述电容器部保持包括所述阈值电压的所述电压时,所述开关部通过将所述参考电压提供给所述电容器部,临时将所述驱动晶体管导通。

6. 如权利要求 2 所述的像素电路,包括第一至第五晶体管、第一和第二电容器以及所述发光元件,所述像素电路电连接到所述数据线、第一至第四控制线以及第一至第三电源线,其中,

所述第三电源线相当于参考电压电源线,所述第一、第二、第四和第五晶体管构成所述开关部,所述第一晶体管相当于所述数据电压晶体管,所述第五晶体管相当于所述参考电压晶体管,所述第三晶体管相当于所述驱动晶体管,以及所述第一和第二电容器构成所述电容器部,

所述第一晶体管包括电连接到所述数据线的第一端子、第二端子、以及电连接到所述第一控制线的控制端子,

所述第二晶体管包括电连接到所述第一电源线的第一端子、第二端子、以及电连接到所述第二控制线的控制端子，

所述第三晶体管包括电连接到所述第二晶体管的第二端子并且相当于所述源极端子的第一端子、相当于所述漏极端子的第二端子、以及电连接到所述第一晶体管的第二端子并且相当于所述栅极端子的控制端子，

所述第四晶体管包括电连接到所述第三晶体管的第二端子的第一端子、第二端子、以及电连接到所述第三控制线的控制端子，

所述第五晶体管包括电连接到所述第三电源线的第一端子、电连接到所述第一晶体管的所述第二端子的第二端子、以及电连接到所述第四控制线的控制端子，

所述第一电容器包括电连接到所述第一晶体管的所述第二端子的第一端子和电连接到所述第三晶体管的所述第一端子的第二端子，

所述第二电容器包括电连接到所述第三电源线的第一端子和电连接到所述第三晶体管的所述第一端子的第二端子，

所述发光元件包括电连接到所述第四晶体管的所述第二端子的第一端子和电连接到所述第二电源线的第二端子。

7. 如权利要求 6 所述的像素电路，其中，

所述第一至第五晶体管是 p 沟道型晶体管。

8. 如权利要求 6 所述的像素电路，其中，

所述第一晶体管构成为将从所述数据线提供的所述数据电压选择性地提供给所述第一电容器的所述第一端子，

所述第二晶体管构成为将从所述第一电源线提供的第一电源电压选择性地提供给所述第三晶体管的所述第一端子、所述第一电容器的所述第二端子和所述第二电容器的所述第二端子，

所述第三晶体管构成为将所述第一电容器的所述第二端子和所述第二电容器的所述第二端子选择性地连接到所述第四晶体管的所述第一端子，

所述第四晶体管构成为将所述第三晶体管的所述第二端子选择性地连接到所述发光元件的所述第一端子，

所述第五晶体管构成为将从所述第三电源线提供的并且相当于所述参考电压的第三电源电压选择性地提供给所述第一电容器的所述第一端子。

9. 一种像素电路，包括第一至第五晶体管、第一和第二电容器以及发光元件，所述像素电路电连接到数据线、第一至第四控制线以及第一至第三电源线，其中，

所述第一晶体管包括电连接到所述数据线的第一端子、第二端子、以及电连接到所述第一控制线的控制端子，

所述第二晶体管包括电连接到所述第一电源线的第一端子、第二端子、以及电连接到所述第二控制线的控制端子，

所述第三晶体管包括电连接到所述第二晶体管的所述第二端子的第一端子、第二端子、以及电连接到所述第一晶体管的所述第二端子的控制端子，

所述第四晶体管包括电连接到所述第三晶体管的所述第二端子的第一端子、第二端子、以及电连接到所述第三控制线的控制端子，

所述第五晶体管包括电连接到所述第三电源线的第一端子、电连接到所述第一晶体管的所述第二端子的第二端子、以及电连接到所述第四控制线的控制端子，

所述第一电容器包括电连接到所述第一晶体管的所述第二端子的第一端子和电连接到所述第三晶体管的所述第一端子的第二端子，

所述第二电容器包括电连接到所述第三电源线的第一端子和电连接到所述第三晶体管的所述第一端子的第二端子，

所述发光元件包括电连接到所述第四晶体管的所述第二端子的第一端子和电连接到所述第二电源线的第二端子。

10. 如权利要求 9 所述的像素电路，其中，

所述第一晶体管构成为将从所述数据线提供的的数据电压选择性地提供给所述第一电容器的所述第一端子，

所述第二晶体管构成为将从所述第一电源线提供的第一电源电压选择性地提供给所述第三晶体管的所述第一端子、所述第一电容器的所述第二端子和所述第二电容器的所述第二端子，

所述第三晶体管构成为将所述第一电容器的所述第二端子和所述第二电容器的所述第二端子选择性地连接到所述第四晶体管的所述第一端子，

所述第四晶体管构成为将所述第三晶体管的所述第二端子选择性地连接到所述发光元件的所述第一端子，

所述第五晶体管构成为将从所述第三电源线提供的第三电源电压选择性地提供给所述第一电容器的所述第一端子。

11. 一种显示装置，包括配置成矩阵的多个权利要求 1 所述的像素电路。

12. 如权利要求 11 所述的显示装置，其中，

进一步包括解多路复用器，在假定所述像素电路是子像素的情况下，当一个像素由等于 2 或多于 2 的固定数目的所述子像素构成时，所述解多路复用器从分别连接到固定数目的所述像素电路的所述固定数目的数据线中依次选择一根数据线，并且将所选择的一根数据线连接到与所述数据电压的供给源相连的另一根数据线。

13. 一种像素电路的驱动方法，用于驱动权利要求 1 所述的像素电路，其包括第一至第四期间，其中，

所述开关部

在所述第一期间中，初始化被保持到所述电容器部的电压，

在所述第一期间之后的所述第二期间中，使所述参考电压晶体管导通，以使所述电容器部保持包括所述驱动晶体管的所述阈值电压的所述电压，

在所述第二期间之后的第三期间中，使所述数据电压晶体管导通，以将所述数据电压提供给所述电容器部，并使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压，

在所述第三期间之后的所述第四期间中，通过将由所述电容器部保持的所述电压施加到所述驱动晶体管，将对应于所述数据电压的电流提供给所述发光元件。

14. 如权利要求 13 所述的像素电路的驱动方法，其中，

所述第二期间是等于或长于一个水平扫描期间的的时间。

15. 一种像素电路的驱动方法,用于驱动权利要求 2 所述的像素电路,其包括第一至第四期间,其中,

所述开关部

在第一期期间中,初始化被保持到所述电容器部的电压,

在所述第一期期间之后的第二期期间中,使所述参考电压晶体管导通,且使所述数据电压晶体管关断,以使所述电容器部保持包括所述驱动晶体管的所述阈值电压的所述电压,

在所述第二期期间之后的第三期期间中,使所述参考电压晶体管关断,且使所述数据电压晶体管导通,以将所述数据电压提供给所述电容器部,并使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压,

在所述第三期期间之后的所述第四期间中,通过将由所述电容器部保持的所述电压施加到所述驱动晶体管的所述栅极端子和所述源极端子之间,将对应于所述数据电压的电流提供给所述发光元件。

16. 一种像素电路的驱动方法,用于驱动权利要求 6 所述的像素电路,其包括第一至第四期间,其中,

在第一期期间中,设定所述第一至第四控制线的电压,以使所述第一晶体管和所述第四晶体管关断,以及所述第二晶体管、所述第三晶体管和所述第五晶体管导通,

在所述第一期期间之后的第二期期间中,设定所述第一至第四控制线的电压,以使所述第一晶体管和所述第二晶体管关断,以及所述第三晶体管、所述第四晶体管和所述第五晶体管导通,

在所述第二期期间之后的第三期期间中,设定所述第一至第四控制线的电压,以使所述第二晶体管、所述第四晶体管和所述第五晶体管关断,所述第一晶体管和所述第三晶体管导通,并且从所述数据线提供所述数据电压,

在所述第三期期间之后的第四期间中,设定所述第一至第四控制线的电压,以使所述第一晶体管和所述第五晶体管关断,以及所述第二晶体管、所述第三晶体管和所述第四晶体管导通。

17. 一种像素电路,具备:

发光元件;

驱动晶体管单元,用于将对应于所施加的电压的电流提供给所述发光元件;

电容器单元,用于保持包括所述驱动晶体管单元的阈值电压和数据电压的电压并将所述电压施加到所述驱动晶体管单元;以及

开关单元,用于使所述电容器单元保持包括所述阈值电压和所述数据电压的所述电压,其中,

所述开关单元包括输入来自参考电压电源线的参考电压的参考电压晶体管和输入来自数据线的所述数据电压的数据电压晶体管。

像素电路及其驱动方法以及显示装置

[0001] 相关申请的交叉引用

[0002] 本申请基于并要求 2014 年 9 月 22 日提交的日本专利申请 No. 2014-192644 的优先权的权益,通过引用将该专利申请的公开内容整体引入本申请中。

技术领域

[0003] 本发明涉及用于有源矩阵有机发光二极管显示器(在下文称为“AMOLED 显示器(Active Matrix Organic Light Emitting Diode display)”)等中的像素电路及其驱动方法以及具备该像素电路的显示装置。尽管有机发光二极管也称为有机 EL 元件,但是在下文将它称为“OLED(Organic Light Emitting Diode:有机发光二极管)”。

背景技术

[0004] 由于不存在 AMOLED 显示器的标准像素电路,所以每一个制造 AMOLED 显示器的公司使用他们的原创设计的像素电路。在下文,将说明基本像素电路。图 11A 是表示基本像素电路的电路图,图 11B 是表示其驱动方法的波形图,以及图 11C 是表示在像素电路中包括的驱动 TFT(薄膜晶体管)的输出特性的曲线图。

[0005] 像素电路 900 包括开关 TFT 901、驱动 TFT 902、电容器 903 和 OLED 904,并且它由双晶体管系统进行驱动和控制。开关 TFT 901 和驱动 TFT 902 都是 p 沟道型 FET(场效应晶体管)。开关 TFT 901 的栅极端子连接到扫描线 905,并且开关 TFT 901 的漏极端子连接到数据线 906。驱动 TFT 902 的栅极端子连接到开关 TFT 901 的源极端子,驱动 TFT 902 的源极端子连接到电源线 907(电源电压 VDD),并且驱动 TFT 902 的漏极端子连接到 OLED 904 的阳极端子。此外,电容器 903 连接在驱动 TFT 902 的栅极端子和源极端子之间。电源线 908(电源电压 VSS) 连接到 OLED 904 的阴极端子。

[0006] 在这种结构中,当选择脉冲(扫描信号 Scan)被输出到扫描线 905 并且开关 TFT 901 被设置为导通时,经由数据线 906 提供的数据信号 Vdata 作为电压值被写到电容器 903。通过一帧期间期间保持被写入电容器 903 的保持电压,通过该保持电压以模拟方式改变驱动 TFT 902 的电导,并且相当于发光灰度的正向偏置电流被提供给 OLED 904。

[0007] 通过以这种方式借助恒定电流驱动 OLED 904, OLED 904 的发光亮度即使在 OLED 904 的电阻值由于退化而改变时也可以维持恒定。

[0008] 在这种类型的像素电路中,为了补偿驱动 OLED 的晶体管的阈值电压的偏差和变动,已知有一种用于检测阈值电压的技术(例如,参见美国未经审查的专利申请公开 2013/0169611(专利文献 1)和日本未经审查的专利公开 2012-128386(专利文献 2))。作为阈值电压检测技术,下面两种类型是主流。(1)一种技术(二极管连接型),通过栅极端子和漏极端子相连,并且电流在漏极端子和源极端子之间流动,使栅-源电压 V_{gs} 自动地接近阈值电压 V_{th} 。(2)一种技术(源极跟随器型),通过固定栅极端子的电位,并且电流在漏极端子和源极端子之间流动,使栅-源电压 V_{gs} 自动地接近阈值电压 V_{th} 。源极跟随器型的有利之处在于即使对于当 $V_{gs} = 0V$ 时电流仍流动的沉降型晶体管(depression type

transistor) 也能检测阈值电压 V_{th} 。

[0009] 然而,在具有阈值电压检测功能的现有像素电路中存在下列问题。

[0010] (1) 由于阈值电压检测期间局限于一个水平扫描期间,所以当显示分辨率变高时阈值电压的补偿精度变差。

[0011] 在一个水平扫描期间内从数据线提供参考电压的时间内或者在一个水平扫描期间内从数据线提供数据电压的时间内执行阈值电压的检测(例如,参见专利文献1的图4,专利文献2的图4)。这样,尽管可以针对超过一个水平扫描期间检测阈值电压,但是由于将被提供到相邻像素电路的数据电压的影响会产生串扰。因此,用于检测阈值电压的期间必须短于一个水平扫描期间。

[0012] 同时,显示分辨率提高越多,一个水平扫描期间变得越短。当一个水平扫描期间变得较短时,阈值电压检测期间也变短。这样,在栅-源电压 V_{gs} 达到阈值电压 V_{th} 之前,必须结束阈值电压的检测。由此,由于阈值电压的检测精度降低,所以阈值电压的补偿精度也变差。

[0013] (2) 由于驱动晶体管的磁滞特性,即使图像数据已经从黑到白被完全重写,也需要经过几个帧来将黑色图像完全变成白色图像。该现象通常称为图像残留。换句话说,如果电流长时间没有流到驱动晶体管,则驱动晶体管的磁滞特性开始被初始化。这样,即使当施加基于该初始化的磁滞特性确定的白色显示 V_{gs} 偏置时,在点亮的情况下电流仍因磁滞特性而立即减小,使得它不足以提供白色显示的初始亮度。

[0014] 考虑到上述情况,本发明的目的是实现一种像素电路来提高检测阈值电压的精度。另外,本发明的另一目的是实现一种像素电路来避免图像残留。

发明内容

[0015] 根据本发明的示例性方面的像素电路,包括:

[0016] 发光元件;

[0017] 驱动晶体管,将对应于所施加的电压的电流提供给所述发光元件;

[0018] 电容器部,保持包括所述驱动晶体管的阈值电压和数据电压的电压并将所述电压施加到所述驱动晶体管;以及

[0019] 开关部,使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压,

[0020] 其中,所述开关部包括输入来自参考电压电源线的参考电压的参考电压晶体管和输入来自数据线的所述数据电压的数据电压晶体管。

[0021] 作为根据本发明的示例性优点,用于输入来自参考电压电源线的参考电压的参考电压晶体管被设置为与用于输入来自数据线的数据电压的数据电压晶体管分开。这使得它在不使用从数据线提供的参考电压的情况下来检测阈值电压。这样,在检测阈值电压时理论上不会产生串扰。因此,即使当显示分辨率变得高时阈值电压检测期间也能设置得足够长,因此能提高检测阈值电压的精度。

附图说明

[0022] 图1A和1B表示根据第一示例性实施例的像素电路,其中图1A是表示根据第一示例性实施例的像素电路的结构的电路图,以及图1B是表示根据第一示例性实施例的像素

电路的动作的时序图；

[0023] 图 2 是表示具备根据第一示例性实施例的像素电路的显示装置的平面图；

[0024] 图 3 是图 2 的局部 (fragmentary) 放大截面图；

[0025] 图 4A 和 4B 表示根据第一示例性实施例的像素电路的动作 (驱动方法), 其中图 4A 是在第一期间内的电路图, 以及图 4B 是在第一期间内的时序图；

[0026] 图 5A 和 5B 表示根据第一示例性实施例的像素电路的动作 (驱动方法), 其中图 5A 是在第二期间内的电路图, 以及图 5B 是在第二期间内的时序图；

[0027] 图 6A 和 6B 表示根据第一示例性实施例的像素电路的动作 (驱动方法), 其中图 6A 是在第三期间内的电路图, 以及图 6B 是在第三期间内的时序图；

[0028] 图 7A 和 7B 表示根据第一示例性实施例的像素电路的动作 (驱动方法), 其中图 7A 是在第四期间内的电路图, 以及图 7B 是在第四期间内的时序图；

[0029] 图 8 是表示根据第二示例性实施例的像素电路的结构的电路图；

[0030] 图 9 是表示根据第二示例性实施例的像素电路的动作的时序图；

[0031] 图 10A 和 10B 表示根据第三示例性实施例的显示装置, 其中图 10A 是表示根据第三示例性实施例的显示装置的一部分的电路图, 以及图 10B 是表示根据第三示例性实施例的显示装置的动作的时序图；以及

[0032] 图 11A-11C 表示基本像素电路, 其中图 11A 是表示基本像素电路的电路图, 图 11B 是表示基本像素电路的驱动方法的波形图, 以及图 11C 是表示在基本像素电路中包括的驱动 TFT (薄膜晶体管) 的输出特性的曲线图。

具体实施方式

[0033] 在下文将通过参考附图来说明用于具体实施本发明的方式 (在下文称为“示例性实施例”)。在当前的说明书和附图中, 相同的附图标记用于基本相同的结构元件。附图中的形状被图示为容易被本领域技术人员理解, 因此其尺寸和比例没有必要与实际尺寸和比例一致。在当前说明书和所附权利要求书的范围中的“具备”还包括具有除其中说明的那些元件以外的元件的情形。“具有”、“包括”等也是一样。在当前说明书和所附权利要求书的范围中的“连接”不仅意味着直接连接两个元件的情形, 而且意味着经由另一元件连接两个元件的情形。“链接”等也是一样。晶体管的“导通”和“关断”也可以分别表达为“导电”和“非导电”。

[0034] (第一示例性实施例)

[0035] 图 1A 是表示根据第一示例性实施例的像素电路的结构的电路图, 以及图 1B 是表示第一示例性实施例的像素电路的动作的时序图。在下文通过参考这些附图来进行说明。

[0036] 第一示例性实施例的像素电路 10 具备: 发光元件 11; 驱动晶体管 (M3), 其将根据所施加的电压的电流提供给发光元件 11; 电容器部 12, 其保持包括驱动晶体管 (M3) 的阈值电压 V_{th} 和数据电压 V_{data} 的电压并且将所述电压施加到驱动晶体管 (M3); 以及开关部 13, 其使电容器部 12 保持包括阈值电压 V_{th} 和数据电压 V_{data} 的所述电压。此外, 开关部 13 包括输入来自参考电压电源线 (P3) 的参考电压 (V_{ref}) 的参考电压晶体管 (M5) 和输入来自数据线 D 的数据电压 V_{data} 的数据电压晶体管 (M1)。

[0037] 更具体地, 驱动晶体管 (M3) 包括栅极端子、源极端子和漏极端子, 并且将根据在

栅极端子和源极端子之间施加的电压的电流提供给连接到漏极端子的发光元件 11。电容器部 12 保持包括阈值电压 V_{th} 和数据电压 V_{data} 的电压,并且将所述电压施加到驱动晶体管 (M3) 的栅极端子和源极端子之间。开关部 13 具有包括参考电压晶体管 (M5) 和数据电压晶体管 (M1) 的多个晶体管,并且通过这些晶体管的切换动作,使得电容器部 12 保持包括阈值电压 V_{th} 的电压,之后使得电容器部 12 保持包括阈值电压 V_{th} 和数据电压 V_{data} 的电压。而且,当使得电容器部 12 保持包括阈值电压 V_{th} 的电压时,开关部 13 通过使参考电压晶体管 (M5) 导通以及使数据电压晶体管 (M1) 关断来将参考电压 V_{ref} 提供给电容器部 12,以及当使得包括阈值电压 V_{th} 和数据电压 V_{data} 的电压被保持于电容器部 12 时,开关部 13 通过使参考电压晶体管 (M5) 关断以及使数据电压晶体管 (M1) 导通来将数据电压 V_{data} 提供给电容器部 12。

[0038] 在第一示例性实施例的像素电路 10 中,用于输入来自参考电压电源线 (P3) 的参考电压 V_{ref} 的参考电压晶体管 (M5) 被设置为与用于输入来自数据线 D 的数据电压 V_{data} 的数据电压晶体管 (M1) 分开。由此,能在不使用从数据线 D 提供的参考电压 V_{ref} 的情况下检测阈值电压 V_{th} 。因此,在检测阈值电压 V_{th} 时理论上不产生串扰。由此、即使当显示分辨率变得较高时,阈值电压检测期间仍能设置得足够长,因此能提高检测阈值电压 V_{th} 的精度。

[0039] 此外,当使得电容器部 12 保持包括阈值电压 V_{th} 的电压时,开关部 13 在等于或长于一个水平扫描期间的时间内通过使参考电压晶体管 (M5) 导通且使数据电压晶体管 (M1) 关断,也可以将参考电压 V_{ref} 提供给电容器部 12。在该情形下,由于阈值电压检测期间仍能被更充分地设定,所以能进一步提高检测阈值电压 V_{th} 的精度。在一个水平扫描期间内能尽可能长地保持参考电压晶体管 (M5) 导通以及保持数据电压晶体管 (M1) 关断。

[0040] 此外,当使得电容器部 12 保持包括阈值电压 V_{th} 的电压时,开关部 13 通过将参考电压 V_{ref} 提供给电容器部 12,可以临时使驱动晶体管 (M3) 导通。在该情形下,每次在驱动发光元件 11 之前使小电流流到驱动晶体管 (M3),能抑制图像残留。

[0041] 接下来,将更详细地说明像素电路 10。

[0042] 像素电路 10 电连接到数据线 D、第一至第四控制线 S1-S4 以及第一至第三电源线 P1-P3,并且包括第一至第五晶体管 M1-M5、第一和第二电容器 21、22 以及发光元件 11。第三电源线 P3 相当于上面说明的参考电压电源线 (P3)。第一、第二、第四和第五晶体管 M1、M2、M4 和 M5 构成上面说明的开关部 13。第一晶体管 M1 相当于上面说明的数据电压晶体管 (M1),第五晶体管 M5 相当于上面说明的参考电压晶体管 (M5),第三晶体管 (M3) 相当于上面说明的驱动晶体管 (M3),以及第一和第二电容器 21 和 22 构成上面说明的电容器部 12。

[0043] 第一晶体管 M1 包括:电连接到数据线 D 的第一端子;第二端子;以及电连接到第一控制线 S1 的控制端子。第二晶体管 M2 包括:电连接到第一电源线 P1 的第一端子;第二端子;以及电连接到第二控制线 S2 的控制端子。

[0044] 第三晶体管 M3 电连接到第二晶体管 M2 的第二端子,并且包括:相当于上面说明的驱动晶体管 (M3) 的源极端子的第一端子;相当于上述驱动晶体管 (M3) 的漏极端子的第二端子;以及电连接到第一晶体管 M1 的第二端子并且相当于上述驱动晶体管 (M3) 的栅极端子的控制端子。

[0045] 第四晶体管 M4 包括:电连接到第三晶体管 M3 的第二端子的第一端子;第二端子;

以及电连接到第三控制线 S3 的控制端子。

[0046] 第五晶体管 M5 包括：电连接到第三电源线 P3 的第一端子；电连接到第一晶体管 M1 的第二端子的第二端子；以及电连接到第四控制线 S4 的控制端子。

[0047] 第一电容器 21 包括电连接到第一晶体管 M1 的第二端子的第一端子和电连接到第三晶体管 M3 的第一端子的第二端子。

[0048] 第二电容器 22 包括电连接到第三电源线 P3 的第一端子和电连接到第三晶体管 M3 的第一端子的第二端子。

[0049] 发光元件 11 包括电连接到第四晶体管 M4 的第二端子的第一端子和电连接到第二电源线 P2 的第二端子。

[0050] 在此，第一控制线 S1 输出第一控制信号 Scan，第二控制线 S2 输出第二控制信号 EM，第三控制线 S3 输出第三控制信号 BP，以及第四控制线 S4 输出第四控制信号 Reset。在每个晶体管中，第一端子例如是源极端子和漏极端子中的一个。第二端子例如是源极端子和漏极端子中的另一个。控制端子例如是栅极端子。发光元件 11 的第一端子是阳极端子和阴极端子中的一个（例如，在第一示例性实施例中是阳极端子），以及发光元件 11 的第二端子是阳极端子和阴极端子中的另一个（例如，在第一示例性实施例中是阴极端子）。

[0051] 此外，第一晶体管 M1 构成为将从数据线 D 提供的的数据电压 Vdata 选择性地提供给第一电容器 21 的第一端子。第二晶体管 M2 构成为将从第一电源线 P1 提供的第一电源电压 VDD 选择性地提供给第三晶体管 M3 的第一端子、第一电容器 21 的第二端子和第二电容器 22 的第二端子。第三晶体管 M3 构成为将第一电容器 21 的第二端子和第二电容器 22 的第二端子选择性地连接到第四晶体管 M4 的第一端子。第四晶体管 M4 构成为将第三晶体管 M3 的第二端子选择性地连接到发光元件 11 的第一端子。第五晶体管 M5 构成为将从第三电源线 P3 提供的并且相当于上面说明的参考电压 Vref 的第三电源电压 Vref 选择性地提供给第一电容器 21 的第一端子。第二电源线 P2 例如将作为接地电位的第二电源电压 VSS 提供给发光元件 11 的第二端子。

[0052] 第一至第五晶体管 M1-M5 是 p 沟道型晶体管。更具体地，它们是 p 沟道型 TFT。发光元件 11 是 OLED。通常，基板侧（VSS 侧）是 OLED 中的阴极。这样，为了将它的阳极连接到驱动晶体管的漏极，驱动晶体管需要是 p 沟道型。由此，即使当 OLED 的电阻值随着时间流逝而改变时，恒定电流也可以一直提供给 OLED。

[0053] 构成开关部 13 的第一、第二、第四和第五晶体管 M1、M2、M4 和 M5 是在线性区域中工作的开关晶体管。第三晶体管 M3 是在饱和区域中工作的放大晶体管。

[0054] 图 2 是表示具备第一示例性实施例的像素电路的显示装置的平面图。在下文，通过参考附图来进行说明。

[0055] 根据第一示例性实施例的显示装置 30 是 AMOLED。粗略地讲，显示装置 30 由下述部件构成：包括发光元件的多个像素电路（参见图 1A）被配置成矩阵的 TFT 基板 100；将发光元件进行密封的密封玻璃基板 200；将 TFT 基板 100 和密封玻璃基板 200 进行接合的玻璃料密封部 300；等等。此外，在 TFT 基板 100 的有源矩阵部 116 的外侧的阴极电极形成区域 114a 的外围配置的是：驱动 TFT 基板 100 的扫描线（每个控制线）的扫描驱动器 131；控制每个像素的发光期间的发射控制驱动器 132；防止由静电放电引起的损坏的数据线 ESD（静电放电）保护电路 133；将高传输速率的流返回到初始低传输速率的多个流的解多路复用

器 134 ;驱动数据线的数据驱动器 IC135 ;等等。通过使用各向异性导电膜将数据驱动器 IC 135 安装到 TFT 基板 100。TFT 基板 100 经由 FPC(柔性印刷电路)136 连接到外部设备。图 2 仅仅是根据第一示例性实施例的显示装置的一例,并且可以视情况来改变其形状和结构。

[0056] 图 1A 和图 2 之间的对应关系如下所述。图 1A 中的第一控制线 S1 和第四控制线 S4 连接到图 2 中的扫描驱动器 131。图 1A 中的第二控制线 S2 和第三控制线 S3 连接到图 2 中的发射控制驱动器 132。图 1A 中的数据线 D1 连接到图 2 中的解多路复用器 134 和数据驱动器 IC 135。图 1A 中的第一至第三电源线 P1-P3 经由图 2 中的 FPC 136 连接到外部电源。

[0057] 图 3 是图 2 的局部放大截面图。在下文,通过参考附图来进行说明。

[0058] TFT 基板 100 由下述部件构成:经由基底绝缘膜 102 形成在玻璃基板 101 上的由低温多晶硅 (Low Temperature Polycrystalline Silicon)) 等形成的多晶硅层 103 ;经由栅极绝缘膜 104 形成的第一金属层 105 (栅电极和电容器电极);经由形成在层间绝缘膜 106 中的开口连接到多晶硅层 103 的第二金属层 107 (数据线、电源线、源电极和漏电极以及接触部);以及经由平坦化膜 110 形成在元件分离膜 112 的凹部中的发光元件 11 (阳极电极 111、有机 EL 层 113、阴极电极 114 和盖层 115)。

[0059] TFT 区域 108 中的多晶硅层 103 采用 LDD (轻掺杂漏极) 结构,其中 p+ 层、p- 层、i 层、p- 层和 p+ 层按此顺序从左侧形成。在电容器区域 109 中的多晶硅层 103 是 p+ 层。

[0060] 干空气 301 被密封在发光元件 11 和密封玻璃基板 200 之间。通过借助玻璃料密封部 300 (图 2) 密封它们,来形成显示装置 30。发光元件 11 具有顶部发射结构,其中发光元件 11 和密封玻璃基板 200 被设置成在其间具有规定间隔,并且 $\lambda/4$ 相位差板 201 和偏振板 202 形成在密封玻璃基板 200 的出光侧,因此可以抑制从外侧入射的光的反射。

[0061] 尽管图 3 示出顶部发射结构,在该结构的情况下发光元件 11 的每个照射光经由密封玻璃基板 200 照向外部,但是也可以采用底部发射结构,在该结构的情况下,所述光经由玻璃基板 101 照向外部。

[0062] 图 4A 到图 7B 表示根据第一示例性实施例的像素电路的动作 (驱动方法)。图 4A、图 5A、图 6A 和图 7A 是第一到第四期间的电路图。此外,图 4B、图 5B、图 6B 和图 7B 是第一到第四期间的时序图。在下文,通过将图 4A- 图 7B 添加到图 1A 和图 1B 来说明根据第一示例性实施例的像素电路的动作 (驱动方法)。

[0063] 在图 4A、图 5A、图 6A 和图 7A 中,为了容易理解,省略图 1A 中标注的附图标记的一部分。图 4A、图 5A、图 6A 和图 7A 中的标记“X”是处于关断状态的晶体管。由于通过像素电路的驱动方法来驱动像素电路,所以它表达为像素电路的动作 (驱动方法)。

[0064] 首先,通过参考图 1A 和图 1B 来说明像素电路 10 的驱动方法的概要。像素电路 10 的驱动方法包括下面的第一至第四期间 T1-T4。在这种情形下,开关部 13 动作如下。

[0065] 被保持到电容器 12 的电压在第一期间 T1 中进行初始化。

[0066] 在第一期间 T1 之后的第二期间 T2 中,导通参考电压晶体管 (M5),将包括第一晶体管 (M1) 的阈值电压 V_{th} 的电压保持到电容器部 12。

[0067] 在第二期间 T2 之后的第三期间 T3 中,导通数据电压晶体管 (M1),将数据电压 V_{data} 提供给电容器部 12,并且将包括阈值电压 V_{th} 和数据电压 V_{data} 的电压保持到电容器部 12。

[0068] 在第三期间 T3 之后的第四期间 T4 中,通过将由电容器部 12 保持的电压施加到驱动晶体管 (M3),将根据数据电压 Vdata 的电流提供给发光元件 11。

[0069] 更具体地,在第一期间 T1 中,将被保持到电容器部 12 的电压进行初始化。

[0070] 在第二期间 T2 中,通过导通参考电压晶体管 (M5) 且关断数据电压晶体管 (M1),将包括驱动晶体管 (M3) 的阈值电压 Vth 的电压保持到电容器部 12。

[0071] 在第三期间 T3 中,通过关断参考电压晶体管 (M5) 且导通数据电压晶体管 (M1),将数据电压 Vdata 提供给电容器部 12,并且将包括阈值电压 Vth 和数据电压 Vdata 的电压保持到电容器部 12。

[0072] 在第四期间 T4 中,通过将由电容器部 12 保持的电压施加到驱动晶体管 (M3) 的栅极端子和源极端子之间,将根据数据电压 Vdata 的电流提供给发光元件 11。

[0073] 接下来,详细说明每个期间。

[0074] 在图 4A 和图 4B 中所示的第一期间 T1 中,第一至第四控制线 S1-S4 的电压被设定成使得第一晶体管 M1 和第四晶体管 M4 关断以及第二晶体管 M2、第三晶体管 M3 和第五晶体管 M5 导通。

[0075] 这时,节点 A 的电压 VA 经由第五晶体管 M5 变成第三电源电压 Vref,并且节点 B 的电压 VB 经由第二晶体管 M2 变成第一电源电压 VDD。也就是说,节点 A 的电压 VA 和节点 B 的电压 VB 可以表达为下式,并且由第一和第二电容器 21 和 22 保持的电压被初始化。

[0076] $VA = Vref$

[0077] $VB = VDD$

[0078] 在图 5A 和图 5B 中所示的第二期间 T2 中,第一至第四控制线 S1-S4 的电压被设定成使得第一晶体管 M1 和第二晶体管 M2 关断以及第三晶体管 M3、第四晶体管 M4 和第五晶体管 M5 导通。

[0079] 这时,节点 A 的电压 VA 经由第五晶体管 M5 变成第三电源电压 Vref。这样,由第一和第二电容器 21 和 22 保持的电荷经由第三晶体管 M3 和第四晶体管 M4 被放电,因此电流 i 从第三晶体管 M3 流出。这样,节点 B 的电压 VB 从第一电源电压 VDD 开始降低。当节点 B 的电压 VB 降低到 Vref+Vth 时,第三晶体管 M3 变为关断。也就是说,节点 A 的电压 VA 和节点 B 的电压 VB 可以表达为下式,并且包括第三晶体管 M3 的阈值电压 Vth 的电压被保持到第一和第二电容器 21 和 22。这样,在第一示例性实施例中,使用源极跟随器型的阈值电压检测。

[0080] $VA = Vref$

[0081] $VB = Vref + Vth$

[0082] 作为阈值电压检测中所需的参考电压的第三电源电压 Vref,经由第五晶体管 M5 从不同于数据线 D 的第三电源线 P3 提供。这样,在阈值电压检测中由于不会受到数据线的干扰,因此在理论上不产生串扰。为此,能在 N (自然数) $\times H$ (水平扫描期间) 的时间内检测阈值电压 Vth。结果,能利用充足的时间来检测阈值电压 Vth,精确地获得阈值电压 Vth,因此阈值电压 Vth 的补偿性能高。注意,第一示例性实施例是 $N = 2$ 的情形。

[0083] 此外,作为驱动晶体管的第三晶体管 M3 在检测阈值电压时被临时导通。这样,在驱动发光元件 11 之前,小电流 i 每次都能流到第三晶体管 M3。如果该小电流 i 的量足以防止第三晶体管 M3 的磁滞特性初始化,则能一直以相同的特性执行驱动,而不管数据信号的

电平。这样,不会产生图像残留。

[0084] 在图 6A 和图 6B 中所示的第三期间 T3 中,第一至第四控制线 S1-S4 的电压被设定成使得第二晶体管 M2、第四晶体管 M4 和第五晶体管 M5 关断以及第一晶体管 M1 和第三晶体管 M3 导通。此外,从数据线 D 提供数据电压 Vdata。

[0085] 这时,节点 A 的电压 VA 经由第一晶体管 M1 变成数据电压 Vdata。同时,假定第一和第二电容器 21 和 22 的电容值分别是 C1 和 C2,那么节点 B 的电压 VB 上升了串联连接的第一和第二电容器 21 和 22 的分压即 $K(Vdata - Vref)$,并且可以表达为下式。也就是说,通过将数据电压 Vdata 提供给第一和第二电容器 21 和 22,使包括阈值电压 Vth 和数据电压 Vdata 的电压保持到第一和第二电容器 21 和 22。

$$[0086] \quad VA = Vdata$$

$$[0087] \quad VB = Vref + Vth + K(Vdata - Vref)$$

$$[0088] \quad K = C1 / (C1 + C2)$$

[0089] 这里设 $C1 < C2$ 、即 $K < 1/2$ 。其原因是为了增加施加到第三晶体管 M3 的 Vdata 项的值,这可以从稍后说明的表达式看出。

[0090] 在图 7A 和图 7B 中所示的第四期间 T4 中,第一至第四控制线 S1-S4 的电压被设定成使得第一晶体管 M1 和第五晶体管 M5 关断以及第二晶体管 M2、第三晶体管 M3 和第四晶体管 M4 导通。

[0091] 这时,节点 B 的电压 VB 经由第二晶体管 M2 变成第一电源电压 VDD。同时,节点 A 的电压 VA 可以表达为下式,因为通过从第一电源电压 VDD 减去第三期间 T3 中的电压 VB 获得的差被加到第三期间 T3 的电压 VA。

$$[0092] \quad VA = Vdata + (VDD - Vref - Vth - K(Vdata - Vref))$$

$$[0093] \quad = (1 - K)Vdata + (K - 1)Vref - Vth + VDD$$

$$[0094] \quad VB = VDD$$

[0095] 由此,施加在第三晶体管 M3 的栅极端子和源极端子之间的电压是 $VB - VA$ 。这样,在其漏极端子中流动的电流 I 可以由下式给出。

$$[0096] \quad I = 1/2 \beta ((VB - VA) - Vth)^2$$

$$[0097] \quad = 1/2 \beta (VDD - ((1 - K)Vdata + (K - 1)Vref - Vth + VDD) - Vth)^2$$

$$[0098] \quad = 1/2 \beta ((1 - K)Vref - (1 - K)Vdata)^2$$

[0099] 从上面的表达式可以看出,电流 I 不包括阈值电压 Vth 的项。这样,其不受阈值电压 Vth 的偏差和变动的影响。这是像素电路 10 的阈值电压 Vth 的偏差补偿功能。注意,上面表达式中的 β 是根据第三晶体管 M3 的结构和材料所确定的常数。

[0100] 如上所述,在第四期间 T4 中,通过将由第一和第二电容器 21 和 22 保持的电压施加在第三晶体管 M3 的栅极端子和源极端子之间,将根据数据电压 Vdata 的电流 I 提供给发光元件 11。

[0101] 注意, $VDD > Vref > VSS$ 成立,例如 $VDD = 10V$ 、 $VSS = 0V$ 、 $Vref = 7-8V$ 以及 $Vdata = 1-6V$ 。

[0102] 换句话说,第一示例性实施例的效果如下所述。1) 由于该电路被设计成独立地控制阈值电压检测期间,所以通过取得足够长的时间能以高精度来检测阈值电压。这样,能实现对显示不均匀的高补偿能力并且能获得更均匀的显示特性。2) 由于在阈值电压检测期间

中不会受到数据信号的变化影响,所以理论上不会产生串扰。3) 通过每次驱动 OLED,使小电流每次流到 OLED 驱动晶体管,因此不产生图像残留的问题。4) 如上所述,由于对阈值电压的偏差和变动的补偿能力高并且不产生串扰,所以能实现高图像质量。此外,如后面所述的那样,也易于采用解多路复用器,所以能减少数据驱动器 IC 的输出引脚的数目,因此是实用的。

[0103] (第二示例性实施例)

[0104] 图 8 是表示根据第二示例性实施例的像素电路的结构的电路图。图 9 是表示第二示例性实施例的像素电路的动作的时序图。在下文通过参考这些附图来进行说明。

[0105] 在第二示例性实施例中,只有作为阈值电压检测期间的第二期间 T2 的长度与第一示例性实施例不同。所以,在数据线的延伸方向相邻的两个像素电路 10_n 和 10_{n+1} 的结构与第一示例性实施例的像素电路相同。在图 8 中,为了便于理解,省略图 1A 中标注的附图标记的一部分。

[0106] 第一控制信号 Scan_n、第二控制信号 EM_n、第三控制信号 BP_n 以及第四控制信号 Reset_n 被输出到像素电路 10_n。第一控制信号 Scan_{n+1}、第二控制信号 EM_{n+1}、第三控制信号 BP_{n+1} 以及第四控制信号 Reset_{n+1} 被输出到像素电路 10_{n+1}。第一控制信号 Scan_{n+1} 等从第一控制信号 Scan_n 等通过被延迟一个水平扫描期间 1H 而被输出。

[0107] 尽管作为阈值电压检测期间的第二期间 T2,在第一示例性实施例中是两个水平扫描期间 2H,但它在第二示例性实施例中是两倍长的四个水平扫描期间 4H。这样,能更充分地确保阈值电压检测期间,因此可以进一步提高阈值电压补偿性能。注意,阈值电压检测期间不仅仅局限于两个水平扫描期间 2H 或四个水平扫描期间 4H,例如也可以是八个水平扫描期间 8H 或十六个水平扫描期间 16H。

[0108] 第二示例性实施例的其它结构、动作和效果与第一示例性实施例的那些相同。

[0109] (第三示例性实施例)

[0110] 图 10A 是表示根据第三示例性实施例的像素电路的结构的电路图,以及图 10B 是表示第三示例性实施例的像素电路的动作的时序图。在下文通过参考这些附图来进行说明。

[0111] 第三示例性实施例的显示装置在其解多路复用器 134 中具有特征。图 10A 中所示的解多路复用器 134 用于一个像素。在第一示例性实施例的像素电路是子像素的情况下,单个像素由三个子像素 R(红色)、G(绿色)和 B(蓝色)构成。例如,每个像素电路采用 RGB 垂直条形布局结构。

[0112] 解多路复用器 134 依次从分别连接到三个相应像素电路的三根数据线 D_{nr}、D_{ng} 和 D_{nb} 中选择一根数据线,并且将所选的一根数据线连接到与数据电压 V_{data} 的供给源(图 2 中所示的数据驱动器 IC 135)相连的另一根数据线 D_n。数据线 D_{nr}、D_{ng} 和 D_{nb} 中的每一根相当于图 1A 中的数据线 D。

[0113] 解多路复用器 134 按每一像素具有三个开关晶体管 M_{nr}、M_{ng} 和 M_{nb}。根据第五控制信号 R_{set}、G_{set} 和 B_{set},晶体管 M_{nr}、M_{ng} 和 M_{nb} 中的每一个选择性地连接到在三根数据线 D_{nr}、D_{ng} 和 D_{nb} 以外的一根数据线 D_n。数据电压 R_n 经由晶体管 M_{nr} 从数据线 D_n 输出到数据线 D_{nr},数据电压 R_g 经由晶体管 M_{ng} 从数据线 D_n 输出到数据线 D_{ng},以及数据电压 R_b 经由晶体管 M_{nb} 从数据线 D_n 输出到数据线 D_{nb}。

[0114] 第五控制信号 R_{set}、G_{set} 和 B_{set} 通过错开时间在一个水平扫描期间内被输出以使相互不重叠。在所有数据线 D_{nr}、D_{ng} 和 D_{nb} 的数据电压 R_r、R_g 和 R_b 被确定之后，导通晶体管 M1（图 1A）。通过使用解多路复用器 134，能减少数据驱动器 IC135（图 2）的数据线 D 的总数。

[0115] 在使用了将从一根数据线输出的数据电压分到三个数据线的解多路复用器的现有像素电路中，需要在一个水平扫描期间内执行阈值电压检测和数据写入这两者。然而，当一个水平扫描期间因伴随高清晰度的扫描线数目增加而变得较短时，每一根数据线的写入时间变得较短，因此数据写入变得不足。

[0116] 同时，第三示例性实施例的显示装置使用第一示例性实施例的像素电路，因此几乎整个一个水平扫描期间 1H（第三期间 T3）能通过解多路复用器 134 用于数据写入。因而，能够取得第五控制信号 R_{set}、G_{set} 和 B_{set} 的脉冲宽度，这使得能提高显示性能。

[0117] 第三示例性实施例的其它结构、动作和效果与第一和第二示例性实施例的那些相同。

[0118] 尽管已经参考每一个上面的示例性实施例说明了本发明，但是本发明不仅仅局限于每一个上面说明的示例性实施例的结构和动作，而是包括在不脱离本发明的范围的情况下本领域技术人员想到的各种变形和修改。此外，本发明还包括通过组合每一个上面说明的示例性实施例的一部分或全部来获得的发明。

[0119] 例如，尽管在每一个上面的示例性实施例中所有晶体管都是 p 沟道型，但是所述晶体管不仅仅局限于该类型。晶体管的一部分或全部可以是 n 沟道型。在 OLED 驱动晶体管是 n 沟道型的情况下，OLED 的导通方向被反转，因此 OLED 的阴极端子连接到其漏极端子。构成晶体管的半导体材料不局限于例如 LTPS（低温多晶硅）等的硅。也可以使用例如 IGZO（铟镓锌氧化物）等的氧化物半导体。此外，尽管开关部被设为源极跟随器型的阈值电压检测结构，但它可以是二极管连接型的阈值电压检测结构。

[0120] 尽管上面说明的示例性实施例的一部分或全部可以被记载为下面的补充说明，但是本发明不仅仅局限于下面的结构。

[0121] （补充说明 1）

[0122] 一种像素电路，包括：

[0123] 发光元件；

[0124] 驱动晶体管，将对应于所施加的电压的电流提供给所述发光元件；

[0125] 电容器部，保持包括所述驱动晶体管的阈值电压和数据电压的电压并将所述电压施加到所述驱动晶体管；以及

[0126] 开关部，使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压，

[0127] 其中，

[0128] 所述开关部包括输入来自参考电压电源线的参考电压的参考电压晶体管和输入来自数据线的所述数据电压的数据电压晶体管。

[0129] （补充说明 2）

[0130] 如补充说明 1 中所说明的像素电路，其中，

[0131] 所述驱动晶体管包括栅极端子、源极端子和漏极端子，并且将对应于在所述栅极端子和所述源极端子之间施加的电压的电流提供给连接到所述漏极端子的所述发光元件，

[0132] 所述电容器部保持包括所述阈值电压和所述数据电压的电压,并且将所述电压施加到所述驱动晶体管的所述栅极端子和所述源极端子之间,

[0133] 所述开关部

[0134] 具有包括所述参考电压晶体管和所述数据电压晶体管的多个晶体管,通过这些晶体管的切换动作,使所述电容器部保持包括所述阈值电压的所述电压,之后使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压,并且,

[0135] 当使所述电容器部保持包括所述阈值电压的所述电压时通过使所述参考电压晶体管导通且使所述数据电压晶体管关断,将参考电压提供给所述电容器部,

[0136] 当使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压时通过使所述参考电压晶体管关断且使所述数据电压晶体管导通,将数据电压提供给所述电容器部。

[0137] (补充说明 3)

[0138] 如补充说明 2 中所说明的像素电路,其中,

[0139] 当使所述电容器部保持包括所述阈值电压的所述电压时在等于或长于一个水平扫描期间的时间内通过使所述参考电压晶体管导通且使所述数据电压晶体管关断,将所述参考电压提供给所述电容器部。

[0140] (补充说明 4)

[0141] 如补充说明 2 或 3 中所说明的像素电路,其中,

[0142] 当使所述电容器部保持包括所述阈值电压的所述电压时,所述开关部通过将所述参考电压提供给所述电容器部,临时使所述驱动晶体管导通。

[0143] (补充说明 5)

[0144] 如补充说明 2-4 的任一个中所说明的像素电路,包括第一至第五晶体管、第一和第二电容器以及所述发光元件,所述像素电路电连接到所述数据线、第一至第四控制线以及第一至第三电源线,其中,

[0145] 所述第三电源线相当于所述参考电压电源线,所述第一、第二、第四和第五晶体管构成所述开关部,所述第一晶体管相当于所述数据电压晶体管,所述第五晶体管相当于所述参考电压晶体管,所述第三晶体管相当于所述驱动晶体管,以及所述第一和第二电容器构成所述电容器部,

[0146] 所述第一晶体管包括电连接到所述数据线的第一端子、第二端子、以及电连接到所述第一控制线的控制端子,

[0147] 所述第二晶体管包括电连接到所述第一电源线的第一端子、第二端子、以及电连接到所述第二控制线的控制端子,

[0148] 所述第三晶体管包括电连接到所述第二晶体管的所述第二端子并且相当于所述源极端子的第一端子、相当于所述漏极端子的第二端子、以及电连接到所述第一晶体管的所述第二端子并且相当于所述栅极端子的控制端子,

[0149] 所述第四晶体管包括电连接到所述第三晶体管的所述第二端子的第一端子、第二端子、以及电连接到所述第三控制线的控制端子,

[0150] 所述第五晶体管包括电连接到所述第三电源线的第一端子、电连接到所述第一晶体管的所述第二端子的第二端子、以及电连接到所述第四控制线的控制端子,

[0151] 所述第一电容器包括电连接到所述第一晶体管的所述第二端子的第一端子和电连接到所述第三晶体管的所述第一端子的第二端子，

[0152] 所述第二电容器包括电连接到所述第三电源线的所述第一端子和电连接到所述第三晶体管的所述第一端子的第二端子，

[0153] 所述发光元件包括电连接到所述第四晶体管的所述第二端子的第一端子和电连接到所述第二电源线的第二端子。

[0154] （补充说明 6）

[0155] 如补充说明 5 中所说明的像素电路，其中，

[0156] 所述第一晶体管构成为将从所述数据线提供的所述数据电压选择性地提供给所述第一电容器的所述第一端子，

[0157] 所述第二晶体管构成为将从所述第一电源线提供的第一电源电压选择性地提供给所述第三晶体管的所述第一端子、所述第一电容器的所述第二端子和所述第二电容器的所述第二端子，

[0158] 所述第三晶体管构成为将所述第一电容器的所述第二端子和所述第二电容器的所述第二端子选择性地连接到所述第四晶体管的所述第一端子，

[0159] 所述第四晶体管构成为将所述第三晶体管的所述第二端子选择性地连接到所述发光元件的所述第一端子，

[0160] 所述第五晶体管构成为将从所述第三电源线提供的并且相当于所述参考电压的第三电源电压选择性地提供给所述第一电容器的所述第一端子。

[0161] （补充说明 7）

[0162] 一种像素电路，包括第一至第五晶体管、第一和第二电容器以及发光元件，所述像素电路电连接到数据线、第一至第四控制线以及第一至第三电源线，其中，

[0163] 所述第一晶体管包括电连接到所述数据线的所述第一端子、第二端子、以及电连接到所述第一控制线的控制端子，

[0164] 所述第二晶体管包括电连接到所述第一电源线的所述第一端子、第二端子、以及电连接到所述第二控制线的控制端子，

[0165] 所述第三晶体管包括电连接到所述第二晶体管的所述第二端子的第一端子、第二端子、以及电连接到所述第一晶体管的所述第二端子的控制端子，

[0166] 所述第四晶体管包括电连接到所述第三晶体管的所述第二端子的第一端子、第二端子、以及电连接到所述第三控制线的控制端子，

[0167] 所述第五晶体管包括电连接到所述第三电源线的所述第一端子、电连接到所述第一晶体管的所述第二端子的第二端子、以及电连接到所述第四控制线的控制端子，

[0168] 所述第一电容器包括电连接到所述第一晶体管的所述第二端子的第一端子和电连接到所述第三晶体管的所述第一端子的第二端子，

[0169] 所述第二电容器包括电连接到所述第三电源线的所述第一端子和电连接到所述第三晶体管的所述第一端子的第二端子，

[0170] 所述发光元件包括电连接到所述第四晶体管的所述第二端子的第一端子和电连接到所述第二电源线的第二端子。

[0171] （补充说明 8）

- [0172] 如补充说明 7 中所说明的像素电路,其中,
- [0173] 所述第一晶体管构成为将从所述数据线提供的的数据电压选择性地提供给所述第一电容器的所述第一端子,
- [0174] 所述第二晶体管构成为将从所述第一电源线提供的第一电源电压选择性地提供给所述第三晶体管的所述第一端子、所述第一电容器的所述第二端子和所述第二电容器的所述第二端子,
- [0175] 所述第三晶体管构成为将所述第一电容器的所述第二端子和所述第二电容器的所述第二端子选择性地连接到所述第四晶体管的所述第一端子,
- [0176] 所述第四晶体管构成为将所述第三晶体管的所述第二端子选择性地连接到所述发光元件的所述第一端子,
- [0177] 所述第五晶体管构成为将从所述第三电源线提供的第三电源电压选择性地提供给所述第一电容器的所述第一端子。
- [0178] (补充说明 9)
- [0179] 如补充说明 5-8 的任一个中所说明的像素电路,其中,
- [0180] 所述第一至第五晶体管是 p 沟道型晶体管。
- [0181] (补充说明 10)
- [0182] 如补充说明 1-9 的任一个中所说明的像素电路,其中,
- [0183] 所述发光元件是有机发光二极管。
- [0184] (补充说明 11)
- [0185] 一种显示装置,包括配置成矩阵的多个补充说明 1-9 的任一个中所说明的像素电路。
- [0186] (补充说明 12)
- [0187] 如补充说明 11 中所说明的显示装置,进一步包括解多路复用器,在假定所述像素电路是子像素的情况下,当一个像素由等于 2 或多于 2 的固定数目的所述子像素构成时,所述解多路复用器从分别连接到固定数目的所述像素电路的所述固定数目的所述数据线中依次选择一根数据线,并且将所选择的一个数据线连接到与所述数据电压的供给源相连的另一根数据线。
- [0188] (补充说明 13)
- [0189] 一种像素电路的驱动方法,用于驱动补充说明 1 中所说明的像素电路,其包括第一至第四期间,其中,
- [0190] 所述开关部
- [0191] 在第一期间中,初始化被保持到所述电容器部的电压,
- [0192] 在所述第一期间之后的第二期间中,使所述参考电压晶体管导通,以使所述电容器部保持包括所述驱动晶体管的所述阈值电压的所述电压,
- [0193] 在所述第二期间之后的第三期间中,使所述数据电压晶体管导通,以将所述数据电压提供给所述电容器部,并使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压,
- [0194] 在所述第三期间之后的所述第四期间中,通过将由所述电容器部保持的所述电压施加到所述驱动晶体管,将对应于所述数据电压的电流提供给所述发光元件。

[0195] (补充说明 14)

[0196] 一种像素电路的驱动方法,用于驱动补充说明 2-4 的任一个中所说明的像素电路,其包括第一至第四期间,其中,

[0197] 所述开关部

[0198] 在第一期间中,初始化被保持到所述电容器部的电压,

[0199] 在所述第一期间之后的第二期间中,使所述参考电压晶体管导通,且使所述数据电压晶体管关断,以使所述电容器部保持包括所述驱动晶体管的所述阈值电压的所述电压,

[0200] 在所述第二期间之后的第三期间中,使所述参考电压晶体管关断,且使所述数据电压晶体管导通,以将所述数据电压提供给所述电容器部,并使所述电容器部保持包括所述阈值电压和所述数据电压的所述电压,

[0201] 在所述第三期间之后的所述第四期间中,通过将由所述电容器部保持的所述电压施加到所述驱动晶体管的所述栅极端子和所述源极端子之间,将对应于所述数据电压的电流提供给所述发光元件。

[0202] (补充说明 15)

[0203] 一种像素电路的驱动方法,用于驱动补充说明 5-10 的任一个中所说明的像素电路,其包括第一至第四期间,其中,

[0204] 在第一期间中,设定所述第一至第四控制线的电压,以使所述第一晶体管和所述第四晶体管关断,且所述第二晶体管、所述第三晶体管和所述第五晶体管导通,

[0205] 在所述第一期间之后的第二期间中,设定所述第一至第四控制线的电压,以使所述第一晶体管和所述第二晶体管关断,且所述第三晶体管、所述第四晶体管和所述第五晶体管导通,

[0206] 在所述第二期间之后的第三期间中,设定所述第一至第四控制线的电压,以使所述第二晶体管、所述第四晶体管和所述第五晶体管关断,且所述第一晶体管和所述第三晶体管导通,并且从所述数据线提供所述数据电压,

[0207] 在所述第三期间之后的第四期间中,设定所述第一至第四控制线的电压,以使所述第一晶体管和所述第五晶体管关断,且所述第二晶体管、所述第三晶体管和所述第四晶体管导通。

[0208] (补充说明 16)

[0209] 如补充说明 13-15 的任一个中所说明的像素电路的驱动方法,其中,

[0210] 所述第二期间是等于或长于一个水平扫描期间的时间。

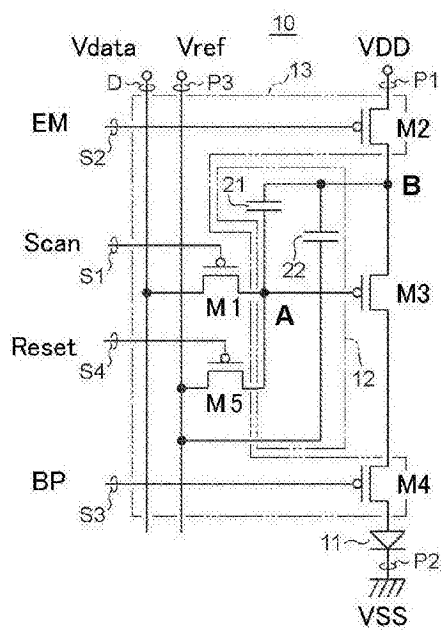


图 1A

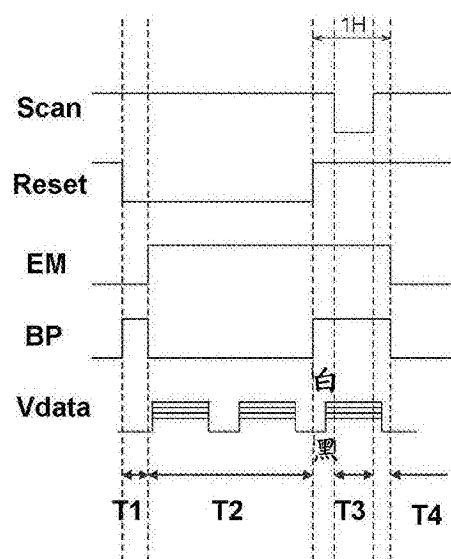


图 1B

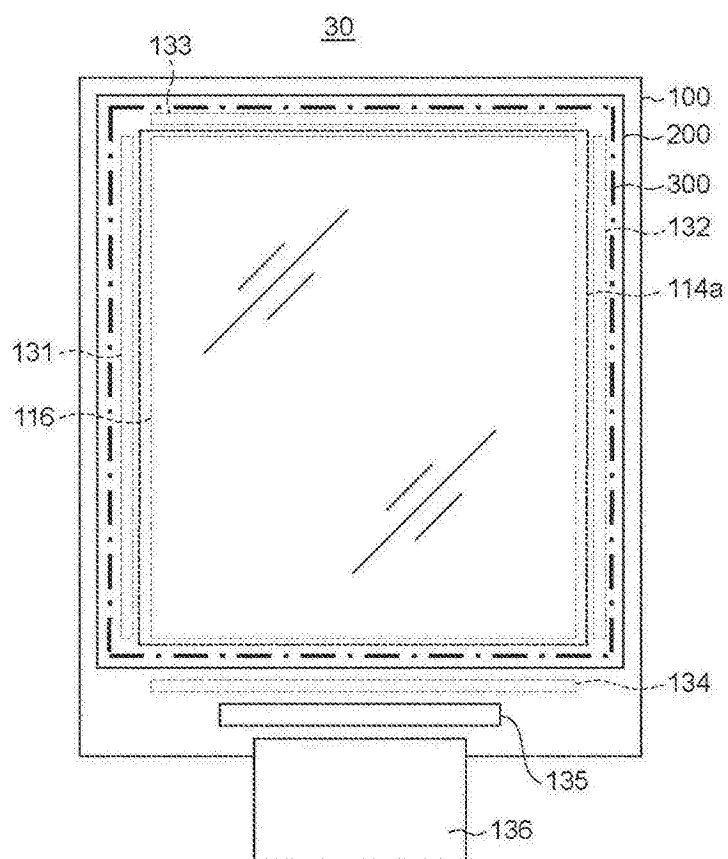


图 2

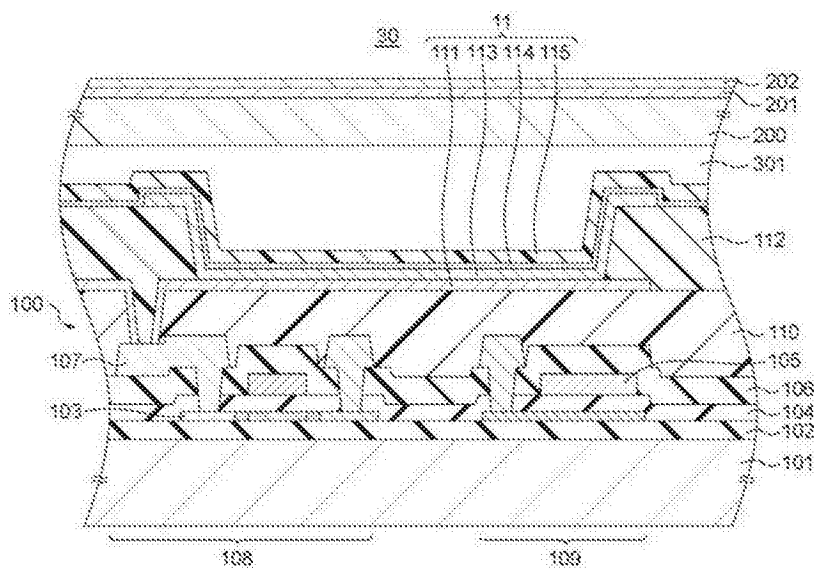


图 3

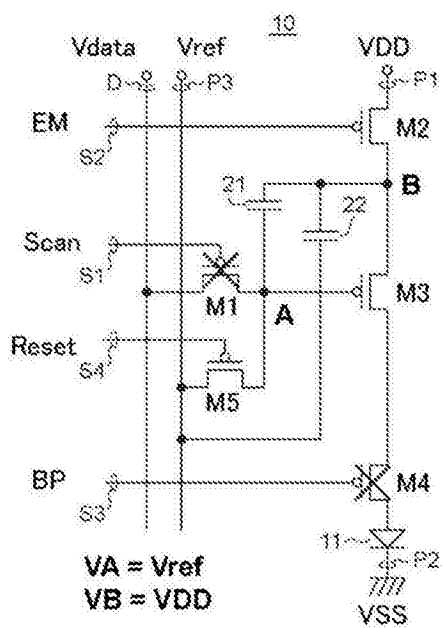


图 4A

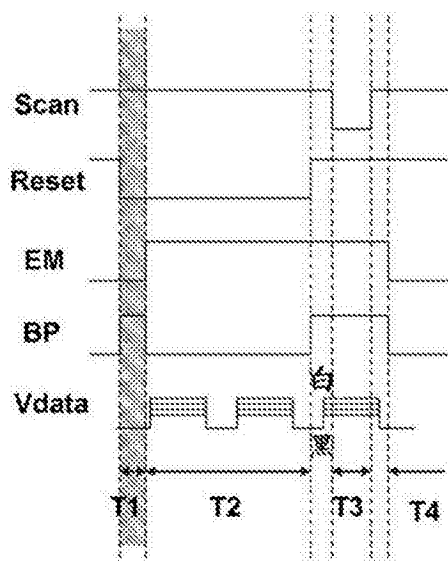


图 4B

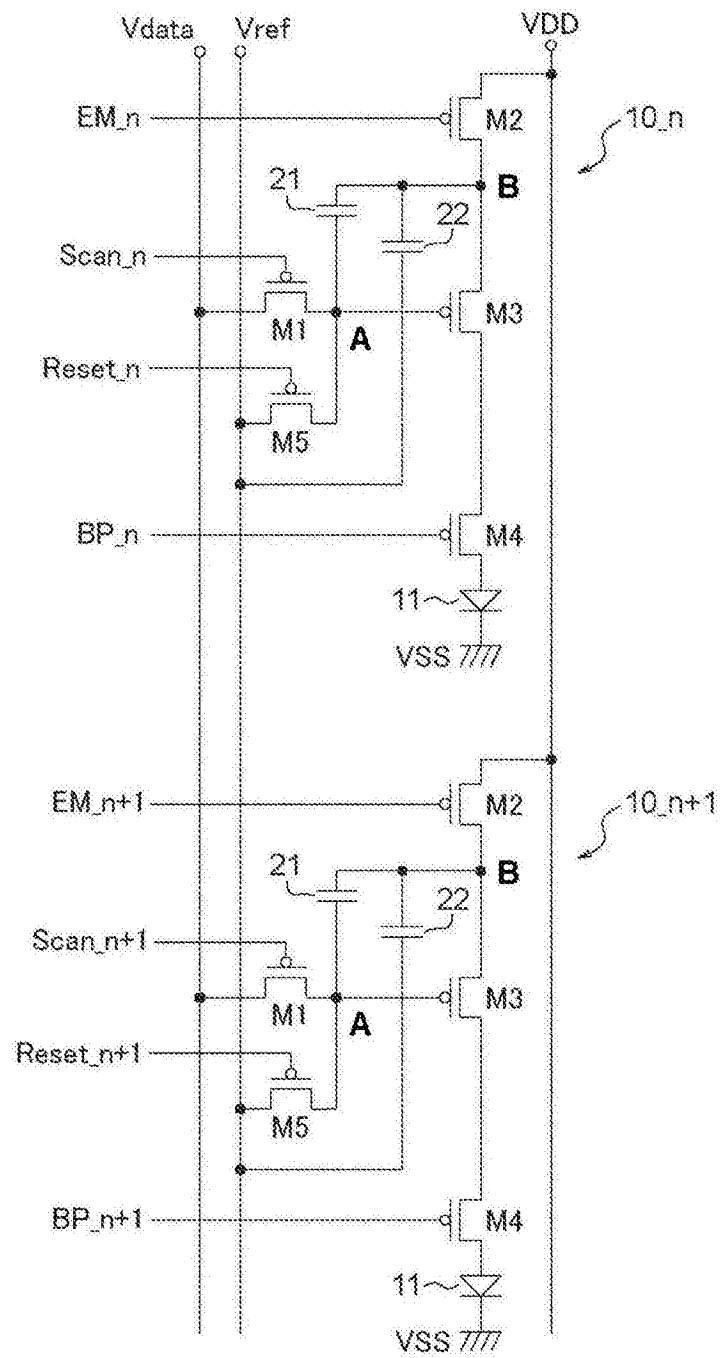


图 8

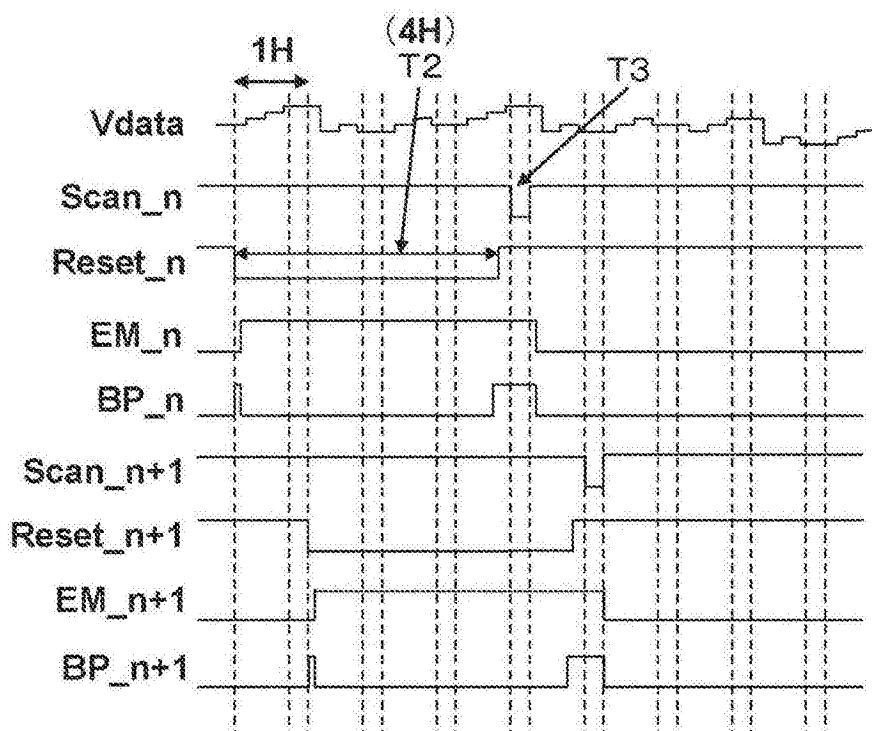


图 9

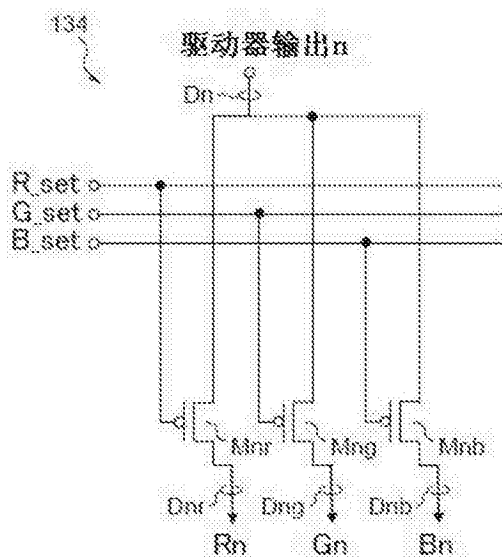


图 10A

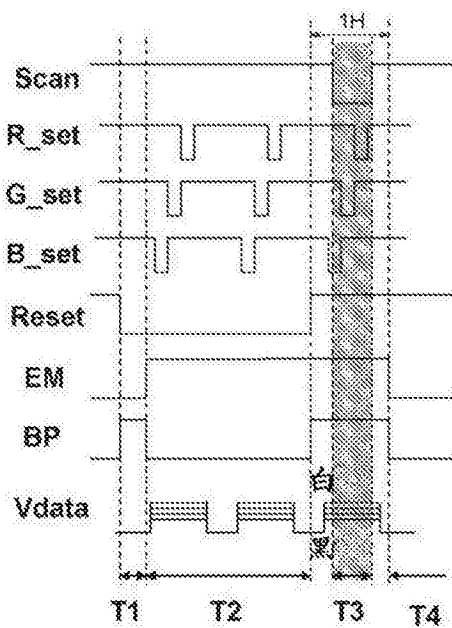


图 10B

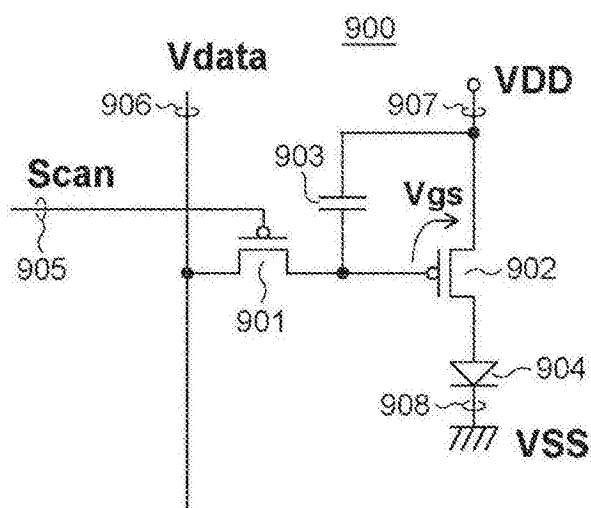


图 11A

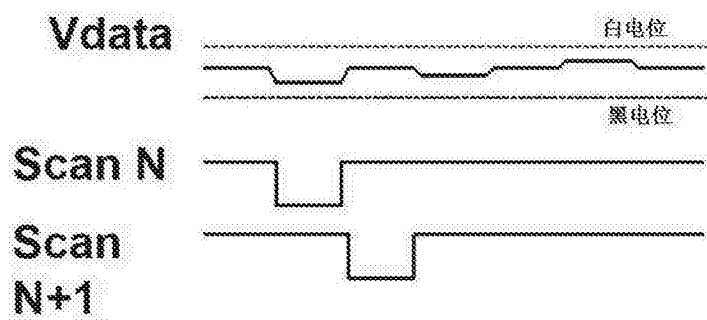


图 11B

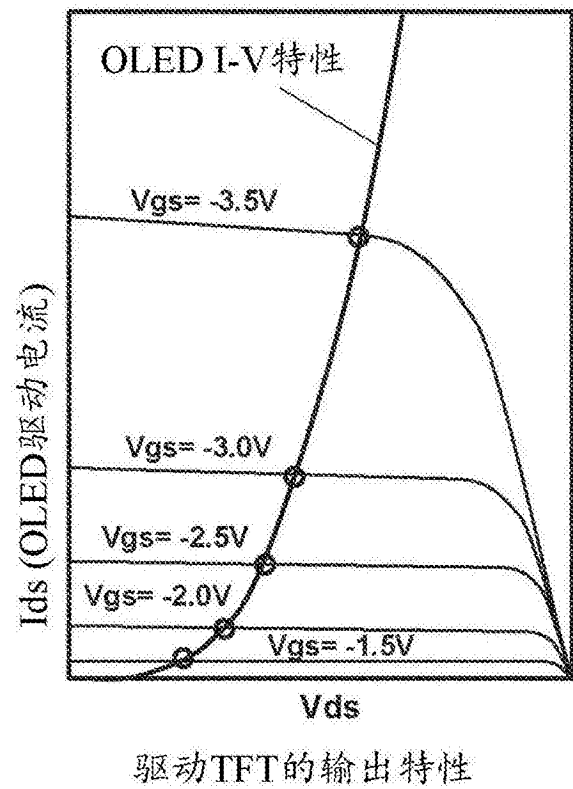


图 11C