(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 5/14

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0200224
(24) 등록일자 1999년03월09일

(21) 출원번호 10-1996-0002324
(22) 출원일자 1996년01월31일
(65) 공개번호 특1996-0032481
(43) 공개일자 1996년09월17일

(30) 우선권주장 95-018086 1995년02월06일 일본(JP)
95-122621 1995년05월22일 일본(JP)
95-018086 1995년02월06일 일본(JP)
95-122621 1995년05월22일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오; 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 오오이시 츠카사
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시 덴끼 가부시끼가이샤 나이
(74) 대리인 이화익

심사관 : 김용주

(54) 외부 동작인자의 변동에 관계없이 안정하게 이 외부 동작인자에 대응하는 내부 동작인자를 실현하는 것이 가능한 반도체 장치

요약

이 반도체 기억장치는 외부 클록신호와 내부 클록신호의 위상 및 주파수의 적어도 한편의 차를 검출하고, 이 차를 작게 하도록 하기 위한 제어전위를 출력하는 차조정회로(321,322,323c)와, 이 차 조정회로의 출력전위에 따라 내부 클록신호 발생회로의 구동전류를 조정하는 전류제어회로(323)를 포함한다.

이 전류제어회로(323)는, 차조정회로의 출력전위의 변화에 대한 클록신호 발생회로에 있어서 전류의 변화량을 작게 하기 위한 전류변화 제한회로(323d,323e)를 포함한다.

또, 이 클록신호 발생회로에는 외부 전원전압을 내부에서 강압하여 내부 전원전압이 인가된다.

더 외부 클록신호의 공급중단시에는 이 차조정회로의 출력전위가 유지된다. 이 내부 전원전위 발생회로(310b)는, 또 내부 전원전위와 소정의 전위레벨과의 차에 응하여 내부 전원전위를 공급하는 전류량을 조정하는 전류제어회로(316)를 포함한다.

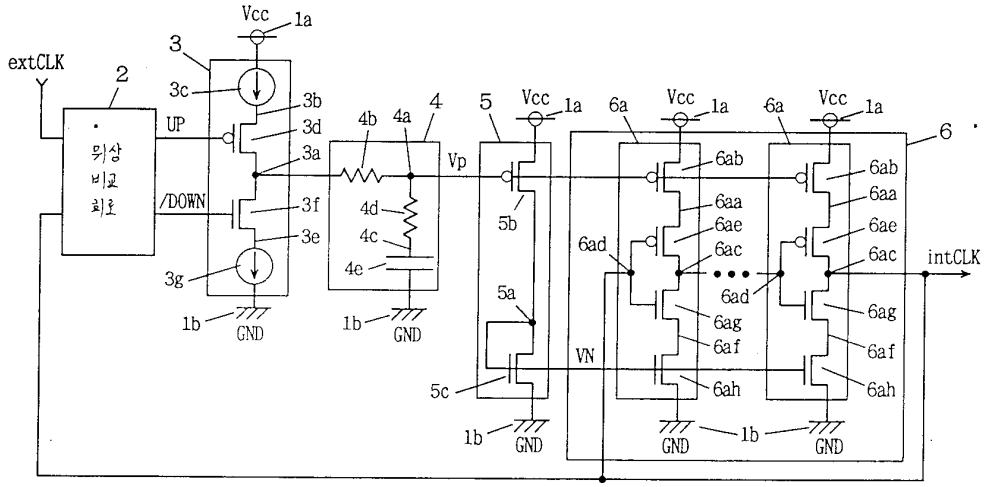
클록신호 발생회로는 링상으로 접속되어 또한 서로 상보 입력신호를 반전증폭하여 상보 출력신호를 각각이 출력하는 링상으로 접속되는 복수의 반전증폭회로(324b : 324f : 324g)를 포함한다.

또, 외부 클록신호와 내부 클록신호의 로크시에 있어서는 내부 전위를 발생하는 회로에 있어서 전류 공급량은 일정케 된다.

이들의 구성에 의해 고속 외부 클록신호에 용이하게 동기한 내부 클록신호를 외부 전원전위의 변동의 영향을 받는 것 없이 안정하게 출력하는 것이 가능하다.

대표도

(종래 기술)



명세서

[발명의 명칭]

외부 동작 인자의 변동에 관계없이 안정하게 이 외부동작인자에 대응하는 내부 동작인자를 실현하는 것이 가능한 반도체 장치

[도면의 간단한 설명]

제1도는 종래의 PLL회로의 구성의 일예를 표시하는 도면.

제2도는 본 발명의 일실시예인 반도체 기억장치를 이용하는 처리 시스템의 구성을 표시하는 도면.

제3도는 제2도에 표시하는 반도체 기억장치의 동작을 표시하는 타이밍도.

제4도는 제2도에 표시되는 어드레스 버퍼의 구성을 개략적으로 표시하는 도면.

제5도는 제2도에 표시하는 내부 전원전위 발생회로의 구성을 표시하는 도면.

제6도 및 제7도는 제5도에 표시하는 내부 전원전위 발생회로의 동작을 표시하는 타이밍도.

제8도는 본 발명의 제2의 실시예인 반도체 기억정치에 있어서 내부 클록 동기회로의 구성을 표시하는 도면.

제9도는 제8도에 표시하는 위상비교회로의 구성의 일예를 개략적으로 표시하는 도면.

제10도는 제8도에 표시하는 내부 클록신호 동기회로의 동작을 표시하는 타임밍도.

제11도는 내부 클록신호 동기회로의 다른 구성을 표시하는 도면.

제12a도는 제11도에 표시하는 유지신호를 발생하는 구성을 개략적으로 표시하는 블록도.

제12b도는 제12a도에 표시하는 클록드롭 디텍터의 구성의 일예를 표시하는 도면.

제12c도는 제12a도에 표시하는 클록드롭 디텍터의 다른 구성의 일예를 표시하는 도면.

제12도d는 유지신호를 발생하기 위한 더 다른 구성을 표시하는 도면.

제13a도는 제11도에 표시하는 저항치 전환회로의 구성을 표시하는 도면.

제13도b는 그의 동작 파형을 표시하는 타이밍도.

제14도a는 제11도에 표시하는 저항치 전환회로의 다른 구성을 표시하는 도면.

제14도b는 그의 동작 타이밍을 표시하는 도면.

제15도a는 제11도에 표시하는 저항치 전환회로의 더 다른 구성을 표시하는 도면.

제15도b는 그의 동작 타이밍을 표시하는 도면.

제16도는 제11도에 표시하는 전류 제어회로에 부가되는 전위유지회로의 구성을 표시하는 도면.

제17도는 전위유지회로의 다른 구성을 표시하는 도면.

제18도는 전위유지회로의 더 다른 구성을 표시하는 도면.

제19도는 내부 클록 신호 발생회로의 다른 구성을 표시하는 도면.

제20도 및 제21도는 제19도에 표시하는 내부 클록 신호 발생회로의 동작 타이밍을 표시하는 도면.

제22도a는 내부 클록 신호 발생회로의 더 다른 구성을 표시하는 도면.

제22도b는 제22도a의 접속상태를 표시하는 로직레벨의 블록도.

제23도는 제22도a에 표시하는 차동증폭회로의 다른 구성을 표시하는 도면.

제24도는 제22도a에 표시하는 차동증폭회로의 더 다른 구성을 표시하는 도면.

제25도는 제22도a내지 제24도의 내부 클록신호 발생회로의 동작을 표시하는 타이밍도.

제26도는 내부 클록신호와 외부 클록신호의 로크를 검출하는 로크검출회로의 구성을 표시하는 도면.

제27도는 내부전원전위발생회로의 더 다른 구성을 표시하는 도면.

제28도는 내부전원전위발생회로의 더 다른 구성을 표시하는 도면.

제29도는 내부전원전위발생회로의 더 다른 구성을 표시하는 도면.

제30도는 제29도에 표시하는 디지털 변환회로의 동작을 표시하는 타이밍도.

제31도는 내부전원전위발생회로의 더 다른 구성을 표시하는 도면.

제32도는 내부전원전위발생회로의 더 다른 구성을 표시하는 도면.

[발명의 상세한 설명]

본 발명은 전원전압 또는 클록신호 등의 외부 동작인자에 대응하는 내부동작인자를 생성하는 반도체 장치에 관하여 특히 내부 클록신호를 발생하기 위한 위상 로크루프(PLL)회로 또는 지연 로크 루프(DLL)회로 또는 링 오실레이터를 구비하는 반도체 장치 및/또는 외부에서 제공되는 전원전위를 레벨 변화하여 내부전원전위를 생성하는 다운 컨버터를 구비하는 반도체 장치에 관한다.

외부에서 제공되는 신호에 위상/주파수 동기한 내부신호를 발생하기 위한 회로로서 PLL회로가 알려져 있다.

이 PLL회로는 컬러 텔레비젼의 색 재현의 안정성을 향상시키기 위한 ATC(오토매틱 제어 컨트롤)방식 색부반송파 재생용 집적회로에 있어서 컬러버스트 신호를 동기검파하기 위한 색부반송파를 재생하기 위하여 사용되고 있다.

또, 유선 통신 등의 분야에 있어서도 자국내의 배치된 고안정한 발진기에서 출력되는 클록을 상위국에서 받은 기준 클록에 동기시켜 안정한 클록을 자국내의 각종 통신장치에 배분하기 위하여 사용되고 있다.

제1도는 종래의 PLL 개략구성을 표시하는 도면이다.

제1도에 있어서 PLL회로는 내부 클록 int CLK와 외부클록 ext CLK를 받아, 내부 클록 int CLK와 외부 클록 ext CLK의 주파수 및 위상의 엇갈림에 응한 제어신호 UP 및 /DOWN을 출력하는 위상 비교회로2와 이 위상비교회로2에서의 제어신호 UP 및 /DOWN에 따라 그의 출력노드3a의 전위레벨을 조정하는 차지펌프회로3와 차지펌프회로3의 출력노드3a에서의 출력신호(전위)를 필터처리하는 루프필터4와 이 루프필터4에서의 출력전위VP를 받아, 이 출력전위VP에 대응하는 출력전위 VN를 출력하는 전류 조정전위 출력회로5와 이 루프필터4에서의 출력전위VP 및 전류 조정전위 출력회로5에서의 전위VN에 따라 그의 발진 주파수가 제어되는 링 오실레이터6를 포함한다.

이 링 오실레이터6에서 내부 클록 int CLK이 출력된다.

위상비교회로2는 위상주파수 비교기(PFC)의 구성을 구비하고 내부 클록 int CLK의 주파수가 외부 클록 ext CLK의 주파수보다도 클 때 또는 내부 클록 int CLK의 위상이 외부 클록 ext CLK의 위상보다도 빠를 때, 제어신호UP를 L(로) 레벨에 설정하고, 역으로 내부 클록 int CLK의 주파수가 외부 클록 ext CLK의 주파수 보다도 작을 때 또는 내부 클록 int CLK의 위상이 외부클록 ext CLK의 위상보다도 늦은 때에 제어신호 UP를 H(하이)레벨에 설정한다.

한편 이 위상 비교회로2에서의 제어신호 /DOWN는 내부 클록 int CLK의 주파수가 외부클록 ext CLK의 주파수 보다도 큰 때 또는 내부 클록 int CLK의 위상이 외부클록 ext CLK의 위상보다도 빠른 때에는 L레벨에 설정되어 또 내부 클록 int CLK의 주파수가 외부클록 ext CLK의 위상보다도 늦은 때에는 H레벨로 설정된다.

이 위상비교회로2는 언로크시에 있어서 자동적으로 주파수오차검출기로서 동작하고, 또한 캡 챌린지에 있어서는 위상 오차 검출기로서 동작한다.

차지 펌프회로3는 전원전위 Vcc가 제공되는 전원노드1a와 노드3b의 사이에 접속되어 노드 3b에 일정한 정전류를 공급하는 정전류회로3c와 노드 3b와 출력노드3a의 사이에 접속되어, 게이트에 위상비교회로2에서의 제어신호UP를 받은 p채널 MOS(절연게이트형 전계효과)트랜지스터3d와, 출력노드3a와 노드3e의 사이에 접속되어, 게이트에 위상비교회로2에서의 제어신호/DOWN을 받은 n채널 MOS트랜지스터3f와 노드3e와 접지전위 GND를 받는 접지노드1b의 사이에 접속되어, 일정한 정전류를 뽑아내기 위한 정전류회로3e를 포함한다.

이 차지펌프회로3는, 제어신호UP가 L레벨로 있어 또한 제어신호/DOWN가 L레벨인 때에는 노드3a에 전하를 공급하고, 한편, 제어신호UP가 H레벨로 있어 또한 제어신호/DOWN가 H레벨인 때에는, 노드3a에서 전하를 뽑아낸다. 루프 필터4는, 이 차지펌프회로3의 출력노드3a에 있어서 전위변화의 고역성분을 제거하는 패스필터로서 기능한다.

이 루프필터4는 출력노드3a와 노드4a의 사이에 접속되는 저항소자4b와 노드4a와 노드4c의 사이에 접속되

는 저항소자4d와 노드4c와 접지노드1b의 사이에 접속되는 커패시터4e를 포함한다.

이들의 저항소자4b 및 1b의 사이에 접속되는 커패시터4e를 포함한다. 이들의 저항소자4b 및 4d와 커패시터4e에 의해 Rc로 패스필터를 구성하고, 노드4a에서 차지펌프회로3의 출력노드3a상의 전위에 응한 전위 VP를 출력한다.

전류조정전위 출력회로5는, 전원노드1a와 노드5a의 사이에 접속되어, 또한 게이트가 루프필터4a에 접속되는 p채널 MOS트랜지스터5b와 노드5a와 접지노드1b의 사이에 접속되어, 게이트가 노드5a에 접속되는 n채널 MOS트랜지스터5c를 포함한다.

n채널 MOS트랜지스터5c는 그의 게이트 및 드레인이 상호접속되어 포화영역으로 동작하기 때문에, 자승특성에 따라서 p채널 MOS트랜지스터5b에서 제공되는 전류에 따라 이 게이트5a의 전위를 설정한다($Ids=\beta(vgs-vth)^2$). 링 오실레이터6는, 각각이 출력전위 vp 및 vn에 응하여 구동전류(동작전류)가 조정되는 링상으로 접속되는 기수개의 인버터6a를 구비한다.

이들 기수개의 인버터6a는 동일구성을 구비하고, 동일한 참조번호로 표시된다.

인버터6a는 전원노드1a와 노드6aa의 사이에 접속되어, 그의 게이트에 루프필터4에서의 출력전위 vp를 받는 전류조정용 p채널 MOS트래지스터6ab와 노드 6aa와 출력노드6ac의 사이에 접속되어, 그의 게이트가 입력노드6ad에 접속되는 p채널 MOS트랜지스터6ae와, 출력노드6ac와 노드6af의 사이에 접속되어, 그의 게이트가 입력노드6ad에 접속되는 n채널 MOS트랜지스터6ad와, 노드6af와 접지노드1b의 사이에 접속되어, 그의 게이트에 전류조정전위 출력회로5에서의 출력전위VN를 받는 전류조정용 n채널 MOS트랜지스터6ah를 포함한다.

다음에 동작에 관하여 간단히 설명한다.

내부 클록 int CLK의 주파수가 외부 클록 ext CLK의 주파수보다도 큰때 또는 내부 클록 int CLK의 위상이 외부 클록 ext CLK의 위상보다도 빠른때에는 위상 비교회로2는, 제어신호UP 및 /DOWN을 함께 L레벨에 설정한다. 이 상태에 있어서는 차지펌프회로3에 있어서 p채널 MOS트랜지스터3d가 도통상태, 또한 n채널 MOS트랜지스터3f가 비도통상태로 된다.

도통 상태의 p채널 MOS트랜지스터3d를 통하여 출력노드3a에 전하가 공급되어 출력노드3a의 전위가 상승하고, 응하여 루프 필터4의 노드4a에 있어서 출력전위VP가 상승한다.

이 출력전위 VP의 전위상승에 수반하여, 전류조정전위 출력회로5에 있어서 p채널 MOS트랜지스터5d의 컨덕턴스가 작게되어, 그곳을 흐르는 전류가 작게된다.

이 MOS트랜지스터5d에서의 전류량이 작게되면, 응하여 노드5a의 출력전위VN가 저하한다.

이 출력전위VN는, 자승특성에 따라 변화하고, p채널 MOS트랜지스터5b 및 N채널 MOS트랜지스터5c 양자를 흐르는 전류가 동등하게 되는 레벨에 이 출력전위VN가 자리잡는다.

출력전위VP가 상승하고 또한 출력전위 VN가 저하하면, 링 오실레이터6의 인버터6a에 있어서 전류조정용 p채널 MOS트랜지스터6ab 및 전류조정용 n채널 MOS트랜지스터6ah에 흐르는 전류가 응하여 작게 되며, 응하여 인버터6a의 지연시간이 크게 된다.

이 결과 링 오실레이터6에서 출력되는 내부 클록 int CLK의 주파수가 작게 되어, 다음의 사이클에 있어서 내부 로크가 늦어져 발생되어, 내부 클록 int CLK 위상의 진행이 수정된다.

내부 클록 int CLK의 주파수가 외부 클록 ext CLK의 주파수 보다도 작은 때 또는 내부 클록 int CLK 의 위상이 외부 클록 ext CLK의 위상보다도 늦은 때에는, 위상비교회로2는, 제어신호 UP 및 /DOWN을 함께 H레벨에 설정한다.

차지펌프회로3에 있어서 p채널 MOS트랜지스터3d가 H레벨의 제어신UP에 의해 비도통상태로 되어 또 n채널 MOS트랜지스터3f가 H레벨의 제어신호/DOWN에 의해, 도통상태로 되어, 노드3a에서 접지노드1b에로 전하가 빼내게 되어, 출력노드3a의 전위가 저하한다. 응하여 루프 필터4의 출력노드4a의 출력전위VP가 저하한다.

이 출력전위VP의 전위하강에 따라 전류조정전위 출력회로5에 있어서 p채널 MOS트랜지스터5b의 컨덕턴스가 크게 되어, 그곳을 흐르는 전류가 크게 되어, 노드5a의 출력전위 VN가 상승한다.

이 출력전위VN는 n채널 MOS트랜지스터5c를 흐르는 전류와 p채널 MOS트랜지스터5e를 흐르는 전류가 동등하게 되는 레벨에 자리잡는다.

출력전위VP의 하강 및 출력전위 VN의 상승에 응답하여 링 오실레이터6의 각 인버터6a에 있어서 전류조정용 p채널 MOS트랜지스터6ab 및 전류 조정용 n채널 MOS트랜지스터6ah를 흐르는 전류가 크게 되어, 이것에 의해 인버터6a의 구동력이 크게되어, 응하여 인버터6a의 지연시간이 작게된다.

이 결과, 링 오실레이터6에서 출력되는 내부 클록 int CLK의 주파수가 크게되어, 또, 이 주파수의 크게되는 것에 의해 다음의 사이클에 있어서클록이 빠른 타이밍으로 발생되어, 이 내부 클록 int CLK의 위상이 늦음이 리커버된다.

상술의 일련의 동작에 의해 외부클록 ext CLK와 내부 클록 int CLK 은 그의 위상 및/또는 주파수가 이 PLL회로에 의해 동등하게 되어 있어, 내부 클록 int CLK이 외부클록 ext CLK와 주파수 및 위상 함께 동등하게 된 상태를, 내부 클록 int CLK 이 외부클록 ext CLK에 로크된 상태라 칭한다.

이 제1도에 표시하는 종래의 PLL회로에 있어서는, 루프 필터4의 출력전위VP가 직접 전류 조정용 전위발생회로의 p채널 MOS트랜지스터5b 및 링 오실레이터6의 인버터6a의 p채널 MOS트랜지스터6ab의 게이트에 제공되어 있기 때문에, 출력전위 Vp가 약간 변동하는 것만으로 자승특성에 따라 p채널 MOS트랜지스터5b 및 5ab를 흐르는 전류가 크게 변화한다.

응하여 n채널 MOS트랜지스터5c를 흐르는 전류가 크게 변화하고, 이 MOS트랜지스터5c와 커런트 미러 회로를 구성하는 MOS트랜지스터6ah(인버터6a의 전류 조정용의 MOS트랜지스터)를 흐르는 전류가 크게 변화한다.

이 전류변화에 의해, 인버터6a의 지연시간이 크게 변화하기 때문에, 결과로서 루프필터4에서의 출력전위 VP가 약간 변동하는 것만으로 링 오실레이터6에서 출력되는 내부 클록 int CLK이 크게 변화한다.

내부 클록 int CLK이 외부클록 ext CLK에 로크된후도, 차지펌프회로3의 출력노드3a의 약간의 전위변동에도, 내부 클록 int CLK의 주파수/위상이 크게 변동하기 때문에 내부 클록 int CLK의 주파수가 외부클록 ext CLK의 주파수의 전후에서 크게 진동하는, 즉 내부 클록 int CLK의 지터(jitter)가 크게 된다는 문제가 생긴다.

또 이 내부 클록 int CLK의 공급이 일시 중단되면, 공급의 중단된 외부클록 ext CLK에 내부 클록 int CLK을 로크시키려고 하여 PLL회로는, 루프필터4의 출력전위VP를 변화시키기 때문에, 이 출력전위VP가 크게 변화하고, 따라서 재차 외부 클록 ext CLK에 로크시키기 까지의 장시간을 요한다는 문제가 있다.

더 기수단의 인버터6a가 링상으로 접속된 링 오실레이터6를 사용하여 내부 클록 int CLK을 발생하고 있음으로, 외부클록 ext CLK의 주파수가 높은 경우에는, 이 인버터6a의 동작속도가 이 고속의 외부 클록 ext CLK에 추수하는 것이 곤란케되어, 내부 클록 int CLK을 외부클록 ext CLK에 로크시키는 것이 곤란하게 된다고 하는 문제가 생긴다.

더 전위전위Vcc의 변동이 격심한 경우, 전류조정용의 p채널 MOS트랜지스터5b 및 6ab의 게이트 소스간 전압(게이트에서 소스볼티지)의 변동이 크게 되어, 응하여 전류 조정용 MOS트랜지스터 6ab 및 6ah를 흐르는 전류가 변화하고, 내부 클록 int CLK의 주파수가 항상 변화하기 때문에, 내부 클록 int CLK을 외부클록 ext CLK에 로크시키는 것이 곤란케 되어, 외부클록 ext CLK에 위상 동기한 내부 클록 int CLK을 발생하는 것이 곤란케 된다는 문제가 생긴다.

이 발명의 목적은, 안정하게 입래하는 제1의 신호로서의 외부 클록신호에 위상 동기한(로크한)제2의 신호로서의 내부 클록신호를 발생하는 것의 가능한 클록 발생기를 가지는 반도체 장치를 제공하는 것이다.

이 발명의 목적은 로크시에 있어서 지터의 적은 내부 클록신호를 발생하는 것이 가능한 클록 발생기를 가지는 반도체 장치를 제공하는 것이다.

이 발명의 다른 목적은 고속 외부 클록 신호에 용이하게 로크하는 내부 클록신호를 출력하는 것이 가능한 클록 발생기를 가지는 반도체 장치를 제공하는 것이다.

이 발명의 다른 목적은 외부 클록신호의 공급재개시 고속으로 이 외부 클록신호에 로크인한 내부 클록신호를 발생하는 것의 가능한 클록 발생기를 가지는 반도체 장치를 제공하는 것이다.

이 발명의 더 다른 목적은 변동의 억제된 내부 전원전위를 공급하는 것이 가능한 전원전위 공급회로를 제공하는 것이다.

제1의 관점에 관련하는 발명은, 제1의 신호로서의 외부클록신호와 제2의 신호로서의 내부 클록신호의 위상 및 주파수의 차를 검출하고, 해당 검출결과에 따라 이 차를 적게 하기 위한 신호를 출력하는 차조정회로와 이 차조정회로의 출력신호와 피드백 전위를 차동적으로 증폭하는 차종증폭회로와 이 차동증폭회로의 출력신호에 따라 동작전류가 조정되는 내부 클록신호 발생회로를 구비한다.

피드백 전위는 차동증폭회로의 출력신호에 따라 전류를 공급하는 전류 공급소자와 이 전류 공급소자와 전원접지 노드의 사이에 접속되는 저항 소자의 접속부에서 생성된다.

이 발명의 제2의 관점에 관련하는 반도체 장치는 내부 클록신호와 외부 클록신호의 위상 및 주파수의 적어도 한편의 차를 검출하고 해당 검출된 차를 작게 하기 위한 제어신호를 발생하는 차 조정회로와 이 차조정회로의 출력신호에 따라 내부 클록신호 발생회로의 동작전류를 조정하는 전류조정회로와 외부 클록신호와 내부 클록신호의 로크상태를 검출하고, 로크 상태 검출시에 차조정회로의 출력신호를 유지하는 유지회로를 구비한다.

이 발명의 제3의 관점에 따른 반도체 장치에 있어서, 내부 클록신호를 발생하기 위한 클록발생회로가 링상으로 접속된 차동증폭회로를 포함한다.

이 발명의 제4의 관점에 관련하는 반도체 장치는, 기준전위와 내부전위의 차를 비교하고, 이 비교결과를 표시하는 아날로그신호를 생성하는 비교회로와 이 비교회로의 아날로그 출력신호를 디지털 신호에 변환하는 디지털 변환회로와, 비교회로에서의 아날로그 신호에 따라 전류제어 트랜지스터의 게이트 전위를 조정하는 아날로그 차지 펌프회로와 디지털 변환회로의 출력신호에 따라 이 전류제어트랜지스터의 게이트 전위를 조정하는 디지털 차지펌프회로와 이 전류제어 트랜지스터에서 전류를 공급되어 내부 전원전위와 기준전위의 차에 따라 전류를 내부전원노드에 공급하는 전류 드라이브 트랜지스터를 구비한다.

이 발명의 제5의 관점에 따른 반도체 장치는 외부전원 노드와 내부 전원노드의 사이에 접속되어 그의 게이트에 기준 전위를 받는 제1의 전류 드라이브 트랜지스터와 게이트에 기준전위를 받아 외부 전원 노드에서 전류를 공급하는 제2의 전류 드라이브 트랜지스터와 내부 전원전위와 기준전위의 차를 비교하고 해당 차를 표시하는 아날로그 신호를 출력하는 비교회로와 이 비교회로의 아날로그 출력신호를 디지털 신호에 변환하는 디지털 변환회로와, 제2의 전류 드라이브 트랜지스터와 내부 전원 노드의 사이에 접속되는 제3의 전류 드라이브 트랜지스터와 내부 전원 노드의 사이에 접속되는 제3의 전류 드라이브 트랜지스터와 비교회로에서의 아날로그 신호에 따라 이 제3의 전류 드라이브 트랜지스터의 게이트 전위를 조정하는 아날로그 차지펌프회로와, 디지털 변환회로의 출력신호에 따라 이 제3의 전류 드라이버 트랜지스터의 게이트 전위를 조정하는 디지털 차지 펌프회로를 구비한다. 제1의 관점에 따른 발명에 따르면, 차동증폭회로의 출력신호의 전위가 변화하여도, 이 저항소자에 의해 전류 공급소자의 전류 변화는 억제된다.

따라서, 내부 클록신호 발생회로의 전류 변화율은 차조정회로출력 신호의 전위변화에 비교하여, 작게되어

응하여 내부 클록 신호발생 회로의 차조정회로 출력신호에 대한 감도가 작게되어, 내부 클록 신호는 정확 또한 적은 지터로 외부 클록신호에 로크한다.

제2의 관점에 따른 발명에 따르면, 외부 클록신호의 공급중단시에 내부 클록신호발생회로에 제동되는 전류조정용 신호의 전위가 유지되어 있기 때문에, 외부 클록신호 중단시에 있어서도 안정하게 내부 클록신호를 발생하는 것이 가능하다.

또, 외부 클록 신호가 새로이 공급된 경우, 이 유지한 전위에 따라 내부 클록 신호의 위상/주파수의 조정이 시작되기 때문에, 고속으로 이 재차 제공된 외부 클록신호에 내부 클록 신호를 동기화 시키는 것이 가능하다.

제3의 관점에 관련하는 발명에 따르면, 클록 발생기에 링 상으로 접속된 상보 입출력의 차동증폭회로를 사용하고 있기 때문에, 그의 출력 신호를 고속으로 변화시키는 것이 되어, 고속으로 외부 클록신호에 추수하여, 내부 클록신호를 발생하는 것이 되어, 고속의 외부 클록신호에 위상동기한 내부 클록신호를 발생하는 것이 가능하다.

제4의 관점에 관련하는 발명에 따르면, 전류제어 트랜지스터의 게이트전위를 아날로그적 또한 디지털적으로 편성하여 조정하고 있기 때문에, 내부 전원 전위의 변동에 합해서 이 전류제어 트랜지스터의 공급전류를 조정하는 것이 되어, 내부 전원 전위의 오버슈트 및 언더슈트를 억제하는 것이 되어, 안정하게 일정한 전위레벨에 내부 전원전위를 유지하는 것이 가능하다.

제5의 관점에 관련하는 반도체 장치에 따르면, 상기 기준전위와 내부 전원전위의 차에 따라 전류를 내부 전원노드에 공급하고, 이 내부 전원노드의 전위에 응하여 더 별도의 제3의 전류 드라이버 트랜지스터의 게이트 전위를 아날로그적 또는 디지털 적으로 제어하기 때문에, 이 내부 전원전위의 변화에 합해서 내부 전원노드에 공급되는 전류량을 조정하는 것이 되어, 안정하게 내부전원전위를 소정의 전위레벨에 유지하는 것이 가능하다.

바람직한 실시예의 설명.

[실시예1]

이하, 이 발명의 실시예에 관하여, 이 발명의 SRAM(스태틱 · 랜덤 · 액세스 · 메모리)에 적용된 경우를 일예로서 설명한다.

본 발명은 SRAM에 한정되지 않고 클록에 동기하여 동작하는 동기형 반도체 기억장치에 전체적용 가능하고, 또 외부클록에 위상 동기한 내부 클록을 발생하는 반도체 회로장치에 적용가능하다.

제2도에 있어서는, 마이크로 프로세서200와, 이 마이크로프로세서200와 데이터의 수수를 행하는 SRAM300에서 되는 데이터처리 시스템이 일예로서 표시된다.

이 처리 시스템은 수정발진기에서 출력되는 소스클록에 의거하여 시스템 클록으로서 예컨대 이용되는 외부클록 신호 ext CLK를 발생하는 외부크록신호 발생회로100를 포함한다.

이 외부클록 신호발생회로100에서의 외부 클록신호 ext CLK가 마이크로프로세서200 및 SRAM300에 제공된다.

마이크로프로세서200는 이 외부클록신호 ext CLK에 동기하여 동작하고, SRAM300에 대하여 필요한 제어신호 CTRL(복수의 제어신호를 총칭적으로 표시함) 및 액세스 하여야할 데이터의 위치를 표시하는 어드레스신호 Ai를 발생하여 SRAM300에 제공하여, SRAM300과 데이터 Dj의 수수를 행한다. SRAM300은, 외부클록신호 ext CLK에 동기하여 동작하고, 마이크로 프로세서200에서 제공된 제어신호 CTRL 및 어드레스신호 Ai를 받아서 메모리셀의 선택동작 및 데이터의 입출력 동작을 실행한다.

이 SRAM300은 외부전원노드300a에 제공되는 외부전원전위ext Vcc(예컨대 5V) 및 접지노드300b에 제공되는 다른편 외부전원전위인 접지전GND(0V)에서 내부전원전위 int Vcc(예컨대 3V)를 생성하여 내부전원노드300c에 출력하는 내부전원전위발생회로310a(제4도 참조)와 외부전원전위 ext Vcc 및 접지전위GND에서 내부전원전위int Vcc를 발생하여 클록용 내부전원전노드300d에 출력하는 클록용 내부전원전위발생회로310d와 클록용 내부전원노느300d상의 내부전원전위int Vcc를 한편 동작전원전위로서 동작하고 외부클록신호 ext CLK와 동기한 내부 클록신호 int CLK, Φ1 및 Φ2를 출력하는 내부클록신호동기회로320(제6도 참조)를 포함한다.

이 내부전원전위발생회로310b는 내부전원전위발생회로310a와 동일한 구성을 구비하여, 외부전원전위ext Vcc를 다운컨버트하여 내부전원전위 int Vcc를 생성한다.

내부클록신호동기회로320는, 후에 상세하게 설명하도록, 본 실시예에 있어서는 PLL회로에 의해 구성된다.

SRAM300은 더 마이크로 프로세서200에서 제공되는 어드레스 신호Ai를 이 내부클록신호 동기회로320에서 제공되는 내부클록신호int CLK에 동기하여 래치하여 내부어드레스 신호int Ai를 출력하는 어드레스 버퍼330와 내부클록신호동기회로320에서의 내부클록신호Φ1에 동기하여 활성화되어, 이 어드레스 버퍼330에서의 내부어드레스 신호int Ai를 디코드하고, 이 내부 어드레스 신호 int Ai가 지정하는 메모리셀 행에 대응하여 배치된 워드선의 전위WL를 상승시키는 행디코더340a와 내부 클록신호동기회로320에서의 내부클록신호Φ1에 동기하여 활성화되어, 어드레스버퍼330에서의 내부어드레스호 int Ai를 디코드하고, 이 내부어드레스 신호 int Ai가 표시하는 메모리셀 열에 대응하는 열 선택선의 전위 CSL를 상승시켜 선택상태로 구동하는 열디코더340b를 포함한다.

어드레스버퍼330는 내부 클록신호 int CLK의 L레벨에서 H레벨에의 변화시에 제공된 어드레스 신호 Ai를 래치하여 내부행 및 열어드레스 신호int Ai를 출력한다.

이 어드레스 버퍼330는, 내부 어드레스 신호int Ai의 래치시에 있어서는, 그의 입력부와 출력부가 차단되어, 또한 어드레스 신호 Ai를 받는 회로를 흐르는 전류가 컷오프된다.

CMOS인버터 버퍼를 사용한 경우, 입출력신호의 전위레벨이 공정되는 경우, 이 CMOS인버터버퍼에 있어서는, 전류는 흐르지 않는다.

따라서, 어드레스 버퍼입력단에, 내부클록신호 int CLK의 H레벨인때에 비도통상태로 되는 트랜스미션 게이트가 배치되면 좋다.

후에 기술한 바와 같이, 다른 구성도 동일 이용하는 것이 가능하다.

형 디코드340a 및 열 디코드 340b는, 함께 어드레스 버퍼330에서 제공되는 내부 어드레스 신호 int Ai를 병렬로 받아, 내부 클록신호 Φ1가 H레벨로 변화하면 디코드를 행하여 그의 디코드 결과에 따라 대응의 행 및 열을 선택상태로 구동한다.

내부 클록신호 Φ1가 L레벨로 변화하면, 행 디코더340a 및 열디코더340b는 함께 선택상태로 된 워드선 전위WL 및 열선택선의 전위CSL를 접지전위GND 레벨에 저하시킨다.

행 디코더340a 및 열디코더340b에 있어서 출구 드라이브 단만 클록신호Φ1에 의해 활성/비활성화되어도 좋다.

SRAM300은 더 SRAM셀이 행 및 열의 매트릭스 상으로 배열되어, 각각이 1비트의 데이터를 기억하는 메모리셀351을 포함하는 메모리셀 어레이350를 포함한다.

메모리셀의 각 행에 대응하여 워드선352이 배치되어, 각 워드선352에는 대응의 행에 배열된 메모리셀이 접속된다.

메모리셀의 각 열에 대응하여 비트선쌍353이 배치되어, 각 비트선쌍353에는 대응의 열의 메모리셀이 접속된다.

비트선쌍353은 서로 상보한 데이터 신호를 전달하기 위한 비트선353a 및 353b을 가진다.

비트선쌍353 각각에 대하여는 내부 클록신호 Φ1에 동기하여 비트선353a 및 353b의 전위 BL 및 /BL를 내부전원전위 int Vcc레벨에 이퀄라이즈하는 비트선 이퀄라이즈 회로354가 설치된다.

이 비트선 이퀄라이즈회로354는 메모리셀 어레이350의 비선택시 즉 내부 클록신호Φ1가 L레벨로 되어, 워드선352 및 비트선쌍353이 비선택상태로 되었을 때에 활성화되어, 비트선353a 및 353b에 내부전원전위 int Vcc를 공급한다.

메모리셀 351은 내부전원노드300c와 스트레이지 노드351a의 사이에 접속되는 고저항의 부하소자 351c와, 내부전원노드300c와 스트레이지 노드351b에 접속되는 고저항의 부하소자351d와 스트레이지 노드351a와 접지노드300b의 사이에 접속되어 또한 게이트가 스트레이지 노드351b에 접속되는 n채널 MOS 드라이브 트랜지스터351e와 스트레이지 노드351b와 접지노드300b의 사이에 접속되어, 또한 그의 게이트가 스트레이지 노드351a에 접속되는 n채널 MOS드라이브 트랜지스터351h와, 비트선353a와 스트레이지 노드351a의 사이에 접속되어, 또한 그의 게이트가 워드선353에 접속되는 n채널 MOS액세스 트랜지스터351g와, 비트선 353b과 스트레이지 노드351b의 사이에 접속되어 또한 그의 게이트가 워드선352에 접속되는 n채널 MOS액세스 트랜지스터351f를 포함한다.

부하소자 351c 및 351d의 각각은 고저항의 폴리실리콘 또는 게이트가 대응의 스트레이지 노드 351a 또는 351b에 접속되는 p채널 MOS트랜지스터(예컨대 박막 트랜지스터)에서 구성된다.

비트선 이퀄라이즈 회로354는, 내부전원노드300c와 비트선353a의 사이에 접속되어 또한 그의 게이트에 내부 클록신호Φ1를 받는 p채널 프리차지 트랜지스터354a와 내부 전원노드300c와 비트선 353b의 사이에 접속되어 또한 그의 게이트에 내부 클록 신호Φ1를 받는 p채널 프리차지 트랜지스터 354b와 비트선353a와 비트선 353b의 사이에 접속되어 또한 그의 게이트에 내부 클록 신호Φ1를 받는 p채널 이퀄라이즈 트랜지스터354c를 포함한다.

이들의 트랜지스터354a, 354b 및 354c는 내부 클록 신호Φ1가 L레벨로 되면, 도통상태로 된다.

SRAM300은 더 마이크로 프로세서에서의 제어신호 CTRL를 받아, 판독/기록 제어신호 R/W를 출력하는 제어회로360와, 열 디코더340b에서의 열 선택신호CSL가 지정하는 열 상의 선택 메모리셀에 대하여 데이터의 판독/기록을 행하기 위한 입출력회로370와 제어회로360에서의 판독/기록 제어신호 R/W와 내부클록신호 동기회로320에서의 클록신호Φ2에 응답하여, 외부장치로서의 마이크로 프로세서200와 입출력회로370의 사이에서 데이터의 입출력을 행하는 입출력 버퍼380를 포함한다.

제어회로360에 제공되는 마이크로프로세서200에서의 제어신호CTRL는 데이터 기록동작모드를 지정하는 라이트 이네이블 신호 /WE 및 데이터 출력모드를 지정하는 아웃풋 이네이블 신호/DE 및 이 SRAM이 선택된 것을 표시하는 칩 실렉트 신호CS 등을 포함한다.

제어회로360는, 이 제어신호 CTRL에 포함되는 칩 실렉트 신호가 선택상태를 표시할때에 활성화되어, 라이트 이네이블 신호/WE 및 아웃풋 이네일블신호/DE에 따라서 판독/기록제어신호 R/W를 출력한다.

입출력회로370는 내부 데이터선으로서의 I/O선쌍371과, 열디코더340b에서의 열선택신호CSL에 따라 이 열선택신호CSL가 지정하는 열에 대응하는 비트선쌍353을 I/O선쌍371에 접속하는 I/O게이트회로372와, 이 I/O선쌍 371에 결합되어, 내부클록동기회로320에서 제공되는 내부클록신호Φ2 및 제어회로360에서의 판독/기록제어신호 R/W에 응답하여 I/O선쌍371에 생긴 전위차를 증폭하여 내부판독 데이터RDj를 생성하여 입출력버퍼380에 출력하는 센스앰프373와 입출력버퍼380와 I/O선쌍371의 사이에 결합되어, 판독/기록제어신호 R/W 및 내부 클록신호Φ2에 응답하여, 데이터 기록시 입출력 버퍼380에서 제공되는 내부기록 데이터 WDj에서 상보 기록데이터를 생성하여 I/O선쌍371에 전달하는 기록회로374를 포함한다.

I/O선쌍371은 서로 상보한 데이터 신호를 전달하는 I/O선371a 및 371b을 포함한다.

I/O게이트 회로372는 비트선쌍353 각각에 대응하여 설치되어, 열디코더340b에서의 열 선택신호CSL가 선택

상태를 표시하는 H레벨인 때에 도통하는 I/O게이트를 포함한다.

이 I/O게이트는 비트선353a과 I/O선 371a의 사이에 설치되어, 또한 그의 게이트에 열선택신호CSL를 받는 n채널 게이트 트랜지스터372a와 비트선353b과 I/O선 371b의 사이에 접속되어, 그 게이트에 열디코더340b에서의 열선택신호CSL를 받는 n채널 게이트 트랜지스터372b를 포함한다.

센스앰프373는, 판독/제어신호 R/W가 데이터 판독을 표시하고 또한 내부 클록신호 Φ2가 L레벨로 되면, 활성화되어 I/O선쌍 371에 생긴 전위차를 증폭하여 내부판독 데이터 RDj를 출력한다.

그것 이외의 경우에는, 이 센스앰프373는 비활성상태로 된다.

기록회로374는 판독/기록제어신호 R/W가 데이터 기록을 표시할 때 활성화되어, 입출력버퍼380에서 제공되는 내부기록 데이터WDj에 대응하는 전위차를 I/O선쌍371에 생성한다.

입출력 버퍼380는, 판독/기록신호 R/W가 데이터 판독을 표시할 때 또한 내부클록신호Φ2가 L레벨인 때에, 센스앰프373에서의 내부 판독 데이터RDj에서 외부 판독 데이터Dj를 생성하여 출력하고 한편 이 내부클록신호Φ2가 H레벨인 때에는, 센스앰프 373에서 제공되는 데이터 RDj를 래치하고, 외부 판독 데이터Dj를 유지한다.

입출력 버퍼380는, 또, 판독/기록신호 R/W가 데이터 기록을 표시할 때에는, 외부 기록데이터Dj를 거두어들여, 외부기록데이터Dj에 응한 내부기록데이터WDj를 출력한다.

다음에 제2도에 표시하는 SRAM300의 동작을 그의 동작파형도인 제3도를 참조하여 간단하게 설명한다.

제3도에 있어서는 마이크로 프로세서 200에서 제공되는 제어신호 CTRL가 데이터 판독을 표시하고 있어, SRAM300에서 데이터가 판독되는 경우의 동작의 파형이 표시된다.

지금, 내부클록신호 동기회로320에서의 내부클록신호 int CLK는, 이미 외부클록신호 ext CLK에 로크되어 있어, 위상 동기하고 있다고 가정한다.

어드레스 신호Ai가 제3도의 (a)에 표시함과 같이 어드레스ADD0에 설정된다.

내부 클록신호 int CLK가 제3도의 (a)에 표시함과 같이 시각t1에 있어서 L레벨에서 H레벨로 변화하면, 이 변화에 응답하여 어드레스 버퍼330가 어드레스 신호Ai를 래치하여 내부어드레스 신호int Ai를 출력한다. 어드레스 버퍼330는, 이때 또 외부에서 제공된 어드레스 신호Ai를 받는 회로를 흐르는 전류를 컷오프한다.

이 어드레스 버퍼의 구성에 관하여는 후에 상세하게 설명한다.

다음에 제3도의 (c)에 표시함과 같이, 내부 클록신호Φ2가 시각t2에 있어서, L레벨로 저하하면, 입출력 버퍼380가 래치상태를 해제되어, 또한 내부클록신호Φ2를 받는 센스앰프373가 활성화된다.

제3도의(b)에 표시함과 같이, 내부클록신호Φ1가 시각t3에 있어서, H레벨로 되면 비트선 이퀄라이즈 회로354가 비활성 상태로 되어, 비트선쌍353의 이퀄라이즈/프리차지 동작을 정지한다.

또 내부 클록신호Φ1에 응답하여 행디코더340a가 활성화되어, 어드레스 버퍼330에서 제공되는 내부 어드레스 신호int Ai에 포함되는 로우 어드레스 신호를 디코드하고 로우 어들레스가 지정하는 행에 대응하는 워드선의 전위WL를 제3도의 (e)에 표시함과 같이 상승시킨다.

이것에 의해, 이 선택워드선에 접속되는 메모리셀 351에 포함되는 액세스 트랜지스터351g 및 351f가 도통상태로 되어, 메모리셀351의 기억 데이터가 비트선353 상에 전달되어, 비트선쌍 353에 이 기억데이터에 대응하는 전위차가 생긴다.

또, 내부클록신호 Φ1를 받는 열디코더340b가 이 내부 클록신호Φ1의 상승에 동기하여 활성화되어, 어드레스 버퍼330에서의 내부 어드레스 신호int Ai에 포함되는 열어드레스 신호를 디코드하여 열 선택신호CSL를 제3도의 (f)에 표시함과 같이 H레벨에 상승시킨다.

I/O게이트회로372에는, 이 열디코더340b에서의 열선택신호CSL에 응답하여 선택열에 대응하여 설치된 I/O게이트가 도통하고, 선택열에 대응하는 비트선쌍353에 생긴 전위차를 I/O선쌍371에 전달한다.

내부 클록신호Φ2의 L레벨의 저하에 응답하여 활성화된 센스앰프373가, 이 I/O선쌍371에 생긴 전위차를 차동적으로 증폭하고, 이 전위차에 대응하는 H레벨 또는 L레벨의 내부 판독 데이터RDj를 형성하여 입출력 버퍼380에 제공한다.

입출력 버퍼380는, 내부 클록신호Φ2가 L레벨에 있어, 활성화되어 있어, 이 센스앰프373에서 제공된 내부 판독 데이터RDj를 버퍼처리하여, 제3도의 (g)에 표시함과 같이 외부 판독 데이터d0를 출력한다.

시각t4에 있어서, 제3도의 (a)에 표시함과 같이, 내부클록신호int CLK가 L레벨로 하강하여, 응하여 내부클록신호Φ2는 제3도의 (c)에 표시함과 같이, 시각t5에 있어서 H레벨에 상승하면, 입출력버퍼380는 그의 출력 데이터d0를 래치하고, 지속적으로 데이터d0를 출력한다.

한편, 센스앰프373는 이 내부클록신호Φ2의 H레벨의 상승에 동기하여 비활성 상태로 된다.

내부 클록신호Φ1가 내부 클록신호int CLK의 하강에 응답하여, 시각t6에 있어서 L레벨에 저하하면 행 디코더340a 및 열디코더340b가 함께 비활성상태로 되어, 메모리셀 어레이350에 포함되는 전체의 워드선353의 전위WL 및 열디코더340b에서의 열 선택신호CSL가 제7도의(e) 및 (f)에 각각 표시함과 같이 비선택 상태를 표시하는 L레벨로 된다.

비트선 이퀄라이즈 회로354는, 이 내부 클록신호Φ1의 저하에 동기하여 활성화되어, 비트선쌍 353을 내부전원전위 int Vcc레벨에 이퀄라이즈하고 또한 프리차지 한다.

뒤이어, 제3도의 (d)에 표시함과 같이, 어드레스 신호Ai가 다음에 액세스 되는 어드레스 add1를 표시하는

상태로 설정되어, 내부클록신호int CLK가 제3도의 (a)에 표시함과 같이 시각t7에 있어서 재차 L레벨로 변화하면, 시각t1에서 시각t6에서의 전의 시스템 사이클에 있어 해하여진 동작과 동일한 동작이 행하게 되어, 이 어드레스 add1가 지정하는 메모리셀이 기억하는 데이터d1가 제3도의 (g)에 표시함과 같이 시각t10에 있어서 출력된다.

제4도는 제2도에 표시하는 어드레스 버퍼330의 1비트의 어드레스 신호에 관련하는 부분의 구성을 표시하는 도면이다.

제4도에 있어서, 어드레스 버퍼330는 활성화시 외부에서의 어드레스 신호Ai를 반전하는 인버터330a와 내부 클록신호Φ1의 활성화(L레벨)에 응답하여 외부전원노드300a에서 인버터330a의 한편 동작자원노드에 전류를 공급하는 p채널 MOS트랜지스터330b와 내부 클록신호Φ1의 반전신호/Φ1의 활성화(H레벨)에 응답하여 이 인버터330a의 다른편 전원노드과 접지노드300b의 사이에 전류가 흐르는 경로를 형성하는 n채널 MOS트랜지스터330c와, 인버터330a의 출력신호를 받는 인버터330d와, 내부클록신호Φ1가 하이레벨인때에 활성화되어, 인버터330d의 출력신호를 반전하고, 또한 버퍼처리하여 인버터330d의 입력부에 전달하는 클록드인버터330e를 출력한다.

인버터330a는 통상의 CMOS인버터의 구성을 포함한다.

인버터330a는 통상의 CMOS인버터의 구성을 구비한다.

인버터330a와 트랜지스터330b 및 300c로 클로드 인버터가 구성된다.

내부 클록신호Φ1가 H레벨인때, MOS트랜지스터330b 및 330c가 함께 비도통상태로 되어, 이 인버터330a에 있어서 전류공급이 중단된다.

한편, 이 내부 클록신호Φ1의 H레벨에 응답하여 클록드 인버터330e가 활성화되어, 인버터 330d 및 330e에 의해 래치회로가 형성된다.

내부 클록신호Φ1가 L레벨인 때에는, MOS트랜지스터330d 및 330c가 함께 도통상태로 되어, 인버터330a가 동작 전류를 공급되어 동작하고, 외부 어드레스 신호Ai를 반전하고 또한 버퍼 처리하여 출력한다.

이 상태에 있어서, 클록드 인버터 330e는 비활성 상태이고, 인버터330d가 인버터330a의 출력신호를 반전하고 또한 버퍼처리하여 내부 어드레스신호int Ai를 출력한다.

이 경우에는, 하등 래치회로는 구성되지 않고, 외부 어드레스 신호Ai에 응하여 내부 어드레스 신호int Ai가 출력된다.

역시 MOS트랜지스터330d는, 외부 전원노드330a에 접속되어 있어, MOS트랜지스터330b를 비도통 상태로 하기 위하여는 내부클록 신호Φ의 H레벨을 외부전원전위 ext Vcc레벨에 상승시킬 필요가 있다.

이것은 단순한 레벨 변환회로를 사용하여 용이하게 실현하는 것이 가능하다.

반전신호/Φ1에 관하여는 특히 레벨 변환을 행할 필요는 없다.

이 제4도에 표시함과 같이, 어드레스 버퍼330의 외부 어드레스신호Ai를 받은 입력단에, 내부 클록신호Φ1에 응답하여 도통하는 클록드인버터를 설치하는 것에 의해, 어드레스 버퍼330에 있어서 소비전류를 저감하는 것이 가능하다.

또, 행 디코더300a, 열디코더340b 및 센스앰프373가 각각 내부 클록신호Φ1에서 Φ2에 따라 비활성상태로 되기 때문에 통상의 스태틱 동작을 행하는 구성에 비하여, 이들의 회로를 상시활성화 시킬 필요가 없고, 소비전류를 보다 저감하는 것이 가능하다.

제5도는, 제2도에 표시하는 내부 전원전위 발생회로310a의 구성을 표시하는 회로도이다.

제5도에 있어서, 내부 전원전위 발생회로310a는, 전류공급노드312에서의 전류를 받아 내부전원노드300c상에 일정한 전위Vret레벨의 내부전원전위 int Vcc를 출력하는 정전압회로311와, 이 내부전원전위int Vcc와 기준전위Vref의 차에 응하여 전류공급노드312에 공급되는 전류량을 조정하는 전류공급회로316를 포함한다.

여기서는 전위를 접지전위 기준전위로서 측정된다.

정전압회로311은, 외부전원전위ext Vcc 및 접지전위GND를 받어, 이 외부전원전위ext Vcc의 변동의 영향을 받지 않은 일정한 기준전위Vref(예컨대 3V:ext Vcc=5V인때)를 출력하는 기준전위발생회로313와, 이 기준전위발생회로313에서의 기준전위Vref 및 내부 전원전위 int Vcc를 비교하고, 그의 차에 응한 드라이버 제어신호DRV를 출력하는 차동증폭회로314와 전류공급노드312와 내부전원노드300의 사이에 접속되어 또한 그의 게이트가 차동증폭회로314에서의 드라이버 제어신호DRV를 받도록 접속되는 p채널 MOS트랜지스터로 구성되는 드라이버 트랜지스터315를 포함한다.

차동증폭회로314는 내부전원전위 int Vcc가 기준전위 Vref보다도 낮은 경우에는, 드라이버 제어신호DRV의 전위 레벨을 저하시켜 또한 내부 전원전위 int Vcc가 기준전위 Vref보다도 높은 경우에는, 이 드라이버 제어신호DRV의 전위레벨을 상승시킨다.

이 드라이버 제어신호 DRV는 아날로그 적으로 변환한다.

기준전위 발생회로313는, 외부전원노드300a와 기준전위 노드313a의 사이에 접속되는 외부전원전위 ext Vcc의 변동에 관계없이 일정하다고 되는 정전류를 공급하는 정전류회로313b와 기준전위노드313a와 접지노드300b의 사이에 접속되는 저항소자313c를 포함한다.

이 기준전위 노드313a상에 기준전위 Vref가 출력된다.

정전류회로313b는 외부전원노드300a와 노드313ba의 사이에 접속되어 또한 그의 게이트가 노드313bb에 접

속되는 p채널 MOS트랜지스터313bc와, 노드313ba와 접지노드b의 사이에 접속되어 또한 그의 게이트가 노드 313bd에 접속되는 n채널 MOS트랜지스터313bg와 노드313bd와 접지노드313b의 사이에 접속되어 또한 그의 게이트가 노드 313bd와 접지노드300b의 사이에 접속되어 또한 그의 게이트가 노드 313bd에 접속되는 n채널 MOS트랜지스터313bh와 외부전원노드 300a와 기준전위노드313a의 사이에 접속되어 또한 그의 게이트가 노드 313bb에 접속되는 p채널 MOS트랜지스터313bi를 포함한다.

정전류 회로313b에 있어서, 저항소자313bf는 비교적 큰 저항치를 가지고 있어, MOS트랜지스터313bg 및 313bh에 미소전류를 공급한다.

MOS트랜지스터313bh 및313be는, 커런트 미러회로를 구성하고 있어, MOS트랜지스터313be를 통하여 흐른다.

이 MOS트랜지스터313be를 흐르는 전류는, MOS트랜지스터313bc에 공급된다.

MOS트랜지스터313bc의 전류구동력은 크게 되어 일단락 짓고, MOS트랜지스터313bc의 소스게이트간 전압 즉 내부전원노드300a와 노드313bb의 전위차가 MOS트랜지스터313bc의 한계치 전압의 절대치 |VthP|로 설정된다. 따라서, 저항소자313bf를 흐르는 전류I가 |VthP|/R(313ef)로 제공된다.

R(313ef)는 저항소자313ef의 저항치를 표시한다.

이 전류 I는 외부전원전위ext Vcc에 의존하지 않은 일정한 전류치이다.

전류I가 증가한 경우에는, MOS트랜지스터 313bg 및 313bh를 통하여 흐르는 전류가 증가하고, 응하여 MOS트랜지스터313be를 흐르는 전류가 증가하고, 노드313ba의 전위가 상승하고, (MOS트랜지스터313be의 드레인배 전류는 노드313ba의 전위에 의해 결정된다.)

MOS트랜지스터313bg를 통하여 흐르는 전류를 저하시켜, 응하여 노드313bb의 전위를 상승시켜, MOS트랜지스터313bc를 통하여 흐르는 전류를 저하시킨다.

저항소자313bf를 통하여 흐르는 전류가 저하한 경우에는 노드 313ba의 전위가 저하하고, MOS트랜지스터 313bg의 컨덕턴스가 크게되어, 노드313bb에서의 전류를 많이 뽑아내어, 응하여 노드313bb의 전위를 저하시켜, MOS트랜지스터313bc를 통하여 그의 전류를 증가시킨다.

MOS트랜지스터313bg,313bh 및 313be의 피드백 제어에 의해, MOS트랜지스터313bc 및 저항소자 313bf를 통하여 흐르는 전류는 일정케된다.

이 노드313bd는 MOS트랜지스터313bi의 게이트에 접속되어 있다.

따라서, MOS트랜지스터313bi에는, MOS트랜지스터313bc와 동일 일정한 전류가 흐른다.

기준 전위Vref는 이 MOS트랜지스터313bi에서 공급되는 전류와, 저항소자 313c의 가지는 저항치에 의해 결정된다.

MOS트랜지스터313bi를 흐르는 전류는 외부 전원전위ext Vcc에 의존하지 않은 일정치로 있기 때문에, 기준전위Vref도, 외부 전원전위 ext Vcc에 의존하지 않은 일정한 전위레벨로 된다.

차동증폭회로314는, 외부전원노드300a와 드라이버 제어신호DRV를 출력하는 출력노드314a와의 사이에 접속되어 또한 그의 게이트가 노드314b 에 접속되는 p채널 MOS트랜지스터314a와, 노드314a와 노드314d의 사이에 접속되어 또한 그의 게이트가 기준전위Vref를 받도록 접속되는 n채널 MOS트랜지스터314e와 외부 전원노드300a와 노드314b의 사이에 접속되어 또한 그의 게이트가 노드314b에 접속되는 p채널 MOS트랜지스터314f와 노드314b와 노드314d의 사이에 접속되어 또한 그이 게이트가 내부 전원전위int Vcc를 받도록 접속되는 n채널 MOS트랜지스터314g와 노드314d와 접지노드 300b의 사이에 접속되어 또한 그의 게이트가 외부전원노드300a에 접속되는 n채널 MOS트랜지스터314h를 구비한다.

MOS트랜지스터314c 및 314f는 커런트 미러회로를 구성하고 MOS트랜지스터314e 및 314g는 각각의 게이트에 제공된 전위를 비교하는 차동단을 구성하고, MOS트랜지스터314h는 이 게이트에 제공되는 외부 전원전위 ext Vcc에 응하여 비교적 큰 일정한 전류를 공급하는 정전류원으로서 기능한다.

이 차동증폭회로314는, MOS트랜지스터314g의 게이트를 정입력(+)으로 하고, MOS트랜지스터314e는 게이트를 부입력(-)으로 하는 컨덕트 미러형 차동증폭회로의 구성을 구비한다.

신호 DRV는 디지털 적으로 변화한다.

전류 공급회로316는 내부 전원전위 int Vcc와 기준전위 Vref의 엇갈림에 응하여, 내부전원전위 int Vcc의 기준전위Vref에 대한 언더슈트 및 오버슈트가 최소치로 되도록 전류공급노드312에 공급되는 전류를 조정한다.

이 전류 공급회로316는 외부 전원노드300a와 전류 공급노드312의 사이에 접속되는 p채널 전류제어 트랜지스터 316a와 기준전위 발생회로313에서의 기준전위 Vref와 내부 전원노드300c상의 내부 정전전위 int Vcc를 받어, 이 p채널 전류제어 트랜지스터316a의 게이트 전위 Vg를 조정하는 전류제어회로316b를 포함한다.

전류제어회로316b는, 내부전원전위 int Vccc의 기준전위 Vref에 관한 언더슈트가 크게되면, 전류제어 트랜지스터316a의 게이트전위 Vg를 저하시켜 또한 오버슈트가 크게 되는 경우에는, 전류제어 트랜지스터 315a의 게이트전위 Vg를 상승시킨다.

전류제어회로316b는, 내부전원전위int Vcc와 기준전위Vref를 비교하는 비교회로316bc와 이 비교회로316bc의 출력전위va에 따라 전류제어트랜지스터316a의 게이트 전위Vg를 조정하는 차지펌프회로316bg와 전류제어 트랜지스터316a의 게이트와 접지노드300b의 사이에 접속되는 루프필터316bi를 포함한다.

비교회로316bc는, 정전압 회로311에 포함되는 차동증폭회로314와 동일 구성을 구비하는 차동증폭회로 316ba 및 316bb를 포함한다.

이들의 차동증폭회로316ba 및 316bb의 각각은 내부 전원전위 int Vcc 기준전위 Vref보다도 높은 경우에는 L레벨, 내부전원전위 int Vcc가 기준전위 Vref보다도 낮은 경우에는 H레벨로 되는 신호 Va를 출력한다.

차지펌프회로316bg는 외부전원노드300a와 전류제어트랜지스터316a의 게이트에 접속되는 노드316bd의 사이에 접속되어 또한 그의 게이트가 차동증폭회로316ba의 출력에 접속되는 p채널 MOS트랜지스터316be와 노드316bd와 접지노드300b의 사이에 접속되어 또한 그의 게이트가 차동증폭회로316bd의 출력전위Va를 받도록 접속되는 n채널 MOS트랜지스터316bf를 포함한다.

루프필터316bi는 노드316bb와 접지노드300b의 사이에 접속되는 커패시터316bh를 포함하고, 게이트 전위Vg의 급격한 변화를 억제한다.

다음에, 이 제5도에 표시하는 내부전원전위 발생회로310a의 동작에 관하여 간단하게 설명한다.

내부전원전위 ext Vcc가 5V에서 2V정도의 경우에는, 기준전위 발생회로313는 안정하게 동작하고, 또한 전류 제어회로316b에서는 일정한 전류가 공급되어 응하여 기준전위발생회로313에서 출력되는 기준전위Vref는, 외부전원전위 ext Vcc의 변동에 관계없이, 일정한 전위 레벨로 된다.

차동증폭회로314는, 이 기준전위 Vref와 내부전원전위 int Vcc를 받아 비교한다.

내부전원노드 300c에 접속되는 디코더 340a 및 340b 또 메모리셀351 등의 내부회로가 동작하여, 전류를 소비하여 내부전원전위 int Vcc가 기준전위Vref보다 저하하면(언더슈트하면), 출력노드314a에서 출력되는 드라이버 제어신호DRV는 저하하여, 드라이브 트랜지스터315의 컨덕턴스를 크게한다.

이 드라이브 트랜지스터315가 그의 크게된 컨덕턴스에 따라서 내부 전원노드300c에 큰 전류를 공급하고, 내부전원전위 int Vcc를 상승시킨다.

내부전원전위 int Vcc가 이 전류공급에 의해, 기준전위 Vref를 넘어 놓게 되면(오버슈트하면), 차동증폭회로314는 드라이버 제어신호DRV를 상승시켜, 이 드라이버 트랜지스터315의 컨덕턴스를 저하시켜서 내부전원노드300c에의 공급전류량을 감소시킨다.

이때, 내부회로가 동작하고 있는 경우에는 내부전원전위 int Vcc는 이들의 동작하고 있는 내부회로에 의해 소비되어 저하한다.

전류공급노드312에 공급되는 전류가 작은 경우에는, 기준전위Vref보다도 낮게 된 내부전원전위int Vcc는 고속으로 상승하지 않고, 응하여 언더슈트가 크게된다.

한편, 전류공급노드312에 공급되는 전류가 크게되면, 내부전원전위 int Vcc가 고속으로 상승하고, 오버슈트가 크게된다.

이하에 이 언더슈트 및 오버슈트의 발생에 관하여 제6도 및 제7도를 참조하여 설명한다.

제6도는 내부전원전위int Vcc의 언더슈트가 크게된 경우의 전류공급회로316의 동작을 표시하는 타이밍도이다.

내부전원전위int Vcc의 언더슈트가 제6도의 (a)에 표시함과 같이, 시각t1내지 시각 t2의 사이에 크게되면, 비교회로316bc에 포함되는 차동증폭회로316ba 및 316bb에서의 출력전위Va가 제6도의 (b)에 표시함과 같이 장기간 H레벨로 되어, 차지펌프회로316bg에 포함되는 p채널 MOS트랜지스터316bb가 비도통 상태로 되어 또한 n채널 MOS트랜지스터316bf가 도통상태로 되는 기간이 길게된다.

응하여 전류제어 트랜지스터316ba의 위의 전위Vg가 제6도의 (c)에표시함과 같이, 이 차지펌프회로316bg의 MOS트랜지스터316bf의 도통에 의해 방전되어 크게 저하한다.

이 결과, 전류제어 트랜지스터316a의 컨덕턴스가 크게되어, 외부전원노드300a에서 전원공급노드312에 공급되는 전류Is가 제6도의 (d)에 표시함과 같이 크게 되어, 고속으로 내부전원전위 int Vcc를 상승시킨다.

시각t2 내지 t3에 있어서는, 이 큰 전류량에 의해 내부전원전위int Vcc가 기준전위 Vref이상으로 상승하지만, 응하여 차동증폭회로316bc의 기능에 의해, 게이트 전위 Vg가 이사이 상승되어, 전류공급량이 저감된다.

이때, 내부 전원전위 Vcc와 기준전위 Vref의 차는 작기 때문에, 전류 공급노드312에 전류제어 트랜지스터316a를 통하여 공급되는 전류Is의 변화량은 작고, 응하여 시각t3 내지 t4의 시간에 있어서 내부전원전위 int Vcc의 언더슈트는 작게된다.

내부전원전위int Vcc의 큰 언더슈트가 억제된 시각t2이후에 있어서는 차동증폭회로316ba 및 316bb 각각의 출력전위 Va의 L레벨 및 H레벨로 되는 기간이 거의 동일 정도로 되기 때문에 루프 필터 316bi의 기능에 의해 전류제어 트랜지스터316a의 게이트 전위Vg 및 공급 전류Is는 각각 제6도의 (c) 및 (d)에 표시함과 같이 대부분 변화하지 않고, 거의 일정한 치를 유지한다.

이 사이 내부전원전위int Vcc는, 미소진폭으로 진동하지만, 이 내부전원노드30c에 부수하는 기생용량 또는 안정화 용량에 의해, 그의 진동은 평활화되어, 기준전위 Vref레벨의 내부전원전위int Vcc가 출력된다.

역으로 내부 전원전위int Vcc의 오버슈트가 크게된 경우의 동작을 제7도에 표시하는 타이밍도를 참조하여 설명한다.

내부전원전위int Vcc의 오버슈트가 제7도의 (a)의 시각t1 내지 t2에 표시됨과 같이 크게되면 비교회로316bc에 있어서 차동증폭회로316ba 및 316bb에서의 출력전위 Va가 제7도의 (b)에 표시함과 같이 장시간 L레벨로 되어, 응하여 차지펌프회로316bg에 있어서 p채널 MOS트랜지스터316be가 도통상태되어 또한 n채널 MOS트랜지스터316bf가 비도통 상태로 되는 기간이 길게된다. 이 도통 상태로 되는 p채널 MOS트랜지스터316be에 의해, 전류제어 트랜지스터316a의 게이트 전위Vg가 제7도의 (c)에 표시함과 같이 크게 상승하고, 그것에 의해, 전류제어 트랜지스터316a를 통하여 전류공급노드312에 공급되는 전류Is가 제7도의 (d)에 표

시함과 같이 작게되어, 내부전원전위int Vcc의 전위 상승이 억제된다.

이 저감한 공급전류에 의해 내부전원전위int Vcc가 저하하고, 시각 t2에 있어서 기준전위Vref보다도 저하하면, 재차 차지펌프회로316bg에 의해, 재차 게이트전위 Vg가 저하되어, 공급전류Is가 약간 증가되어 이 언더슈트는 억제된다.

이것에 의해 시각t3 내지 t4의 기간에 있어서 오버슈트는 충분작게 된다. 시각t2이후의 안정상태에 있어서는, 차동증폭회로316ba 및 316bb의 출력전위Va의 L레벨 및 H레벨로 되는 기간은 제7도의 (d)에 표시함과 같이, 거의 동일정도로 짧게 되기 때문에, 전류제어 트랜지스터316a의 게이트 전위Vg 및 공급전위Is는 각각 제7도의 (c) 및 (d)에 표시함과 같이 대부분 변화하지 않게 된다.

이것에 의해 큰 언더슈트발생시와 동일하게 하여, 내부전원전위int Vcc는 기준전위Vref의 레벨에 유지된다.

상술과 같이, 내부전원전위 Vcc와 기준전위 Vref의 차에 응하여 전류 공급노드312에 공급되는 전류량을 조정하는 것에 의해 차동증폭회로314의 출력하는 제어신호DRV에 의해, 드라이브 트랜지스터315가 디지털적으로 온/오프동작을 행하는 경우에 있어서도, 고속으로 언더슈트/오버슈트를 억제하여 내부전원전위int Vcc를 소정의 기준전위Vref레벨로 복귀시키는 것이 가능하다.

제8도는, 제2도에 표시하는 내부 클록신호 동기회로320의 구체적 구성의 일예를 표시하는 도면이다.

제8도에 있어서, 내부클록신호 동기회로320는, 외부클록입력노드321a에 주공되는 외부클록신호ext CLK 및 내부클록입력노드321b에 제공되는 내부클록신호int CLK의 주파수 및 위상의 엇갈림에 응하여 비교신호 /UP 및 DOWN을 출력하는 위상비교회로321와 이 위상비교회로321의 출력하는 제어신호 /UP 및 DOWN에 따라 노드322a를 충방전하는 차지펌프회로322와 차지펌프회로322의 출력노드322a를 충방전하는 차지 펌프회로322와, 차지펌프회로322의 출력노드322a의 전위에 따라 링 오실레이터324의 동작전류를 조정하는 제어전위 Vp 및 Vn을 출력하는 전류제어회로323를 포함한다.

위상 비교회로321는, 내부 클록신호 int CLK의 주파수가 외부 클록신호 ext CLK의 주파수보다도 큰 때 또는 내부 클록신호 int CLK의 위상이 외부 클록신호 ext CLK의 위상보다도 빠른 때에 비교신호/UP을 H레벨로 하고, 내부 클록신호 int CLK의 주파수가 외부 클록신호ext CLK의 주파수보다도 큰 때 또는 내부 클록신호 int CLK의 위상이 외부 클록신호 ext CLK의 위상보다도 늦은 때에는 비교신호 /UP를 L레벨로 한다.

비교신호 DOWN은 내부클록신호 int CLK의 주파수가 외부 클록신호 ext CLK의 주파수보다도 큰 때 또는 내부 클록신호 int CLK의 위상이 외부클록신호 ext CLK의 위상보다도 빠른 때에 H레벨로 되어 또한 내부 클록신호 int CLK의 주파수가 외부 클록신호 ext CLK의 주파수보다도 작은 때 또는 내부 클록신호 int CLK의 위상이 외부 클록신호 ext CLK의 위상보다도 늦은 때에는 L레벨로 된다.

차지펌프회로322는, 비교신호 /UP가 L레벨에 있어 또한 비교신호DOWN가 L레벨인 때에는 충방전노드 322a에 전하를 공급하고, 비교신호/UP가 H레벨에 있어 또한 비교신호 DOWN가 H레벨인 때에는 충방전노드322a에서 전하를 뽑아낸다.

이 차지펌프회로322는 내부전원노드300c와 노드322b의 사이에 접속되는 정전류회로322c와 노드322b와 충방전노드322a의 사이에 접속되어 또한 그의 게이트가 위상 비교회로 321에서의 비교신호 /UP를 받도록 접속되는 p채널 MOS트랜지스터322d와 충방전 노드322a와 노드 322e의 사이에 접속되어 또한 그의 게이트가 위상 비교회로321에서의 비교신호DOWN를 받도록 접속되는 n채널 MOS트랜지스터322f와 노드 322e와 접지노드300b의 사이에 접속되는 정전류회로322g를 구비한다.

정전류회로322c 및 322g는, 먼저 제5도에 있어서 표시한 내부전원전위 발생회로310a에 포함되는 기준전위 발생회로313에 있어서 정전류회로313b와 동일한 구성을 구비한다.

단, 정전류 회로322g는 전류를 뽑아내기 때문에, 이 제5도에 표시하는 정전류 회로313b와, 트랜지스터의 도전형 및 전원노드에 제공되는 전위의 극성전체 역으로 된다.

이 정전류회로322c 및 322g에 의해, 내부전원전위int Vcc 및 접지전위GND의 변동에 관계없이 일정한 전류가 공급된다.

전류제어 회로323는 링 오실레이터324에 그의 동작 전류를 제어하는 전위 Vp 및 Vn를 출력한다.

이 p채널 전류제어신호Vp는 차지펌프회로322의 충방전 노드 322a의 전위가 상승하면 저하하고, 한편, n채널 전류제어신호Vn는, 차지펌프회로322의 충방전노드322a의 전위가 저하하면 상승한다.

전류제어회로323는, 차지펌프회로322의 충방전노드322a에 접속되는 노드322a의 전위를 로패스필터처리하여 노드323b에 전달하는 루프필터323c와 루프필터323c의 출력전위Vin와 후에 설명하는 피드백 전위Vf를 차동적으로 증폭하는 오페앰프323d와, 이 오페앰프323d의 출력신호에 따라 피드백 전위Vf를 생성하는 p채널 전류제어회로323e와 오페앰프323d의 출력신호 즉 p채널 전류제어신호Vp에 따라 n채널 전류제어신호Vn를 생성하는 n채널 전류제어회로323f를 포함한다.

오페앰프323db와, p채널 전원제어신호Vp를 출력하는 증폭출력노드323bc를 포함한다.

루프필터323c는, 노드323a와 노드323b의 사이에 접속되는 저항소자323ca와 노드323b와 노드323cb의 사이에 접속되는 저항소자323cc와 노드323cb와 접지노드300b의 사이에 접속되는 커패시터323cd를 포함한다.

루프필터323c는 저항소자323ca 및 323cc의 가지는 저항치와 커패시터323cd의 가지는 용량치에 의해 결정되는 시정수를 가지고, 로패스필터로서 기능한다.

오페 앰프323d는 먼저의 제5도에 표시하는 내부전원전위발생회로310a에 포함되는 차동증폭회로314와 동일한 구성을 구비한다.

단, 오페앰프323d의 출력신호는 아날로그 적으로 변화한다.

p채널 전류제어회로323e는 클록용 내부전원노드 300d와 노드323ea의 사이에 접속되어 또한 그의 게이트가 오페앰프323d의 증폭 출력노드323dc에 접속되는 p채널 MOS트랜지스터323eb와, 노드323ea와 접지노드300b의 사이에 접속되는 저항소자323eb와, 노드323ea와 접지노드300b의 사이에 접속되는 저항소자323eb와, 노드 323ea와 접지노드300b의 사이에 저항소자 323eb와 병렬로 접속되는 커패시터323ee를 포함한다.

노드323ea는 오페앰프323d의 제2의 입력노드323db에 접속되어, 피드백전위Vf를 출력한다.

저항소자323dd 및 커패시터323ee는 이 노드323ea의 전위 Vf를 안정하게 생성하는 기능을 구비한다.

n채널 전류제어회로323f는 클록용 내부전원노드300d와 n채널 전류제어신호Vn가 출력되는 노드323fa의 사이에 접속되어 또한 그의 게이트가 오페앰프323d의 증폭출력노드323dc에 접속되는 p채널 MOS트랜지스터323fb와, 노드323fa에 접속되는 n채널 MOS트랜지스터323fc를 포함한다.

내부 클록 신호 발생회로324는 기수단(3단)의 인버터324a로 구성되는 링 오실레이터를 포함한다.

이 인버터324a는 p채널 전류제어신호 Vp 및 n채널 전류제어신호 Vn에 의해 구동전류(충방전전류)가 제어되어, 구동전류가 큰 경우에는, 지연시간이 작게되어, 또한 구동전류가 작게된다고 지연시간이 크게된다.

따라서 이 내부 클록신호 발생회로324에서 출력되는 내부 클록신호 int CLK는 구동전류가 큰 경우에는 주파수가 크게되어, 구동전류가 작은 경우에는 주파수가 작게된다.

인버터324a는, 클록용 내부 전원노드300d와 노드324aa의 사이에, 접속되어 또한 그의 게이트가 오페앰프323d의 증폭출력노드323dc에 접속되는 p채널 전류제어트랜지스터324ab와 노드324aa와 출력노드324ac의 사이에 접속되어 또한 그의 게이트가 내부 노드324ad에 접속되는 p채널 MOS트랜지스터324ae와 출력노드324ac와 노드324af의 사이에 접속되어 또한 그의 게이트가 입력노드324ab에 접속되는 n채널 MOS트랜지스터324ag와 노드324af와 접지노드300b의 사이에 접속되어 또한 그의 게이트가 n채널 전류제어신호Vn를 받고 접속되는 n채널 전류제어트랜지스터ah를 포함한다.

3단의 인버터324a가 링 상으로 접속된다.

초단의 인버터324a에서 내부 클록신호Φ2가 출력되어, 제2단 째의 인버터324a에서 내부 클록신호 int CLK가 출력된다.

다음에 이 제8도에 표시하는 외부 클록신호 동기회로320의 동작에 관하여 설명한다.

내부 클록신호 int CLK의 주파수가 외부 클록신호 ext CLK의 주파수보다도 큰 때 또는 내부 클록신호 int CLK의 위상이 외부 클록신호 ext CLK의 위상보다도 빠른 경우에는, 위상 출력회로321는 비교신호/UP 및 DOWN을 함께 H레벨 한다.

이것에 응답하여, 차지펌프회로322에 있어서 p채널 MOS트랜지스터322d가 비도통 상태로되어 또한 n채널 MOS트랜지스터322f가 도통상태로 되어, 충방전노드322a에서 도통상태의 MOS트랜지스터322f를 통하여 전하가 뽑아내게 되어, 노드322a의 전위가 저하한다.

이 충방전 노드322a의 전위 저하에 수반하여 루프필터323c를 통하여 노드323b 즉 오페앰프323d에 있어서 제1의 입력노드323da의 전위Vin가 저하한다.

오페앰프323d는, 이 입력전위Vin의 저하에 수반하여 제2의 입력노드323db에 제공되는 피드백 전위Vf의 차가 크게됨으로 그의 증폭출력노드323dc에 출력되는 p채널 전류제어신호 Vp의 전위레벨을 상승시킨다.

이 p채널 전류제어신호Vp의 전위상승에 수반하여 p채널 전류제어회로323e에 있어서 MOS트랜지스터323eb가 공급하는 전류량이 저하하고, 응하여 노드323ea에 있어서 피드백 전위vf의 전위레벨이 저하한다.

따라서, 이 오페앰프323d는 피드백 전위vf가 그의 입력노드323da에 제공된 입력전위Vin와 동등하게 되도록 p채널 전류제어신호Vp의 전위 레벨을 조정한다.

한편 이 p채널 전류제어신호Vp의 전위 레벨이 상승하면, n채널 전류제어회로323f에 있어서, p채널 MOS트랜지스터323fb를 흐르는 전류량이 작게되어, 응하여 노드323fa에서 출력되는 n채널 전류제어신호Vn의 전위 레벨이 저한한다.

최종적으로, n채널 MOS트랜지스터323fc를 흐르는 전류가 p채널 MOS트랜지스터323fb를 통하여 흐르는 전류와 동등하게 되는 전위레벨에 이 n채널 전류제어신호 Vn가 자리잡는다(이 동작은 먼저의 제1도에 표시하는 종래의 PLL회로의 그것과 동일하다).

p채널 전류제어신호 Vp가 상승하여, n채널 전류제어신호 Vn가 저하하면, 내부클록신호 발생회로324a에 있어서 p채널 전류제어 트랜지스터 324ab 및 n채널 전류제어트랜지스터324ah를 흐르는 전류가 작게되어, 인버터 324a의 지연시간이 크게된다.

이 결과, 내부 클록신호 발생회로324에서 출력되는 내부 클록신호 int CLK의 주파수가 작게되어, 다음의 사이클에 있어서 발생되는 클록발생 타이밍이 늦게 되어, 위상의 진행이 수정된다.

내부 클록신호 int CLK의 주파수가 외부 클록신호 ext CLK의 주파수보다도 작은때 또는 내부 클록신호 int CLK의 위상이 외부 클록신호 ext CLK의 위상보다도 늦은 때에는, 위상비교회로321는 비교신호/UP 및 DOWN을 함께 L레벨로 한다.

차지펌프회로322에 있어서 p채널 MOS트랜지스터322b가 도통상태로 되어 또한 n채널 MOS트랜지스터322f가 비도통상태로 되어, 충방전 노드322a는, 도통 상태의 p채널 MOS트랜지스터322b를 통하여 전하가 충전되어, 응하여 루프 필터 323c를 통하여 노드323da의 전위 Vin가 상승한다.

이 노드323da의 입력전위Vin의 전위상승에 수반하여 오페앰프323d 는 그의 출력노드323dc의 p채널 전류제어신호 Vp의 전위레벨을 저하시킨다.

p채널 전류 제어회로323e에 있어서 MOS트랜지스터323eb의 공급전류가 증가하고, 응하여 피드백 전위 Vf의 전위가 상승한다.

오페앰프323d는 피드백 전위Vf가 그의 입력전위Vin보다도 높게되면, 역으로 그의 출력노드323dc의 전위레벨을 상승시켜 피드백 전위Vf를 저하시킨다.

따라서 오페앰프323d는, 그의 입력전위Vin와 입력전위Vf를 동등하게 하도록 그의 p채널 전류제어신호 Vp의 전위 레벨을 조정한다.

또, n채널 전류제어회로323f에 있어서는 p채널 MOS트랜지스터323fb를 통하여 흐르는 전류가 크게되어, 노드323fa의 전위 레벨이 상승한다.

그결과 내부 클록신호발생회로324의 인버터 324a에 있어서 p채널 MOS트랜지스터324ab 및 n채널 MOS트랜지스터324ah를 통하여 흐르는 전류량이 크게되어, 인버터324a의 지연시간이 작게된다.

이 결과, 내부 클록신호 int CLK의 주파수가 크게되어, 또 이 주파수의 크게 되는 것에 의해 다음의 사이클에 있어서 내부 클록 신호가 빠른 타이밍으로 발생되어, 위상이 늦음이 회복된다.

인버터 324a에 포함되는 p채널 전류제어트랜지스터 324ab 및 n채널 전류제어트랜지스터324ah를 흐르는 전류는 n채널 전류제어회로323f의 기능에 의해 동등하게 되어 있다.

또, p채널 전류제어회로 323e에 있어서 p채널 MOS트랜지스터323eb를 흐르는 전류는 동등하게 된다(양자가 게이트 제어전위Vp를 받고 있다:사이즈(게이트폭이 동일 할 때)).

이 p채널 MOS트랜지스터323eb를 통하여 흐르는 전류는, 저항치 R의 저항소자323eb를 흐르는 전류I에 동등하고, 또 저항소자 323ed의 양단에 걸리는 전압은 노드323ea의 피드백 전위Vf와 동등하다.

이 피드백 전위Vf는, 오페앰프323d에 의해, 그의 입력노드 323da에 제공되는 입력전위Vin와 동등하게 되어 있다.

따라서, 저항소자323ed를 통하여 흐르는 전류I는 I=Vin/R로 된다.

전류I의 입력전위Vin의 변화에 대한 변화량은 1/R에 비례한다.

따라서, 저항소자323ed의 저항치R를 충비누크게 하면 입력전위 Vin 즉, 루프필터 323c의 출력전위가 크게 변화하여도, 전류I의 변화량은 약간이고, 응하여 내부 클록신호 발생회로324의 인버터 324a의 구동전류의 변화량이 약간이고, 외부 클록신호 ext CLK에 내부 클록신호 int CLK가 로크된 후에 있어서, 내부 클록신호 int CLK의 지터를 작게하는 것이 가능하다.

또, 오페앰프323d를 사용하여 인버터324a를 통하여 흐르는 전류량을 조정하고 있기 때문에, 정확 또한 고속으로 이 전류량 I을 외부 클록신호 ext CLK와 내부 클록신호 int CLK의 위상차 및/또는 주파수의 차에 응하여 조정하는 것이 되어, 또한 감도가 약간 저하되어 있기 때문에, 내부 클록신호 int CLK의 과잉조정이 방지되어, 내부 클록신호 int CLK의 주파수 및 위상의 제어가 용이케 된다.

제9도는 제8도에 표시하는 위상비교회로321의 구성을 개략적으로 표시하는 도면이다.

제9도에 있어서는, 이 위상비교회로321에 포함되는 외부클록신호 및 내부클록신호의 상승시에 있어서 위상조정만을 행하는 부분의 구성이 표시된다.

이 제9도에 표시하는 구성과 동일한 구성이 외부 클록신호 ext CLK 및 내부 클록신호 int CLK의 하강에 응하여 동작하는 회로로서 설치된다.

제9도에 있어서 위상비교회로321는, 내부전원노드300c에 결합되는 D입력과, 외부클록신호 ext CLK를 받는 클록입력CP과, 상보출력노드Q 및 /Q와 리세트 입력/R을 가지는 D플립플롭321a과, 내부전원노드300c에 결합되는 D입력과 클록신호 int CLK를 받는 클록입력cp과 상보출력 Q 및 /Q와 리세트 입력/R을 가지는 D플립플롭321b과 D플립플롭321a의 출력Q에서의 신호와 D플립플롭321b의 출력Q의 출력신호를 받는 NAND게이트321c와, D플립플롭321a의 출력/Q에서의 출력신호를 반전하는 인버터321d와 d플립플롭321a의 출력/Q에서의 신호를 반전하는 인버터321e와, D플립플롭321a의 출력/Q에서의 신호와 인버터321e의 출력신호를 받는 NOR게이트321f와 NOR게이트321f의 출력신호를 반전하는 인버터321g와 D플립플롭321d의 출력/Q에서의 출력신호와 인버터321a의 출력신호를 받는 NOR게이트321h를 포함한다.

인버터321g에서 제어신호/UP가 출력되어, NOR게이트321h에서 제어신호DOWN이 출력된다.

NAND게이트321c의 출력신호는, D플립플롭321a 및 321b의 리세트 입력/R에 제공된다.

다음의 동작에 관하여 간단하게 설명한다.

D플립플롭321a 및 321b은, 그의 클록입력CP에 제공되는 클록신호 ext CLK 및 int CLK의 상승시에 각각 그의 D입력에 제공되는 신호를 래치한다.

따라서, D플립플롭321a 및 321b의 출력Q에서는 클록신호 ext CLK 및 int CLK의 상승과 H레벨로 되는 신호가 출력된다.

이 D플립플롭321a 및 321b의 출력Q의 신호가 함께 H레벨로 되면 NAND게이트321c의 출력신호가 L레벨로 되어, D플립플롭321a 및 321b는 함께 리세트된다.

외부 클록신호 ext CLK의 위상이 내부 클록신호 int CLK의 위상보다도 빠른 경우에는, D플립플롭321a의 출력/Q의 출력신호가 외부 클록신호 ext CLK에서 내부 클록신호 int CLK의 상승까지의 기간 L레벨로 된다.

이 상태에 있어서는, NOR게이트 321f가 그의 위상의 엇갈림의 기간의 사이 출력신호를 하이레벨로서 응하

여 제어신호/UP가 L레벨로 된다.

한편, 이때, 인버터321d의 출력신호는 H레벨로 되어, 제어신호 DOWN은 L레벨로 된다.

역으로, 내부 클록신호 int CLK의 위상이 외부 클록신호 ext CLK의 위상보다도 진행하고 있는 경우에는, D플립플롭321b의 출력/Q이 그의 위상의 엇갈림의 사이 L레벨로 된다.

이 사이 D플립플롭321a의 출력/Q은 H레벨로 있기 때문에, NOR게이트321h에서의 제어신호 DOWN가 H레벨로 된다.

한편, 제어신호/UP는 인버터321e의 출력신호 H레벨로 되기 때문에, H레벨을 유지한다.

이 제9도에 표시하는 구성을 사용하는 것에 의해, 내부 클록신호 int CLK와 외부 클록신호 ext CLK의 위상의 엇갈림에 대응하는 기간 제어신호 DOWN 및 /UP를 활성상태로 하는 것이 가능하다.

내부 클록신호 int CLK 및 외부 클록신호 ext CLK의 하강에 있어서 위상차를 검출하는 경우에는, D플립플롭321a 및 321b을 다운에지 트리거형의 구성에 변경하면 좋다.

클록신호의 상승 및 하강 양자를 검출하는 경우에는, 이들의 회로를 병렬로 설치하여 각 NOR게이트 출력을 OR게이트로 받도록 구성하면 좋다.

다음에 제8도에 표시하는 내부 클록신호 동기회로320의 동작을 그의 동작타이밍도인 제10도를 참조하여 설명한다.

제10도의 (a) 및 (b)에 표시함과 같이, 시각 t1의 직전에 있어서는, 외부 클록 신호 ext CLK 및 내부 클록신호 int CLK가 함께 L레벨이고, 동일 레벨로 되어 있다.

이 상태에 있어서, 위상비교회로321는 함께 제9도의 D플립플롭이 리세트상태로 되어 있기 때문에, 제10도의 (c)에 표시함과 같이 비교신호 /UP는 H레벨, 비교신호DOWN은 제10도의 (d)에 표시하도록 L레벨에 유지되어 있다.

이 상태에 있어서는, 차지펌프회로322에 포함되는 MOS트랜지스터322d 및 322f는 함께 비도통 상태이고, 그의 충방전노드322a의 충방전은 행하게 되지 않는다.

제10도의 (a) 및 (b)에 표시함과 같이 시각t1에 있어서 내부 클록신호 int CLK이 L레벨에 상승하고, 계속하여 시각t2에 있어서 외부 클록신호 ext CLK이 H레벨에 상승하면, 내부 클록신호 int CLK는 외부 클록 ext CLK보다도 위상이 진행하고 있기 때문에, 위상비교회로321가 이것을 검지하여 비교신호/UP를 제10도의 (c)에 표시하도록 H레벨에 유지하고 또한 비교신호 DOWN를 제10도의 (d)에 표시하도록 H레벨에 상승한다.

이것에 의해, 차지펌프회로322에 포함되는 n채널 MOS트랜지스터322f가 도통 상태로 되어, 충방전 노드322a에서 전하가 뽑아내게 되어, 오페앰프323d의 입력전위Vin의 전위가 저하한다.

따라서, 이 상태에 있어서는, 전류제어회로323는 p채널 전류제어신호 Vp를 제10도의 (e)에 표시함과 같이, 그의 전위 레벨을 상승시켜 내부 클록신호 int CLK의 주파수를 작게한다.

제10도의 (a)에 표시함과 같이, 시각 t2에 있어서 외부 클록신호 ext CLK가 H레벨에 상승하면, 위상비교회로321는 리세트되어, 비교신호/UP를 제10도의 (c)에 표시하도록 H레벨에 유지하면서 비교신호 DOWN를 제10도의 (d)에 표시하도록 L레벨에 설정한다.

이것에 의해 차지펌프회로322는 그의 충방전 노드322a의 충방전을 정지한다.

외부 클록신호 ext CLK가 제10도의 (a)에 표시함과 같이 시각 t3에 있어서 하강한다.

위상 비교회로321는 내부 클록신호 int CLK가 외부 클록신호 ext CLK보다도 위상이 늦게되어 있는 것을 검출하고 비교신호/UP를 제10도의 (c)에 표시하도록 L레벨에 설정하고, 또한 비교신호 DOWN는 제10도의 (d)에 표시하도록 L레벨에 유지한다.

이것에 의해, 차지펌프회로322에 포함되는 p채널 MOS트랜지스터322b가 도통상태로 되어 충방전노드322a에 전하가 충전되어, 그의 전위가 상승한다. 이것에 응답하여, 전류제어회로323가 p채널 전류제어신호Vp를 제10도(e)에 표시함과 같이 저하시켜, 내부 클록신호 int CLK의 주파수를 크게한다.

이것에 의해, 내부 클록신호 int CLK는 제10도의 (b)에 표시하도록 시각t4에 있어서 하강한다.

이 시각t4에 있어서는, 외부클록신호 ext CLK 및 내부클록신호 int CLK가 함께 L레벨로 되어 위상비교회로321가 재차 리세트되어, 비교신호/UP를 제10도의 (c)에 표시함과 같이 H레벨, 비교신호DOWN을 제10도의 (d)에 표시하도록 L레벨로 하고, 차지펌프회로322의 충방전노드322a의 충방전 동작을 정지시킨다.

외부 클록신호 ext CLK가 제10도의 (a)에 표시하도록 시각 t5에 있어서, 상승하면 그때 또 내부 클록신호 int CLK는 L레벨이고, 위상비교회로321는 내부 클록신호 int CLK의 위상이 외부 클록신호 ext CLK의 그것보다도 늦게 되어 있는 것을 감지하고, 비교신호/UP를 제10도의 (c)에 표시함과 같이 L레벨로 하고, 비교신호DOWN는 제10도의 (d)에 표시하도록 L레벨에 유지한다.

재차 차지펌프회로322에 의해 충방전노드322a에 전하가 충전되어, 응하여 전류제어회로323는 p채널 전류제어신호Vp를 제10도이 (e)에 표시하도록 그의 전위레벨을 저하시켜 내부 클록신호 int CLK의 주파수를 더 크게한다.

이 주파수의 증대에 응하여 내부 클록신호 int CLK는 제10도의 (b)에 표시하도록 시간 t6에 있어서, 상승한다.

외부 클록신호 ext CLK 및 내부 클록신호 int CLK가 함께 H레벨로 되면, 위상비교회로321는 재차 리세트되어, 비교신호/UP를 제10도의 (c)에 표시하도록 H레벨에 유지하고, 이것에 의해 차지펌프회로322의 충방

전노드322a의 충방전동작을 정지킨다.

시각t7에 있어서 외부 클록신호 ext CLK가 하강하면, 이때 또 내부 클록신호 int CLK는 H레벨로 있음으로, 위상비교회로321는, 내부 클록신호 int CLK의 위상은 외부 클록신호 ext CLK보다도 늦게 되어 있는 것을 검출하고, 비교신호/UP를 제10도의 (c)에 표시하도록 L레벨로 하고 또한 비교신호DOWN를 제10도의 (d)에 표시하도록 L레벨에 유지한다.

재차, 차지펌프회로322에 의해, 충방전 노드322a에 전하가 충전되어, 응하여 전류제어회로323에서의 p채널 전류제어신호 Vp가 제10도의 (e)에 표시함과 같이, 그의 전위 레벨이 저하하고, 내부 클록신호 int CLK의 주파수가 더크게 된다.

내부 클록신호 int CLK가 제10도의 (b)에 표시함과 같이 시각 t8에 있어서 상승하면, 위상비교회로321는, 리세트되어 비교신호/UP를 H레벨에 복귀시켜, 또한 비교신호DOWN을 L레벨에 유지하고, 이것에 의해 차지펌프회로322의 충방전노드322a의 충방전동작을 정지시킨다.

제10도의 (a) 및 (b)에 표시함과 같이, 내부 클록신호 int CLK가 시각t11에 있어서 하강하고, 뒤이어 외부 클록신호 ext CLK가 시각t12에 있어서 L레벨로 하강하면, 위상비교회로321는, 내부 클록신호 int CLK는 외부 클록신호 ext CLK보다도 위상이 진행하고 있는 것을 검지하고, 비교신호/UP를 H레벨에 유지하고 또한 비교신호 DOWN를 H레벨에 상승한다.

이것에 의해, 차지펌프회로322에 있어서 충방전노드322a에서 전하가 뽑아내게 되어 그의 전위가 저하하고, 응하여 전류제어회로323에서의 p채널 전류제어신호Vp가 제10도의 (e)에 표시하도록 그의 전위 레벨이 상승하고, 내부 클록신호 int CLK의 주파수가 작게된다.

외부 클록신호 ext CLK가 시각t12에 있어서 하강하면, 외부 클록신호 ext CLK 및 내부 클록신호 int CLK가 함께 L레벨로 되기 때문에, 비교회로321는 리세트되어 비교신호/UP가 H레벨로 되어, 비교신호DOWN는 L레벨에 유지되어, 이것에 의해 차지펌프회로322의 충방전노드322a에 대한 충방전동작이 정지된다.

다음에, 내부 클록신호 int CLK가 시각t13으로 상승하고, 계속하여 외부 클록신호 ext CLK가 시각 t14에 있어서 H레벨로 상승하고 있는 경우에는, 위상비교회로321는, 의연 내부 클록신호 int CLK가 외부 클록신호 ext CLK보다도 위상이 진행하고 있는 것을 검지하고, 비교신호/UP를 H레벨에 유지하고 또한 비교신호 DOWN를 H레벨에 상승한다.

차지펌프회로322에 있어서 충방전노드322a에서 전하가 뽑아내게 되어, 이것에 의해, 전류제어회로323는 p채널 전류제어신호Vp의 전위레벨을 상승시켜 내부 클록신호 int CLK의 주파수를 작게한다.

외부 클록신호 ext CLK가 제10도의 (a)에 표시함과 같이 시각 t12로 상승하면, 위상비교회로321는 ext CLK 및 int CLK가 함께 L레벨로 되기 때문에, 비교신호/UP 및 비교신호DOWN를 함께 리세트하고, 차지펌프회로322의 충방전노드322a의 충방전 동작을 정지시킨다.

내부 클록신호 int CLK가 시각t15에서 상승하고, 계속하여 시각 t16에 있어서 외부 클록신호 ext CLK가 L레벨로 하강하면, 위상비교회로321가 이 내부 클록신호 int CLK는 의연 외부 클록신호 ext CLK보다도 위상이 진행하고 있는 것을 검출하고, 재차 비교신호/UP는 H레벨에 유지하고 또한 비교신호 DOWN를 H레벨로 상승한다.

이것에 의해, 차지펌프회로322에 있어서 충방전노드322a에서 전하가 뽑아내게 되어, 전류제어회로323에서의 p채널 전류제어신호Vp의 전위 레벨이 상승하고, 내부 클록신호 int CLK의 주파수가 더 작게 된다.

외부 클록신호 ext CLK가 시각t16에 있어서 하강한다.

외부 클록신호 ext CLK 및 내부 클록신호 int CLK는 함께 L레벨로 되어, 위상비교회로321는 재차 리세트되어, 비교신호/UP를 H레벨로 하고, 비교신호DOWN를 L레벨로 복귀시켜, 차지펌프회로322의 충방전노드322a의 충방전동작을 정지시킨다.

상술의 동작을 반복하는 것에 의해, 제10도에 있어서 시각 t17이후에 표시되도록, 외부 클록신호 ext CLK에 대하여 내부 클록신호 int CLK가 동기하면(로크인 되면), 비교신호/UP 및 DOWN은 대부분 활성상태로 되지 않고, 제10도의 (c) 및 (d)에 각각 표시하도록, 외부 클록신호 ext CLK의 상승 및 하강시에 있어서 약간 이들의 비교신호/UP 및 DOWN이 활성상태로 되는 뿐으로, 차지펌프회로322에 의한 충방전노드322a의 충방전은 대부분 행하게 되지 않고, 전류제어회로323에서 출력되는 p채널 전류제어신호 Vp도 대부분 전위는 변화하지 않고 거의 일정케 된다.

이 상태에 있어서, 비교신호/UP 및 DOWN의 내부 클록신호의 로크시에 있어서 활성상태에 있어서, p채널 전류제어신호Vp 또한 변화하여도, 오페앰프322d에 의해, 인버터324a를 흐르는 동작전류의 변화량은 극히 약간 이고, 응하여 주파수 변동은 대부분 생기지 않고 이 로크인 시에 있어서, 내부 클록신호 int CLK의 지터를 확실하게 억제하는 것이 가능하다.

또, 오페앰프323d에 의해, 내부 클록신호 발생회로324의 인버터324의 전류량 변화는 비교적 작게 되기 때문에, 내부 클록신호 int CLK의 위상이 진행하고 있는 경우, 오버드라이브 되어 이 내부 클록신호 int CLK의 위상이 늦게된다는 과잉 조정이 생기는 것을 방지하는 것이 되어, 고속으로 또한 정확하게 내부 클록신호 int CLK를 외부 클록신호 ext CLK에 동기시키는 것이 가능하다.

상술의 구성에 의해, 이하의 이점을 얻는 것이 가능하다.

내부 클록신호 동기회로320에서의 내부 클록신호 int CLK, Φ1 및 Φ2에 따라서, 내부회로의 활성/비활성을 제어하고 있음으로, 이들의 회로는 상시동작하는 것 없이, 소비전류를 저감하는 것이 가능하다.

또, 외부 전원전위 ext Vcc보다도 안정한 내부 전원전위 int Vcc를 동작전원전위로서 내부 클록신호 동기회로320가 내부 클록신호 int CLK를 생성하고 있기 때문에 내부 클록신호 int CLK의 변동이 억제되어, 용이하게 외부 클록신호 ext CLK에 내부 클록신호 int CLK를 로크시키는 것이 되어, 또, 로크인 후의 내부

클록신호 int CLK의 지터가 작게된다.

또 내부클록발생을 위한 내부전원전위 int Vcc를 공급하는 클록용 내부전원전위 발새회로310b와 다른 내부회로에 내부전원전위 int Vcc를 공급하는 내부전원전위 발생회로310a는 분리하여 설치되어 있기 때문에, 내부클록신호 발생을 내부전원전위 int Vcc는 다른 내부회로의 동작의 영향을 받는 것 없이 안정화된다.

이것에 의해 내부 클록신호 int CLK를 외부 클록신호 ext CLK에 로크시키는 것이 용이케 되어 또한 로크인 후의 내부 클록신호 int CLK의 지터가 작게된다.

또 내부전원전위 발생회로310a 및 310b에 있어서 내부전원전위 int Vcc의 기준전위Vref에 대한 언더슈트 및 오버슈트가 작게되도록 전류공급노드312에 전류를 공급하는 전류공급회로316가 설치되어 있기 때문에, 안정한 내부전원전위 int Vcc를 얻는 것이 가능하다.

더 내부 클록신호 동기회로320에 있어서, 루프필터323c에서의 입력 전위Vin와 피드백 전위Vf에 따라 오페앰프323b를 생성하기 위한 저항R에 의해 입력전위Vin의 작은 변화에 의한 내부클록신호 발생회로324의 구동전류의 큰 변화를 억제하는 것이 되어, 내부 클록신호 int CLK가 외부 클록신호 ext CLK에 로크인 한후의 내부 클록신호 int CLK의 외부 클록신호 ext CLK에서의 엇갈림(지터)을 작게하는 것이 가능하다.

[실시예2]

다음에 이 발명의 제2의 실시예에 관하여 설명한다.

이 제2의 실시예에 있어서는 SRAM300에 설치된 내부클록신호 동기회로320에 포함되는 전류제어신호 Vp 및 Vn를 생성하는 전류제어회로323의 구성이 제1의 실시예가 달리한다.

이하, 먼저의 제1의 실시예와 동일한 구성에 대하여는 동일 참조부호를 붙여서 설명을 생략하고, 달리하는 점에 관하여만 설명한다.

제11도는, 이 발명의 제2의 실시예에 있어서 내부클록신호 동기회로320의 구성을 표시하는 도면이다.

제11도에 있어서, 전류제어회로323는 차지펌프회로322의 충방전노드322a와 루프필터323c의 입력노드323a의 사이에 접속되는 트랜스퍼 게이트323g를 포함한다.

이트랜스퍼 게이트323g는 충방전 노드322a와 노드323a의 사이에 접속되어 그의 게이트에 유지신호HD를 받는 p채널 MOS트랜지스터323ga와 충방전노드322a와 노드323a의 사이에 p채널 MOS트랜지스터323ga와 병렬로 접속되어 또한 그의 게이트에 유지신호/HD를 받는 n채널 MOS트랜지스터323gb를 포함한다.

따라서, 오페앰프323d의 제1의 입력노드323da는 루프필터323c 및 트랜스퍼게이트323g를 통하여 충방전노드322a에 접속된다.

유지신호HD 및 /HD는 서로, 상보한 신호이고, 외부클록신호 입력노드321a에의 외부 클록신호 ext CLK의 공급이 중단되면, 각각 H레벨 및 L레벨로 된다.

이 유지신호HD 및 /HD의 발생부의 구성에 관하여는 후에 설명한다.

오페앰프323d의 출력전위에 따라 피드백 전위Vf를 생성하는 p채널 전류제어회로323e는 내부전원노드300d와 노드323ea의 사이에 접속되어 또한 그의 게이트에 오페앰프323d의 출력전위를 받는 p채널 MOS트랜지스터323eb와, 노드323ea와 노드323ec의 사이에 접속되어 또한 유지신호HD 및 /HD에 응답하여 선택적으로 도통상태로 되는 트랜스퍼 게이트323도와, 노드323ec와 접지노드300b의 사이에 접속되어 또한 그의 게이트에 저항치 전환회로323h에서의 전환전위 Vr를 받는 n채널 MOS트랜지스터 323ei를 포함한다.

트랜스퍼 게이트323eh는, 노드323ea와 노드323ec의 사이에 접속되어 또한 그의 게이트에 유지신호HD를 받는 p채널 MOS트랜지스터323ef와 이 p채널 MOS트랜지스터323ef와 병렬로 노드323ea와 노드323ec의 사이에 접속되어 또한 그이 게이트에 유지신호/HD를 받는 n채널 MOS트랜지스터323eg를 포함한다.

저항치 전환회로323h는, 그의 구성에 관하여는 후에 설명하지만, 외부 전원전위 ext Vcc 및 접지전위GND의 투입시에 전환전위Vr의 전위를 높게하고, 그후 전위를 저하시켜서 낮은 소정 전위에 이 전환전위 Vr를 유지한다.

노드323ea는, 오페앰프323d의 제2의 입력노드323db에 접속된다.

제12도a는 유지신호HD 및 /HD를 발생하는 회로구성을 개략적으로 표시하는 블록도이다.

제12도a에 있어서, 유지신호HD 및 /HD는 외부 클록신호 ext CLK의 결핍을 검출하는 클록드롭 디텍터150를 포함한다.

이 클록드롭 디텍터150는, 외부 클록신호 ext CLK의 결핍 또는 그의 공급의 중단시, 유지신호HD 및 /HD를 각각 H레벨 및 L레벨로 한다.

제12도b는 이 클록드롭 디텍터150의 구체적 구성을 표시하는 도면이다.

제12도b에 있어서, 클록드롭 디텍터150는 내부 클록신호 int CLK를 카운트하는 카운터150a를 포함한다.

이 카운터150a는 리세트입력RST에 외부 클록신호 ext CLK를 받아, 카운트업 출력컵 및 /cup에서 유지신호HD 및 /HD를 출력한다.

내부 클록신호 int CLK의 카운트가 소정치에 도달하면, 카운트업 출력노드 cup 및 /cup에서의 유지신호HD 및 /HD가 각각 H레벨 및 L레벨로 된다.

외부 클록신호 ext CLK가 리세트 입력RST에 제공되면, 카운터150a의 카운트치가 리세트된다.

카운트150a가 카운트업하는 카운트치는 적당한 치에 설정된다.

소정의 카운트치 즉 내부클록신호의 소정수는 클록사이클 기간내에 외부 클록신호 ext CLK가 연속하여 제공되지 않은 경우에, 유지신호HD 및 /HD가 각각 H레벨 및 L레벨로 된다.

이 카운터150a는 내부 클록신호 int CLK의 상승에 응답하여 그의 카운트치를 증분하고, 외부 클록신호 ext CLK의 하강에 응답하여 그의 카운트치를 리세트한다.

따라서, 내부 클록신호 int CLK의 각 사이클에 있어서 외부 클록신호 ext CLK가 공급되는 경우에는, 카운터 150a의 카운트치는 상시 그의 클록사이클에 있어서 초기치에 리세트된다.

이것에 의해, 외부 클록신호 ext CLK의 공급이 중단 또는 결핍을 검출하는 것이 가능하다.

제12도c는, 이 클록드롭 디텍터150의 다른 구성을 표시하는 도면이다.

제12도c에 있어서, 클록드롭 디텍터150는 내부 클록신호 int CLK에 응답하여 소정의 시간폭을 가지는 윈도펄스발생기150b에서의 윈도펄스에 응답하여 외부 클록신호 ext CLK를 통과시키는 트랜스퍼 게이트150a와 윈도펄스 발생기150b에서의 윈도펄스의 하강에 동기하여 트랜스퍼 게이트150c에서 전달된 신호를 거둬들여 래치하는 D플립플롭150d를 포함한다.

D플립플롭150d의 Q 및/Q출력에서 유지신호HD 및 /HD가 출력된다.

윈도펄스 발생기150d는, 내부 클록신호 int CLK의 하강에 응답하여 소정시간 경과후 소정의 시간 폭을 가지는 윈도펄스를 발생한다.

이 윈도펄스는 내부 클록신호 int CLK 또는 외부 클록신호 ext CLK가 상승하는 시점을 포함하는 시간폭을 가진다.

트랜스퍼 게이트150c는 이 윈도펄스가 H레벨인 때에 외부 클록신호 ext CLK를 통과시켜, 그 이외는 비도통 상태를 유지한다.

D플립플롭150d은 윈도펄스의 하강시에 있어서 그의 D입력에 제공한 신호를 거둬들인다.

따라서 외부 클록신호 ext CLK가 공급되지 않은 경우에는 D입력에 제공되는 신호는 L레벨이고, 출력Q에서 발생되는 유지신호HD가 L레벨, /Q출력에서 출력되는 유지신호HD가 H레벨로 된다.

윈도펄스H레벨의 기간에 외부 클록신호 ext CLK가 공급된 경우에는, D플립플롭150d은, 그의 클록입력 Cp에 제공되는 윈도펄스에 하강시에 D입력에 H레벨의 신호를 받기 위하여, 출력Q에서의 유지신호HD가 H레벨로 되어, 출력/Q에서의 유지신호HD가 L레벨로 된다.

이 윈도펄스를 사용하는 것에 의해, 내부 클록신호 int CLK의 각 클록사이클에 있어서 외부 클록신호 ext CLK가 결핍하고 있는지 아닌지를 식별하는 것이 가능하다.

제12도d는, 유지신호HD 및 /HD를 발생하기 위한 더 다른 구성을 표시하는 도면이다.

이 제12도d에 있어서는, 외부신호 입력노드150e에 외부에서 유지신호 ext HD가 제공된다.

이 신호입력노드150e에 결합되는 인버터150f에서 유지신호/HD가 출력된다. 휴대형의 퍼스널 컴퓨터 등의 데이터 처리 시스템에 있어서, 데이터 처리가 행하게 되지 않은 경우, 시스템 클록의 발생을 정지하여 소비전류 및 소비전력의 저감을 도모하는 것이 행하게 된다.

이들의 동작모드는 스누프모드 또는 슬리프 모드로 불리고 있다.

따라서, 이와 같은 외부 클록신호 ext CLK의 발생을 정지시키는 경우, 외부의 마이크로 프로세서200는, 이 클록발생정지를 식별하는 것이 가능함으로, 이와 같은 마이크로 프로세서200에서 유지신호 ext HD를 SRAM300에 공급하는 것이 가능하다.

제13도a는, 제11도에 표시하는 저항치 전환회로323h의 구체적 구성을 표시하는 도면이다.

제13도a에 있어서, 저항치 전환회로323h는 출력노드323ha에 저항치 전환전위Vr를 출력한다.

이 출력노드323ha는 외부단자323hb에 접속된다.

제13도b에 표시함과 같이, 시각t0에 있어서 외부 클록신호 ext CLK 및 접지전위GND가 투입되어, 외부전원전위 ext Vcc(예컨대 5V)가 제공되는 때에는, 이 외부단자323hb에 제공되는 전환전위Vr도 외부전원전위와 동일한 전위레벨에 설정된다.

전원투입후 소정시간이 경과하고, 내부회로가 안정화하면, 시각t1에 있어서, 이 외부단자323hb에 제공되는 저항치 전환전위Vr가 외부전원전위 ext Vcc보다도 낮은 전위(예컨대 1V)에 설정된다.

따라서 제11도에 있어서, 이 저항치 전환회로Vr가 n채널 MOS트랜지스터323ei의 게이트에 제공되어 있기 때문에, 전원투입시에 이 MOS트랜지스터323ei의 저항치가 가장 작게되어, 안정상태로 되면, 그의 저항치가 크게된다.

제14도a는, 제11도에 표시하는 저항치 전환회로323h의 다른 구체적 구성을 표시하고, 제14도b는 그의 동작 파형을 표시하는 도면이다.

제14도a에 있어서, 저항치 전환회로323h는, 외부전원노드300a와 노드323hc의 사이에 접속하는 저항소자323hd와 노드323hc와 출력노드323ha의 사이에 접속되는 저항소자323he와 출력노드323ha와 접지노드300b의 사이에 접속되는 저항소자323hf와 외부전원노드300b와 노드323hc의 사이에 저항소자323hd와 병렬로 접속되어 또한 그의 게이트가 외부단자323hg에 접속되어 n채널 MOS트랜지스터323hh와, 노드323hc와 출력노드323ha의 사이에 저항소자323he와 병렬로 접속되어 또한 그이 게이트가 외부단자323hi에 접속되는 n채널

MOS트랜지스터323hi를 포함한다.

제14도b에 표시함과 같이, 시각t0에 있어서, 전원이 투입되면 이때 외부단자323hg 및 323hi에 외부전원전위 ext Vcc가 인가된다.

이것에 응답하여, MOS트랜지스터323hh 및 323hj가 함께 도통상태로 된다. 저항소자323hf의 저항치는 MOS트랜지스터323hh 및 323hj의 온저항보다도 충분 크게된다.

따라서 출력노드323ha에서의 전환전위Vr는 저항소자323hd 및 323he가 MOS트랜지스터323hh, 323hj에 의해 단락되기 때문에, 외부전원전위 ext Vcc레벨로 된다.

소정시간이 경과하면, 시각t1에 있어서, 외부단자323hg 및 323hi의 한편에 외부전원전위 ext Vcc가 인가되어, 다른편에 접지전위GND가 제공된다.

제14도b에 있어서는, 외부단자 323hg에 접지전위GND가 제공되도록 표시된다.

이 상태에 있어서는 MOS트랜지스터323h 및 323hj의 한편이 비도통상태로 된다.

따라서, 저항소자323hd,323he 및 323hf의 저항치가 전체 동등한 경우에는, 이 외부전원노드300a와 출력노드300ha의 사이의 저항치와 출력노드323ha와 접지노드300b의 사이의 저항치가 동등하게 되어, 전환전위Vr는, 거의 ext Vcc/2의 전위레벨로 된다.

더 시간이 경과하면, 시각t2에 있어서, 외부단자323hg 및 323hi에 접지전위GND가 공급되어, MOS트랜지스터323hh 및 323hj는 비도통상태로 된다.

이 상태에 있어서는 외부전원노드300a와 접지노드300b의 사이에 저항소자 323hd, 323he 및 323hf가 직렬로 접속되어, 또한 이들의 저항소자의 저항치가 동등하기 때문에, 전환전위Vr는 ext Vcc/3의 전위 레벨로 된다.

제15도a는, 제11도에 표시하는 저항치 전환회로323h의 더 다른 구체적 회로구성을 표시하고, 또한 제15도b는, 그의 동작파형을 표시한다.

제15도a에 있어서, 저항치 전환회로323h는, 위상비교회로321에서의 비교신호/UP 및 DOWN의 논리의 일치/불일치에 따라 전환전위 Vr의 전위레벨을 조정하는 저항제어회로323hk와, 전원투입시에 소정기간 저항치 전환전위 Vr를 외부 전원전위 ext Vcc에 설정하는 스타트업 회로323hm를 포함한다.

이 저항 제어회로323hk는, 내부 클록신호 int CLK가 외부 클록신호 ext CLK에 로크되어있지 않고, 비교신호/UP 및 DOWN이 각각 활성상태의 L레벨 및 H레벨로 되는 시간이 긴 경우에는 출력노드323ha에서 출력되는 저항치 전환전위Vr를 거의 외부 전원전위 ext Vcc레벨에 설정하고, 한편 내부 클록신호 int CLK가 외부 클록신호 ext CLK에 로크되는데 따라 비교신호/UP 및 DOWN의 활성상태로 되는 시간이 적게되면, 저항치 전환전위Vr를 저하시켜 최종적으로 약1V정도로 설정한다.

이 저항제어회로323hk는 비교신호/UP 및 DOWN을 받아 이들의 논리의 일치/ 불일치를 판별하는 EXNOR회로323hn와, 외부 전원노드300a와 노드323hp의 사이에 접속되는 정전류 회로323hg와 노드323hp와 출력노드323ha의 사이에 접속되어 또한 그의 게이트에 NOR회로323hn의 출력신호를 받는 p채널 MOS트랜지스터323hr와, 출력노드323ha와 노드323hs의 사이에 접속되는 저항소자323ht와, 노드323hs와 접지노드300b의 사이에 접속되어 또한 그의 게이트가 접지노드300b에 접속되는 p채널 MOS트랜지스터323hu를 포함한다.

저항소자323ht의 저항치는 p채널 MOS트랜지스터323hu의 온 저항보다도 충분크게 된다.

이것에 의해, MOS트랜지스터323hu는 다이오드 모드로 동작하고, 노드323hs의 전위를 한계치 전압의 절대치 Vth의 레벨에 유지한다.

스타트업회로323hm는 외부 전원전위 ext Vcc의 상승시(투입시)에 소정기간 L레벨로 되어, 그후 H레벨로 되는 파워온 리세트 신호/NOR를 출력하는 파워온 리세트 신호 발생회로323hv와, 외부전원노드300a와 출력노드323ha의 사이에 접속되어 또한 그이 게이트가 파워온 리세트 신호/POR를 받도록 접속되는 p채널 스타트업 트랜지스터323hw를 포함한다.

시각t1에 있어서, 전원이 투입되어, 외부전원전위 ext Vcc의 전위레벨이 상승하면, 파워온 리세트신호/POR는 소정기간 즉 시각 t2가지 L레벨에 설정된다.

그사이 p채널 스타트업 트랜지스터323hw가 도통 상태를 유지하고, 외부 전원노드300a와 출력노드323ha를 전기적으로 단락하고, 전환전위Vr를 외부전원전위 ext Vcc의 전위레벨에 설정한다.

시각t2에 있어서, 파워 온 리세트 신호/NOR가 H레벨에 상승하면 트랜지스터323hw가 비도통상태로 된다.

정전류회로323hg는, 차지펌프회로322에 포함되는 정전류회로323c와 동일한 구성을 구비하고 있어 이시점에 있어서는, 동작 상태로 되어, 일정한 전류를 공급한다.

시각t2에 있어서는, 내부 클록신호 int CLK와 외부 클록신호 ext CLK의 위상차/주파수차가 큰 경우에는, 비교신호/UP 및 DOWN이 활성상태로 되는 기간이 길게된다.

그 경우에는, EXNOR회로323hn의 출력신호가 L레벨로 되는 기간이 길게되어, 응하여 p채널 MOS트랜지스터323hr가 도통상태로 되는 기간이 길게된다.

따라서, 이 사이에 있어서는 출력노드323ha에서 출력되는 전환전위Vr는 외부 전원전위 ext Vcc의 전위 레벨을 유지한다.

시각t3에 있어서, 내부 클록신호 int CLK와 외부 클록신호 ext CLK의 위상차/주파수차가 작게되면, EXNOR회로323hn의 출력신호가 L레벨로 되는 기간이 짧게 된다.

응하여, p채널 MOS트랜지스터323hr가 도통상태로 되는 기간이 짧게되어, 출력노드323ha의 충전기간이 짧

게 된다.

또한 저항소자323ht를 통하여 방전기간이 길게된다.

따라서, 출력노드323ha에서 출력되는 전환전위Vr의 전위레벨이 순서대로 저하한다.

시각t4에 있어서, 내부 클록신호 int CLK가 외부 클록신호 ext CLK에 로크되면, 비교신호/UP 및 DOWN는 거의 비활성상태를 유지하기 때문에, p채널 MOS트랜지스터323ha는 대부분의 기간 비도통상태를 유지한다.

이 때문에, 출력노드323ha는 저항소자323ht 및 MOS트랜지스터323hu를 통하여 방전되어, 최종적으로 전환전위Vr는 MOS트랜지스터323hu의 한계치전압의 절대치Vth의 전위레벨에 유지된다.

상술과 같이 외부전원전위 ext Vcc 및 접지전위 ext의 투입시는 스타트업회로323hm에 의해 전환전위Vr는 거의 외부 전원전위 ext Vcc의 전위레벨에 설정된다.

그후, 시간이 경과하면, 저항제어회로323hk의 기능에 의해, 전환전위Vr의 전위레벨이 저하하여간다.

따라서, 이 제15도a에 표시하는 저항치 전환회로323h를 사용하여도, 전원투입시 전원제어회로에 포함되는 n채널 MOS트랜지스터323ei의 저항치가 가장 작고, 로크인시에 저항치가 크게된다.

상술과 같이, 제11도에 표시하는 저항용 트랜지스터323ei의 저항치를 전원투입시에 가장 작게하고, 그후 크게하도록 구성하고 있음으로, 전원투입시에 있어서 내부 클록신호 int CLK와 외부 클록신호 ext CLK의 위상 및 주파수의 엇갈림이 큰 경우에는, 제11도에 표시하는 오페앰프323d에 있어서 제1의 입력노드323da에 입력되는 입력전위Vin의 변동에 대하여 전류제어신호Vp 및 Vn가 크게 변동하고, 응하여 링 오실레이터의 구동전류가 크게 변화하기 때문에, 내부 클록신호 int CLK는 고속으로 외부 클록신호 ext CLK에 접근한다.

한편, 내부 클록신호 int CLK가 외부 클록신호 ext CLK에 로크되는 때에는, 이 저항용 트랜지스터323ei의 저항치가 크게되어 있음으로, 제어신호Vp 및 Vn의 변동에 의한 링 오실레이터의 구동 전류의 변화가 작게되어, 내부 클록신호 int CLK는 비교적 완만하게 변화하기 때문에, 내부 클록신호 int CLK를 외부 클록신호 ext CLK에 로크시킴으로 용이케 되는 것과 함께 로크후의 내부 클록신호 int CLK의 지터를 작게하는 것이 가능하다.

또, 외부 클록신호 ext CLK가 외부클록신호 입력노드321a에 공급되지 않게 되면, 유지신호HD가 H레벨에, 유지신호/HD가 L레벨에 설정된다.

그것에 응답하여, 루프필터 입력부에 설치된 트랜스퍼 게이트323g가 비도통상태로 되어, 루프필터323c의 출력전위Vin는 일정기간 유지된다.

동일하게, 전원제어회로323e에 있어서도, 트랜스퍼 게이트323도가 비도통상태로 되어, 피드백 전위Vf가 그의 커패시터323ee에 의해 소정기간 일정한 전위레벨에 유지된다.

이 이력전위 Vin 및 피드백전위Vf가 있는 정도의 시간 유지되기 때문에, 응하여 전류제어신호 Vp 및 Vn의 전위레벨도 유지되기 때문에, 내부 클록신호 int CLK는 이 사이 외부 클록신호 ext CLK 또한 제공되지 않았던 시점에 있어서의 상태를 유지한다.

따라서, 외부 클록신호 ext CLK가 일시적으로 공급되지 않은 경우에 있어서도, 내부 클록신호 int CLK는 안정하게 출력된다.

외부 클록신호 ext CLK가 재차 공급되면, 유지신호HD 및 /HD가 각각 L레벨 및 H레벨로 되어, 트랜스퍼 게이트323g 및 323도가 도통상태로 된다. 이것에 의해, 외부 클록신호 ext CLK의 위상/주파수에 따라 내부 클록신호 int CLK의 위상 및 주파수의 조정이 행하게 된다.

이 경우, 외부 클록신호 ext CLK는 일시적으로 중단 또는 접속되어 있는 뿐으로, 새로이 제공된 외부 클록신호 ext CLK는 중단전의 위상 및 주파수와 크게 달리하여 있지 않음으로, 내부 클록신호 int CLK는 용이하게 외부 클록신호 ext CLK에 로크인 하는 것이 가능하다.

[실시예 3]

제16도는 이 발명의 제3의 실시예의 SRAM의 요부의 구성을 표시하는 도면이다.

이 제16도에 있어서는, 제11도에 표시하는 구성에 가하여, 더 오페앰프323d의 입력전위 Vin 및 Vf를 유지하기 위한 전위유지회로323i가 설치된다.

다른 구성은 먼저의 실시예2와 동일하고, 그의 설명은 생략한다.

제16도에 있어서, 전위유지회로323i는 유지신호HD에 응답하여, 노드323da상의 입력전위Vin를 기억하는 전위기억회로323ia와 내부전원노드300c와 노드323ib의 사이에 접속되는 p채널 MOS트랜지스터323ic와 전위기억회로323ia에서의 아날로그 신호AN와 노드 323ib상의 전위를 받는 입력과, p채널 MOS트랜지스터323ic의 게이트에 접속되는 출력을 가지는 오페앰프323id와 노드323ib와 노드323da의 사이에 접속되어, 유지신호HD 및 /HD에 응답하여 선택적으로 도통상태로 되는 트랜스퍼 게이트323ie1와, 노드323ib와, 노드323ea의 사이에 접속되어 유지신호HD 및 /HD에 응답하여 선택적으로 도통상태로 되는 트랜스퍼 게이트323if를 포함한다.

전위기억회로323ia는 유지신호HD가 L레벨에서 H레벨에 변화하고, 외부 클록신호 ext CLK의 공급의 중단을 표시할때에, 이 노드323da상의 입력전위Vin를 디지틀 신호에 변환하여 기억하고, 또한 이 기억한 디지틀 신호를 아날로그신호AN로서 출력한다.

트랜스퍼 게이트323e 및 323if는 함께 유지신호HD가 L레벨에서 H레벨로 되어 외부 클록신호 ext CLK의 중단을 표시할때에 도통상태로 된다.

전위기억회로323ia는, 내부전원노드300c와, 노드323ig의 사이에 접속되는 저항치R의저항소자323ih와 노드323ig와 노드323ii의 사이에 접속되는 저항치R의 저항소자323ij와 노드323ii와 노드323ik의 사이에 접속되는 저항치R의 저항소자323im와 노드323ik와 접지노드300b의 사이에 접속되는 저항치R의 저항소자323in와 입력전위Vin를 받는 부입력과 노드323ig상의 전위(3·int Vcc/4)를 받는 정입력을 가지고, 입력전위Vin가 노드323ig보다도 낮은 때에 H레벨의 신호를 출력하고, 그렇지 않은 때에는 L레벨의 출력신호INI를 출력하는 차동증폭회로323ip와 입력전위Vin를 받는 부입력과 노드323ii상의 전위를 받는 정입력을 가지고, 입력전위Vin가 노드323ii상의 전위보다도 낮은 때에 H레벨로 되는 신호IN2를 출력하는 차동증폭회로323ig와 입력전위Vin를 받는 부입력과 노드323ik상의 전위(int Vcc/4)를 받는 정입력을 가지고, 입력전위Vin가 노드323ik상의 전위보다도 낮은 때에 H레벨로 되는 신호IN3를 출력하는 차동증폭회로323ir와 데이터 유지신호의 L레벨에서 H레벨에의 이행에 응답하여 차동증폭회로323ip, 323ig 및 323ir의 출력신호INI, IN2 및 IN3를 래치하고 또한 출력신호 OUT1, OUT2 및 OUT3로서 출력하는 래치회로323is를 포함한다.

차동증폭회로323ip, 323ig 및 323ir에서의 출력신호 IN1,IN2 및 IN3는 각각 디지털적으로 변화한다.

래치회로323is는 예컨대 D형플립플롭으로 구성된다.

전위기억회로323ia는 더 내부전원노드300c와 아날로그신호AN가 출력되는 노드323it의 사이에 접속되어, 일정한 전류i(=int Vcc/(4·R))를 공급하는 정전류회로323iu와, 노드323it와 접지노드300b의 사이에 서로 직렬로 접속되어 각각이 저항치R를 가지는 저항소자323iv1, 323iv2, 323iv3 및 323iv4와 저항소장323iv1의 양단에 접속되어 또한 그의 게이트에 래치회로323if에서의 신호OUT1를 받는 n채널 MOS트랜지스터323iw와 저항소자323iv2와 병렬로 접속되어 또한 그의 게이트에 래치회로323is에서의 신호OUT2를 받는 n채널 MOS트랜지스터323ix와, 저항소자323iv3와 병렬로 설치되어, 그의 게이트에 래치회로323is에서의 신호OUT3를 받는 n채널 MOS트랜지스터323iy를 포함한다.

트랜스퍼 게이트323ie는, 노드323ib와 입력노드323da(또는 루프필터323c의 출력노드 323b)의 사이에 접속되어, 그의 게이트에 유지신호HD를 받는 n채널 MOS트랜지스터323ie1와, 노드323ib와 입력노드323da의 사이에 n채널 MOS트랜지스터323ie1와 병렬로 접속되어 또한 그의 게이트에 유지신호/HD를 받는 p채널 MOS트랜지스터322ie2를 가진다.

트랜스퍼 게이트323if는 노드323ib와 노드323ea(오페앰프323d의 입력노드323db)의 사이에 접속되어 또한 그의 게이트에 유지신호HD를 받는 n채널 MOS트랜지스터323if1와 노드323ib와 노드323ea의 사이에 n채널 MOS트랜지스터323if1와 병렬로 접속되어 또한 그의 게이트에 유지신호/HD를 받은 p채널 MOS트랜지스터323if2를 가진다.

다음에 동작에 관하여 설명한다.

전위기억회로323ia에 있어서는, 노드323da에서의 입력전위Vin가 접지전위와 노드323ik의 전위int Vcc/4의 범위내에 있을 때에는, 차동증폭회로323ip, 323ig, 323ir에서 출력되는 IN1,IN2,IN3는 각각 H레벨, H레벨, H레벨로 된다.

입력전위Vin가 노드 323ik상의 전위(int Vcc/4)와 노드323ii상의 전위(int Vcc/2)의 범위내에 있을 때에는, 차동증폭회로323ip, 323ig 및 323ir에서 출력되는 신호IN1,IN2 및 IN3는 각각 H레벨, H레벨 및 H레벨로 된다.

입력전위Vin가 노드 323ii상의 전위(int Vcc/2)와 노드323ig상의 전위(3·int Vcc/4)의 범위내에 있는 경우에는, 차동증폭회로323ip, 323ig 및 323ir에서 출력되는 신호IN1,IN2 및 IN3는 각각 H레벨, H레벨 및 H레벨로 된다.

외부 클록신호 ext CLK의 공급중단시에 있어서, 유지신호HD가 H레벨로 되면, 래치회로323is는 이들의 입력신호 IN1~IN3를 래치하고, 신호OUT1~OUT3으로서 출력한다.

신호 OUT1, OUT2 및 OUT3가 각각 H레벨, H레벨, H레벨의 경우에는, n채널 MOS트랜지스터323iw, 323ix 및 323iy가 전체 도통상태로 되기 때문에, 노드323it와 접지노드300b의 사이의 합성저항치는 거의 R로 된다.

정전류회로323iu가 공급하는 전류i는 i=int Vcc/(4·R)로 있기 때문에, 노드323it에서 출력되는 아날로그신호AN는 AN=R·i=int Vcc/4로 된다.

신호 OUT1, OUT2 및 OUT3가 각각 H레벨, H레벨 및 H레벨의 경우에는, n채널 MOS트랜지스터323iw 및 323ix가 도통상태되어, MOS트랜지스터323iy가 비도통상태로 되기 때문에, 노드323it와 접지노드300b의 사이의 합성저항치가 거의 2·R로 된다.

이 경우에는, 노드 323it에서 출력되는 아날로그신호AN는 AN=2·R·i=int Vcc/2로 된다.

신호 OUT1, OUT2 및 OUT3가 각각 H레벨, L레벨, L레벨의 경우에는, n채널 MOS트랜지스터323iw가 도통상태, n채널 MOS트랜지스터323ix 및 323iy가 함께 비도통 상태로 되기 때문에, 노드323it와 접지노드300b의 사이의 합성저항치는 거의 3·R로 된다.

따라서 노드323it에서 출력되는 아날로그 신호AN는 AN=3·R·i=int Vcc/4로 된다.

신호 OUT1, OUT2 및 OUT3가 각각 L레벨, L레벨 및 L레벨의 경우에는, n채널 MOS트랜지스터323iw, 323ix 및 323iy가 전체 비도통상태로 되기 때문에, 노드323it와 접지노드300b의 사이의 합성저항치는 거의 4·R로 된다.

따라서, 노드323it에서 출력되는 아날로드 신호AN는 AN=4·R·i=int Vcc로 된다.

즉, 이 전위기억회로323ia는 입력전위Vin를 4스텝의 분해능으로 디지틀신호에 변환하여 기억하고, 이 기억한 디지틀 신호를 정전류회로323iuALC 저항소자323iv1~323iv4에서 되는 회로에 의해 아날로그 신호AN에 변환하여 출력하고 있다.

오페앰프323id는 노드323ib상의 전위가 아날로그신호AN보다도 높은 때에는, p채널 MOS트랜지스터323ic를

비도통 상태로 하고, 또한 노드323ib상의 전위가 아날로그 신호AN보다도 낮은 경우에는, p채널 MOS트랜지스터323hc를 도통상태로 한다.

이것에 의해 노드323ib상의 전위는 아날로그신호AN의 전위에 동등하게 된다.

트랜스퍼 게이트323ie 및 323if는 외부 클록신호 ext CLK의 공급정지시에는 도통상태로 된다.

따라서, 노드323ib가 노드323da 및 323ea에 전기적으로 접속되기 때문에 이 외부 클록신호 ext CLK의 공급정지시에 있어서는, 노드323da상의 입력전위 Vin 및 노드323ea상의 피드백전위Vf가 아날로그신호AN의 전위에 동등하게 되어 유지된다.

입력전위Vin 및 피드백전위Vf가 전위유지회로323i에 의해 유지되어, 응하여 전류제어신호Vp 및 Vn도 유지되기 때문에, 내부 클록신호 int CLK는 외부 클록신호 ext CLK의 공급정지시점에 있어서 상태를 유지한다.

따라서 재차 외부 클록신호 ext CLK가 공급되면, 바로 내부 클록신호 int CLK는 외부 클록신호 ext CLK에 로크인 하는 것이 가능하다.

특히 전위유지회로323i를 사용하는 것에 의해, 제11도에 표시하는 구성과 달리하여, 장기간에 걸쳐 래치회로323is에 의해 입력전위Vin의 전위레벨을 유지하는 것이 가능하므로, 외부 클록신호 ext CLK의 장기간에 걸쳐 공급정지시에 있어서도 안정하게 내부 클록신호 int CLK를 공급하기 계속하는 것이 가능하다.

[실시예 4]

제17도는 이 발명의 제4의 실시예의 반도체 기억장치의 요부의 구성을 표시하는 도면이다.

제17도에 있어서는 전류제어회로323의 구성만이 표시된다.

기타의 구성은, 먼저의 실시예 3의 구성과 동일하고, 실시예1 내지 3의 구성요소와 대응하는 부분에는 동일한 참조번호를 붙여 그의 상세설명은 생략한다.

이 제17도에 표시하는 구성에 있어서는, 전위유지회로323i는 오페앰프323d의 입력전위Vin만을 유지하고 또한 그의 전위를 조정한다.

따라서 전위유지회로323i에 있어서는, 노드323ib와 노드323da의 사이에 트랜스퍼게이트323ie만이 설치된다.

제16도에 표시하는 피드백 전위Vf용의 트랜스퍼 게이트323if는 설치되지 않는다.

또, 제11도에 표시하는 구성과 달리하여, p채널 전류제어회로323e에 있어서는, 노드323ea와 MOS트랜지스터ei의 사이에는, 트랜스퍼 게이트323eh는 설치되지 않는다.

이 제17도에 표시하는 구성에 있어서, 외부 클록신호 ext CLK가 외부클록신호 입력노드321a에 제공되지 않게 된 경우, 오페앰프323d에 있어서 제1의 입력노드323da상의 입력전위Vin가 전원유지회로323i에 의해 유지된다.

전위유지회로323i가 유지하는 것은, 이 입력전위Vin만으로 있어, 피드백 전위Vf의 전위는 유지하지 않는다.

그렇지만, 입력전위Vin가 전위유지회로323i에 의해 유지된 경우, 오페앰프323d가 입력전위Vin와 노드323ea에서의 피드백전위Vf를 동등하게 하도록 동작한다.

따라서, 이 전위유지회로323i에 의해 노드323ea상의 피드백 전위Vf를 유지하지 않은 경우에 있어서도 피드백 전위Vf는 오페앰프323d에 의해 외부 클록신호 ext CLK공급정지시의 상태로 유지되는 것으로 되어, 응하여 내부 클록신호 int CLK는 확실하게 외부 클록신호 ext CLK의 공급중단시에 있어서 상태를 유지한다.

이 제17도에 표시하는 구성에 따르면, 전위유지회로323i에 있어서 트랜스퍼 게이트323if 및 p채널 전류제어회로323e에 있어서 트랜스퍼 게이트323gh가 불요로 되어, 응하여 제16도에 표시하는 구성과 비하여 내부클록동기회로320의 레이아웃면적을 저감하는 것이 가능하다.

[실시예 5]

제18도는 이 발명의 제5도의 실시예인 반도체 기억장치의 요부의 구성을 표시하는 도면이다.

제18도에 있어서, 전류제어회로323의 구성만이 표시되어, 다른 구성은 먼저의 제1 내지 제4의 실시예의 구성과 동일하다.

이 제18도에 표시하는 전류제어회로323의 구성에 있어서는, 오페앰프323d 및 p채널 전류제어회로323e는 설치되지 않는다.

또, 차지펌프회로322에 있어서, p채널 MOS트랜지스터322d가 그의 게이트에 비교신호/UP 및 반전신호UP를 받아, 또한 n채널 MOS트랜지스터322f가 그의 게이트에 비교신호DOWN의 반전신호/DOWN를 받는다.

다른 구성은 먼저의 실시예4에 표시하는 구성과 동일하고, 대응하는 부분에는 동일참조번호를 붙인다.

제18동 표시하는 구성에 있어서, 내부 클록신호 int CLK의 위상/주파수가 외부 클록신호 ext CLK의 그것보다도 진행하고 있는 경우, 비교신호UP는 H레벨로 되어, 비교신호/DOWN가 H레벨로 된다.

이 상태에 있어서 노드322a의 전위Va는 MOS 트랜지스터322f에 의해 방전되어 저하하고, 응하여 p채널 MOS트랜지스터Vp의 전위레벨도 저하한다.

역으로 내부 클록신호 int CLK의 위상/주파수가 늦어져 있는 경우에는, 비교신호/UP가 L레벨로 되어 비교

신호/DOWN가 L레벨로 된다.

이 상태에 있어서는, 노드322a상의 전위Va는 MOS트랜지스터322d를 통하여 충전되어 그의 전위가 상승한다.

응하여 p채널 전류제어신호Vp의 전위레벨도 상승하고, 내부 클록신호 int CLK의 위상을 늦게하여, 응하여 주파수도 작게한다.

내부 클록신호 int CLK가 외부 클록신호 ext CLK와 위상동기한 경우에는, 비교신호/UP가 H레벨, 비교신호/DOWN가 L레벨로 되어, 전위Va는 변화하지 않는다.

외부 클록신호 ext CLK의 공급이 정지되면, 트랜스퍼 게이트323g가 비도통 상태로 되어, 또한 트랜스퍼 게이트323ie가 도통상태로 된다.

이것에 의해 루프필터323c의 출력노드323b에서 출력되는 p채널 전류제어신호Vp의 전위레벨이 전위유지회로32i에 의해 유지되어, 내부 클록신호 int CLK는, 외부 클록신호 ext CLK공급정지시의 상태를 유지한다.

또, 외부 클록신호 ext CLK가 재차 공급되면 트랜스퍼 게이트323g가 도통하고, 또 트랜스퍼게이트321ie가 비도통상태로 된다.

이 p채널 전류제어신호Vp의 전위레벨은, 차지펌프회로322에서의 출력전위Va에 따라 위상동기시의 상태에서 변화하기 때문에 이 클록공급 재개시에 있어서, 고속으로 내부 클록신호 int CLK를 외부 클록신호 ext CLK에 로크인 시키는 것이 가능하다.

[실시예 6]

제19도는 이 발명의 제6의 실시예의 반도체 기억장치의 요부의 구성을 표시하는 도면이다.

제19도에 있어서는 내부 클록신호 동기회로 320에 포함되는 내부 클록신호 발생회로 324의 구성만이 표시된다.

다른 구성은, 제1내지 제5의 실시예의 어느 것과 동일하다.

이 제19도에 표시하는 구성에 있어서는, 내부 클록신호 int CLK를 발생하기 위하여 PLL 회로에 대신하여 DLL(디레이·로크드·루프) 회로가 사용된다.

즉, 제19도에 표시함과 같이 내부 클록발생회로 324에 포함되는 링오실레이터에 대신하여 외부 클록신호 ext CLK를 받은 지연회로가 사용된다.

이 내부 클록신호 발생회로 324는, 외부 클록신호 ext CLK를 받아 지연하고 또한 반전하여 내부 클록신호 int CLK를 생성하는 3단의 인버터324를 포함한다.

이 인버터 324a는 먼저의 제8도에 표시하는 구성과 동일하고, 대응하는 부분에는 동일 참조번호를 붙인다.

다음에 이 제19도에 표시하는 구성의 동작을 그의 동작 파형인 제20도를 참조하여 설명한다.

제20도에 있어서는, 내부 클록신호 int CLK의 위상이 외부 클록신호 ext CLK의 그것보다도 진행하고 있는 경우의 비교신호/UP 및 DOWN에 따른 내부 클록신호 동기회로 320의 동작이 표시된다.

제20도의 (a) 및 (b)에 표시함과 같이 시각t1의 직전에 있어서는 외부 클록신호 ext CLK 및 내부 클록신호 int CLK가 함께 L레벨로 있어, 동일 레벨로 되어 있기 때문에, 위상비교회로 321는 비교신호 /UP를 제20도의 (c)에 표시하도록 H레벨, 비교신호 DOWN를 제20도의 (d)에 표시함과 같이 L레벨에 설정하고 이 상태에 있어서는 차지펌프회로 322에 포함되는 MOS 트랜지스터 322d 및 322f(예컨대 제1도 참조)는 함께 오프상태로 있어 p채널 전류 제어신호 VP의 전류레벨은 제20도의 (e)에 표시하도록 변화하지 않는다.

제20도의 (a) 및 (b)에 표시함과 같이, 시각t1에 있어서 내부 클록신호 int CLK가 H레벨에 상승하고, 계속하여 시각 t2에 있어서 외부 클록신호 ext CLK가 H레벨에 상승하는 경우, 위상비교회로 321는 내부 클록신호 int CLK의 위상이 외부 클록신호 ext CLK의 그것보다도 진행하고 있는 것을 검지하고, 비교신호/UP를 제20도의 (c)에 표시함과 같이 H레벨에 유지하고 또한 비교신호 DOWN을 제20도의 (d)에 표시하도록 H레벨에 상승한다.

이것에 의해 차지펌프회로 322 및 전류제어회로 323에 의해 p채널 전류제어신호 VP의 전위레벨이 제20도의 (e)에 표시하도록 상승한다.

이것에 의해 내부 클록신호 발생회로 324에 포함되는 인버터 324a의 구동전류(동작전류 또는 충반전전류)가 감소하고 내부 클록신호 int CLK의 지연시간이 크게 된다.

제20도의 (a)에 표시함과 같이 시각 t2에 있어서 외부 클록신호 ext CLK가 H레벨에 상승하면 외부 클록신호 ext CLK 및 내부 클록신호 int CLK는 함께 H레벨로 되어 위상비교회로 321는 제20도의 (c) 및 (d)에 표시함과 같이 비교신호/UP 및 DOWN를 리세트하고, p채널 전류제어신호 VP의 변화가 정지된다.

뒤이어, 제20도의 (a) 및 (b)에 표시함과 같이 외부 클록신호 ext CLK가 L레벨에 하강하는 시각 t4 보다도 빨리 내부 클록신호 int CLK가 시각t3으로 하강하면, 위상비교회로 321가 내부 클록신호 int CLK가 외부 클록신호 ext CLK 보다도 위상이 진행하고 있는 것을 검지하고, 비교신호/UP는 제20도의 (c)에 표시함과 같이 H레벨로 된다.

이것에 의해 차지펌프회로 322 및 전류제어회로 323에 의해 p채널 전류제어신호 VP의 전위레벨이 제20도의 (e)에 표시함과 같이 상승하고, 내부 클록신호 int CLK의 지연시간이 크게 된다.

제20도에 있어서 시각 t5 이후에 표시하도록 내부 클록신호 int CLK가 외부 클록신호 ext CLK에 동기되면(로크인 되면), 비교신호/UP 및 DOWN은 대부분 활성화 되지 않고, 제20도의 (c) 및 (d)에 각각 표시하도

록, 외부 클록신호 ext CLK의 상승 및 하강시에 있어서 약간의 기간활성화 되는 뿐으로, 응하여 p채널 전류제어신호 VP도 제20도의 (e)에 표시함과 같이, 대부분 변화하지 않고, 거의 일정한 전위레벨을 유지한다.

다음에, 제21도에 표시하는 동작 타이밍도를 참조하여, 내부 클록신호 int CLK의 위상이 외부 클록신호 ext CLK의 위상보다도 늦은 경우의 동작에 관하여 설명한다.

제21도의 (a) 및 (b)에 표시함과 같이, 시각 t1의 직전에 있어서는, 외부 클록신호 ext CLK 및 내부 클록신호 int CLK가 함께 L레벨이고 동일 레벨로 있음으로, 위상비교회로 321는 리세트 상태로 되어, 제17도의 (c) 및 (d)에 표시함과 같이 비교신호/UP 및 DOWN는, 각각 H레벨 및 L레벨에 유지된다.

이 상태에 있어서는, p채널 전류제어신호 VP는 제21도의 (e)에 표시함과 같이 변화하지 않는다.

제21도의 (a)에 표시함과 같이 시각 t1에 있어서 외부 클록신호 ext CLK가 H레벨에 상승하면, 위상비교회로 321는 내부 클록신호 int CLK가 외부 클록신호 ext CLK 보다도 위상이 늦은 것을 검지하고, 비교신호/UP 는 제21도의 (c)에 표시되도록 L레벨에 하강하여 응하여 차지펌프회로 322 및 전류제어회로 323에 의해 p채널 전류제어신호 VP의 전위레벨이 제21도의 (e)에 표시되도록 저하한다.

이것에 응답하여 내부 클록신호 발생회로 324(인버터 324a)의 구동전류(충반전 전류)가 증가하고, 내부 클록신호 int CLK의 지연시간이 작게 된다.

제21도의 (a)에 표시함과 같이 시각 t2에 있어서 내부 클록신호 int CLK가 상승하면, 외부 클록신호 ext CLK 및 내부 클록신호 int CLK가 함께 H레벨로 되어, 위상비교회로 321가 리세트되어, 비교신호/UP 및 DOWN는 제17도의 (c) 및 (d)에 각각 표시하도록 각각 H레벨 및 L레벨로 된다.

이 상태에 있어서는 p채널 전류제어신호 VP는 제21도의 (e)에 표시하도록 변화하지 않는다.

제21도의 (a) 및 (b)에 표시함과 같이, 외부 클록신호 ext CLK가 시각 t3에 있어서 L레벨에 하강하고 계속하여 내부 클록신호 int CLK가 시각t4에 있어서 하강하면 위상비교회로 321는 내부 클록신호 int CLK가 외부 클록신호 ext CLK 보다도 위상이 늦은 것을 검지하여, 비교신호/UP를 제21도의 (c)에 표시하도록 L레벨에 하강하여, 한편 비교신호 DOWN를 제21도의 (d)에 표시하도록 L레벨에 유지한다.

이것에 의해 p채널 전류제어신호 VP가 제21도의 (e)에 표시하도록 그의 전위가 저하하고, 내부 클록신호 int CLK의 지연시간이 작게 된다.

내부 클록신호 int CLK가 외부 클록신호 ext CLK에 동기하면(로크인 하면) 제21도에 있어서 시각 t5 이후에 표시함과 같이, 비교신호/UP 및 DOWN가 대부분 활성화 되지 않고, 제21도의 (c) 및 (d)에 각각 표시하도록 외부 클록신호 ext CLK의 상승 및 하강으로 약간인 기간활성화 되는 뿐으로, 따라서 p채널 전류제어신호 VP도 제21도의 (a)에 표시함과 같이 대부분 변화하지 않고 거의 일정한 전위레벨을 유지한다.

상술한 같은 인버터 지연회로를 사용하여도 먼저의 실시예 1 내지 5와 동일한 효과를 얻는 것이 가능하다.

역시, 이 외부 클록신호 발생회로 324는 지연회로로서 가능하기 때문에 거기에 포함되는 인버터 324a는 지연회로로서 기능하기 때문에, 거기에 포함되는 인버터 324a는 우수단 설치되어도 좋다(링 오실레이터를 구성할 필요는 없기 때문이이다.)

[실시예 7]

제22도a 및 제22도 b는 이 발명의 제7의 실시예인 SRAM의 요부의 구성을 개략적으로 표시하는 도면이다.

제22도 a 및 제22도 b에 있어서는, 내부 클록신호 발생회로 324의 구성이 표시된다.

다른 구성은 먼저의 실시예 1내지5와 동일하고 그의 구성은 생략된다.

제22도 a에 있어서, 링상으로 접속되는 3개의 차동증폭회로 324b와 이 최종단의 차동증폭회로 324b의 출력을 증폭하는 차동증폭회로 내부 클록버퍼 324c를 포함한다.

차동증폭회로 324a의 각각은, 상보 입력노드 324ba 및 324bb와, 상보 출력노드 324bc 및 324bd를 가진다.

입력노드 324ba의 전위가 입력노드 324bb의 전위 보다도 높은 경우에는 출력노드 324bc의 전위가 출력노드 324bd의 전위 보다도 높게 된다.

이때, 입력노드 324ba 및 324bb에 생긴 전위차 보다도 큰 전위차가 출력노드 324bc, 324bd 사이에 생긴다.

역으로, 입력노드 324ba의 전위가 324bb의 전위보다도 낮은 경우에는 출력노드 324bc의 전위가 출력노드 324bd의 전위보다도 낮게 된다.

이경에 있어서도, 입력노드 324ba 및 324bb에 생기는 전위차 보다도 큰 전위차가 출력노드 324bc 및 324bd에 생긴다.

차동증폭회로 324b는 클록용 내부 전원노드 300d와 노드 324be의 사이에 접속되어 또한 그의 게이트에 p채널 전류제어신호 VP를 받는 p채널 전류제어 트랜지스터 324bf와, 노드 324be와 출력노드 324bd의 사이에 접속되어 또한 그의 게이트가 출력노드 324bd에 접속되는 p채널 MOS트랜지스터324bh와, 출력노드 324bd와 노드324bi의 사이에 접속되어 또한 그의 게이트가 입력노드 324bb에 접속되는 n채널 입력 트랜지스터 324bk와, 노드324bi와 접지노드300b의 사이에 접속되어 또한 그의 게이트가 n채널 전류제어신호 VN를 받도록 접속되는 n채널 전류제어 트랜지스터 324bm를 가진다.

p채널 MOS트랜지스터 324bg 및 324bh는 커런트 미러회로를 구성한다.

최종단의 차동증폭회로 324b의 상보 출력신호를 받는 차동증폭회로 내부 클록버퍼 324c는 이 최종단의 차

동증폭회로 324b의 상보 출력신호를 차동적으로 증폭하여 H레벨 또는 L레벨로 되는 내부 클록신호 int CLK를 생성한다.

내부 클록버퍼로서 기능한다.

내부 클록버퍼 324c는 내부전원노드 300c와 내부 클록신호 출력노드 325의 사이에 접속되어 또한 그의 게이트가 노드 324ca에 접속되는 p채널 MOS트랜지스터 324cb와, 내부 전원노드 300c와 노드 324ca의 사이에 접속되어 또한 그의 게이트가 노드 324ca에 접속되는 p채널 MOS트랜지스터 324cc와, 내부 클록신호 출력노드 325와 노드 324cd의 사이에 접속되어 또한 그의 게이트가 최종단의 차동증폭회로 324b의 출력노드 324bd에 접속되는 n채널 MOS트랜지스터 324ce와, 노드 324ca와 노드 324cd의 사이에 접속되어 또한 그의 게이트가 최종단의 차동증폭회로 324b에 있어서 출력노드 324bc에 접속되는 n채널 MOS트랜지스터 324cf와, 노드 324cd와 접지노드300b의 사이에 접속되어 또한 그의 게이트가 내부 전원노드 300c에 접속되는 n채널 MOS트랜지스터 324cg를 포함한다.

p채널 MOS트랜지스터 324gcc 및 324cb는 커런트 미로회로를 구성한다.

또, 전류원 트랜지스터로서 기능하는 n채널 MOS트랜지스터 324cg는 그의 게이트가 내부 전원노드 300c에 접속되어 있어, 큰 전류구동력을 가지고 있다.

따라서, 내부 클록버퍼 324c는 큰 동작전류를 가지고 있어 고속으로 그의 내부 클록신호 int CLK를 H레벨 또는 L레벨에 구동한다.

내부 클록 신호 Φ1는, 2단째의 차동증폭회로 324b의 상보 출력신호를 받는 내부 클록버퍼 324d에서 출력된다.

또, 내부 클록신호 Φ2는, 초단의 차동증폭회로 324b에서 출력되는 상보 출력신호를 받은 내부 클록버퍼 324e에서 출력된다.

이들의 내부 클록버퍼 324d 및 324e는 내부 클록버퍼 324c와 동일한 구성을 구비한다.

제22도 b는 제22도 a에 표시되는 차동증폭회로 324b 및 내부 클록버퍼 324c의 접속을 표시하는 도면이다.

제22도 b에 표시하도록 초단의 차동증폭회로 324b의 정의 출력신호 및 보의 출력신호가 각각 2단째의 차동증폭회로 324b의 정입력노드 및 부의 입력노드에 제공된다.

2단째의 차동증폭회로 324b의 정입력노드 및 부의 입력노드에 제공된다.

2단째의 차동증폭회로 324b의 정 및 부의 출력신호는 최종단의 차동증폭회로 324b의 부 및 정의 입력노드에 제공된다.

최종단의 차동증폭회로 324b의 정 및 부의 출력신호는 초단의 차동증폭회로 324의 부 및 정의 입력노드에 제공되어 또한 내부 클록버퍼 324c 의 정 및 부의 입력노드에 제공된다.

차동증폭회로 324b는 각각 반전증폭기로서 기능하고, 링오실레이터를 구성한다.

이 경우, 차동증폭회로 324b는 통상의 CMOS 구성의 인버터에 비하여 증폭특성이 뛰어나고 있어, 또, 그의 정밀부의 출력신호의 진폭은 내부 전원전위 Vcc 및 접지전위 GND 보다도 작게 된다(전류제어신호 VP 및 VN에 전류량이 조정된다).

따라서, 이들의 차동증폭회로 324b는 고속으로 동작하는 것으로 되어, 또한 출력신호가 고속으로 변화하기 때문에, 외부 클록신호 ext CLK의 주파수가 높은 경우에 있어서도, 확실하게 이 고속의 외부 클록신호 ext CLK에 위상 동기한 내부 클록신호 int CLK를 생성하는 것이 가능하다.

내부 클록버퍼 324c는 그의 전류원 트랜지스터 324cg가 큰 컨덕턴스를 가지고 있어, 큰 전류 구동력을 제공하고 있기 때문에 고속으로 동작하고, 고속으로 내부 클록신호 int CLK를 H레벨 및 L레벨에 구동한다.

제23도는 내부 클록신호 발생회로 324의 다른 구성을 표시하는 도면이다. 제23도에 표시하는 구성에 있어서도, 링오실레이터를 구성하는 3단의 차동증폭회로 324f가 설치된다.

이 차동증폭회로 324f는 상보입력노드 324fa 및 324fb와, 상보출력노드324fc 및 324fd를 가진다.

입력노드 324fa의 전위가 입력노드 324fe의 전위보다도 높은 경우에는 출력노드 324fc의 전위가 출력노드 324fd의 전위보다도 높게 된다.

이때, 출력노드 324fc 및 324fd에 생긴 전위차는, 입력노드 324fa 및 324fb에 있어서 전위차 보다도 크게 된다.

차동증폭회로 324f는 클록용/내부 전원노드 300d와 노드 324fe의 사이에 접속되어, 그의 게이트에 p채널 전류제어신호 VP를 받는 p채널 전류제어 트랜지스터 324ff와 노드 324fe와 노드 324fg의 사이에 접속되어 또한 그의 게이트가 입력노드 324fb에 접속되는 p채널 입력 트랜지스터 324fh와, 노드 324fe와 출력노드 324fd의 사이에 접속되어 또한 그의 게이트가 출력노드 324fd에 접속되는 p채널 MOS트랜지스터 324fi와 노드 324fg와 출력노드 324fc의 사이에 접속되어 또한 그의 게이트가 출력노드 324fd에 접속되는 p채널 MOS트랜지스터324fj와 출력노드 324fd와 노드 324fk의사이에 접속되어 또한 그의 게이트가 출력노드 324fc에 접속되는 n채널 MOS트랜지스터 324fm와 출력노드 324fc와 노드 324fn의 사이에 접속되어 또한 그의 게이트가 노드 324fc에 접속되는 n채널 MOS트랜지스터 324fp와, 노드 324fk와 노드 324fn의 사이에 접속되어 또한 그의 게이트가 입력노드 324fa에 접속되는 n채널 입력 트랜지스터 324fq와, 노드 324fn와, 노드 324fn와 접지노드 300b의 사이에 접속되어 또한 그의 게이트가 n채널 전류제어신호 VN를 받도록 접속되는 n채널 전류제어 트랜지스터 324fr를 포함한다.

p채널 MOS트랜지스터 324fd 및 324fj가 커런트 회로를 구성하고, 또 n채널 MOS트랜지스터 324fm 및 324fp는 커런트 미러를 구성한다.

이들의 커런트 미러회로는 클로즈드 루프를 구성하고 MOS 트랜지스터 324fi, 324fj, 324fp 및 324fm를 흐르는 전류를 동일한 치로 설정한다.

내부 클록버퍼 324c~324d는 각각 제22도에 표시하는 구성과 동일하고, 내부 클록버퍼 324e가 초단의 차동증폭회로 324f의 상보출력신호에서 내부 클록신호 Φ_2를 생성하고 내부 클록버퍼324d는 2단째의 차동증폭회로 324f의 상보출력신호에서 내부 클록신호 Φ_1를 생성하고, 내부 클록버퍼 324c 는 최종단의 차동증폭회로 324f의 상보 출력신호에서 내부 클록신호 int CLK를 생성한다.

이 차동증폭회로 324fb에 있어서, 입력노드 324fa에 제공되는 신호 전위가 입력노드 324f에 제공되는 신호전위 보다도 높은 경우 MOS 트랜지스터 324fg 및 324fh의 컨덕턴스가 증가하고, 거기를 흐르는 전류가 증가한다.

p채널 MOS트랜지스터 324fh를 흐르는 전류는 MOS 트랜지스터 324fj 및 324fp를 통하여 흐른다.

MOS 트랜지스터 324fa를 통하여 흐르는 전류는 MOS 트랜지스터 324fi 및 324fm를 통하여 흐르는 전류는 MOS 트랜지스터 324fi 및 324fm를 통하여 제공된다.

커런트 미러회로는, 클로즈드 루프를 구성하고 있기 때문에, 이들의 MOS 트랜지스터 324fj, 324fp, 324fm 및 324fi를 흐르는 전류치는 동일하다고 된다.

따라서, 이들의 트랜지스터를 통하여 흐르는 전류량이 크게 되어, 이전류량을 크게 하기 때문에 MOS 트랜지스터의 자승특성에 따라 커런트 미러회로의 마스터단을 구성하는 MOS 트랜지스터의 324fp의 게이트 전위는 상승하고, 한편, MOS 트랜지스터 324fi의 게이트 전위는 저하한다.

즉, 출력노드 324fc의 전위레벨이 상승하고, 한편 출력노드 324fd의 출력전위는 저하한다.

이것에 의해, 입력노드 324fa 및 324fb에 제공된 신호의 전위차가 증폭되어 출력노드 324fc 및 324fd에 출력된다.

이 차동증폭회로 324f의 입출력 노드의 접속형태는 제22도 b에 표시하는 차동증폭회로 324b의 접속형태와 동일하다.

제24도는, 내부 클록신호 발생회로 324의 더 다른 구성을 표시하는 도면이다.

제24도에 있어서, 링상에 접속되는 차동증폭회로 324g의 각각은 클록용 내부 전원노드 300d와 노드 324ge의 사이에 접속되어 그의 게이트에 p채널 전류제어신호 VP를 받는 p채널 전류제어 트랜지스터 324gf와 노드 324ge와 노드324gg의 사이에 접속되어 또한 그의 게이트가 출력노드 324gd에 접속되는 p채널 MOS트랜지스터 324gh와, 노드 324gg와 출력노드 324gd의 사이에 접속되어 또한 그의 게이트가 입력노드 324ga에 접속되는 p채널 입력 트랜지스터 324gi와 출력노드 324gd와 노드 324gj의 사이에 접속되어 또한 그의 게이트가 입력노드 324ga에 접속되는 n채널 입력 트랜지스터 324gk와, 노드 324gg와, 출력노드 324gc의 사이에 접속되어 그의 게이트가 입력노드 324gb에 접속되는 p채널 입력 트랜지스터 324gm와 출력노드 324gc와 노드 324gj의 사이에 접속되어 또한 그의 게이트가 입력노드 324gb에 접속되는 n채널 입력 트랜지스터 324gn와 노드 324gj와 노드 324gp의 사이에 접속되어 또한 그의 게이트가 출력노드 324gd에 접속되는 n채널 MOS트랜지스터 324gq와 노드 324gp와 접지노드 300b의 사이에 접속되어 또한 그의 게이트가 n채널 전류제어신호 VN를 받도록 접속되는 n채널 전류제어 트랜지스터 324gr를 포함한다.

p채널 입력 트랜지스터 324gi와 n채널 입력 트랜지스터 324gk는 CMOS 인버터를 구성하고, p채널 입력 트랜지스터 324gm와 n채널 입력 트랜지스터 324gn는 CMOS 인버터를 구성한다.

다음에 이 제 24도에 표시하는 차동증폭회로 324g의 동작에 관하여 간단하게 설명한다.

입력노드 324ga에 제공되는 신호전위가 입력노드 324gb에 제공되는 신호전위 보다도 높은 경우, 트랜지스터 324gi 및 324gk가 인버터를 구성하고 또한 트랜지스터 324gm 및 324gn가 인버터를 구성하고 있기 때문에 이들의 인버터의 증폭동작에 출력노드 324gd의 전위는 출력노드 324c의 전위보다도 낮게 된다.

출력노드 324gd의 전위가 저하하면, n채널 MOS트랜지스터 324gh의컨덕턴스가 크게되어 한편, n채널 MOS트랜지스터 324gq의 컨덕턴스는 작게되어, 출력노드 324gc의 전위는 보다 높게 된다.

역으로, 입력노드 324ga의 신호전위가 입력노드324gb의 신호전위 보다도 낮은 경우에는, 출력노드 324gd의 신호전위가 출력노드 324gc의 신호전위보다도 높게 된다.

이때, n채널 MOS트랜지스터 324gq의 컨덕턴스가 크게 되어, 한편 p채널 MOS트랜지스터 324gh의 컨덕턴스는 작게 된다.

따라서, 출력노드 324gd의 전위저하가 크게 되어, 입력노드 324ga 및 324gb에 제공된 신호의 전위차가 확대된다.

내부 클록버퍼 324c~324e의 구성은 먼저의 제22도에 표시하는 구성과 동일하다.

제25도는 제22도 a 내지 제24도에 표시된 차동증폭회로를 이용하는 링오실레이터를 사용하는 내부 클록신호 발생회로 324의 동작을 표시하는 타이밍도이다.

제25도에 있어서는 최종단의 차동증폭회로 324b, 324f 또는 324p의 출력전위 V_{out} 및 V_{out}와 내부 클록신호 int CLK가 표시된다.

제25도의 a에 표시함과 같이, 상보 출력전위 Vout 및 /Vout는 내부전원전위 int Vcc와 접지전위 GND의 사이에서 풀스윙은 하지 않는다.

그러나, 차동증폭회로 324b, 324f는 각각 제공된 상보입력 신호를 증폭하고 있다.

제25도 (a)에 표시함과 같이 t1 내지 t2의 기간에 있어서, 전위 Vout가 전위 /Vout 보다도 높게 되면, 내부 클록버퍼 324c에 의해 상보신호 Vout /Vout가 버퍼처리되어, 내부 클록신호 int CLK가 내부 전원전위 int Vcc 레벨의 H레벨로 된다.

한편, 제25도의 (a)에 표시함과 같이, 시각 t2 내지 t3의 기간에 있어서 전위 Vout가 전위 /Vout 보다도 낮게 되면, 이 전위차가 버퍼처리에 의해 증폭되어 내부 클록신호 int CLK가 제25도의 (b)에 표시함과 같이 L레벨로 된다.

차동증폭회로 324b, 324f 및 324g의 동작속도(응답속도)는 그의 구동전류의 대소에 의해 결정된다.

따라서, 전류제어신호 VP 및 VN에 의해 이들의 차동증폭회로를 흐르는 동작전류(구동전류)를 조정하는 것에 의해, 차동증폭회로의 응답속도(동작속도)를 조정하는 것이 되어, 응하여 내부 클록신호 int CLK의 위상조정을 행하는 것이 가능하다.

여기에서 차동증폭회로는 구동전류(동작전류)가 적게되면, 동작속도가 늦게 되어, 그의 출력노드의 전위변화가 늦게되어, 지연시간이 크게 된다.

따라서, p채널 전류제어신호 VP가 저하하고, 또한 n채널 전류제어신호 VN의 전위가 상승한 경우, 내부 클록신호 int CLK의 주파수가 크게되어(또는 위상이 빨리되어), 한편 p채널 전류제어신호 VP가 전위가 상승하고 또한 n채널 전류제어신호 VN의 전위가 저하한 경우에는 내부 클록신호 int CLK의 주파수가 크게되어(또는 위상이 늦게 되어), 먼저의 실시예와 동일 내부 클록신호 int CLK를 외부 클록신호 ext CLK에 로크시키는 것이 가능하다. 더, 링오실레이터는 상보 입력신호를 증폭하여 상보 출력신호를 출력하는 3단의 차동증폭회로를 사용하고 있기 때문에, 이들이 차동증폭회로가 상보 입력신호의 미소한 전위차를 증폭하여 다음단의 차동증폭회로에 전달하기 때문에, 상보 출력신호의 변화가 초단에서 최종단으로 전해져 재차 초단의 차동증폭회로에 합치게 되기 까지의 시간이 짧게 되어, 고속의 내부 클록신호 int CLK를 생성하는 것이 가능하다.

또, 차동증폭회로의 상보 출력신호의 진폭은 풀스윙하지 않기 때문에, 상보 출력신호의 변화를 빨리하는 것이 가능하다.

따라서, 고주파의 내부 클록신호 int CLK를 생성하는 것이 되어, 고속의 외부 클록신호 ext CLK가 제공된 경우에 있어서도 고속으로 내부 클록신호 int CLK를 그의 고속의 외부 클록신호 ext CLK에 로크시키는 것이 가능하다.

[실시예 8]

이 제8의 실시예에 있어서는, 내부 클록신호 int CLK가 외부 클록신호 ext CLK에 로크한 때, 로크인 신호 LK를 활성상태로서, 내부 전류공급노드312에 공급하는 전류를 일정하게 유지한다.

제26도는 로크인 검출회로 326의 구성을 표시한다.

이 로크인 검출회로 326의 내부 클록신호 동기회로 320에 포함된다.

제25도에 있어서 로크인 검출회로 326는, 위상비교회로 321에서의 비교신호/UP 및 DOWN를 받는 EXNOR 회로 326a와, 외부 전원노드 300 a와 노드 326b의 사이에 접속되어 또한 그의 게이트에 EXNOR회로 326a의 출력신호를 받는 p채널 MOS트랜지스터 326c와, 노드 326b와 접지노드 300b의 사이에 접속되는 저항소자 326d와, 노드 326b 상의 신호전위를 반전하고 또한 증폭하여 출력노드 326e에 로크인 신호 LK를 출력하는 인버터 326f를 포함한다.

이 로크인 검출회로 326의 컴포넌트는 전체 외부 전원전위 ext Vcc를 한편 동작 전원전위로서 동작한다.

EXNOR 회로 326a는 비교신호/UP 및 DOWN의 논리가 동등한 경우에는 H레벨의 신호를 출력하고 양신호의 논리가 달리하는 L레벨의 신호를 출력한다.

다음에 동작에 관하여 설명한다.

내부 클록신호 int CLK가 외부 클록신호 ext CLK에 로크하고 있지 않은 경우, 비교신호/UP 및 DOWN이 각각 활성상태의 L레벨 및 H레벨로 되는 시간이 길게되기 때문에, 노드 326b의 전위는 거의 외부 전원전위 ext Vcc레벨로 된다.

이 상태에 있어서는 로크인 신호 LK는 인버터 326f에 의해 L레벨로 된다. 한편, 내부 클록신호 int CLK가 외부 클록신호 ext CLK에 로크되는데 관하여 비교신호/UP 및 DOWN가 활성상태의 L레벨 및 H레벨로 되는 기간이 짧게 된다.

이 상태에 있어서는 EXNOR 회로 326a의 출력신호가 L레벨로 되는 시간이 짧게 되어, 노드 326d에의 MOS 트랜지스터 326c를 통한 충전량이 적게되어 노드 326d에서 저항소자 326d를 통하여 접지노드에의 방전량이 많게 된다.

이 상태에 있어서는 노드 326b의 전위는 거의 접지전위 GND 레벨로 되어, 로크인 신호 LK는 인버터326f에 의해 외부 전원전위 ext Vcc 레벨의 H레벨로 된다.

따라서, 이 제26도에 표시하는 로크인 검출회로 326에 의해 내부 클록신호 int CLK가 외부 클록신호 ext CLK에 로크인 하였는지 아닌지를 용이하게 식별하는 것이 가능하다.

저항소자 326d의 저항치는 p채널 MOS 트랜지스터의 326c의 온저항 보다도 크게되어 있으면 좋다.

제27도에 내부 전원전위 발생회로 310a의 회로구성을 표시한다.

클록용 내부 전원전위 발생회로 310b도, 이 제27도에 표시하는 회로구성과 동일한 구성을 구비한다.

제27도에 있어서 내부 전원전위 발생회로 310a는 전류공급노드 312에서 전류를 공급되어 내부 전원노드

300c 상에 기준전위 Vref 레벨의 내부 전원전위 int Vcc를 생성하는 정전압회로 311와, 이 전류공급노드 312에 내부 전원전위 int Vcc와 기준전위 Vref의 차에 응한 전류를 공급하는 전류공급회로 316를 포함한다.

전류공급회로 326는 외부 전원노드 300a와 전류공급노드 312의 사이에 접속되어 외부 전원노드 300a에서 전류공급노드 3112에 전류 Is를 공급하는 전류 드라이브 트랜지스터 316a와 로크인 신호 LK의 활성화시 이 드라이브 트랜지스터 316a의 게이트 전위 Vg를 유지하는 게이트 전위 유지회로 316c와, 내부 전원전위 int Vcc와 기준전위 Vref의 차에 응하여 드라이브 트랜지스터 316a의 게이트 전위 Vg를 조정하는 전류제어회로 316b를 포함한다. 전류제어회로 316b는 이 게이트 전위 Vg를 조정하기 위한 차지펌프회로 316bg와 기준전위 Vref와 내부 전원전위 int Vcc를 비교하고, 그의 비교결과에 따라 차지펌프회로 316bg의 차지펌프 동작을 조정하는 비교회로 316bc를 포함한다.

이 비교회로 316bc는 로크인 신호 LK의 비활성시 활성화 되는 차동증폭회로 316ba와, 이 차동증폭회로 316ba와 동일한 구성을 가지고, 로크인 신호 LK의 비활성화시 활성화 되는 차동증폭회로 316bb를 포함한다.

차동증폭회로 316ba 및 316bb의 출력전위 Va가 각각 차지펌프회로 316bg에 포함되는 p채널 MOS 트랜지스터 316be 및 316bf의 게이트에 제공된다.

차동증폭회로 316ba는 외부 전원노드 300a와 노드 316bj의 사이에 접속되어 또한 그의 게이트가 노드 316bk에 접속되는 p채널 MOS트랜지스터 316bm와 외부 전원노드 300a와 노드 316bk의 사이에 접속되어 그의 게이트가 노드 316bk에 접속되는 p채널 MOS 트랜지스터 316bn와 노드 316bj와 노드 316bq의 사이에 접속되어 또한 그의 게이트가 내부 전원전위 int Vcc를 받도록 접속되는 n채널 MOS 트랜지스터 316bq와 노드 316bp와노드 316bk의 이에 접속되어 또한 그의 게이트가 기준전위 Vref를 받도록 접속되는 n채널 MOS 트랜지스터 316br와, 노드 316bp와 접지노드 300b의 사이에 접속되어 또한 그의 게이트가 로크인 신호 LK의 반전신호 /LK를 받는 n채널 MOS 트랜지스터 316bs를 포함한다.

p채널 MOS트랜지스터 316bn 및 316bm는 커런트 미러회로를 구성한다.

또, n채널 MOS트랜지스터 316bs는 이 차동증폭회로 316ba의 전류원으로서 작용한다.

차동증폭회로 316bb도 이 차동증폭회로 316ba와 동일한 구성을 가지고 있다.

따라서, 로크인 신호 LK가 로크인을 표시하는 활성상태인 L레벨로 되면, 이 반전신호 /LK는 L레벨로 되어, n MOS트랜지스터316bs가 비도통상태로 되어, 차동증폭회로 316ba 및 316bb는 함께 비활성 상태로 된다.

단, 차동증폭회로 316ba, 316bb는 활성화시 H레벨, L레벨의 Va를 출력하기 때문에 전류원 트랜지스터의 위치가 달리한다.

유지회로 316c는 로크인 신호 LK가 L레벨에서 H레벨에 변화하였을 때에 전류 드라이버 트랜지스터 316a의 게이트 전위 Vg를 기억하는 전위 기억회로 316ca와 외부 전원노드 300a와 노드 316cb의 사이에 접속되는 p채널 MOS 트랜지스터 316cc와, 로크인 신호 LK의 활성화시 전류제어 트랜지스터 316a의 게이트를 노드 316cb에 전기적으로 접속하는 트랜스퍼 게이트 316ce와, 노드 316cb 상의 전위와 전위 기억회로 316ca의 기억하는 전위AG를 비교하는 차동증폭회로 316cd를 포함한다.

전위 기억회로 316ca는 외부 전원노드 300a 상의 외부 전원전위 ext Vcc 및 접지노드 300e 상의 접지전위 GND를 양동작 전원으로서 동작하고, 이 게이트 전위 Vg를 디지털 신호에 변환하여 기억하고 또한 이 기억한 디지털 신호를 아날로그 신호 AG에 변환하여 출력한다.

이 전위 기억회로 316ca는 제16도에 표시하는 전위 기억회로 323ia와 외부 전원전위 ext Vcc가 이용되는 것 및 유지신호HD에 대신하여 로크인 신호 LK가 사용되는 것을 제거하고 동일 구성을 구비한다.

따라서, 이 전위 기억회로 316ca에는 내부 클록신호 int CLK가 외부 클록신호 ext CLK에 로크한 때의 전류제어 트랜지스터 316a의 게이트 전위 Vg가 유지된다.

차동증폭회로 316cd는 먼저의 제11도에 표시하는 오페앰프 323d와 동일한 구성을 구비한다.

트랜스퍼 게이트 316ce는 로크인 신호 LK를 게이트에 받는 n채널 MOS 트랜지스터 316ci와 로크인 신호 /LK를 게이트에 받는 p채널 MOS트랜지스터 316cj의 병렬체를 포함한다.

유지회로 316c는 더 외부 전원전위 ext Vcc의 1/2의 전위를 전류제어 트랜지스터 316a의 게이트에 전달하는 스타트 업회로 316ch를 포함한다.

이 스타트 업회로 316ch는 노드 316cf에 제공되는 전위 ext Vcc/2를 전류제어 트랜지스터 316a의 게이트에 전달하는 비교적 고저항의 저항소자 316cg를 포함한다.

오페앰프 316cd는 정입력으로 노드 316cd 상의 전위를 받아 부입력으로 아날로그 신호 AG를 받는다.

트랜스퍼 게이트 316ce는 로크인 신호 LK가 활성상태로 되어 내부 클록신호 int CLK의 로크인을 표시할 때에 도통상태로 된다.

외부 전원전위 ext Vcc의 투입시에 있어서는 스타트업회로 316ch를 통하여 거의 최적치에 가까운 게이트 전위 Vg=ext Vcc/2가 전류제어 드라이버 트랜지스터 316g의 게이트에 제공된다.

이것에 의해, 전류공급노드 312에 제공되는 전류 Is를 최적치에 설정하는 것이 되어, 고속으로 내부 전원전위 int Vcc를 소정 전위레벨에 설정하는 것이 가능하다.

차지펌프회로 316bg에 의한 전류제어 트랜지스터 316a의 게이트의 충방전이 개시된 경우에는 이 차지펌프회로 316bg에 의한 충방전 전류는 고저항치의 저항소자 316cg를 통하여 흐르는 전류에 비하여 매우 크기

때문에, 스타트업회로 316ch는 대부분 그의 게이트 전위 Vg의 조정동작에 기여하지 않게 된다.

이 제27도에 표시하는 내부 전원전압 발생회로 310a를 이용하는 것에 의해, 내부 클록신호 int CLK의 로크인 시에 있어서 전류제어 트랜지스터 316a의 게이트 전위 Vg를 일정 전위레벨에 조정하는 것에 의해 내부 클록신호 int CLK가 로크인 하고 내부 회로동작이 안정상태로 될 때의 안정하게 일정전류 Is를 공급하는 것이 되어, 응하여 내부 전원전위 int Vcc를 소정의 전위레벨에 유지하는 것이 가능하다.

또, 클록용 내부 전원전압 발생회로 310b에 있어서는, 내부 클록신호 int CLK의 로크인 시에 있어서는 그의 소바 전류량은 변화하지 않기 때문에(내부 클록신호 동기회로의 동작은 안정화되어 있어, 그의 소비전류량은 일정케 되기 때문에), 최적인 전류 Is를 전류제어 트랜지스터 316a를 통하여 공급하는 것에 의해 그의 클록용 내부 전원노드에 제공되는 내부 전원전위 int Vcc를 일정전위 레벨에 유지하는 것이 가능하다.

이때(로크인시) 차동증폭회로 316ba의 출력전위 Va는 H레벨로 되어, 차동증폭회로 316bb의 출력전위 Va는 L레벨로 된다.

이때문에 차동증폭회로 316bb에 있어서는 전류원 트랜지스터 316bs는 게이트에 로크인 신호를 받는 p채널 MOS트랜지스터로 구성되어, 외부 전원노드 300a와 커런트 미로회로를 구성하는 p채널 MOS트랜지스터의 사이에 설치된다.

이 전류원 트랜지스터의 위치 및 로크인 신호의 극성을 제거하고, 차동증폭회로 316ba 및 316bb는 동일회로 구성을 구비한다.

따라서, 로크인 신호 LK의 활성화 시, 차지펌프회로 316bg는 차지펌프동작이 금지되어, 전류제어 트랜지스터 316a의 게이트 전위 Vg는 로크인시의 전위레벨에 유지된다.

제28도의 클록용 내부 전원전압 발생회로 310b의 변경예를 표시하는 도면이다.

이 제28도에 표시하는 구성에 있어서는 로크신호 LK에 대신하여 유지신호 HD가 사용된다.

이 유지신호HD는 내부 클록신호 ext CLK가 공급이 중단되면 H레벨로 된다.

다른 구성은 제27도에 표시하는 구성과 동일하고, 대응하는 부분에는 동일한 참조번호를 붙인다.

이 제28도에 표시하는 구성을 사용하면, 외부 클록신호 ext CLK의 공급이 중단되면, 전류제어 트랜지스터 316a의 게이트 전위 Vg가 전위 유지회로 316c에 유지된다.

따라서, 외부 클록신호 ext CLK가 재공급되었을 때, 전류공급노드 312에 제공되는 전류 Is를 최적치에 고속으로 설정하는 것이 가능하다.

[실시예 9]

제29도는 이 발명의 제9의 실시예인 반도체 기억장치의 요부의 구성을 표시하는 도면이다.

이 제29도에 있어서는 내부 전원전위 발생회로 310a 및 310b의 구성이 표시된다.

다른 구성은, 먼저의 실시예와 동일하다.

이 제29도에 표시하는 내부 전원전위 발생회로 310a 및 310b는 먼저의 실시예와 이하의 점에 있어서 달리한다.

정전압회로 311에 있어서, 외부 전원노드 300a와 내부 전원노드 300c의 사이에 접속되어 또한 그의 게이트에 차동증폭회로 314에서의 아날로그 드라이버 제어신호 DRVA를 받은 아날로그 전류제어 드라이버 트랜지스터 311a가 설치되어 있다.

이 드라이버 제어신호 DRVA는, 기준전위 발생회로 313에서의 기준전위 Vref와 내부 전원전위 int Vcc의 전위차의 증폭신호이고 아날로그 신호이다.

이 드라이버 트랜지스터 311a는 내부전원전위 int Vcc가 기준전위 Vref 보다도 낮은 경우에는 도통상태로 된다.

차동증폭회로 314에 있어서는 또 외부 전원노드 300a와 노드 314i의 사이에 접속되어 또한 그의 게이트가 노드 314b에 접속되는 p채널 MOS트랜지스터 314j와 노드 314i와 노드 314d의 사이에 접속되어 또한 그의 게이트가 기준전위 Vref를 받도록 접속되는 n채널 MOS트랜지스터 314k가 설치된다.

p채널 MOS트랜지스터 314j는 p채널 MOS트랜지스터 314f와 커런트 미러회로를 구성한다.

차동증폭회로 314의 출력노드 314i와 드라이버 트랜지스터 315의 게이트의 사이에 버퍼회로 311b가 설치된다.

이 버퍼회로 311b는 내부 전원전위 int Vcc가 기준전위 Vref 보다도 Vref/10 정도 저하하면 드라이버 제어신호 DRVD를 ext Vcc-2|Vthp|에 설정하고 그렇지 않으면 외부 전원전위 ext Vcc레벨로 한다.

여기에서, Vthp는 p채널 MOS 트랜지스터의 한계치 전압을 표시한다.

즉, 이 버퍼회로 311b는 차동증폭회로 314에서 출력되는 아날로그 신호 DRVA를 디지털 신호의 드라이버 제어신호 DRVD에 변환하는 기능을 구비한다.

이것에 의해, 드라이버 트랜지스터 315는, 내부 전원전위 int Vcc가 기준전위 Vref 보다도 Vref/10 정도 이상 저하하면 도통상태로 되어, 그렇지 않으면 비도통 상태로 되어, 디지털 적으로 온/오프 상태로 된다.

이와 같은 디지털 제어 드라이버 트랜지스터 315와 아날로그 제어 드라이버 트랜지스터 311a를 혼재시킨

내부 전원전위 발생회로를 막스트 모드 내부 전원전위 발생회로라 칭한다.

전류공급회로 316에 있어서 전류제어 트랜지스터 316a의 게이트 전위 Vg를 조정하기 위한 차지펌프회로 316bg는 정전류원으로서 작용하는 p채널 MOS 트랜지스터 316bw 및 n채널 MOS 트랜지스터 316bx를 포함한다.

p채널 MOS 트랜지스터 316bw는, 충전용 p채널 MOS 트랜지스터 316be와 내부 전원노드 300a의 사이에 접속되어 그의 게이트는 접지전위 GND를 받도록 접속된다.

n채널 MOS 트랜지스터 316bx는 방전용 n채널 MOS 트랜지스터 316bf와 접지노드 300b의 사이에 접속되어 그의 게이트가 외부 전원전위 ext Vcc를 받도록 접속된다.

이 아날로그 차지펌프회로 316bg는 차동증폭회로 316bc에서 출력되는 아날로그 출력전위 Va에 따라서 내부 전원전위 int Vcc가 기준전위 Vref 보다도 높은 경우에는 전류제어 트랜지스터 316a의 게이트를 충전하여 게이트 전위 Vg를 상승시켜 그렇지 않으면 전류제어 트랜지스터 316a의 게이트를 방전하여 게이트 전위 Vg를 저하시킨다.

전류공급회로 316는 더 비교회로 316bc에서의 아날로그 출력전위 Va를 디지털적으로 변화하는 출력전위 DVd에 변환하는 디지털 변환회로 316bt와 디지털 변환회로 316bt에서의 출력전위 DVu 및 DVd에 따라 전류제어 트랜지스터 316a의 게이트 전위 Vg를 조정하는 디지털 차지펌프회로 316d를 포함한다.

디지털 변환회로 316bt는 비교회로 316bc의 출력전위 Va를 받아 디지털 출력전위 DVu를 출력하는 버퍼회로 316bu와, 비교회로 316bc의 아날로그 출력전위 Va를 받아 디지털 출력전위 DVd를 생성하는 인버터 버퍼회로 316bv를 포함한다.

버퍼회로 316bu는 비교회로 316bc에서의 아날로그 출력전위 Va의 전위 레벨이 내부 전원전위 int Vcc가 기준전위 Vref 보다도 Vref/10 이상 높게 되었을 때에 그의 디지털 출력전위 DVu를 접지전위 GND 레벨로 하고, 그렇지 않으면 디지털 출력전위 DVu를 외부 전원전위 ext Vcc 레벨에 설정한다.

인버터 버퍼회로 316bv는 비교회로 316bc의 아날로그 출력전위 Va가 내부 전원전위 int Vcc가 기준전위 Vref 보다도 Vref/10이상 낮게된 상태로 대응할 때 외부 전원전위 ext Vcc 레벨에 디지털 출력전위 DVd를 설정하고 그렇지 않으면 이 디지털 출력전위 DVd를 접지전위 GND 레벨에 설정한다.

이들의 입력논리 한계치가 조정된다.

즉, 제30도에 표시함과 같이 시각 t0에 있어서, 내부 전원전위 int Vcc가 기준전위 Vref보다도 Vref/10이상 저하한 경우 이 아날로그 출력전위 Va의 전위 레벨에 응하여 디지털 출력 전위 DVd가 외부 전원전위 ext Vcc레벨에 설정된다.

이 디지털 출력전위 DVd는 내부 전원전위 int Vcc가 기준전위 Vref보다도 Vref/10이상 낮은 시각 t1의 사이까지 외부 전원전위 ext Vcc의 전위레벨을 유지한다.

시각 t1이후, 내부 전원전위 int Vcc와 기준전위 Vref의 차가 Vref/10이하로 되면, 디지털 출력전위 DVd는 접지전위 GND 레벨로 된다.

시각 t2에 있어서 내부 전원전위 int Vcc가 기준전위 Vref보다도 Vref/10이상 높게된 경우, 디지털 출력전위 DVu가 접지전위 GND레벨이 설정된다.

시각 t3에 있어서 이 내부 전원전위 int Vcc가 기준전위 Vref의 차가 Vref/10 이하로 되면, 디지털 출력전위 DVu 외부 전원전위 ext Vcc레벨로 설정된다.

디지털 차지펌프 회로 316d는 버퍼회로 316bu에서의 디지털 출력전위 DVu를 게이트로 받어 전류제어 트랜지스터 316a의 게이트를 충전하는 p채널 MOS 트랜지스터 316dh와, p채널 MOS 트랜지스터 316dh와 외부 전원노드 300a의 사이에 접속되어 또한 그의 게이트가 접지전위 GND를 받도록 접속되어 정 전류원으로서 작용하는 p채널 MOS 트랜지스터 316da와 인버터 버퍼회로 316bv에서의 디지털 출력전위 DVd를 게이트에 받어 전류 제어 트랜지스터 316a의 게이트를 방전하는 n채널 MOS 트랜지스터 316dc와, n채널 MOS 트랜지스터 316dc와 접지노드 300b의 사이에 접속되어 또한 그의 게이트가 외부 전원전위 ext Vcc를 받도록 접속되어 정전류원으로서 작용하는 n채널 MOS 트랜지스터 316dd를 포함한다.

전류 드라이버 트랜지스터 315의 게이트에 디지털 제어신호 DRVD를 제공하는 버퍼회로 311b는 외부 전원노드 300a와 노드 311bx의 사이에 직렬로 접속되는 다이오드 접속된 p채널 MOS 트랜지스터 311ba, 311bb 및 311bc와, 노드 311bx와 접지노드 300b의 사이에 접속되어 또한 그의 게이트가 외부 전원노드 300a에 접속되는 저항소자로서 작용하는 n채널 MOS트랜지스터 311bd와 외부 전원노드 300a와 노드 311bi의 사이에 접속되어 또한 차동 증폭회로 314의 출력신호를 반전하고 또한 증폭하는 CMOS인버터를 구성하는 p채널 MOS 트랜지스터 311ba 및 n채널 MOS 트랜지스터 311bf와 외부 전원노드 300a와 노드 311bi의 사이에 접속되어 또한 이 초단의 CMOS 인버터의 출력신호를 반전하고 또한 증폭하는 CMOS 인버터를 구성하는 p채널 MOS 트랜지스터 311bg 및 n채널 MOS 트랜지스터 311bh와, 노드 311bi와 접지노드 300b의 사이에 접속되어 또한 그의 게이트가 노드 311bx에 접속되는 p채널 MOS 트랜지스터 311bj를 포함한다.

p채널 MOS 트랜지스터 311ba, 311bb, 311bc는 각각 한계치 전압 Vthp을 가지고 노드 311bx에 ext Vcc-3|Vthp|의 제한 전위 LMT를 출력한다.

p채널 MOS 트랜지스터 311bj는, 소스 흘로어모드로 동작하고 노드 311bi의 전위를 LMT+|Vthp|=ext Vcc-2|Vthp|에 크램프한다.

디지털 적으로 동작하는 회로부분, 즉 디지털 변화회로 316bt 및 버퍼회로 311b의 드라이브 트랜지스터(출력노드를 충방전하는 트랜지스터)의 채널 폭은 아날로그 적으로 동작하는 회로부분, 즉 비교회로 316bc 및 자동 증폭회로 314의 드라이브 트랜지스터(출력노드 충방전 트랜지스터)의 채널폭보다도 크게 된다.

즉, 드라이브 트랜지스터 311a의 채널폭은 드라이브 트랜지스터 315의 채널 폭보다도 작게 된다.

동일하게 디지털 차지 펌프 회로 316d에 포함되는 트랜지스터의 채널 폭도 아날로그 차지 펌프회로 316bg를 구성하는 트랜지스터의 채널폭보다도 크게 된다.

다음에 동작에 관하여 설명한다.

내부 전원전위 int Vcc가 기준전위 발생회로 313에서 발생되는 기준전위 Vref보다도 낮은 경우의 동작의 관하여 설명한다.

이 경우, 차동 증폭회로 314에서 출력되는 드라이버 제어신호 DRVA가 내부 전원전위 int Vcc의 저하에 따라 아날로그 제어 드라이브 트랜지스터 311a의 도통/비도통의 경계부근의 전위에서 점차 저하하여 접지전위에 가까워진다.

이것에 응답하여 아날로그 제어 드라이브 트랜지스터 311a의 컨덕턴스가 비례하여 크게 되어 응하여 외부 전원노드 300a에서 내부 전원노드 300c에 이 아날로그 제어 드라이브 트랜지스터 311a를 통하여 흐르는 전류를 크게 된다.

한편, 내부전위 int Vcc가 기준전위 Vref 에서 (Vref/10이상)저하하기 까지는 차동 증폭회로 314의 출력노드 314i의 전위는 버퍼회로 311b에 있어서 트랜지스터 311be 및 311bf에서 구성되는 인버터의 논리 한계치보다도 높은 전위로 되기 때문에 이 버퍼회로 311b에서 출력되는 디지털 드라이버 제어신호 DRVD는 외부 전원전위 ext Vcc레벨로 되어 디지털 제어 드라이버 트랜지스터 315는 비도통상태로 된다.

따라서 내부 전원전위 int Vcc가 기준전위 Vref보다 저하하여도 아날로그 제어 드라이브 트랜지스터 311a만에 의하여 내부 전원노드 300c에 전류가 공급된다.

따라서 이 상태에 있어서 내부 전원전위 int Vcc가 기준전위 Vref까지 상승하면, 디지털 제어 드라이버 트랜지스터 315는 비도통상태로 유지한다.

내부 전원전위 int Vcc의 소비량이 아날로그 제어 드라이브 트랜지스터 311a에서 공급되는 전류보다도 큰 경우 내부 전원전위 int Vcc는 저하하고 계속한다.

기준전위 Vref 보다도(Vref/10이상) 내부 전원전위 int Vcc가 저하한 경우 차동증폭회로 314의 출력노드 314i의 전위는 버퍼회로 311b에 있어서 트랜지스터 311be 및 311bf에서 구성되는 인버터의 논리 한계치보다도 낮은 전위로 되어 버퍼회로 311b에서 출력되는 디지털 드라이버 제어신호 DRVD는 노드 311bi에 제공되는 전위 즉 ext Vcc-2|Vthp|로 된다.

이것에 응답하여 디지털 제어 드라이브 트랜지스터 315가 도통상태로 되어 아날로그 제어 드라이브 트랜지스터 311b보다도 채널 폭이 크고 따라서 전류구동능력이 큰 디지털 제어 드라이브 트랜지스터 315를 통하여 내부 전원노드 300c에 큰 전류를 공급하는 것에 의해 이 내부 전원전위 int Vcc를 고속으로 제어신호 DRVD의 하한 전위 레벨을 제어하는 것에 의해 대전류가 공급되어, 오버 슈트가 생기는 것을 방지한다.

기준전위 Vref에 복귀시킨다.

내부 전원전위 int Vcc가 기준전위 Vref보다도 높게 된 경우에는 아날로그 드라이버 제어신호 DRVA가 아날로그 제어 드라이브 트랜지스터 311a의 도통/비도통의 경계 영역의 전위에서 상승하고 아날로그 제어 드라이버 트랜지스터 311a는 비도통상태로 된다.

차동 증폭회로 314에서의 출력노드 314i의 전위도 버퍼회로 311b에 있어서 인버터의 논리 한계치보다도 높기 때문에 디지털 드라이버 제어신호 DRVB는 외부 전원전위 ext Vcc레벨로 되어 디지털 제어 드라이버 트랜지스터 315도 비도통상태로 된다.

이 상태에 있어서는 내부 전원전위 int Vcc가 내부회로에 의해 사용될때 내부 전원전위 int Vcc가 소비에 수반하여 점차로 저하한다.

디지털 제어 드라이브 트랜지스터 315를 통하여 내부 전원노드 300c에 공급되는 전류가 많은 경우에는 내부 전원전위 int Vcc의 오버슈트가 크게 되어 역으로 적은 경우에는 언더슈트가 크게 된다.

이 오버슈트 및 언더슈트를 최적화하기 위하여 전류 공급회로 316에 의해 내부 전원전위 int Vcc와 기준전위 Vref의 엇갈림에 응하여 전류 제어 트랜지스터 316a의 전류 구동능력을 제어한다.

이 전류 제어회로 316에 있어서는, 내부 전원전위 int Vcc가 기준전위 Vref 보다도 낮게 되는 경우에는 비교회로 316bc에서 출력되는 아날로그 출력전위 Va가 상승하고 아날로그 차지펌프회로 316bg에 있어서 p채널 MOS 트랜지스터 316be 및 n채널 MOS 트랜지스터 316bf가 각각 비도통상태 및 도통상태로 된다.

이것에 응답하여 전류 제어 트랜지스터 316a의 게이트 전위 Vg가 저하하고 이 전류 제어 트랜지스터 316a의 전류 구동능력이 상승한다.

외부전원전위 ext Vcc의 언더슈트가 크게 되어 내부 전원전위 int Vcc가 기준전위 Vref보다도 Vref/10이상 저하하면, 비교회로 316bc에서 출력되는 아날로그 출력전위 Va가 디지털 변환회로 316bt에 있어서 인버터 버퍼회로 316bv의 논리 한계치보다도 높게 되어 이 인버터 버퍼회로 316bv에서의 디지털 출력전위 DVd가 외부 전원전위 ext Vcc레벨로 된다.

한편 아날로그 출력전위 Va 버퍼회로 316bu의 논리 한계치(버퍼회로 316bv의 논리 한계치보다도 낮게 설정되어 있다)보다도 높기 때문에 이 버퍼회로 316bu에서의 디지털 출력전위 DVu는 외부 전원전위 ext Vcc로 되어 디지털 차지 펌프회로 316d에 있어서 p채널 MOS트랜지스터 316db 및 n채널 MOS 트랜지스터 316dc는 각각 비도통상태 및 도통상태로 된다.

이것에 의해 전류 제어 트랜지스터 316a의 게이트가 채널폭의 큰 n채널 MOS트랜지스터 316dc를 통하여 급속으로 방전되어 이 전류 제어 트랜지스터 316a의 전류 구동능력이 급속으로 상승하고 외부 전원노드

300a에서 전류 드라이버 트랜지스터 315에 대전류가 제공된다.

내부 전원전위 int Vcc의 오버슈트가 크게 또한 내부 전원전위 int Vcc가 기준전위 Vref보다도 Vref/10이상 상승한 경우, 비교회로 316bc에서 출력되는 아날로그 출력전위 Va는 디지털 변환회로 316bt에 있어서 버퍼회로 316bu의 논리한계치보다도 낮게 되어 이 버퍼회로 316bu에서의 디지털 출력전위 DVu는 접지전위 GND 레벨로 된다.

한편, 비교회로 316c에서의 아날로그 출력전위 Va는 인버터 버퍼회로 316bv의 논리 한계치(버퍼회로 316bu의 논리 한계치보다도 높게 설정되어 있다)보다도 낮기때문에 이 인버터 버퍼회로 316bv에서의 출력전위 DVd도 접지전위 GND레벨로 된다.

이것에 의해 디지털 차지 펌프회로 316d에 있어서 p채널 MOS 트랜지스터 316db 및 n채널 MOS트랜지스터 316dc는 각각 도통상태 및 비도통상태로 되어 전류 제어 트랜지스터 316a의 게이트가 채널폭의 큰 p채널 MOS 트랜지스터 316db를 통하여 급속히 충전되어 이 전류 제어 트랜지스터316a의 전류 구동능력이 급속히 저하한다.

이것에 의해 외부전원노드 300a에서 전류 드라이버 트랜지스터 315에 제공되는 전류가 급속히 저감되어 오버슈트가 억제된다.

이상과 같이 이 믹스트 모드 내부 전원전위 발생회로를 사용한 경우 내부 전원전위 int Vcc와 기준전위 Vref의 전위차가 큰 경우에는 아날로그 제어 드라이브 트랜지스터 311a 및 디지털 제어 드라이브 트랜지스터 315a의 양편이 도통하고, 급속히 내부 전원전위 int Vcc가 기준전위 Vref에 복귀된다.

한편 내부 전원전위 int Vcc와 기준전위 Vref의 전위차가 작은 경우에는 아날로그 제어 드라이브 트랜지스터 311a만이 도통하고 정도좋게 내부 전원전위 int Vcc가 기준전위 Vref에 복귀된다.

따라서 고속 또한 정확하게 내부 전원전위 int Vcc를 기준전위 Vref에 설정하는 것이 가능하다.

또 전류공급회로 316에 있어서 아날로그 차지 펌프회로 316bg와 디지털 차지 펌프회로 316d를 설치하고 있기 때문에, 내부 전원전위 int Vcc가 Vref-Vref/10에서 Vref+Vref/10의 범위에 있는 경우에는 아날로그 차지펌프 회로 316bg만으로 전류제어 트랜지스터 316a의 게이트는 충방전되어 한편 이 범위를 떨어지면 아날로그 차지 펌프회로 316bg 및 디지털 차지펌프회로 316d의 양편에 의해 전류 제어 트랜지스터 316a의 게이트가 충방전된다.

따라서 내부 전원전위 int Vcc가 기준전위 Vref에서 크게 벗어난 경우에는 2개의 차지 펌프회로 316bg 및 316d에 의해 전류 제어 트랜지스터 316a의 게이트를 충방전하기 위하여 급속히 이 게이트 전위가 최적치로 가까워지(게이트 전위의 조잡 조정)더 내부 전원전위 int Vcc가 기준전위 Vref에 가까운 경우에는 아날로그 차지 펌프회로 316bg만으로 전류제어 트랜지스터 316a의 게이트가 충방전되기 때문에, 정도 좋게 이 게이트 전위를 최적치로 어프로치 트랜지스터 316a의 게이트 전위를 최적치에 설정하는 것이 가능한다.

버퍼 311b는 디지털 적으로 int Vcc와 Vref의 대소에 의해 동작하여도 좋다.

공급전류는 전류 공급회로 316에 의해 확실하게 조정된다.

[실시예 10]

제31도는 이 발명의 제10의 실시예인 반도체 기억장치의 요부의 구성을 표시한 도면이다.

이 제31도에 표시하는 제10의 실시예의 구성은 제29도에 표시하는 제9의 실시예의 구성과 이하의 점을 제거하여 동일하고 대응하는 부분에는 동일한 참조부호를 붙여, 그의 상세설명은 생략한다.

이 제31도에 표시하는 구성에 있어서는, 전류 공급회로 316에 있어서, 로크인 신호 LK에 응답하여 전류 제어 트랜지스터 316a의 게이트 전위 Vg를 유지하는 전위 유지회로 316c가 설치된다.

이 유지회로 316c는 제28도에 표시하는 전위 유지회로 316c와 동일한 구성을 구비한다.

또 전류 공급회로 316에 있어서 비교회로 316bc는 로크인 신호 LK의 활성화시 비활성 상태로 된다.

이 비교회로 316bc는 비활성시 즉 내부 클록신호 int CLK가 외부 클록신호 ext CLK에 로크인 한경우에는 H레벨의 신호를 출력한다.

이 경우 디지털 변환회로 316bt의 출력전위 DVu가 외부 전원전위 ext CLK레벨로 되어 디지털 출력전위 DVd가 접지전위 GND레벨로 된다.

따라서 디지탈 차지펌프회로 316d 및 아날로그 차지펌프회로 316bg에 있어서, p채널 MOS 트랜지스터 316db 및 316be 및 n채널 MOS트랜지스터 316dc 및 316bf가 전체 비도통상태로 되어 전류 제어 트랜지스터 316a의 게이트 전위 Vg의 충방전동작은 정지된다.

유지회로 316c에 있어서, 이 게이트 전위 Vg가 로크인시의 전위 레벨에 유지된다.

클록인 시에 있어서는 내부 클록신호 동기회로 320는 이 내부 클록신호 int CLK의 주파수/위상조정을 위한 동작은 대부분 행하지 않고, 안정하게 내부 클록신호 int CLK가 발생된다.

따라서 이 경우 그의 소비전류는, 거의 일정하게 있어 이 로크인 시에 전류제어 트랜지스터 316a의 게이트 전위 Vg를 유지하는 것에 의해 이 일정한 소비전류에 대응하는 전류를 내부 전원노드 300c에 공급하는 것이 가능하다.

즉, 로크인 동작시에 있어서 디지털 제어 드라이브 트랜지스터 315를 통하여 내부 전원노드 300c에 공급되는 전류량을 최정치로 유지하는 것이 가능하다.

이것에 의해 내부클록 동기회로 320에 대한 내부 전원전위 int Vcc를 일정전위 레벨에 유지하는 것이 되

어 내부 클록신호 int CLK를 안정하게 발생하는 것이 가능하다.

또 이 전위유지회로 316c는 제28도에 표시하도록 스타트업회로 316ch를 포함하고 있다.

따라서 전원 투입시 전류 제어 트랜지스터 316a의 게이트 전위 Vg는 최적치에 가까운 ext Vcc/2에 설정되기 때문에 전원투입후 고속으로 거의 전류제어 트랜지스터 316a가 공급하는 전류량을 최적상태로 설정하는 것이 되어 고속으로 내부 전원전위 int Vcc를 소정의 기준전위 Vref레벨에 설정하는 것이 가능하다.

[실시예 11]

제32도는 이 발명의 제11의 실시예인 반도체 기억장치의 요부의 구성을 표시한 도면이다.

제32도에 있어서는 내부 전원전위 발생회로 310a 및 310b의 구성이 표시된다.

다른 구성은 먼저의 실시예 1 내지 10의 구성과 동일하고 대응하는 부분에는 동일 참조번호를 붙여 그의 상세 설명은 생략한다.

이 제 11의 실시예에 있어서는 내부 전원전위 int Vcc는 기준전위 Vref보다도 n채널 MOS 트랜지스터의 한계치 전압 Vthn 낮은 전위 레벨에 설정된다.

즉, 정전압회로 311는 기준전위 Vref를 발생하는 기준전위 발생회로 313와 외부전원노드 300a와 외부 전원노드 300c의 사이에 접속되어 또한 그의 게이트에 기준전위 Vref를 받는 n채널 MOS 트랜지스터 311c와 외부전원노드 300a와 전류제어 트랜지스터 316a의 사이에 접속되어 또한 그의 게이트에 기준전위 Vref를 받는 n채널 트랜지스터 317를 포함한다.

전류 제어 트랜지스터 316a는 직접 내부전원노드 300c에 전류를 공급한다. 전류 제어회로 316에 있어서는 기준전위 발생회로 313에서의 기준전위 Vref를 소스 플로어 모드를 비교회로 316bc에 전달되어 n채널 MOS 트랜지스터 316bj가 설치된다.

n채널 MOS 트랜지스터 316bj는 그의 한편 도통노드(드레인)가 외부 전원 노드 300a에 접속되어 그의 다른편 도통노드(소스)가 비교회로 316bc에 포함되는 차동증폭회로 316ba 및 316bb의 정입력에 결합된다.

드라이브 트랜지스터(n채널 MOS트랜지스터)311c 및 317는 한계치 전압 Vthn을 가지고 동일 채널 길이를 가진다.

그렇지만 드라이브 트랜지스터 317는 그의 전류 구동능력을 크게하기 때문에 채널폭이 드라이브 트랜지스터 311c 보다도 크게 된다.

n채널 MOS 트랜지스터 316bj도 한계치 전압은 드라이브 트랜지스터 311c 및 317 동일한 Vthn을 가진다.

트랜지스터 311c, 316bj 및 317는 그의 게이트 전위가 드레인보다도 낮게 소스 플로어 모드로 동작하고 그의 소스에 게이트에 제공된 전위에서 한계치 전압낮은 전위를 전달한다.

따라서 트랜지스터 311c는 내부전원노드 300c 상의 내부 전원전위 int Vcc가 Vref-Vthn보다도 낮게 되면 도통하고 전류를 내부 전원노드 300c에 전달한다.

한편 내부 전원전위 int Vcc가 전위 Vref-Vthn보다도 상승하면 드라이브 트랜지스터 311c는 비도통상태로 된다.(게이트 소스간 전위차가 한계치 전압보다도 작게 되기 때문에) 드라이브 트랜지스터 317는 전류 제어 트랜지스터 310a의 전류공급원으로서 기능한다.

내부 전원전위 int Vcc가 전위 Vref-Vthn보다도 상승한 경우 전류 제어 트랜지스터 316a는 비도통상태로 되기 때문에 응하여 드라이버 트랜지스터317도 비도통상태로 된다.

한편, 내부 전원전위 int Vcc가 전위 Vref-Vthn이하로 되면, 전류 제어 트랜지스터 316a의 게이트 전위 Vg가 저하하고 전류 제어 트랜지스터 316a는 도통상태로 되어 응하여 드라이브 트랜지스터 317는 그의 소스전위의 저하에 의해 도통하고 전류를 전류 제어 트랜지스터 316a에 공급한다.

따라서 이 드라이브 트랜지스터 317도 내부 전원전위 int Vcc의 전위레벨에 응하여 도통/비도통 상태로 된다.

비교회로 316bc는 n채널 MOS트랜지스터 316bj를 통하여 전위 Vref-Vthn와 내부 전원전위 int Vcc를 비교한다.

따라서 이 내부 전원전위 int Vcc와 전위 Vref-Vthn의 차에 응하여 디지털 차지 펌프회로 316d 및 아날로그 차지펌프회로 316bg의 동작이 제어되어 응하여 전류제어 트랜지스터 316a의 게이트 전위 Vg가 제어된다.

내부 전원전위 int Vcc의 언더슈트가 적은 경우에는 드라이브 트랜지스터 311c를 통하여 전류가 공급되어 또한 아날로그 차지 펌프회로 316bg 및 전류제어 트랜지스터 316a를 통하여 전류가 공급된다.

한편, 내부 전원전위 int Vcc의 언더슈트가 큰 경우에는 아날로그 차지 펌프회로 316bg 및 디지털 차지 펌프회로 316d에 의해 전류 제어 트랜지스터316a의 게이트 전위 Vg가 제어되어, 큰 전류가 내부 전원 노드 300c에 공급된다.

따라서 이 제32도에 표시하는 구성을 이용하여도 안정하게 내부 전원전위 int Vcc를 일정한 전위 Vref-Vthn의 전위레벨에 유지하는 것이 가능하다.

역시 이 제32도에 표시하는 구성에 따르면, 정전압회로 311에 있어서는 내부 전원전위 int Vcc을 비교하기 위한 차동증폭회로는 불필요로 되어 응하여 회로 점유 면적이 저감된다.

이 제32도에 표시하는 구성에 있어서도 제31도에 표시하는 구성과 동일로크인 신호 LK에 응답하여 도통하는 전위 유지회로 316c가 설치되어도 좋다.

또 이때 겸해서 비교회로 316bc의 활성/비활성화가 로크인 신호 LK에 따라 제어되도록 구성되어도 좋다.

[다른 적용예]

먼저의 실시예에 있어서는 클록동기형 SRAM이 반도체 기억장치로 일예로써 표시되어 있다.

그렇지만 외부에서 제공된 클록신호에 동기하여 동작하는 예컨대 싱크로너스 DRAM과 같은 동기형 반도체 기억장치에 있어서도 본 발명은 적용가능하다.

또 외부 전원전위 발생회로의 구성자체는 외부 전원전위 ext Vcc에서 내부 전원전위 발생회로의 구성자체는 외부 전원전위 ext Vcc에서 내부 전원전위 int Vcc를 발생하는 내부 강압회로로서 표준 DRAM에 대해서도 적용하는 것이 가능하다.

또 내부 전원전위 발생회로에 있어서 p채널 MOS트랜지스터에서 되는 전류 공급용의 드라이버 트랜지스터를 PnP 바이폴러 트랜지스터로 치환하는 것이 가능하다.

또 n채널 MOS트랜지스터로 구성되는 전류 공급용 드라이버 트랜지스터를 Pn 바이폴러 트랜지스터로 치환하는 것도 가능하다.

또 내부 클록신호 동기회로의 일반의 동기회로에 적용되어 입래하는 신호에 위상/주파수 동기한 내부신호를 생성하는 용도에 적용 가능하다.

(57) 청구의 범위

청구항 1

입래하는 제1의 신호와 제2의 신호의 위상 및 주파수의 적어도 한편의 차를 검출하고 해당차를 작게 하기 위한 제어신호(Vp)를 발생하는 차조정수단(321,322,323c)과, 상기 차조정회로의 출력신호와 피드백 전위를 차동적으로 증폭하는 차동증폭회로(323d)와 상기 차동증폭회로의 추력신호에 따라 동작전류를 조정하는 수단(324ab,324ag : 324bs,324bm : 324ff,324fr : 324gf,324gr)을 포함하고 상기 제2의 신호를 발생하는 내부 클록발생회로와, 상기 차동증폭회로의 출력신호에 따라 전류의 흐름을 생기게 하여 전류공급소자(323eb)와 상기 전류공급 소자의 생기는 전류를 전압신호에 변환하여 상기 피드백 전위를 생성하는 저항소자(323ec : 323ei)를 구비하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 저항소자(323ei)는 가변저항소자이고, 상기 가변저항소자의 저항치를 전환하기 위한 저항치 전환회로(323h)를 더 구비하는 반도체 장치.

청구항 3

제2항에 있어서, 상기 가변저항소자는 절연 게이트형 전계효과 트랜지스터이고, 상기 저항치 전환회로(323h)는 상기 반도체 장치에의 전원전위 투입시 상기 가변저항소자의 저항치를 작게하기 위한 수단(323hb : 323hh, 323hi,323hd,323he : 323hv,323hw)을 포함하는 반도체 장치.

청구항 4

제2항에 있어서,상기 차조정회로(321,322,323c)는 상기 제1 및 제2의 신호를 받도록 결합되어 받은 제1및 제2의 신호의 위상 및 주파수의 적어도 한편의 차에 응한 제1및 제2의 비교신호를 출력하는 비교회로(321)와, 상기 제1및 제2의 비교신호를 받는 입력노드와 충방전 노드를 가지고 상기 제1의 비교신호에 따라 상기 충방전 노드를 충전하고 또한 상기 제2의 비교신호에 따라 상기 충방전 노드를 방전하는 차지펌프회로(322)를 포함하고, 상기 저항치 전환회로는 상기 제1및 제2의 비교신호의 논리의 일치/불일치에 따라, 상기 가변저항소자의 저항치를 조정하는 저항제어회로(323hk)를 포함하는 반도체 장치.

청구항 5

제1항에 있어서, 상기 차조정회로(321,322)의 출력부와 상기 차동증폭회로(323d)의 입력부의 사이에 설치되어 상기 제1의 신호의 공급중단시에 도통상태로 되는 트랜스퍼 게이트(323ja)를 더 구비하는 반도체 장치.

청구항 6

제1항에 있어서, 상기 전류공급소자(323eb)와 상기 조항소자(323eb : 323ei)의 사이에 접속되어 상기 제1의 신호의 공급중단시 비도통상태로 되는 트랜스퍼 게이트(323eh)를 더 구비하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 차동증폭회로(323d)의 상기 차조정회로의 출력신호를 받는 제 1입력부(323da)에 결합되어 상기 제1의 클록신호의 공급중단시, 상기 차동증폭회로의 상기 제1의 입력부에 제공된 전위를 유지하는 전위유지회로(323i)를 더 구비하는 반도체 장치.

청구항 8

제7항에 있어서, 상기 전위유지회로(323i)는 상기 제1의 신호의 공급중단시 활성화되어 상기 차동증폭회로(323d)의 상기 제1의 입력부의 전위를 디지털 신호에 변환하여 래치하고, 또한 래치전위를 아날로그 신호에 변환하여 출력하는 전위 기억회로(323ia)와, 상기 아날로그 신호를 받는 제1의 입력과 제1의 노드의 전위를 받는 제2의 입력노드를 가지고, 상기 제1및 제2의 입력노도의 전위를 차동적으로 증폭하는 제2의 차동증폭회로(323id)와 상기 제2의 차동증폭회로(323id)의 출력신호에 따라 제1의 전원노드에서 상기 제1

의 노드에 전류를 공급하는 유지전류 공급소다(323ig)를 구비하는 반도체 장치.

청구항 9

제1항에 있어서, 상기 내부 클록발생회로(324)는 각각이 정 및 부의 출력을 부 및 정의 입력에 받도록 상호 접속되는 복수의 차동증폭회로(324b : 324f : 324g)를 포함하는 반도체 장치.

청구항 10

제1항에 있어서, 상기 내부 클록신호 발생회로는 상기 제1의 신호를 각가 소정시간 지연하는 복수의 인버터회로(324a)를 포함하는 반도체 장치.

청구항 11

제1항에 있어서, 전원노드(300a)와 내부 전원노드(300d)에 결합되어, 상기 제1의 전원노드에 제공되는 전원전위의 변동에 비의존의 기존전위를 받아, 상기 기준전위에 응한 전위레벨의 내부 전원전위를 상기 내부 전원 노드에 공급하는 내부 전원 전위 발생회로(310b)를 더 포함하고, 상기 내부 전원전위 발생회로에서 상기 내부 전원노드에 공급되는 내부 전원전위가 상기 내부 클록발생회로(324)의 한편 동작 전원전위로서 공급되는 반도체 장치.

청구항 12

제1항에 있어서, 전원전위를 받도록 결합되어 상기 전원전위의 변동에 비의존의 기준전위를 발생하는 기준전위 발생회로(313)와, 상기 전원전위가 공급되는 전원노드(300a)와 내부 전원노드의 사이에 서로 직렬로 접속되는 드라이브 트랜지스터(315)및 전류제어 트랜지스터(316a : 317)와, 상기 내부 전위노드(300c) 상의 전위와, 상기 기준전위의 차에 따라서 상기 드라이브 트랜지스터의 게이트 전위를 조정하는 조정회로(314)와, 상기 기준전위와 상기 내부 전원노드 상의 내부 전원전위의 차에 따라 상기 전류제어 트랜지스터의 게이트 전위를 조정하는 전류제어회로(316)를 더 구비하고, 상기 내부 전원노드 상의 내부 전원전위가 상기 클록발생회로(324)의 한편 동작 전원전위로서 공급되는 반도체 장치.

청구항 13

제12항에 있어서, 상기 전류제어 트랜지스터의 게이트에 결합되어, 유지지시 신호의 활성화시 상기 전류제어 트랜지스터(316a)의 게이트 전위를 유지하기 위한 전위유지수단(316c)을 더 구비하는 반도체 장치.

청구항 14

제12항에 있어서, 상기 전류제어 트랜지스터의 게이트에 접속되어 상기 반도체 장치에의 전원투입시 상기 전류제어 트랜지스터(316a)의 게이트 전위를 소정 전위에 설정하기 위한 스타트 업회로(316h)를 더 구비하는 반도체 장치.

청구항 15

제14항에 있어서, 상기 스타트 업회로(316ch)는 소정의 전위를 상기 전류제어 트랜지스터(316a)의 게이트에 공급하는 고저항의 저항소자(316ch)를 포함하는 반도체 장치.

청구항 16

제13항에 있어서, 상기 제1및 제2의 신호를 받도록 결합되어 상기 제1 및 제2의 신호의 로크상태를 검출하고 해당 로크상태를 표시하는 로크신호를 발생하는 로크검출회로(321,326)를 더 포함하고, 상기 로크신호가 상기 유지신호로서 상기 전위유지회로에 제공되는 반도체 장치.

청구항 17

제12항에 있어서, 상기 전류제어 트랜지스터(316a)는 p채널 절연형 전계효과 트랜지스터이고, 상기 전류제어회로(316)는 상기 외부 전원전위가 상기 기준전위보다 높을 때, 상기 전류제어 트랜지스터의 게이트를 충전하고, 그렇지 않은 경우에 상기 전류제어 트랜지스터의 게이트를 방전하기 위한 아날로그 차지 펌프회(316bg)와, 상기 내부 전원전위가 상기 기준전위 보다도 소정치 이상 높을 때 상기 전류제어 트랜지스터의 게이트를 충전하고 또한 상기 내부 전원전위가 상기 기준전위 보다도 소정치 이상 낮은 경우에 상기 전류제어 트랜지스터의 게이트를 방전하는 디지털 차지 펌프회로(316d)를 포함하는 반도체 장치.

청구항 18

제1항에 있어서, 제1의 전원노드와 내부 전원노드의 사이에 접속되어, 상기 내부 전원노드 상의 전원이 소정 전위보다도 낮은 때 해당 전위차가 해당 전위차에 응하여 그의 컨덕턴스가 크게되는 아날로그 전류 드라이버(311a)와 상기 제1의 전원노드와 상기 내부 전원노드의 사이에 직렬로 접속되는 전류제어 트랜지스터(316a) 및 디지털 드라이브 트랜지스터(315)와, 상기 내부 전원노드 상의 전위와 상기 소정 전위의 차에 응하여 상기 전류제어 트랜지스터의 게이트 전위를 조정하는 전류제어회로(316)와, 상기 내부 전원노드 상의 내부 전원전위와 상기 소정 전위의 차에 따라 상기 디지털 드라이브 트랜지스터를 디지털적으로 도통/비도통상태로 하는 디지털 제어회로(311b)를 더 구비하고, 상기 내부 전원노드 상의 내부 전원전위가 상기 내부 클록발생회로의 한편 동작 전원전위로서 공급되는 반도체 장치.

청구항 19

제12항에 있어서, 상기 전류제어 트랜지스터(316a)는 p채널 MOS트랜지스터이고, 상기 전류제어회로(316)는 상기 내부 전원노드 상의 전위와 상기 소정전위 보다도 높을 때 상기 전류제어 트랜지스터의 게이트를 충전하고 낮은 경우에는 상기 전류제어 트랜지스터의 게이트를 방전하는 아날로그 차지펌프회로(316bg)와 상기 내부 전원전위가 상기 소정 전위보다도 소정치 높을 때에 상기 전류제어 트랜지스터의 게이트를 충

전하고 또한 상기 내부 전원전위가 상기 소정전위치 낮은 때에 상기 전류제어 트랜지스터의 게이트를 방전하는 디지털 차지펌프회로(316e)로 포함하는 반도체 장치.

청구항 20

제18항에 있어서, 상기 디지털 드라이브 트랜지스터(315)는 p채널 절연 게이트형 전계효과 트랜지스터이고, 상기 디지털 제어회로는 상기 디지털 드라이브 트랜지스터의 로레벨 전위를 소정 전위레벨에 크램프하는 크램프 수단(311ba,311bb,311bc,311bd,311bj)을 포함하는 반도체 장치.

청구항 21

제1 및 제2의 클록신호 입력노드를 가지고 상기 제1 및 제2의 클록신호 입력노드에 제공된 제1 및 제2의 클록신호의 위상 및 주파수의 적어도 한편의 차를 검출하고 해당 차를 작게하기 위한 제1및 제2의 비교신호를 출력하는 비교회로(321)와, 상기 제1및 제2의 비교신호를 받아 상기 제1의 비교신호의 활성화시 충방전시 충방전 노드를 충전하고 또한 상기 제2의 비교신호의 활성화시 상기 충방전 노드를 방전하는 차지펌프회로(322)와, 상기 충방전노드(322a)와 제1의 노드(323a)의 사이에 접속되어 유지지시 신호를 받아 또한 상기 유지지시 신호의 활성화시 비도통상태로 되는 트랜스퍼 게이트(323g)를 포함하고 상기 제1의 노드의 전위에 따른 전류제어신호를 출력하는 전류제어회로(323)와, 상기 전류제어신호에 따라 구동전류가 조정되어, 상기 제2의 클록신호를 출력하는 내부 클록신호 발생회로(324)를 구비하는 반도체 장치.

청구항 22

제21항에 있어서, 상기 유지지시 신호는 상기 제1의 클록신호 입력노드에의 클록신호의 공급 중단시에 상기 활성상태로 되는 반도체 장치.

청구항 23

제21항에 있어서, 상기 전류제어회로(323)는 상기 유지지시 신호가 상기 활성상태인 때 상기 제1의 노드의 전위를 유지하는 전위 유지회로(323i)를 더 포함하는 반도체 장치.

청구항 24

제21항에 있어서, 상기 전류제어회로(322)는 상기 유지지시 신호가 상기 활성상태인 때 상기 제1의 노드의 전위를 유지하는 전위 유지회로(323i)를 더 포함하는 반도체 장치.

청구항 25

제21항에 있어서, 상기 내부 클록신호 발생회로(324)는 상기 전류제어 신호에 따라 구동전류가 조정되어 또한 각각이 상보 입력신호를 증폭하여 상보 출력신호를 출력하는 기수개의 링상으로 접속되는 증폭회로(324b,324f : 324g)를 포함하는 반도체 장치.

청구항 26

제1및 제2의 클록신호 입력노드를 가지고 상기 제1 및 제2의 클록신호 입력노드에 제공된 제1 및 제2의 클록신호의 위상 및 주파수의 적어도 한편의 차에 응하여 상기 차를 작게 하기 위한 제1및 제2의 비교신호를 출력하는 비교회로(321)와, 상기 제1및 제2의 비교신호를 받아, 상기 제1의 비교신호의 활성화시 충방전노드(322a)를 충전하고 또한 상기 제2의 비교신호의 활성화시 상기 충방전 노드를 방전하는 차지펌프회로(322)와, 상기 충방전 노드상의 전위에 따른 전위레벨의 전류신호를 출력하는 전류제어회로(323)와, 상기 전류제어신호에 따라 구동전류가 제어되어, 각각이 상보의 입력신호를 반전증폭하여 상보의 출력신호를 출력하는 기수단의 링상으로 접속되는 증폭회로(324b : 324f : 324g)와 상기 링상의 증폭회로의 최종단의 증폭회로의 출력을 버퍼처리하여 상기 제2의 클록신호를 출력하는 클록버퍼(324c)를 포함하는 반도체 장치.

청구항 27

제26항에 있어서, 상기 전류제어회로(323)는 상기 충방전 노드의 전위에 응하여 동일 전류량을 공급하기 위한 p채널 전류제어신호 및 n채널 전류제어신호를 출력하는 제어단(323c,323f : 323c,323d,323e,323f)을 포함하고, 상기 증폭회로(324b,324b : 323g)의 각각은 전원노드와 제1의 노드의 사이에 접속되어, 또한 게이트에 상기 p채널 전류제어신호를 받는 p채널 전류제어 트랜지스터(324ff)와, 상기 제1의 노드와 제1의 출력노드 324fd의 사이에 접속되어 또한 그의 게이트가 상기 제1의 출력노드(324fd)에 접속되는 p채널 MOS트랜지스터(324fi)와, 상기 제1의 노드와 제2의 노드(324fg)의 사이에 접속되어 또한 그의 게이트에 상기 상보 입력신호의 한편을 받는 제1의 입력 p채널 MOS트랜지스터(324fb)와, 상기 제2의 입력노드(324fg)와 제2의 출력노드(324fc)의 사이에 결합되어 또한 그의 게이트가 상기 제1의 출력노드에 접속되는 제2의 p채널 MOS트랜지스터(324fj)와, 상기 제1의 출력노드와 제4의 노드(324fk)의 사이에 접속되어 또한 그의 게이트가 상기 제2의 출력노드에 접속되는 제1의 n채널 MOS트랜지스터(324fg)와, 상기 제2의 출력노드와 상기 제5의 출력노드의 사이에 접속되어 또한 그의 게이트가 상기 제2의 출력노드에 접속되는 제3의 n채널 MOS트랜지스터(324fp)와, 상기 제5의 노드와 접지노드의 사이에 접속되어 또한 그의 게이트에 상기 n채널 전류제어신호를 받는 전류제어 n채널 MOS트랜지스터(324fr)를 포함하는 반도체 장치.

청구항 28

제26항에 있어서, 상기 전류제어회로(323)는 상기 충방전 노드(322a) 상의 전위에 따라 동일한 전류량을 공급하기 위한 p채널 전류제어신호 및 n채널 전류제어신호를 발생하는 수단(323c,323a,323j,323e,323f : 323c,323f)을 포함하고 상기 증폭회로(324g)의 각각은 전원노드(300d)와 제1의 노드(324ge)의 사이에 접속되어, 그의 게이트에 상기 p채널 전류제어신호를 받는 p채널 전류제어 p채널 MOS 트랜지스터(324gh)와, 상기 제1의 노드와 제2의 출력노드(324gg)의 사이에 접속되어 그의 게이트가 상기 제1의 출력노드(324gd)에 접속되는 p채널 MOS트랜지스터(324gh)와 상기 제2의 노드와 상기 제1의 출력노드의 사이에 접속되어

또한 그의 게이트에 상기 상보 입력신호의 한편의 입력신호를 받는 제2의 p채널 MOS 트랜지스터(324gi)와, 상기 제1의 출력노드와 제3의 노드(324gj)의 사이에 접속되어 또한 그의 게이트가 상기 상보 입력신호의 상기 한편을 받는 제1의 n채널 MOS트랜지스터(324gk)와, 상기 제2의 노드와 제2의 출력노드(324gc)의 사이에 접속되어 또한 그의 게이트가 상기 상보 입력신호의 다른편을 받는 제3의 p채널 MOS트랜지스터(324gm)와, 상기 제2의 출력노드와 상기 제3의 노드(324gj)의 사이에 접속되어 또한 그의 게이트에 상기 상보 입력신호의 상기 다른편을 받는 제2의 n채널 MOS 트랜지스터(324gn)와, 상기 제3의 노드(324gj)와 제4의 노드(324gp)의 사이에 접속되어 또한 그의 게이트에 상기 제1의 출력노드에 접속되는 제3의 n채널 MOS 트랜지스터(324gq)와, 상기 제4의 노드와 접지노드(300b)의 사이에 접속되어 또한 그의 게이트에 상기 n채널 전류제어신호를 받는 제4의 n채널 MOS 트랜지스터(324gr)를 포함하는 반도체 장치.

청구항 29

외부에서의 전원전위를 받아 동작하고, 상기 전원전위의 변동에 비의존의 기준전위를 발생하는 기준전위 발생회로(313)를 포함하고 상기 기준전위에 대응하는 전위 레벨의 내부 전원전위를 내부 전원노드(300a)에 공급하는 내부 전원전위 발생회로(310b)와, 상기 내부 전원노드 상의 내부 전원전위를 한편 동작전원전위로서 동작하고, 외부에서 제공되는 클록신호에 동기한 내부 클록신호를 발생하는 내부 클록신호 동기회로(324)를 구비하는 반도체 장치.

청구항 30

전원전위를 받고 또한 이 전원전위에 비의존의 기준전위를 발생하는 기준전위 발생회로(313)와, 상기 전원전위가 공급되는 전원노드(300a)와 내부 전원노드(300c : 300d)의 사이에 서로 직렬로 접속되는 드라이브 트랜지스터(315 : 317) 및 전류제어 트랜지스터(316a)와, 상기 기준전위가 상기내부 전원노드 상의 내부 전위를 받도록 결합되어 상기 기준전위와 상기 내부 전위의 차에 응한 전류를 상기 드라이브 트랜지스터 및 전류제어 트랜지스터의 제어전극 전위를 제어하는 제어전류제어회로(316,311b : 313)를 구비하는 반도체 장치.

청구항 31

전원전위를 한편 동작 전원전위로서 동작하고, 상기 전원전위에 비의존의 기준전위를 발생하는 기준전위 발생회로(313)와, 상기 기준전위 발생회로에서의 기준전위와 내부 전원전위에 대응하는 비교전위를 받아 상기 기준전위 및 상기 비교전위의 전위차에 응한 드라이브 제어신호를 출력하는 증폭회로(311b)와, 전류공급노드(312)와 상기 내부 전원전위가 제공되는 내부 전원전위 노드(300c)의 사이에 접속되어, 또한 게이트에 상기 증폭회로에서의 드라이버 제어신호를 받는 드라이브 트랜지스터(315)와, 상기 내부 전원전위 노드 상의 전위의 소정 전위에서의 엇갈림에 응한 전류를 상기 전류공급노드(312)에 공급하는 전류공급회로(316)를 구비하는 반도체 장치.

청구항 32

제31항에 있어서, 상기 전류공급회로(316)는, 상기 전류전위가 제공되는 전원전위노드(300a)와 상기 전류공급 노드의 사이에 접속되는 전류제어 트랜지스터(316a)와, 상기 기준전위 및 비교전위를 받아 이들의 기준전위 및 비교전위의 차에 응하여 상기 전류제어 트랜지스터의 게이트를 충방전하는 전류젱회로(316b)를 가지는 반도체 장치.

청구항 33

제31항에 있어서, 상기 전류공급회로(316)는 상기 전류제어 트랜지스터(316a)의 게이트에 결합되어 유지지시 신호의 활성화에 응답하여 상기 전류제어 트랜지스터의 게이트 전위를 유지하는 유지회로(316c)를 포함하는 반도체 장치.

청구항 34

제31항에 있어서, 상기 전류공급회로(316)는 상기 전류제어 트랜지스터(316d)의 게이트에 결합되어 상기 반도체 장치에의 전원전위 투입시 상기 전류제어 트랜지스터의 게이트 전위를 소정 전위에 설정하기 위한 스타트업회로(316ch)를 더 포함하는 반도체 장치.

청구항 35

제31항에 있어서, 상기 내부 전원전위 노드에 공급되는 내부 전원전위를 한편 동작전원전위로서 동작하여 제공된 클록신호에 동기한 내부 클록신호를 발생하는 내부 클록신호 동기회로(320)를 더 구비하는 반도체 장치.

청구항 36

제35항에 있어서, 상기 내부 클록신호 동기회로(320)는 상기 제공된 클록신호와 상기 내부 클록신호의 로크인을 검출하기 위한 로크인 검출회로(326)를 포함하고, 상기 전류제어 트랜지스터(316a)의 게이트에 결합되어 상기 로크인신호의 활성화에 응답하여 상기 전류제어 트랜지스터의 게이트 전위를 유지하는 유지회로(316c)를 더 구비하는 반도체 장치.

청구항 37

제32항에 있어서, 상기 전류제어 트랜지스터(316a)는 p채널 MOS 트랜지스터로 있어, 상기 전류제어회로(316)는 상기 비교전위가 상기 기준전위 보다도 높은 경우, 상기 전류제어 트랜지스터의 게이트를 충전하고 또한 낮은 경우에는 상기 전류제어 트랜지스터의 게이트를 방전하는 아날로그 차지펌프회로(316b)와, 상기 비교전위가 상기 기준전위 보다도 소정 전위이상 높은 경우 상기 전류제어 트랜지스터의 게이트를 충전하고 또한 상기 비교전위가 상기 기준전위 보다도 상기 소정전위 이상 낮은 때 상기 전류제어 트랜지

스터의 게이트를 방전하는 디지털 차지펌프회로(316d)를 포함하는 반도체 장치.

청구항 38

제31항에 있어서, 상기 증폭회로(311b)는 상기 비교전위와 상기 전위의 고저에 응하여 상기 드라이브 트랜지스터(315)를 디지털적으로 도통 : 비도통으로 하는 반도체 장치.

청구항 39

전원전위노드(300a)와 내부 전원전위노드(300c : 300d)의 사이에 접속되는 아날로그 제어 드라이브 트랜지스터(311a)와, 상기 내부 전원전위와 상기 소정 전위를 비교하고 상기 내부 전원 전위와 상기 소정 전위보다도 낮은 때 상기 아날로그 제어 드라이브 트랜지스터의 컨덕턴스를 아날로그적으로 제어하는 아날로그 전류 제어회로(314)와, 상기 전원전위노드와 상기 내부 전원전위노드의 사이에 접속되는 디지털 제어 드라이브 트랜지스터(315)와, 상기 전원전위노드와 상기 내부 전원전위노드의 사이에 접속되는 디지털 제어 드라이브 트랜지스터(315)와, 상기 내부 전원전위와 소정 전위를 비교하고 상기 내부 전원전위가 소정 전위보다도 소정 전위 큰 때 상기 디지털 제어드라이브 트랜지스터를 도통상태로 하는 디지털 제어회로(311b)와, 상기 전원전위와 상기 디지털 제어 드라이브 트랜지스터의 사이에 접속되는 전류제어 트랜지스터(316a)와, 상기 내부 전원전위와 상기 소정 전위의 차에 따라 상기 전류제어 트랜지스터의 전류 구동능력을 조정하는 전류제어회로(316b)를 구비하는 반도체 장치.

청구항 40

제39항에 있어서, 상기 전류제어 트랜지스터(316a)는 p채널 MOS 트랜지스터로 있어, 상기 전류제어회로(316)는 상기 내부 전원전위가 상기 소정 전위보다도 높은 때 상기 전류제어 트랜지스터의 게이트를 방전하고 낮은 경우에 상기 전류제어 트랜지스터의 게이트를 방전하는 아날로그 차지펌프회로(316bd)와, 상기 내부 전원전위가 상기 소정 전위에서 소정 전압이상 높은 때 상기 상기 전류제어 트랜지스터의 게이트를 충전하고, 또한 상기 내부 전원전위가 상기 소정 전위에서 상기 소정 전압이상 낮은 때 상기 전류제어 트랜지스터의 게이트를 방전하는 디지털 차지펌프회로(316d)를 포함하는 반도체 장치.

청구항 41

전원전위노드(300a)와 내부 전원노드(300c)의 사이에 접속되는 제1의 전류 드라이버 트랜지스터(311c)와, 상기 전원전위 노드와 상기 내부 전원노드의 사이에 상기 제1의 전류 드라이버 트랜지스터와 별도의 경로에 있어서 서로 직렬로 접속되는 전류제어 트랜지스터(317) 및 제2의 전류 드라이버 트랜지스터(316a)와, 상기 전원전위 노드상의 전원전위를 받도록 결합되어 또한 상기 전원전위의 변동에 비의존의 기준전위를 발생함과 함께 상기 제1의 전류 드라이버 트랜지스터 및 상기 전류제어 트랜지스터의 게이트에 해당 발생한 기준전위를 제공하는 기준전위 발생회로(313)와, 상기 기준전위 발생회로에서의 기준전위를 레벨 시프트하는 레벨시프트 소자(316bj)와를 받도록 결합되어 상기 레벨 시프트된 기준 전위와 상기 내부 전원전위의 차에 응하여 상기 제2의 전류 드라이버 트랜지스터의 게이트 전위를 조정하는 전류제어회로(316)를 구비하는 반도체 장치.

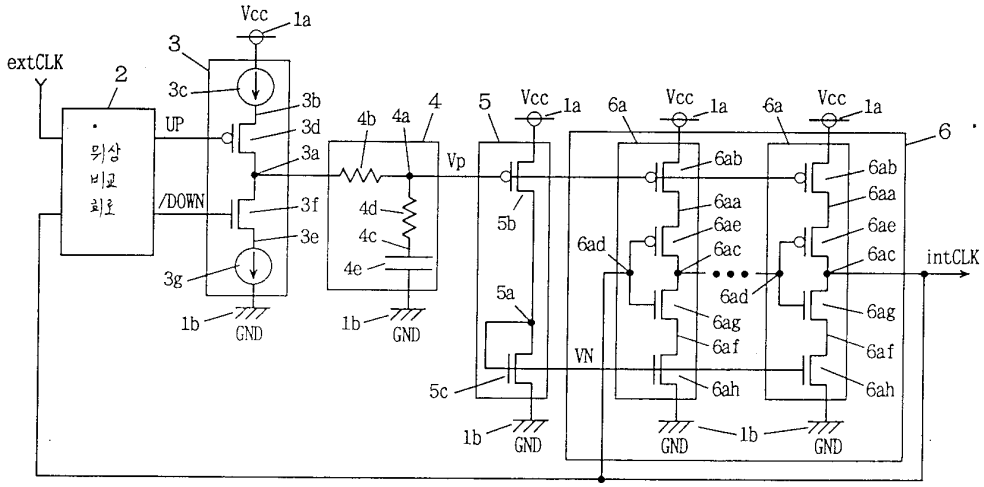
청구항 42

제41항에 있어서, 상기 전류제어회로(316)는 상기 내부 전원노드 상의 내부 전원전위와 상기 레벨 시프트된 기준전위를 비교하고, 해당 비교결과를 표시하는 아날로그 신호를 출력하는 비교회로(316bc)와, 상기 비교회로의 출력하는 아날로그 전위를 디지털적으로 변화하는 디지털 전위에 변환하는 디지털 변환회로(316bd)와, 상기 비교회로에서의 아날로그 출력전위를 받도록 결합되어 이 아날로그 출력전위에 따라 상기 제2의 전류 드라이버 트랜지스터의 게이트 전위를 아날로그적으로 조정하는 아날로그 차지펌프회로(316bg)와, 상기 디지털 변환회로의 출력하는 디지털 전위를 받도록 결합되어, 이 디지털 출력전위에 따라 상기 제2의 전류 드라이버 트랜지스터의 게이트 전위를 디지털적으로 변화시키는 디지털 차지펌프회로(316d)를 구비하는 반도체 장치.

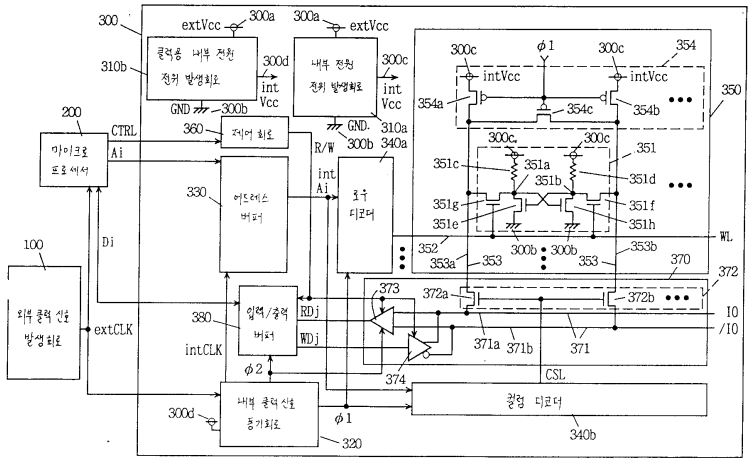
도면

도면1

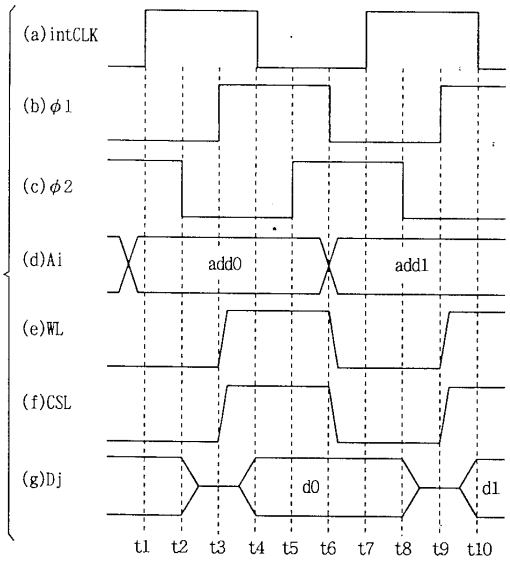
(종래 기술)


extCLK
2
위상
비교
회로
UP
/DOWN
3
3c
3b
3d
3a
3f
3e
3g
1b
GND
Vcc
1a
4b
4a
4
4d
4c
4e
Vp
5
5b
5a
5c
6a
6ab
6aa
6ae
6ac
6ad
6ag
6af
6ah
VN
6
intCLK

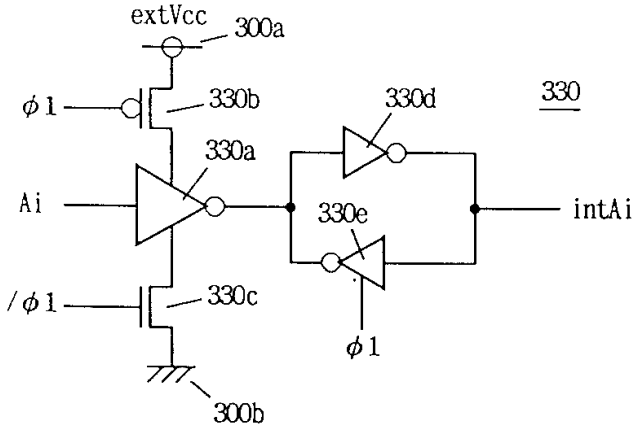
도면2


300
extVcc
300a
310b
클럭용 내부 전원
전위 발생회로
300d
int
Vcc
GND
300b
300c
내부 전원
전위 발생회로
310a
340a
200
마이크로
프로세서
CTRL
Ai
360
제어 회로
330
어드레스
버퍼
R/W
int
Ai
로우
디코더
100
외부 클럭 신호
발생회로
Di
extCLK
380
입력/출력
버퍼
RDj
WDj
intCLK
φ2
373
374
300d
내부 클럭 신호
동기회로
φ1
320
300c
φ1
354
intVcc
354a
354c
354b
350
351
351c
351a
351b
351d
351g
351e
351f
351h
WL
352
353a
353
353b
370
372
372a
372b
IO
/IO
371a
371b
371
CSL
컬럼 디코더
340b

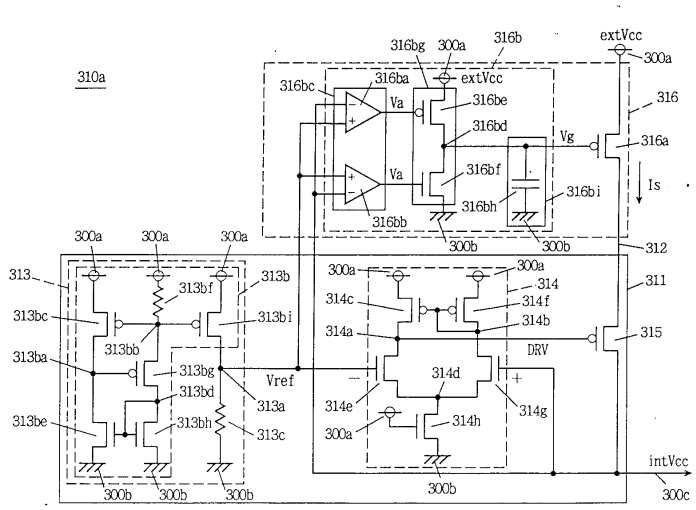
도면3


(a)intCLK
(b)φ1
(c)φ2
(d)Ai
add0
add1
(e)WL
(f)CSL
(g)Dj
d0
d1
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10

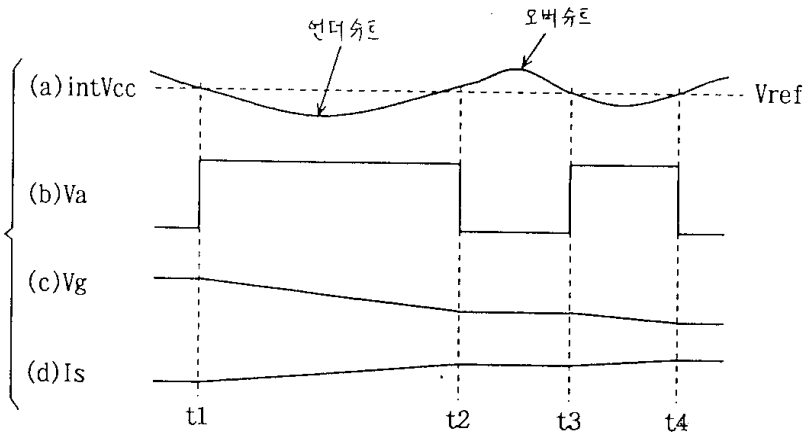
도면4


extVcc
300a
φ1
330b
330d
330
330a
Ai
330e
intAi
/φ1
330c
φ1
300b

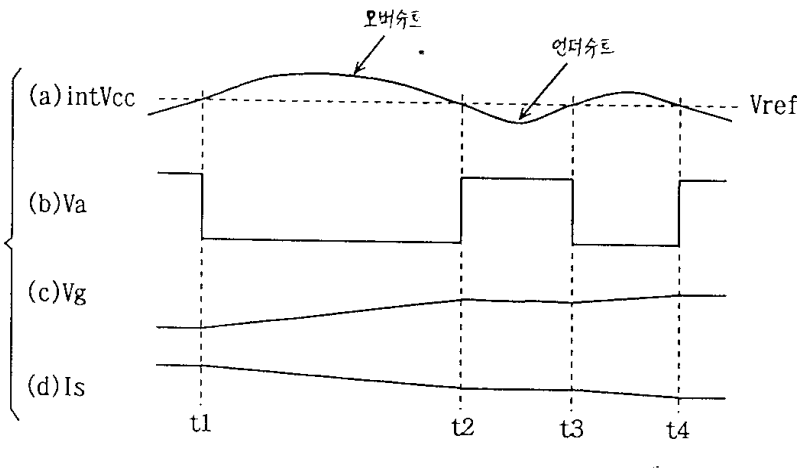
도면5


310a
316bg
300a
316b
extVcc
300a
316bc
316ba
extVcc
316be
316
Va
316bd
Vg
316a
Va
316bf
316bi
Is
316bh
316bb
300b
300b
312
300a
300a
300a
313
313b
313bf
313bc
313bi
313bb
313ba
313bg
313bd
Vref
313a
313be
313bh
313c
300b
300b
300b
300a
300a
314
311
314c
314f
314b
314a
315
DRV
314d
314e
314g
300a
314h
300b
intVcc
300c

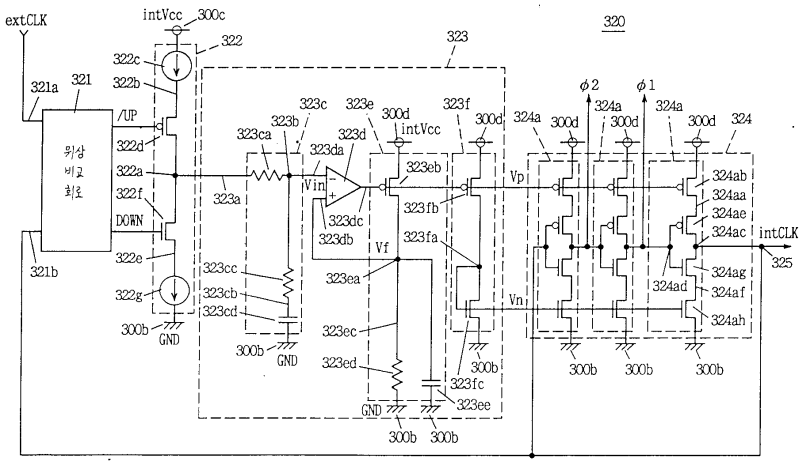
도면6


언더슈트
오버슈트
(a)intVcc
Vref
(b)Va
(c)Vg
(d)Is
t1
t2
t3
t4

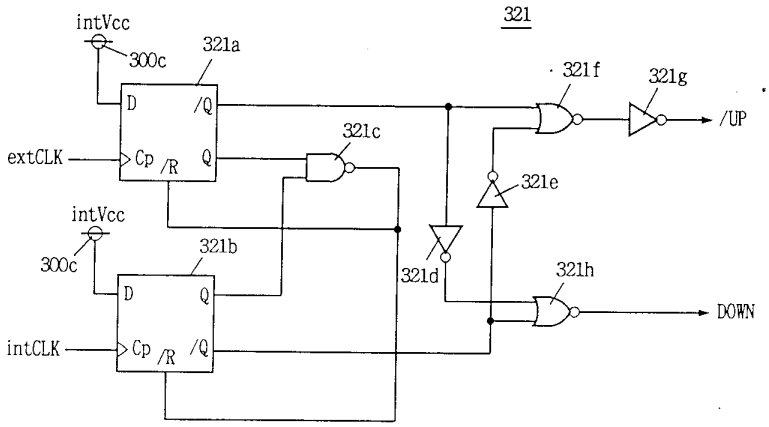
도면7


오버슈트
언더슈트
(a) intVcc
Vref
(b) Va
(c) Vg
(d) Is
t1
t2
t3
t4

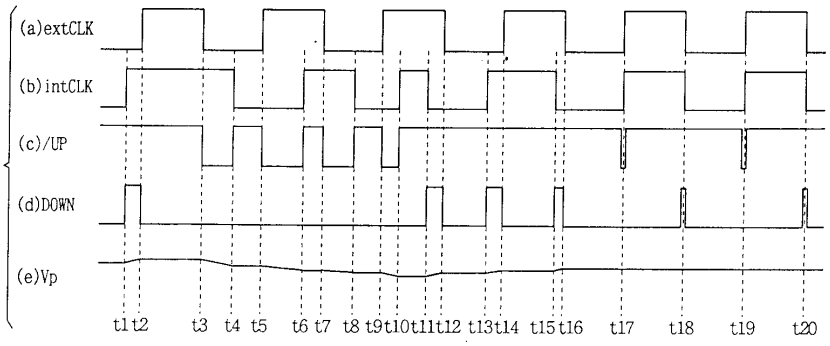
도면8


extCLK
intVcc
300c
322
323
320
321a
321
322c
322b
/UP
322d
322a
322f
DOWN
322e
322g
321b
위상 비교 회로
323a
323b
323c
323ca
323d
323da
323e
300d
intVcc
323f
323eb
323fb
323fa
323db
323dc
Vin
Vf
323ea
323ec
323ed
323fc
323ee
323cc
323cb
323cd
GND
300b
Vp
Vn
324a
ϕ2
ϕ1
324ab
324aa
324ae
324ac
324ag
324af
324ah
324ad
intCLK
325

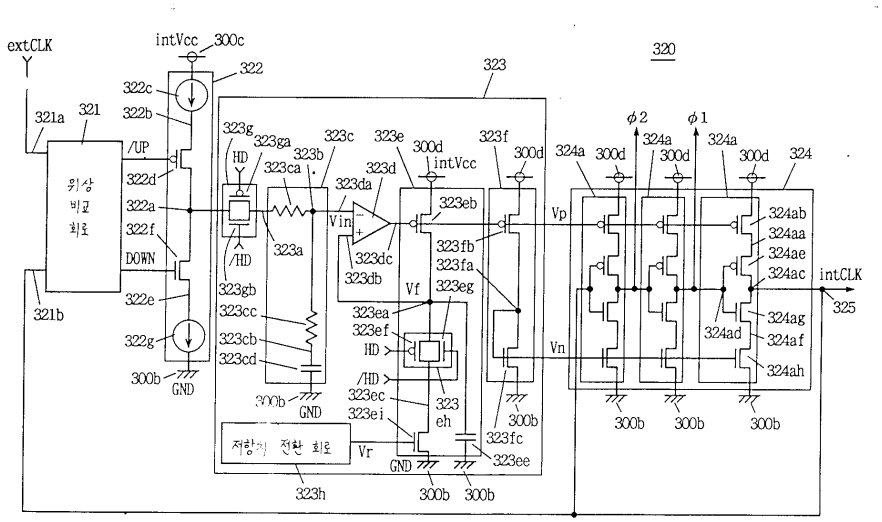
도면9


321
intVcc
300c
321a
D
/Q
extCLK
Cp
/R
Q
321c
321f
321g
/UP
321e
intVcc
300c
321b
D
Q
intCLK
Cp
/R
/Q
321d
321h
DOWN

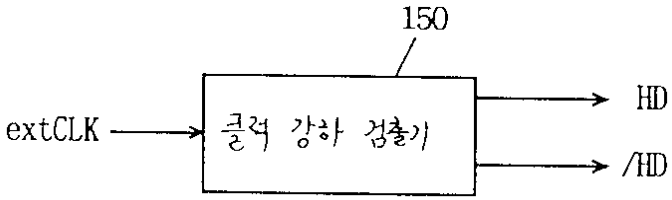
도면10


(a)extCLK
(b)intCLK
(c)/UP
(d)DOWN
(e)Vp
t1 t2
t3
t4
t5
t6 t7
t8
t9 t10 t11 t12
t13 t14
t15 t16
t17
t18
t19
t20

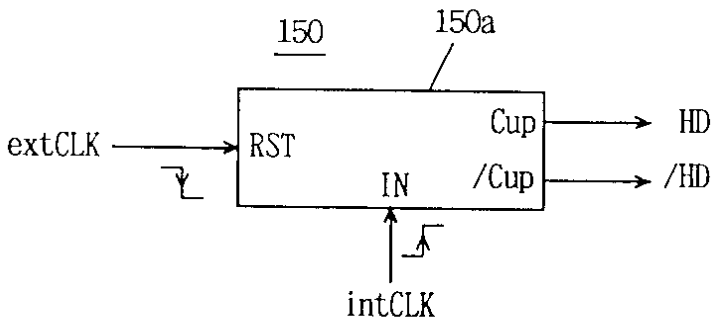
도면11


extCLK
intVcc
300c
322
320
323
321a
321
322c
322b
322d
322a
322f
322e
322g
321b
/UP
DOWN
위상 비교 회로
300b
GND
323g
HD
/HD
323ga
323b
323ca
323a
323gb
323cc
323cb
323cd
323c
323e
323d
323da
Vin
323dc
323db
Vf
323eb
323fb
323fa
323eg
323ea
323ef
323ec
323ei
323eh
323fc
323ee
323f
323h
저항의 전환 회로
Vr
Vp
Vn
ϕ2
ϕ1
324a
324
324ab
324aa
324ae
324ac
324ag
324ad
324af
324ah
intCLK
325

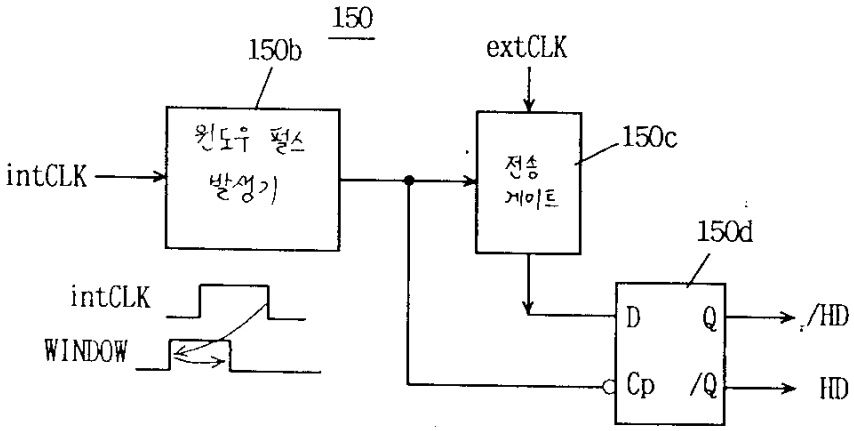
도면12a


150
extCLK
클럭 강하 검출기
HD
/HD

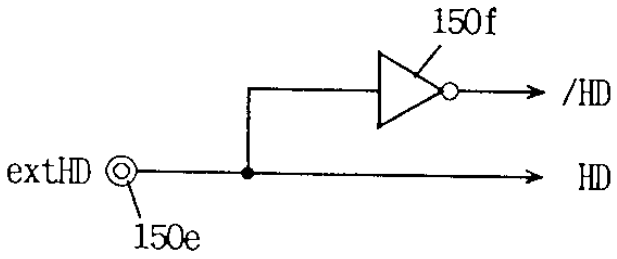
도면12b


150
150a
extCLK
RST
Cup
HD
IN
/Cup
/HD
intCLK

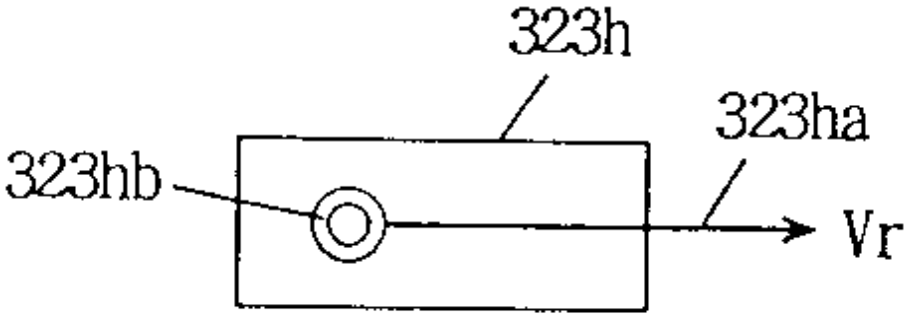
도면12c


150
150b
extCLK
윈도우 펄스 발생기
150c
전송 게이트
intCLK
150d
intCLK
D
Q
/HD
WINDOW
Cp
/Q
HD

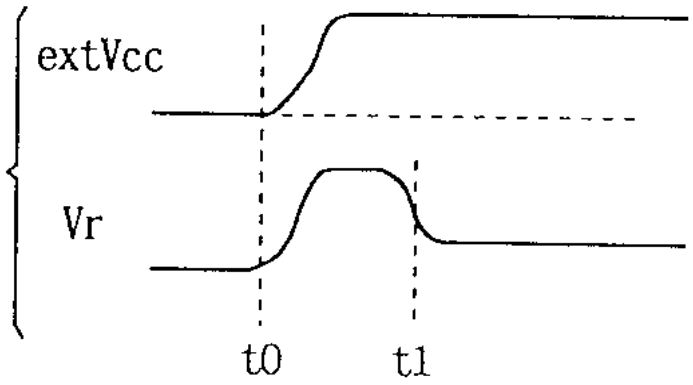
도면12d



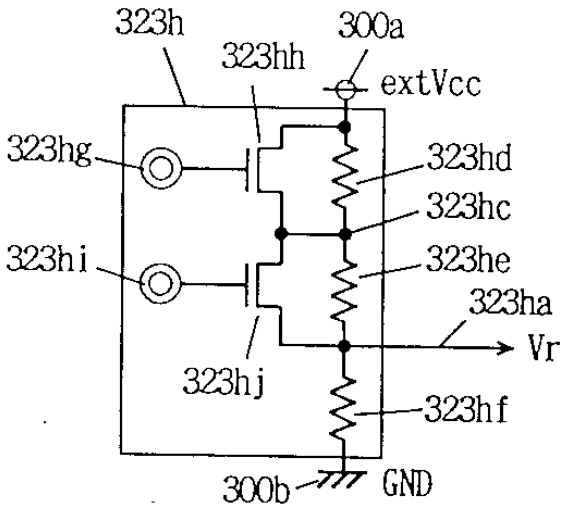
도면13a



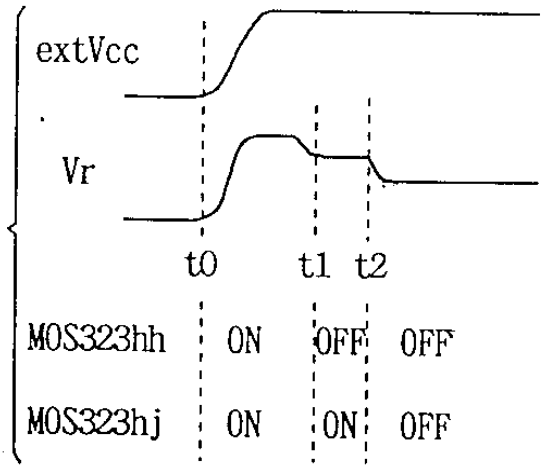
도면13b


extVcc
Vr
t0
t1

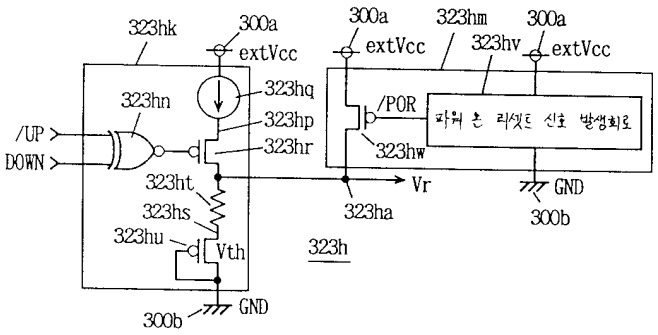
도면14a


323h
323hh
300a
extVcc
323hg
323hd
323hc
323hi
323he
323ha
Vr
323hj
323hf
300b
GND

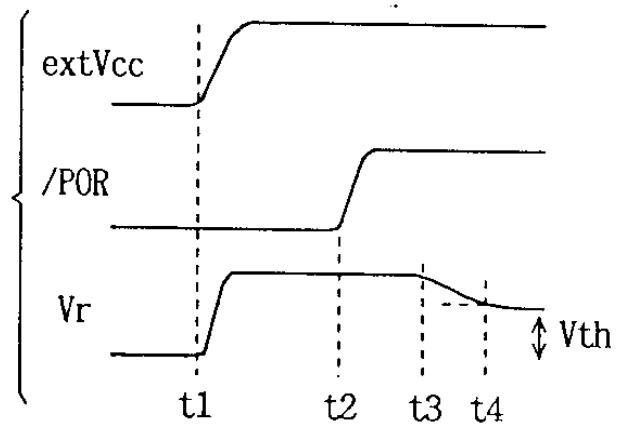
도면14b



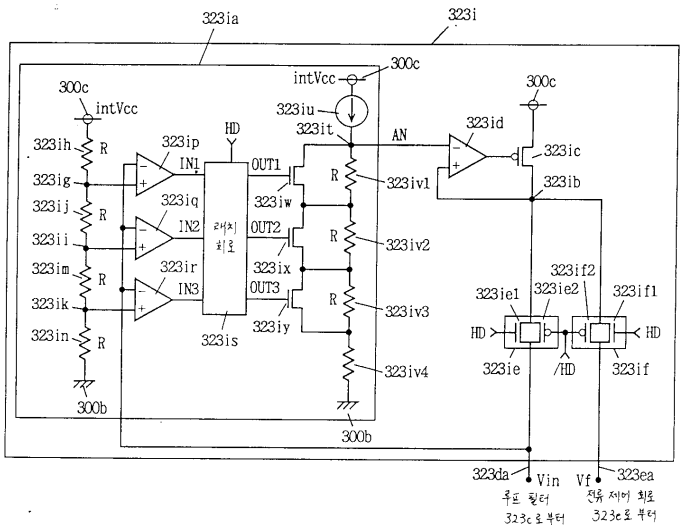
도면15a



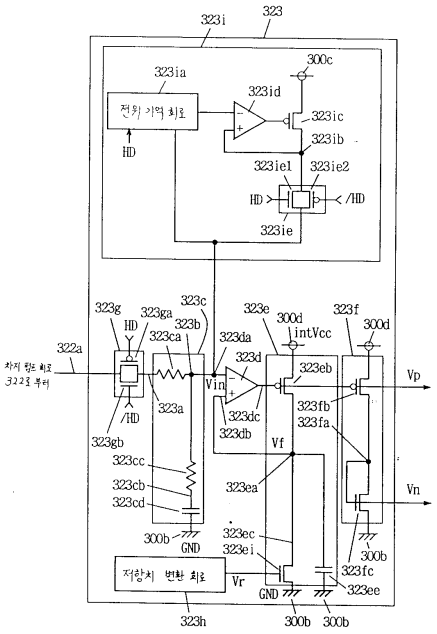
도면15b



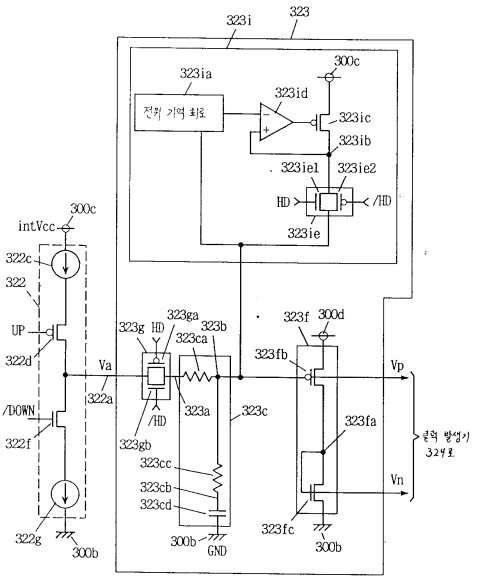
도면16


323ia
323i
300c
intVcc
323iu
323it
AN
323id
323ic
323ib
323ih
323ig
323ij
323ii
323im
323ik
323in
R
323ip
IN1
323iq
IN2
323ir
IN3
HD
OUT1
OUT2
OUT3
래치 회로
323iw
323ix
323iy
323is
323iv1
323iv2
323iv3
323iv4
323ie1
323ie2
323if2
323if1
323ie
/HD
323if
300b
323da
Vin
Vf
323ea
루프 필터
323c로부터
전류 제어 회로
323e로부터

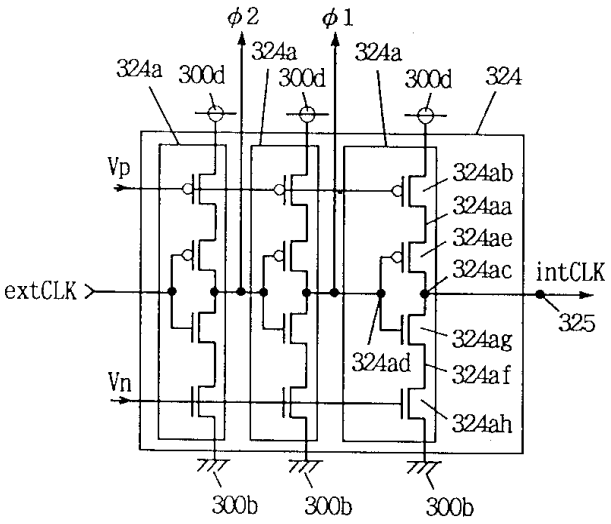
도면17


323i
323
323ia
300c
전위 기억 회로
323id
323ic
323ib
HD
323ie1
323ie2
/HD
323ie
323g
323ga
323c
323b
323ca
323da
323e
300d
intVcc
323f
322a
차지 펌프 회로
322로부터
323d
323eb
Vp
Vin
323a
323dc
323db
323fb
323fa
323gb
Vf
323cc
323cb
323cd
323ea
Vn
300b
GND
323ec
323ei
323fc
323ee
저항치 변환 회로
Vr
323h

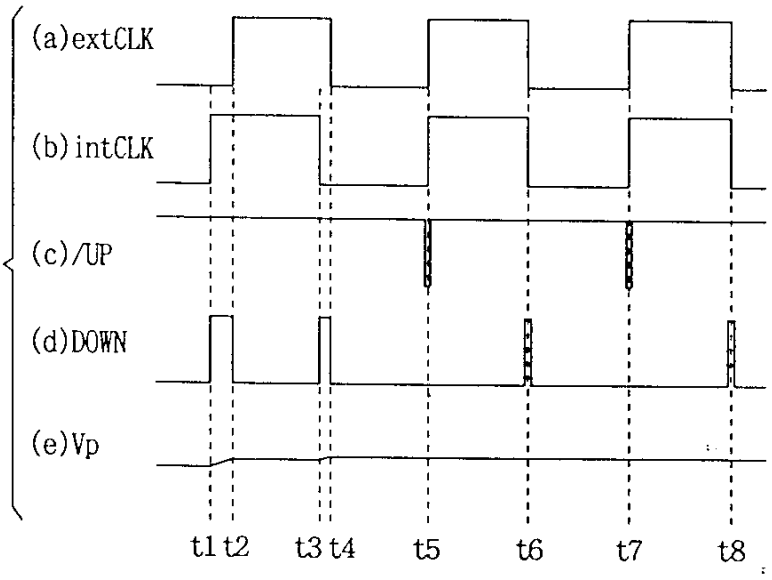
도면18


323i
323
323ia
300c
전치 기억 회로
323id
323ic
323ib
323ie1
323ie2
HD
/HD
323ie
intVcc
322c
322
UP
322d
/DOWN
322f
322g
300b
Va
322a
323g
323ga
323b
323ca
323a
323c
323gb
323cc
323cb
323cd
GND
323f
300d
323fb
323fa
323fc
Vp
Vn
출력 발생기
324

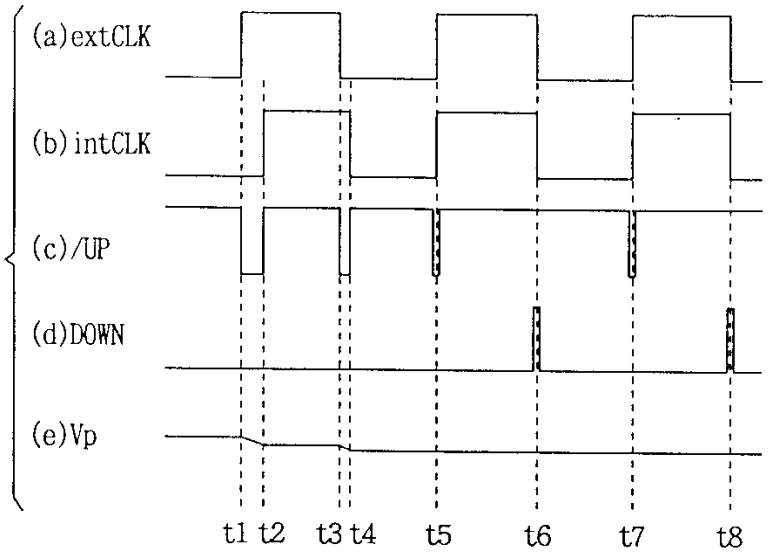
도면19


ϕ2
ϕ1
324a
300d
324
Vp
Vn
extCLK
intCLK
325
324ab
324aa
324ae
324ac
324ag
324ad
324af
324ah
300b

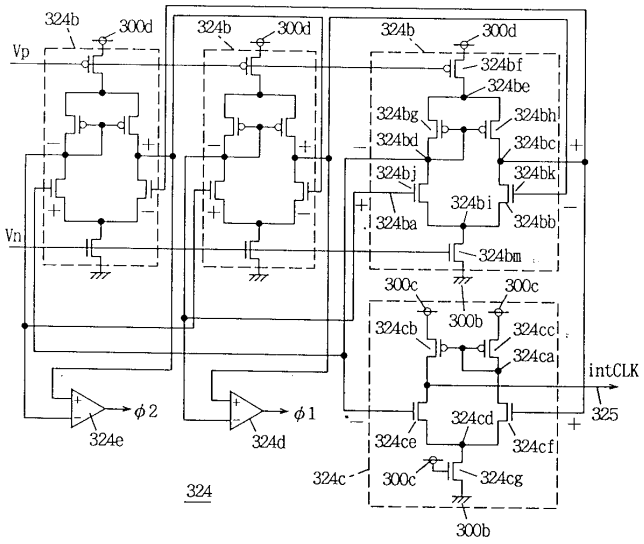
도면20


(a)extCLK
(b)intCLK
(c)/UP
(d)DOWN
(e)Vp
t1 t2
t3 t4
t5
t6
t7
t8

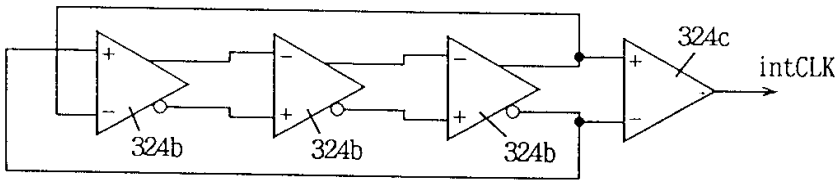
도면21


(a)extCLK
(b)intCLK
(c)/UP
(d)DOWN
(e)Vp
t1 t2
t3 t4
t5
t6
t7
t8

도면22a



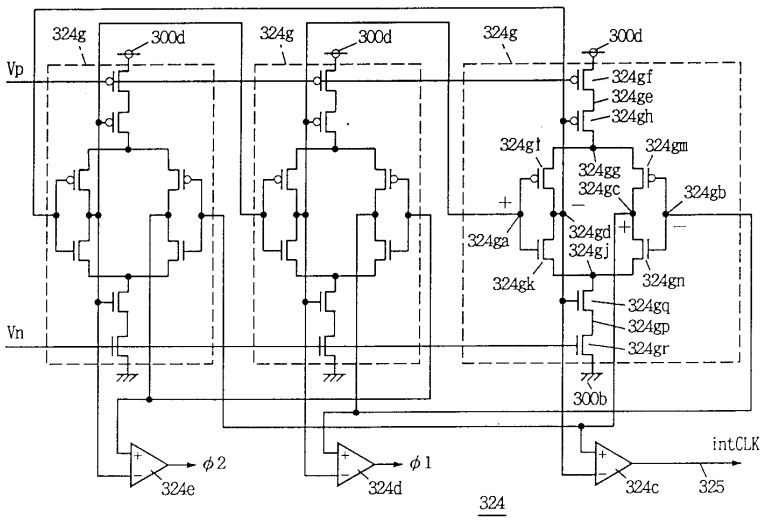
도면22b



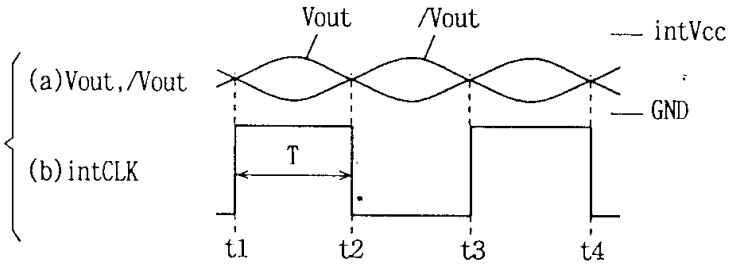
도면23

□

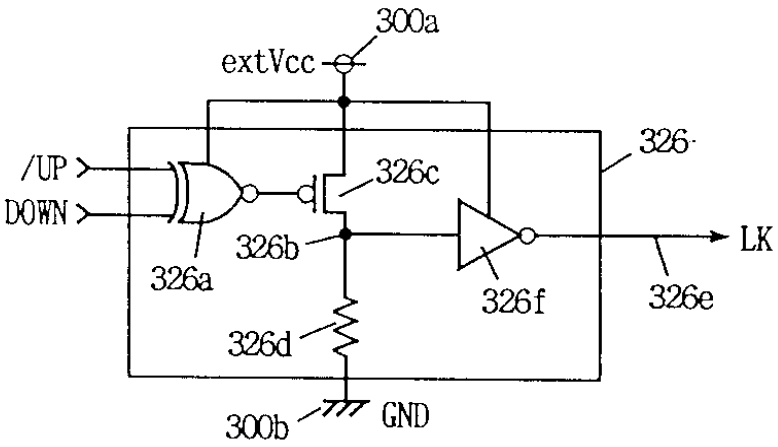
도면24


324g
300d
Vp
Vn
324gf
324ge
324gh
324gl
324gm
324gg
324gc
324gb
324ga
324gd
324gj
324gk
324gn
324gq
324gp
324gr
300b
φ2
φ1
intCLK
324e
324d
324c
325
324

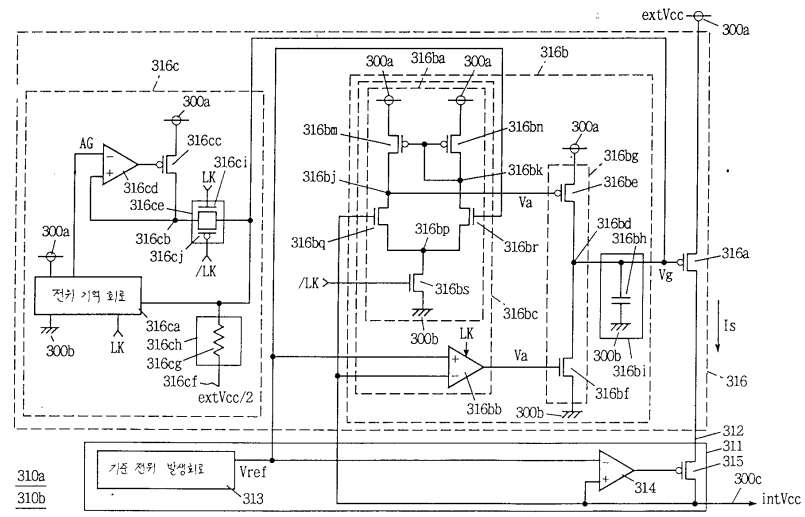
도면25


Vout
/Vout
intVcc
GND
(a)Vout,/Vout
(b)intCLK
T
t1
t2
t3
t4

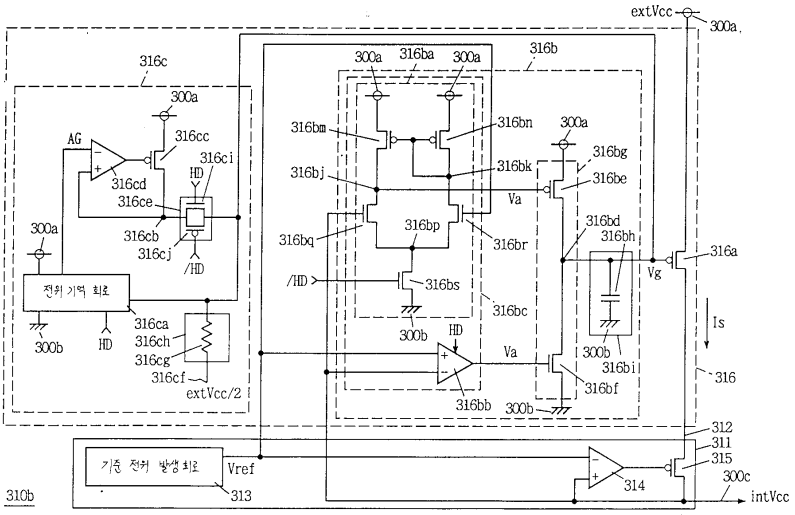
도면26


300a
extVcc
/UP
DOWN
326c
326
326b
326a
326f
326e
LK
326d
300b
GND

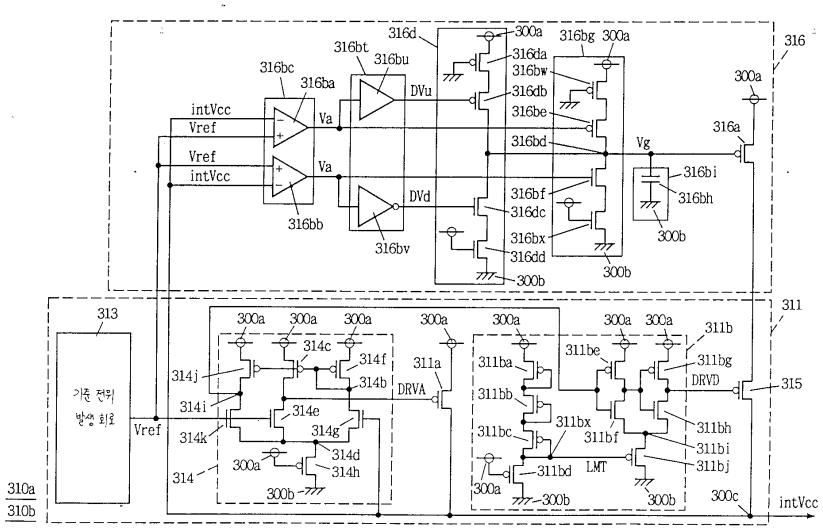
도면27


extVcc
300a
316c
316b
316ba
316bm
316bn
316bg
316bj
316bk
316be
316bp
316bq
316br
316bd
316bh
316a
Vg
/LK
316bs
316bc
Is
316
316bb
316bi
316bf
AG
316cc
316ci
316cd
316ce
316cb
316cj
LK
/LK
전위 기억 회로
316ca
316ch
316cg
316cf
extVcc/2
300b
Va
312
311
315
300c
intVcc
310a
310b
기준 전위 발생회로
Vref
313
314

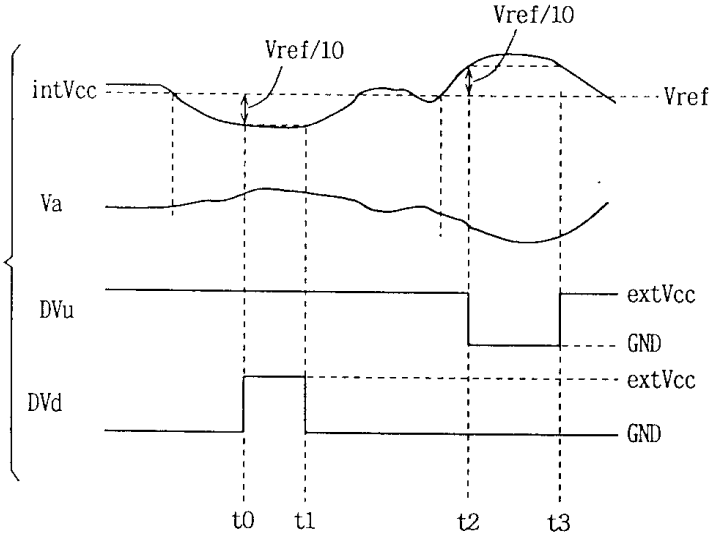
도면28


extVcc
300a
316c
316b
316ba
316bm
316bn
316bg
316bj
316bk
316be
316bq
316bp
316br
316bd
316bh
316a
316bs
316bc
316bi
316bf
316bb
316
Va
Vg
Is
AG
316cc
316ci
316cd
316ce
316cb
316cj
HD
/HD
전위 기억 회로
316ca
316ch
316cg
316cf
extVcc/2
300b
312
311
315
300c
intVcc
기준 전위 발생 회로
Vref
313
314
310b

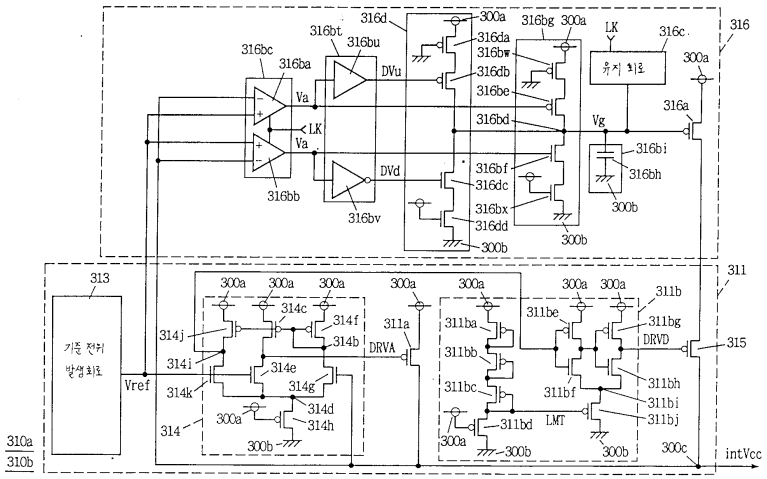
도면29


316d
316bg
316
316bt
316bu
316bc
316ba
316da
316bw
316db
316be
316bd
316bi
316bh
316bf
316dc
316bx
316dd
316bb
316bv
DVu
DVd
intVcc
Vref
Va
Vg
316a
300a
300b
313
311
314c
314f
314b
314j
314i
314e
314g
314k
314d
314h
314
311a
DRVA
311ba
311bb
311bc
311bx
311bd
311be
311bf
311b
311bg
DRVD
311bh
311bi
311bj
LMT
315
300c
intVcc
기준 전위 발생 회로
310a
310b

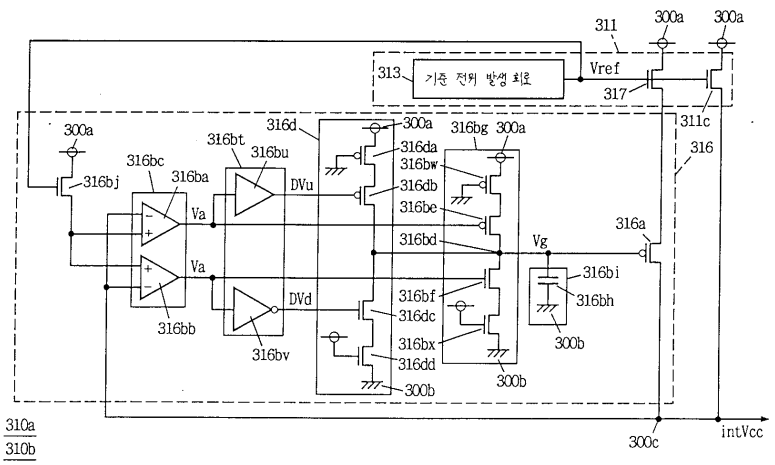
도면30


Vref/10
Vref/10
intVcc
Vref
Va
DVu
extVcc
GND
DVd
extVcc
GND
t0
t1
t2
t3

도면31


316
316d
300a
316bg
300a
LK
316c
316bt
316bu
316da
316bw
316bc
316ba
DVu
316db
유지 회로
300a
Va
316be
316a
LK
316bd
Vg
Va
316bi
316bf
316bh
DVd
316dc
316bb
316bx
316bv
316dd
300b
300b
300b
313
311
300a
300a
300a
300a
300a
300a
300a
311b
314c
314f
311a
311ba
311be
311bg
314j
314b
DRVA
DRVD
315
기준 전위
발생회로
314i
314e
311bb
Vref
314k
314g
311bh
311bc
311bf
311bi
314d
311bj
314
300a
314h
311bd
LMT
300b
300a
300b
300b
300c
310a
310b
intVcc

도면32


311
300a
300a
313
기준 전위 발생 회로
Vref
317
311c
316
300a
316d
316bt
316bu
316bc
316ba
316bj
DVu
Va
316da
316bw
316db
316be
316bd
316bg
300a
Vg
316a
316bi
316bh
300b
316bf
316dc
316bx
316dd
300b
300b
316bb
316bv
DVd
Va
310a
310b
300c
intVcc