

ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：信頼性が良好な半導体装置を提供する。基板上に、インジウムを有する金属酸化物を形成する第1の工程と、金属酸化物上からマイクロ波処理を行う第2の工程と、を有し、第1の工程は、インジウムを有する酸化物ターゲットを用いて、スパッタリング法によって行われ、第2の工程は、減圧下、かつ、酸素を含むガスを用いて行われ、第2の工程により、金属酸化物中の酸素欠損に水素が入った欠陥（ V_oH ）を、酸素欠損（ V_o ）と水素（H）とに分断する。

明細書

発明の名称

金属酸化物の作製方法、半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、金属酸化物、トランジスタ、半導体装置、および電子機器に関する。また、本発明の一態様は、金属酸化物の作製方法、および半導体装置の作製方法に関する。また、本発明の一態様は、半導体ウエハ、およびモジュールに関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。また、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0005]

酸化物半導体において、単結晶でも非晶質でもない、CAAC（c-axis aligned crystalline）構造およびnc（nanocrystalline）構造が見出されている（非特許文献1及び非特許文献2参照）。

[0006]

非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術が開示されている。

[先行技術文献]

[非特許文献]

[0007]

[非特許文献1] S. Yamazaki et al., “SID Symposium Digest of Technical Papers”, 2012, volume 43, issue 1, p. 183-186

[非特許文献2] S. Yamazaki et al., “Japanese Journal of Applied Physics”, 2014, volume 53, Number 4S, p. 04ED18-1-04ED18-10

発明の概要

発明が解決しようとする課題

[0008]

本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。また、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。また、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

[0009]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0010]

本発明の一態様は、基板上に、インジウムを有する金属酸化物を形成する第1の工程と、金属酸化物上からマイクロ波処理を行う第2の工程と、を有し、第2の工程は、減圧下、かつ、酸素を含むガスを用いて行われ、第2の工程により、金属酸化物中の酸素欠損に水素が入った欠陥 (V_OH) を、酸素欠損 (V_O) と水素 (H) とに分断する、金属酸化物の作製方法である。

[0011]

また、本発明の一態様は、基板上に、インジウムを有する金属酸化物を形成する第1の工程と、金属酸化物上からマイクロ波処理を行う第2の工程と、金属酸化物に対して、加熱処理を行う第3の工程と、を有し、第2の工程は、減圧下、かつ、酸素を含むガスを用いて行われ、第3の工程は、減圧下で行われ、第2の工程により、金属酸化物中の酸素欠損に水素が入った欠陥 (V_OH) を、酸素欠損 (V_O) と水素 (H) とに分断し、第3の工程により、金属酸化物中の酸素欠損 (V_O) を低減する、金属酸化物の作製方法である。

[0012]

また、本発明の一態様は、基板上に、インジウムを有する金属酸化物を形成する第1の工程と、金属酸化物上に、第1の導電体および第2の導電体を形成する第2の工程と、金属酸化物上からマイクロ波処理を行う第3の工程と、金属酸化物に対して、加熱処理を行う第4の工程と、を有し、第3の工程は、減圧下、かつ、酸素を含むガスを用いて行われ、第4の工程は、減圧下で行われ、第3の工程により、金属酸化物中の酸素欠損に水素が入った欠陥 (V_OH) を、酸素欠損 (V_O) と水素 (H) とに分断し、第4の工程により、金属酸化物中の酸素欠損 (V_O) を低減し、かつ、金属酸化物中の水素 (H) が、第1の導電体および第2の導電体へ拡散する、金属酸化物の作製方法である。

[0013]

また、本発明の一態様は、基板上に、インジウムを有する金属酸化物を形成する第1の工程と、金属酸化物上に、第1の導電体および第2の導電体を形成する第2の工程と、金属酸化物上に、絶縁膜を成膜する第3の工程と、絶縁膜上からマイクロ波処理を行う第4の工程と、金属酸化物および絶縁膜の一方または双方に対して、加熱処理を行う第5の工程と、を有し、第4の工程は、減圧下、かつ、酸素を含むガスを用いて行われ、第5の工程は、減圧下で行われ、第4の工程により、金属酸化物中の酸素欠損に水素が入った欠陥 (V_OH) を、酸素欠損 (V_O) と水素 (H) とに分断し、第5の工程により、金属酸化物中の酸素欠損 (V_O) を低減し、かつ、金属酸化物中の水素 (H) が、第1の導電体および第2の導電体へ拡散する、金属酸化物の作製方法である。

[0014]

上記作製方法において、加熱処理の温度は、300℃以上500℃以下である、ことが好ましい。

[0015]

また、上記作製方法において、マイクロ波処理の圧力は、133Pa以上である、ことが好ましい。

[0016]

また、上記作製方法において、第1の工程は、インジウムを有する酸化物ターゲットを用いて、スパッタリング法によって行われる、ことが好ましい。

発明の効果

[0017]

本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0018]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0019]

図1Aは、本発明の一態様に係る半導体装置の上面図である。図1B乃至図1Dは、本発明の一態様に係る半導体装置の断面図である。

図2Aは、+GBT試験における ΔV_{sh} の挙動を説明する図である。図2Bは、トランジスタのドレイン電流を説明する図である。

図3Aは、金属酸化物のエネルギーダイアグラムを説明する図である。図3B、および図3Cは、電子の伝導を説明する図である。

図4A、および図4Bは、 V_OH と、 V_O および H と、の反応に関するエネルギーの推移の模式図である。

図5Aは、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図5B乃至図5Dは、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 6 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 6 B 乃至図 6 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 7 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 7 B 乃至図 7 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 8 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 8 B 乃至図 8 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 9 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 9 B 乃至図 9 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 10 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 10 B 乃至図 10 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 11 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 11 B 乃至図 11 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 12 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 12 B 乃至図 12 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 13 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 13 B 乃至図 13 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 14 A は、本発明の一態様に係る半導体装置の上面図である。図 14 B 乃至図 14 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 15 A は、本発明の一態様に係る半導体装置の上面図である。図 15 B 乃至図 15 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 16 は、本発明の一態様に係るマイクロ波処理装置を説明する上面図である。

図 17 は、本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図 18 は、本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図 19 は、本発明の一態様に係る記憶装置の構成を示す断面図である。

図 20 は、本発明の一態様に係る記憶装置の構成を示す断面図である。

図 21 は、本発明の一態様に係る記憶装置の構成を示す断面図である。

図 22 A、および図 22 B は、本発明の一態様に係る記憶装置の構成例を示すブロック図である。

図 23 A 乃至図 23 H は、本発明の一態様に係る記憶装置の構成例を示す回路図である。

図 24 A、および図 24 B は、本発明の一態様に係る半導体装置の模式図である。

図 25 A 乃至図 25 E は、本発明の一態様に係る記憶装置の模式図である。

図 26 A 乃至図 26 H は、本発明の一態様に係る電子機器を示す図である。

図 27 は、市場イメージを説明する図である。

発明を実施するための形態

[0020]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0021]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0022]

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0023]

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0024]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0025]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等の開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章の開示されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0026]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0027]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0028]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0029]

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、チャンネル長方向を基準として垂直方向のチャンネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0030]

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0031]

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0032]

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0033]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、

水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（ V_o と表記する場合がある）が形成される場合がある。

[0034]

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

[0035]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0036]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0037]

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む。）、酸化物半導体（Oxide Semiconductorまたは単にOSともいう。）などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0038]

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\mu\text{m}$ あたりのドレイン電流が、室温において $1 \times 10^{-20}\text{A}$ 以下、 85°C において $1 \times 10^{-18}\text{A}$ 以下、または 125°C において $1 \times 10^{-16}\text{A}$ 以下であることをいう。

[0039]

（実施の形態1）

本実施の形態では、本発明の一態様に係るトランジスタを有する半導体装置の一例について説明する。

[0040]

<半導体装置の構成例>

図1A乃至図1Dは、本発明の一態様に係るトランジスタ200を有する半導体装置の上面図および断面図である。図1Aは、当該半導体装置の上面図である。また、図1B、図1C、および図1Dは、当該半導体装置の断面図である。ここで、図1Bは、図1AにA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図1Cは、

図1 AにA3－A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。また、図1 Dは、図1 AにA5－A6の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。なお、図1 Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0041]

本発明の一態様の半導体装置は、トランジスタ200と、層間膜として機能する絶縁体214、絶縁体216、絶縁体280、絶縁体282、および絶縁体284と、を有する。

[0042]

[トランジスタ200]

図1 A乃至図1 Dに示すように、トランジスタ200は、基板（図示せず。）の上、かつ、絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216の上および導電体205の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230（酸化物230a、酸化物230b、および酸化物230c）と、酸化物230の上に配置された絶縁体250と、絶縁体250上に配置された導電体260（導電体260a、および導電体260b）と、酸化物230bの上面の一部と接する導電体240aおよび導電体240bと、導電体240a上の絶縁体245aと、導電体240b上の絶縁体245bと、を有する。

[0043]

トランジスタ200は、チャネルが形成される領域（以下、チャネル形成領域ともいう。）を含む酸化物230（酸化物230a、酸化物230b、および酸化物230c）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0044]

また、半導体として機能する金属酸化物は、バンドギャップが2 eV以上のものを用いることが好ましく、2.5 eV以上のものを用いることがより好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0045]

酸化物230として、例えば、In－M－Zn酸化物（元素Mは、アルミニウム、ガリウム、インジウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステム、マグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物230として、In－Ga酸化物、In－Zn酸化物を用いてもよい。

[0046]

チャネル形成領域に金属酸化物を用いたトランジスタ200は、非導通状態においてリーク電流が極めて小さいため、低消費電力の半導体装置を提供できる。また、金属酸化物は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ200に用いることができる。

[0047]

一方、金属酸化物を用いたトランジスタは、金属酸化物中の不純物及び酸素欠損によって、その電気特性が変動し、ノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。また、金属酸化物中に、適量値を超えた過剰な

酸素を有した状態で、該トランジスタを駆動した場合、過剰な酸素原子の価数が変化し、該トランジスタの電気特性が変動することで、信頼性が悪くなる場合がある。

[0048]

なお、本発明の一態様のOSトランジスタには、キャリア濃度の低い金属酸化物をチャネル形成領域に用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、本明細書等においては、チャネル形成領域の金属酸化物のキャリア濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下の場合を実質的に高純度真性として定義する。金属酸化物のキャリア濃度の詳細については、後述する。

[0049]

なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、金属酸化物中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し $\text{V}_\text{O}\text{H}$ を形成する場合がある。酸素欠損に水素が入った欠陥($\text{V}_\text{O}\text{H}$)はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0050]

酸素欠損に水素が入った欠陥($\text{V}_\text{O}\text{H}$)は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0051]

金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0052]

また、チャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満で

あることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0053]

本発明の一態様においては、酸化物230中の V_{OH} をできる限り低減し、高純度真性または実質的に高純度真性にするのが好ましい。このように、 V_{OH} が十分低減された金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 V_{OH} などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0054]

そこで、酸化物230に、酸素を含む雰囲気下、および減圧下にて、マイクロ波処理を行うことが好ましい。特に、酸化物230のチャネル形成領域に、酸素を含む雰囲気下、および減圧下にて、マイクロ波処理を行うことが好ましい。マイクロ波処理を行うことにより、マイクロ波による電界が、酸化物230に与えられ、酸化物230中の V_{OH} を V_O と水素とに分断することができる。この時分断された水素の一部は、酸素と結合して、 H_2O として酸化物230から除去される場合がある。また、水素の一部は、導電体240aおよび導電体240bにゲッタリングされる場合がある。このように、マイクロ波処理を行うことで、酸化物230中の水素濃度を低減することができる。また、酸化物230中の V_{OH} を V_O と水素とに分断した後に存在しうる V_O に酸素が供給されることで V_O を修復または補填することができる。

[0055]

上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRF (Radio Frequency) を印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物230、または酸化物230近傍の絶縁体中に導入することができる。

[0056]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、酸化物230中の水素を効率よく除去することができる。また、加熱処理を繰り返し行うことで、酸化物230中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、 300°C 以上 500°C 以下とすることが好ましい。なお、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。

[0057]

特に、酸化物230に、インジウムを含む酸化物を用いる場合、酸化物230に上記マイクロ波処理を行うことが好ましい。例えば、酸化物230に $In-M-Zn$ 酸化物を用いる場合、酸化物230中の酸素は、主に In 、元素 M 、 Zn のいずれか一種または複数種と結合している。インジウムと酸素との結合は、元素 M または亜鉛と酸素との結合よりも弱い傾向がある。よって、インジウムと結合している酸素は欠損しやすいと推定される。換言すると、酸素欠損はインジウム近傍に形成されやすいと推定される。また、 V_{OH} は酸素欠損に水素が入ることで形成されることから、 V_{OH} はインジウム近傍に形成されやすい。

[0058]

また、インジウムは、酸化物230の導電性を高める金属元素でもある。よって、酸化物230中に含まれるインジウムの原子数比が高いほど、トランジスタ200のオン電流が大きくなる傾向がある。一方、酸化物230中に含まれるインジウムの原子数比が高いほど、 V_OH が形成されやすいと推定される。よって、酸化物230に、インジウムを含む酸化物を用いる場合、酸化物230に上記マイクロ波処理を行うことで、酸化物230中の V_OH を低減できる。したがって、トランジスタ200のオン電流を大きくし、安定した電気特性を付与することができる。

[0059]

また、金属酸化物を成膜後の工程を経るに伴い、金属酸化物へ水素が拡散する場合がある。一例として、酸化物230に接して、ゲート絶縁体として機能する絶縁体250を成膜する場合、水素が含まれている成膜ガスを用いる場合がある。当該成膜ガスに含まれる水素が酸化物230へと拡散する蓋然性が高い。

[0060]

例えば、絶縁体250となる絶縁膜を成膜中の雰囲気、または成膜された絶縁体250中には、水素、窒素、炭素などといった不純物が存在する。特に、シリコン原子と結合した不純物を除去するには、不純物原子と、シリコン原子との結合を切断する必要があるため、加熱処理による不純物の除去は難しい。

[0061]

そこで、酸化物230上に、絶縁体250を成膜した後に、酸素を含む雰囲気下、および減圧下にて、マイクロ波処理を行うとよい。マイクロ波処理を行うことにより、マイクロ波による電界が絶縁体250、および酸化物230に与えられ、絶縁体250中の、シリコン原子と結合した水素を、シリコン原子から分断することができ、酸化物230中の V_OH を V_O と水素とに分断することができる。この時分断された水素の一部は、酸素と結合して、 H_2O として絶縁体250および酸化物230から除去される場合がある。また、水素の一部は、導電体240aおよび導電体240bにゲッターリングされる場合がある。このように、マイクロ波処理を行うことで、絶縁体250中および酸化物230中の水素濃度を低減することができる。また、酸化物230中の V_OH を V_O と水素とに分断した後に存在しうる V_O に酸素が供給されることで V_O を修復または補填することができる。

[0062]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁体250中、および酸化物230中の水素を効率よく除去することができる。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。例えば、マイクロ波処理を10秒以上300秒以下、好ましくは30秒以上60秒以下行った後に、減圧状態を保ったまま30秒以上3000秒以下、好ましくは300秒またはその近傍の時間の加熱処理を行うステップを2回乃至10回行ってもよい。加熱処理を繰り返し行うことで、絶縁体250中、および酸化物230中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、300℃以上500℃以下とすることが好ましい。

[0063]

また、マイクロ波処理を行うことにより、絶縁体250の膜質を改質することで、水素、水、または不純物等の拡散を抑制することができる。従って、導電体260となる導電膜の成膜などの後

工程、または熱処理などの後処理により、絶縁体250を介して、水素、水、または不純物が、酸化物230へ拡散することを抑制することができる。

[0064]

例えば、固体の酸化シリコンにおける水素原子とシリコン原子の結合エネルギーは3.3 eV、炭素原子とシリコン原子の結合エネルギーは3.4 eV、窒素原子とシリコン原子の結合エネルギーは3.5 eV、である。従って、シリコン原子と結合した水素原子を取り除くには、少なくとも、3.3 eV以上のエネルギーを持つラジカル、またはイオンを、水素原子とシリコン原子との結合部に衝突させることで、水素原子と、シリコン原子との結合を切断することができる。

[0065]

なお、窒素、および炭素などの他の不純物についても、同様に、少なくとも、結合エネルギー以上のエネルギーを持つラジカル、またはイオンを、不純物原子とシリコン原子との結合部に衝突させることで、不純物原子とシリコン原子との結合を切断することができる。

[0066]

ここで、マイクロ波で励起したプラズマにより発生するラジカル、およびイオンとして、酸素原子ラジカル基底状態 $O(^3P)$ 、酸素原子ラジカル第一励起状態 $O(^1D)$ 、および酸素分子の一価のカチオン O_2^+ 等がある。 $O(^3P)$ のエネルギーは、2.42 eV、 $O(^1D)$ のエネルギーは、4.6 eV、である。また、 O_2^+ は電荷をもつために、プラズマ中の電位分布、およびバイアスにより加速されるため、エネルギーは一意に定まらないが、少なくとも、内部エネルギーのみでも、 $O(^1D)$ より高いエネルギーを持つ。

[0067]

つまり、 $O(^1D)$ 、および O_2^+ 等のラジカル、およびイオンは、絶縁体250中の水素原子、窒素原子、および炭素原子と、シリコン原子との結合を切断し、シリコン原子と結合した水素原子、窒素原子、および炭素原子を除去することができる。また、マイクロ波励起プラズマ処理を行う際に、基板に加わる熱エネルギー等によっても、水素、窒素、および炭素などの不純物を低減することができる。

[0068]

一方、 $O(^3P)$ は、反応性が低いため、絶縁体250では反応せず、膜中深くまで拡散する。また、 $O(^3P)$ は絶縁体250を介して、酸化物230へと到達し、酸化物230中に拡散する。酸化物230中に拡散した $O(^3P)$ が、水素が入った酸素欠損に近接すると、酸素欠損中の水素は酸素欠損から放出され、代わりに $O(^3P)$ が酸素欠損に入ること、酸素欠損は補償される。従って、酸化物230中で、キャリアである電子の生成を抑制することができる。

[0069]

なお、全体のラジカル、およびイオン種に対する $O(^3P)$ の割合は、圧力が高い条件でマイクロ波処理を行うことにより、増加する。酸化物230中の酸素欠損を補償するためには、 $O(^3P)$ の割合が多い方が好ましい。従って、マイクロ波処理は、圧力を133 Pa以上、好ましくは200 Pa以上、さらに好ましくは400 Pa以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比($O_2 / (O_2 + Ar)$)が50%以下、好ましくは10%以上30%以下で行うとよい。

[0070]

以上のようにして、金属酸化物中でドナーとして機能する V_oH を低減することができるので、チャネル形成領域として機能する金属酸化物のキャリア濃度を低くすることができる。このような金属酸化物をチャネル形成領域として用いたトランジスタは、ノーマリーオフ特性にすることができ、良好な電気特性および信頼性を有する半導体装置を構成することができる。

[0071]

また、トランジスタのチャネル形成領域に上記金属酸化物を用いることで、+GBT (Gate Bias Temperature) ストレス試験で測定される ΔV_{sh} を小さくすることができる。よって、トランジスタの信頼性を向上させることができる。なお、 ΔV_{sh} の挙動のモデルについては後述する。

[0072]

以上より、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。また、微細化または高集積化が可能な半導体装置を提供することができる。また、低消費電力の半導体装置を提供することができる。

[0073]

<+GBT ストレス試験における ΔV_{sh} の挙動について>

以下では、OS トランジスタにおけるオフ電流、および、+GBT ストレス試験における ΔV_{sh} の挙動について、説明を行う。ここでは、チャネル形成領域に用いる金属酸化物を、 $In-Ga-Zn$ 酸化物として説明する。

[0074]

なお、以下の説明においては、シフト電圧 (V_{sh}) は、トランジスタのドレイン電流 (I_d) - ゲート電圧 (V_g) カーブにおいて、カーブ上の傾きが最大である点における接線が、 $I_d = 1 \text{ pA}$ の直線と交差する V_g で定義される。また、シフト電圧の変化量を ΔV_{sh} として表す。

[0075]

OS トランジスタの+GBT ストレス試験において、 ΔV_{sh} は、時間経過に伴い負方向へシフトする場合がある。また、 ΔV_{sh} は、一方向（例えば、負方向）に変動するのではなく、負方向と正方向との双方に変動する挙動を示す場合がある。なお、本明細書等において、上記挙動を+GBT ストレス試験における、ギザギザ挙動と呼称する場合がある。

[0076]

ここで、+GBT 試験における ΔV_{sh} の挙動を説明する模式図を図2Aに示す。図2Aにおいて、縦軸は ΔV_{sh} [mV] を、横軸は時間 (time) [hr] を、それぞれ表す。

[0077]

図2Aに示すように、OS トランジスタの+GBT ストレス試験において、 ΔV_{sh} は、正方向へのドリフト（図2A中の矢印 α ）と、負方向へのドリフト（図2A中の矢印 β ）と、の双方を有しながら変動する。なお、図2Aに示すように、 ΔV_{sh} は、矢印 α 及び矢印 β で示すドリフトを有しながら、大局的には負方向に変動する。

[0078]

上記の+GBT ストレス試験における、ギザギザ挙動については、金属酸化物のチャネル形成領域における、酸素欠損 (V_o)、水素 (H)、及び酸素欠損と水素とが結合した欠陥 (V_oH) に起因して発生していると考えられる。つまり、金属酸化物のチャネル形成領域における、 V_o 、H、

及び V_{OH} を低減させることで、+GBT試験における、ギザギザ挙動についても低減させることができる。

[0079]

<基本モデルについて>

ここで、+GBTストレス試験における ΔV_{th} のギザギザ挙動については、下記に示す基本モデルを用いることで、解釈することができる。

[0080]

はじめに、OSTランジスタにおける、ソースからドレインに流れる電流（ドレイン電流）について、図2Bを用いて説明する。なお、当該OSTランジスタは、ゲート電極、ゲート絶縁層、チャネル形成領域を有する金属酸化物層、ソース領域、およびドレイン領域を有する。

[0081]

図2Bは、OSTランジスタの $I_d - V_g$ 特性の模式図である。図2Bにおいて、横軸はゲート電極に与える電圧(V_g) [V] の変化を示し、縦軸はドレイン電流(I_d) [A] の変化を示している。なお、図2Bは、縦軸が対数軸(log)の片対数グラフである。

[0082]

ここで、OSTランジスタのドレイン電流には、2種類の電流がある。一方の電流は、オン電流に関する電流であり、他方の電流は、オフ電流に関する電流である。

[0083]

図2Bに実線で示す電流Aは、オン電流に関する電流である。また、図2Bに破線で示す電流Bは、オフ電流に関する電流である。また、図2Bに示す電圧 V_{ab} は、電流Aの値と電流Bの値とが同じとなるゲート電圧の値である。

[0084]

OSTランジスタのドレイン電流は、図2Bに示す、電流Aと、電流Bとの和として観測される。ゲート電圧 V_g の値が電圧 V_{ab} 未満である場合、ドレイン電流に対する電流Bの比率が高く、ゲート電圧 V_g の値が電圧 V_{ab} より大きい場合、ドレイン電流に対する電流Aの比率が高い。

[0085]

金属酸化物において、オン電流に関するキャリア（電子）は、主として重金属(In-Ga-Zn酸化物では、例えば、In)のs軌道が寄与して伝導すると推測される。別言すると、主として、InOに起因して電気伝導が行なわれることで、オン電流が流れると推測される。また、金属酸化物の全体に渡って空乏層は広がるため、十分な電気伝導がある。

[0086]

また、オフ電流に関するキャリアは、 V_{OH} に起因する電子であると推測される。なお、 V_{OH} はドナーとして機能し、キャリアである電子を放出する。

[0087]

なお、シリコンでは、リン(P)やホウ素(B)をドーブすることで、キャリアが生成される。当該キャリアは、ソース領域とドレイン領域との間に流れる電流に関係している。つまり、シリコンでは、1種類のキャリアでオン電流およびオフ電流が決められていると推測される。

[0088]

次に、OSTランジスタにおいて、 V_{OH} を介したキャリア伝導について、図3A、図3Bおよび図3Cを用いて説明する。

[0089]

図3Aは、金属酸化物のエネルギーダイアグラムの模式図である。図3Aにおいて、縦軸は、エネルギーである。また、横方向は V_{OH} の密度を示す。図3Aに示す E_{CBM} は伝導帯下端のエネルギーであり、 E_{VBM} は、価電子帯上端のエネルギーであり、 E_i はエネルギーギャップの中央（ミッドギャップともいう。）のエネルギーである。また、 E_1 および E_2 はエネルギーであり、 E_2 の値は、 E_1 の値と比べて、 E_i の値に近い。また、 E_1 の値は、 E_2 の値と比べて、 E_{CBM} の値に近い。

[0090]

V_{OH} はドナーとして機能するため、 V_{OH} に起因する準位は伝導帯下端の近くに位置すると推定される。よって、図3Aに示すように、 V_{OH} の密度分布は、伝導帯下端の近くに位置すると推測される。なお、オフ電流に関するキャリアは、 V_{OH} に起因する準位や捕獲中心（トラップセンター）に束縛または放出される場合がある。また、 V_{OH} に起因する準位や捕獲中心は離散的に存在すると推測される。

[0091]

ここで、フェルミ準位がミッドギャップ（ E_i ）に近づくと、 V_{OH} が消滅して、 V_{OH} が減少するとする。例えば、図3Aに示すように、 V_{OH} の密度は、伝導帯下端に近いほど高く、ミッドギャップ（ E_i ）に近いほど低いとする。

[0092]

上述したように、 $In-Ga-Zn$ 酸化物において、 V_{OH} は、インジウム近傍に形成されやすい。つまり、 V_{OH} は、 InO に形成されやすい。

[0093]

すなわち、キャリアは InO に起因して電気伝導をすることから、 V_{OH} に起因するキャリアが V_{OH} を経由して伝導することで、オフ電流が流れると推測される。よって、 V_{OH} を低減することで、 V_{OH} に起因するキャリアの伝導が抑制され、オフ電流を低減することができる。また、オフ電流に関するキャリアを低減することができる。オフ電流が低下することで、キャリアを、いわゆる自然のキャリアの存在に近づけることができる。金属酸化物中の V_{OH} を低減することで、金属酸化物のキャリア濃度を真性キャリア濃度（例えば、バンドギャップが3.3 eVの金属酸化物の場合、 $1 \times 10^{-9} \text{ cm}^{-3}$ ）に近づけることができる。

[0094]

フェルミ準位のエネルギーが E_1 に近い場合、別言すると、フェルミ準位が伝導帯に近い場合、フェルミ準位のエネルギーが E_2 に近い場合と比べて、 V_{OH} が多く存在する、または、 V_{OH} の密度が高い。すると、図3Bに示すように、オフ電流に関するキャリア e^- が V_{OH} を経由して伝導する頻度は高くなり、オフ電流が大きくなる。

[0095]

一方、フェルミ準位のエネルギーが E_2 に近い場合、別言すると、フェルミ準位がミッドギャップ（ E_i ）に近い場合、フェルミ準位のエネルギーが E_1 に近い場合と比べて、 V_{OH} が少ない、または V_{OH} の密度が低い。すると、図3Cに示すように、 V_{OH} の間隔が広がるため、オフ電流に関するキャリア e^- の V_{OH} を経由して伝導する頻度は低下し、オフ電流が小さくなる。

[0096]

つまり、 V_{OH} の密度が高いとオフ電流が大きくなり、 V_{OH} の密度が低いとオフ電流が小さくなる。別言すると、 V_{OH} が生成するとオフ電流が大きくなり、 V_{OH} が消滅するとオフ電流が小さくなる。

[0097]

また、OSトランジスタは、高温下でもオフ電流が増加しにくい、高温下でもオン電流とオフ電流の比が大きい、という特徴を有する。例えば、 125°C 以上 150°C 以下の高温下においても、OSトランジスタは良好なスイッチング動作を行うことができる。高温下でのオフ電流が、主に V_{OH} を経由したキャリア伝導に起因する場合、 V_{OH} を低減することで、高温下でのオフ電流をさらに低減することができる。

[0098]

また、 ΔV_{sh} のギザギザ挙動は、オン電流に関する電流に起因して生じる場合と、オフ電流に関する電流に起因して生じる場合とがある。特に、 ΔV_{sh} のギザギザ挙動がオン電流に関する電流に起因して生じる場合、 V_{OH} が多く存在することで、 ΔV_{sh} のギザギザ挙動が生じやすい。図3Aに示すように、オン電流に関するキャリアが V_{OH} に起因する準位に捕獲される、または、捕獲されたキャリアが伝導帯に放出される。フェルミ準位のエネルギーが E_1 に近い場合、フェルミ準位のエネルギーが E_2 に近い場合と比べて、 V_{OH} の密度が高く、 V_{OH} に起因する準位の密度が高い。よって、オン電流に関するキャリアが V_{OH} に起因する準位に捕獲される、または、捕獲されたキャリアが伝導帯へ放出される頻度が高くなる。したがって、オン電流の変動が生じやすく、 ΔV_{sh} のギザギザ挙動がより生じやすくなる。

[0099]

<応用モデルについて>

次に、上記基本モデルを、OSトランジスタの+GBTストレス試験に適用した応用モデルについて、図4A、および図4Bを用いて説明を行う。

[0100]

なお、OSトランジスタの+GBTストレス試験では、ゲート電極に正の電位が印加される。ゲート電極に正の電位が印加される場合、ゲート電極から生じる電界が、金属酸化物のチャネル形成領域に印加される。

[0101]

図4A、および図4Bは、 V_{OH} と、分断された V_O および H と、の反応に関するエネルギーの推移の模式図である。まず、図4Aを用いて、OSトランジスタの+GBTストレス試験に適用した応用モデルについて、詳細に説明を行う。

[0102]

図4A、および図4Bにおいて、縦軸はエネルギーである。また、図4A、および図4B中の状態Aは、 V_O と H とが V_{OH} として存在する状態であり、図4A、および図4B中の状態Bは、 V_O と H とが分断された状態（ V_O+H と表記する）である。なお、状態1が状態2に変化する（反応する）のに必要なエネルギー ΔE を、状態1のエネルギーと、当該反応の途中で位置する最大のエネルギーとの差とする。つまり、反応に必要なエネルギー ΔE が大きいほど、当該反応は起こり難いといえる。

[0103]

図4Aに示すように、 V_OH は、分断された V_O および H よりも、安定に存在しやすく、エネルギーは低いと推測される。 V_OH が金属酸化物に加わる電界によって少しずつ新たに生成されることで、 ΔV_{sh} は時間経過に伴い負方向へシフトする場合がある。つまり、 V_O および H は、 V_O と H とが分断されて存在するよりも、 V_OH として存在する方が安定である。

[0104]

電界が金属酸化物に印加されない場合の、上記反応に関するエネルギーの推移を、図4Aに点線Pで示す。図4Aに示す点線Pにおいて、 ΔE_2 は、状態Aが状態Bに変化する（ V_OH が V_O と H とに分断される）のに必要なエネルギーである。また、 ΔE_1 は、状態Bが状態Aに変化する（ V_O と H とが結合し V_OH を形成する）のに必要なエネルギーである。

[0105]

電界が金属酸化物に印加されない場合、 V_OH と、分断された V_O および H と、の反応に必要なエネルギー（ ΔE_1 および ΔE_2 ）は、比較的大きい。よって、 V_OH を V_O と H とに分断する反応の頻度は、低温ほど低くなり、高温ほど高くなる。例えば、400℃の温度で4時間の熱処理を行うことで、 V_OH が V_O と H とに分断する反応が進み、さらに、加酸素化処理を行うことで、酸素欠損が修復され、水素が酸素と反応して H_2O として除去され、 V_OH が再形成されるのを抑制し、 V_OH を低減することができる。

[0106]

次に、電界が金属酸化物に印加された場合の、上記反応に関するエネルギーの推移を、図4Aに実線Qで示す。

[0107]

電界が金属酸化物に印加されることで、 V_OH の向きが変化する、または V_OH が再配列する場合がある。これにより、 V_OH と、分断された V_O および H と、の反応に関するエネルギーの推移が変化する。例えば、 V_OH と、分断された V_O および H と、の反応において、一または複数の準安定状態が存在する。つまり、 V_OH が V_O と H とに分断される反応、および、 V_O と H とが結合し V_OH を形成する反応のそれぞれにおいて、反応に必要なエネルギー ΔE が、複数存在する。

[0108]

図4Aでは、 V_OH と、分断された V_O および H と、の反応の途中に、1つの準安定状態（状態C）が存在する場合のエネルギーの推移を示している。ここで、状態Cは、 V_O と H とに関する準安定状態であり、ドナーとして機能する場合と、機能しない場合とがある。

[0109]

図4Aに示す実線Qにおいて、 ΔE_{AC} は、状態A（ V_OH ）が状態Cに変化するのに必要なエネルギーであり、 ΔE_{CB} は、状態Cが状態B（分断された V_O および H ）に変化するのに必要なエネルギーである。また、 ΔE_{BC} は、状態B（分断された V_O および H ）が状態Cに変化するのに必要なエネルギーであり、 ΔE_{CA} は、状態Cが状態A（ V_OH ）に変化するのに必要なエネルギーであり、 ΔE_{BA} は、状態B（分断された V_O および H ）が状態A（ V_OH ）に変化するのに必要なエネルギーである。

[0110]

なお、図4Aでは、 ΔE_{CA} が、 ΔE_{BC} よりも大きい例を示しているが、これに限られない。 ΔE_{CA} が、 ΔE_{BC} よりも小さい場合もあれば、 ΔE_{CA} と ΔE_{BC} とが等しい場合もある。なお、以下では、 ΔE_{CA} が、 ΔE_{BC} よりも大きいとして、説明する。

[0111]

図4Aに示すように、 ΔE_{AC} 、および ΔE_{CB} は、 ΔE_2 と比べて小さい。よって、電界が金属酸化物に印加されることで、金属酸化物中の V_OH が、 V_O と H とに分断する反応が進み易くなる。なお、金属酸化物に印加される電界が弱くても、金属酸化物中の V_OH が、 V_O と H とに分断する反応が進みうる。

[0112]

また、図4Aに示すように、 ΔE_{BC} は、 ΔE_1 と比べて小さいため、状態B（分断された V_O および H ）は、状態Cへと変化しやすい。また、 ΔE_{CA} は、 ΔE_{BC} と比べて大きいため、状態Cが状態A（ V_OH ）に変化する頻度は小さい。よって、電界が金属酸化物に印加されることで、金属酸化物中の V_O および H が状態Cへと変化しやすい。状態Cが、ドナーとして機能する、または、オフ電流に関するキャリアの伝導に寄与する場合、状態Cの数が増加することで、 ΔV_{sh} が負方向へ変動する。また、 ΔE_{CB} も小さいため、状態Cが、状態B（分断された V_O および H ）に戻りやすい。状態Cが、状態B（分断された V_O および H ）に戻ること、状態Cの数が減少する。なお、状態Cの数の減少は、 ΔV_{sh} に対して、正方向への変動には影響を与えるが、負方向への変動には影響を与えない。つまり、状態Cと、状態B（分断された V_O および H ）と、の反応が生じることで、エネルギーが不安定となり、 ΔV_{sh} のギザギザ挙動が生じる。

[0113]

また、図4Aに示すように、 ΔE_{BA} は、 ΔE_1 と比べて小さい。また、 ΔE_{BC} は、 ΔE_{BA} と比べて小さい。よって、電界が金属酸化物に印加されることで、金属酸化物中の状態B（分断された V_O および H ）が、状態A（ V_OH ）へと変化しやすい。 V_OH の数が増加することで、 ΔV_{sh} が負方向へ変動する。また、 ΔE_{AC} は、 ΔE_2 と比べて小さく、 ΔE_{CB} は、 ΔE_{AC} と比べて小さい。よって、電界が金属酸化物に印加されることで、金属酸化物中の V_OH が、状態B（分断された V_O および H ）へと戻りやすい。 V_OH が、分断された V_O および H に戻ることで、 V_OH の数が減少する。なお、 V_OH の数が減少することで、 ΔV_{sh} が正方向へ変動する確率が高まる。つまり、切断された V_O および H と、 V_OH との反応が生じることで、エネルギーが不安定となり、 ΔV_{sh} のギザギザ挙動が生じる。

[0114]

以上より、+GBTストレス試験における ΔV_{sh} のギザギザ挙動が、 V_OH に起因して生じることが理解できる。

[0115]

上述したように、電界が金属酸化物に印加されることで、 V_OH と、 V_OH が分断された V_O および H と、の反応において、一または複数の準安定状態が存在する。なお、図4Aにおいては、一の準安定状態が存在する場合のエネルギー推移の模式図を例示したが、複数の準安定状態が存在する場合のエネルギー推移の模式図を図4Bに示す。図4Bに示す点線Pは、図4Aと同様に、電界が金属酸化物に印加されない場合の、上記反応に関するエネルギーの推移である。また、図4Bに示す実線Qは、3つの準安定状態（状態C、状態D、および状態E）が存在する場合の、 V_OH と、分断された V_O および H と、の反応に関するエネルギーの推移である。準安定状態が1つ存在する場合と同様に、 V_OH と、分断された V_O および H と、の反応が起こり易く、+GBTストレス試験において、 ΔV_{sh} のギザギザ挙動が生じる。

[0116]

なお、図4Bに示す点線Pにおいて、 ΔE_2 は、状態A (V_OH) が状態B (分断された V_O およびH) に変化するのに必要なエネルギーであり、 ΔE_1 は、状態B (分断された V_O およびH) が状態A (V_OH) に変化するのに必要なエネルギーである。

[0117]

また、図4Bに示す実線Qにおいて、 ΔE_{AD} は、状態A (V_OH) が状態Dに変化するのに必要なエネルギーであり、 ΔE_{AC} は、状態A (V_OH) が状態Cに変化するのに必要なエネルギーであり、 ΔE_{CE} は、状態Cが状態Eに変化するのに必要なエネルギーであり、 ΔE_{EB} は、状態Eが状態B (分断された V_O およびH) に変化するのに必要なエネルギーである。また、 ΔE_{BE} は、状態B (分断された V_O およびH) が状態Eに変化するのに必要なエネルギーであり、 ΔE_{BC} は、状態B (分断された V_O およびH) が状態Cに変化するのに必要なエネルギーであり、 ΔE_{BD} は、状態B (分断された V_O およびH) が状態Dに変化するのに必要なエネルギーであり、 ΔE_{DA} は、状態Dが状態A (V_OH) に変化するのに必要なエネルギーである。また、 ΔE_{BA} は、状態B (分断された V_O およびH) が状態A (V_OH) に変化するのに必要なエネルギーであり、 ΔE_{CD} は、状態Cが状態Dに変化するのに必要なエネルギーである。

[0118]

図4Aおよび図4Bにおいては、金属酸化物に印加される電界の有無による、 V_OH と、分断された V_O およびHと、の反応に関するエネルギーの推移の模式図を例示したが、当該反応に関するエネルギーの推移は金属酸化物の結晶性の違いによっても変化する。例えば、図4Aおよび図4Bに示す点線Pを、単結晶の金属酸化物における、当該反応に関するエネルギーの推移と言い換え、図4Aおよび図4Bに示す実線Qを、CAAC構造またはnc構造を有する金属酸化物における、当該反応に関するエネルギーの推移と言い換えることができる場合がある。つまり、CAAC構造またはnc構造を有する金属酸化物は、単結晶の金属酸化物に比べて、 V_OH が、 V_O とHとに分断する反応が進みやすい場合がある。なお、nc構造を有する金属酸化物における、当該反応に関するエネルギーの推移は、図4Aおよび図4Bに示す実線Qよりも複雑である場合がある。

[0119]

以上の説明のように、金属酸化物中の V_OH は、生成と消滅とを繰り返していると推測される。別言すると、 V_OH が電界に依存してドリフトする、または V_OH が生成と消滅とを繰り返すことで、+GBTストレス試験におけるギザギザ挙動が生じると推測される。

[0120]

なお、金属酸化物中の V_OH の生成と消滅は、上述した ΔV_{sh} のギザギザ挙動以外にも、様々な不安定要因の一つとなりうる。例えば、OSトランジスタを測定する度にオフ電流が変動する現象についても、金属酸化物中の V_OH の生成と消滅に起因していると考えられる。

[0121]

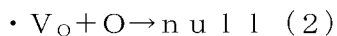
一方で、OSトランジスタにおいて、短チャネル効果に関するキャリアと V_OH に由来するキャリアとは異なるため、短チャネル効果が生じにくい効果も考えられる。なお、短チャネル効果の一つとして、OSトランジスタのS値の増加がある。S値はオン電流に関係しており、オン電流に関するキャリアは、 V_OH 起因のキャリアとは異なる。よって、 V_OH の生成と消滅とを繰り返しても、短チャネル効果には影響しない、あるいは影響を与えにくい。つまり、OSトランジスタは、短チャネル効果が生じにくいデバイス構造であると推測される。

[0122]

なお、上述の V_OH の消滅とは、 V_O と H とに分離すると表現することも可能である。 V_O と H との分離は、OSトランジスタの作製工程において、金属酸化物にマイクロ波処理による電界の印加、または脱水化処理、脱水素化処理、などの加熱処理によって、起こりうる。したがって、OSトランジスタの作製工程中において、マイクロ波処理、または加熱処理が重要な工程であることが理解できる。また、加熱処理としては、上述の加熱処理の他に、加酸素化処理も重要である。加酸素化処理とは、OSトランジスタの作製工程において、酸素雰囲気下で熱処理を行う、または過剰酸素を有する絶縁膜が金属酸化物に接した状態で加熱処理を行うことにより、金属酸化物中に形成された V_O を酸素により修復する処理である。

[0123]

また、上述の V_OH の消滅と、 V_O の酸素による修復とは、以下に示す式(1)及び式(2)で表すことができる。式(1)は V_OH の消滅、すなわち V_OH が V_O と H とに分離する状態を表しており、式(2)は V_O を酸素により修復された状態を表している。



[0124]

<金属酸化物中における、 V_OH の存在確率について>

次に、金属酸化物中における、 V_OH の存在確率について以下に説明を行う。

[0125]

OSトランジスタにおいて、ソース電極またはドレイン電極として機能する導電体と金属酸化物とが接することで、金属酸化物中の酸素が当該導電体へ拡散し、当該導電体が酸化する場合がある。当該導電体が酸化することで、当該導電体の導電率が低下する蓋然性が高い。なお、金属酸化物中の酸素が導電体へ拡散することを、導電体が金属酸化物中の酸素を吸収する、と言い換えることができる。

[0126]

また、金属酸化物中の酸素がソース電極およびドレイン電極へ拡散することで、ソース電極と金属酸化物との間、および、ドレイン電極と金属酸化物との間に層が形成される場合がある。当該層は、ソース電極またはドレイン電極よりも酸素を多く含むため、当該層は絶縁性を有すると推定される。このとき、ソース電極またはドレイン電極と、当該層と、金属酸化物との3層構造は、金属-絶縁体-半導体からなる3層構造とみなすことができ、MIS (Metal-Insulator-Semiconductor) 構造、またはMIS構造を主としたダイオード接合構造とみることができる。

[0127]

上記MIS構造において、ソース電極またはドレイン電極と、上記層との間に形成される電位障壁 ϕ_B に従ってバンドが曲がることで、 V_OH は、上記層と金属酸化物との界面に集まると推測される。すなわち、上記層と金属酸化物との界面における V_OH の存在確率は高くなると推測される。 V_OH が当該界面に集まることで、エネルギーが安定になる。さらに、 V_OH が当該界面に集まることで、上記界面近傍の金属酸化物に低抵抗領域が形成されると推測される。

[0128]

なお、当該界面に集まった V_OH に起因する水素が、ソース電極またはドレイン電極に拡散する場合がある。特に、ソース電極およびドレイン電極に、タンタルを含む窒化物を用いることで、当

該界面に集まったV_oHに起因する水素は、ソース電極またはドレイン電極に拡散しやすく、拡散した水素は、ソース電極またはドレイン電極が有する窒素と結合することがある。つまり、当該界面に集まったV_oHに起因する水素は、ソース電極またはドレイン電極に吸い取られる場合がある。

[0129]

例えば、400℃の温度で4時間の熱処理を行うことで、上記界面近傍の金属酸化物には、酸素欠乏状態の領域が形成される。このとき、金属酸化物中のV_oHは、MIS構造における電界の低い領域でも移動しやすくなり、上記界面近傍の金属酸化物には、低抵抗領域が形成される。

[0130]

<半導体装置の詳細な構成>

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の詳細な構成について説明する。

[0131]

絶縁体214は、水、水素などの不純物が、基板側からトランジスタ200に拡散するのを抑制する絶縁性バリア膜として機能することが好ましい。したがって、絶縁体214は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N₂O、NO、NO₂など)、銅原子などの不純物の拡散を抑制する機能を有する絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する絶縁性材料を用いることが好ましい。

[0132]

なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、当該不純物、または当該酸素のいずれか一またはすべての拡散を抑制する機能とする。また、水素または酸素の拡散を抑制する機能を有する膜を、水素または酸素が透過しにくい膜、水素または酸素の透過性が低い膜、水素または酸素に対してバリア性を有する膜、水素または酸素に対するバリア膜などと呼ぶ場合がある。また、バリア膜に導電性を有する場合、当該バリア膜を導電性バリア膜と呼ぶことがある。

[0133]

例えば、絶縁体214として、酸化アルミニウム、窒化シリコンなどを用いることが好ましい。これにより、水、水素などの不純物が、絶縁体214よりも基板側からトランジスタ200側に拡散するのを抑制することができる。また、絶縁体214などに含まれる酸素が、絶縁体214よりも基板側に、拡散するのを抑制することができる。なお、絶縁体214は、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。例えば、酸化アルミニウムと窒化シリコンとの積層としてもよい。

[0134]

また、例えば、絶縁体214として、スパッタリング法を用いて成膜した、窒化シリコンを用いることが好ましい。これにより、絶縁体214中の水素濃度を低くことができ、水、水素などの不純物が、絶縁体214よりも基板側からトランジスタ200側に拡散するのをより抑制することができる。

[0135]

層間膜として機能する絶縁体216は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ

素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[0136]

また、絶縁体216は、水素濃度が低く、過剰酸素領域、または加熱により離脱する酸素（以下、過剰酸素ともいう。）を有することが好ましい。例えば、絶縁体216として、スパッタリング法を用いて成膜した酸化シリコンを用いることが好ましい。これにより、酸化物230への水素の混入を抑制することができる。また、酸化物230に酸素を供給し、酸化物230中の酸素欠損を低減することができる。したがって、電気特性の変動が抑制され、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。

[0137]

なお、絶縁体216を積層構造にしてもよい。例えば、絶縁体216において、少なくとも導電体205の側面と接する部分に、絶縁体214と同様の絶縁体を設ける構成にしてもよい。このような構成にすることで、絶縁体216に含まれる酸素によって、導電体205が酸化するのを抑制することができる。また、導電体205により、絶縁体216に含まれる酸素量が減少するのを抑制することができる。

[0138]

導電体205は、第2のゲート（ボトムゲートともいう。）電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200のしきい値電圧（ V_{th} ）を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0139]

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、絶縁体214または絶縁体216に埋め込まれて設けることが好ましい。

[0140]

なお、導電体205は、図1Bに示すように、酸化物230におけるチャネル形成領域よりも、大きく設けるとよい。特に、図1Cに示すように、導電体205は、酸化物230のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体260の電界と、第2のゲート電極として機能する導電体205の電界によって、酸化物230のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、`surrounded channel`（`S-channel`）構造とよぶ。

[0141]

なお、本明細書等において、`S-channel`構造のトランジスタとは、一対のゲート電極の一方および他方の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等において、`S-channel`構造は、ソース電極およびドレイン電極として機

能する導電体240aおよび導電体240bに接する酸化物230の側面及び周辺が、チャネル形成領域と同じくI型であるといった特徴を有する。また、導電体240aおよび導電体240bに接する酸化物230の側面及び周辺は、絶縁体280と接しているため、チャネル形成領域と同様にI型となりうる。なお、本明細書等において、I型とは先に記載の高純度真性と同様として扱うことができる。また、本明細書等で開示するS-channel構造は、Fin型構造およびプレーナ型構造とは異なる。S-channel構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0142]

図1Cは、酸化物230と、導電体260と、が重なる領域の断面図である。また、図1Dは、酸化物230と、導電体260と、が重ならない領域の断面図である。図1Cに示すように、酸化物230の上端部は、曲率を有する形状とすることで、第1のゲート電極として機能する導電体260、および第2のゲート電極として機能する導電体205の一方または双方の電界を酸化物230に好適に与えることができる。一方で、図1Dに示すように、酸化物230の上端部は、曲率を有さない形状とすることで、酸化物230と導電体240bとの密着性を向上させることができ、また、絶縁体280の被覆性を向上させることができるため好適である。

[0143]

また、図1Cに示すように、導電体205は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体205の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体205は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体205を複数のトランジスタで共有する構成にしてもよい。

[0144]

なお、トランジスタ200では、導電体205の第1の導電体と導電体205の第2の導電体とを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205は、単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0145]

ここで、導電体205の第1の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0146]

導電体205の第1の導電体に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体205の第2の導電体が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体205の第1の導電体としては、上記導電性材料を単層または積層とすればよい。例えば、導電体205の第1の導電体は、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムと、チタンまたは窒化チタンとの積層としてもよい。

[0147]

また、導電体 205 の第 2 の導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 205 の第 2 の導電体を単層で図示したが、積層構造としてもよく、例えば、チタンまたは窒化チタンと、当該導電性材料との積層としてもよい。

[0148]

絶縁体 222、および絶縁体 224 は、ゲート絶縁体として機能する。

[0149]

絶縁体 222 は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体 222 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 222 は、絶縁体 224 よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0150]

絶縁体 222 は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、酸化物 230 から基板側への酸素の放出や、トランジスタ 200 の周辺部から酸化物 230 への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体 222 を設けることで、水素等の不純物が、トランジスタ 200 の内側へ拡散することを抑制し、酸化物 230 中の酸素欠損の生成を抑制することができる。また、導電体 205 が、絶縁体 224 や、酸化物 230 が有する酸素と反応することを抑制することができる。

[0151]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体 222 は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0152]

また、絶縁体 222 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）、（Ba, Sr） TiO_3 （BST）などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0153]

酸化物 230 と接する絶縁体 224 は、加熱により酸素を脱離することが好ましい。例えば、絶縁体 224 は、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

[0154]

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料、別言すると、過剰酸素領域を有する絶縁体材料を用いることが好ましい。加熱により酸素を脱離する酸化膜とは、

TDS (Thermal Desorption Spectroscopy) 分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0155]

また、上記過剰酸素領域を有する絶縁体と、酸化物 230 と、を接して加熱処理、マイクロ波処理、または RF 処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物 230 中の水、または水素を除去することができる。例えば、酸化物 230 において、 V_oH の結合が切断される反応が起きる、別言すると「 $\text{V}_o\text{H} \rightarrow \text{V}_o + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して、 H_2O として酸化物 230、または酸化物 230 近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体 240 a および導電体 240 b に拡散または捕獲（ゲッタリングともいう）される場合がある。なお、当該マイクロ波処理は、上述した処理条件を用いることができる。

[0156]

また、トランジスタ 200 の作製工程中において、酸化物 230 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 450°C 以下、より好ましくは 350°C 以上 400°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、 1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 230 に酸素を供給して、酸素欠損 (V_o) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

[0157]

なお、酸化物 230 に加酸素化処理を行うことで、酸化物 230 中の酸素欠損を、供給された酸素により修復させる、別言すると「 $\text{V}_o + \text{O} \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物 230 中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物 230 中に残存していた水素が酸素欠損に再結合して V_oH が形成されるのを抑制することができる。

[0158]

また、絶縁体 224 は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、例えば、絶縁体 216 と同様の材料を用いて設けてもよい。

[0159]

なお、絶縁体 222、および絶縁体 224 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0160]

酸化物 230 は、例えば、絶縁体 224 の上に配置された酸化物 230 a と、酸化物 230 a の上に配置された酸化物 230 b と、酸化物 230 b の上に配置され、少なくとも一部が酸化物 230 b の上面に接する酸化物 230 c と、を有することが好ましい。酸化物 230 b 下に酸化物 230 a を有することで、酸化物 230 a よりも下方に形成された構造物から、酸化物 230 b への不純物の拡散を抑制することができる。また、酸化物 230 b 上に酸化物 230 c を有することで、酸化物 230 c よりも上方に形成された構造物から、酸化物 230 b への不純物の拡散を抑制することができる。

[0161]

なお、トランジスタ 200 では、酸化物 230 が、酸化物 230 a、酸化物 230 b、および酸化物 230 c の 3 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 230 b の単層、酸化物 230 a と酸化物 230 b の 2 層構造、酸化物 230 b と酸化物 230 c の 2 層構造、または 4 層以上の積層構造を設ける構成にしてもよいし、酸化物 230 a、酸化物 230 b、酸化物 230 c のそれぞれが積層構造を有していてもよい。

[0162]

金属酸化物を用いたトランジスタにおいて、トランジスタを構成する導電体 240 a および導電体 240 b に、金属酸化物の酸素が徐々に吸収され、経時的変化の一つとして、酸素欠損を生じる場合がある。また、導電体 240 a および導電体 240 b が酸化することで、トランジスタ 200 と配線とのコンタクト抵抗が増加する場合がある。

[0163]

そこで、酸化物 230 と接して設けられる層間膜として機能する絶縁体 280 に、酸素を含む絶縁体を用いる。特に、絶縁体 280 には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。つまり、絶縁体 280 には、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう）が形成されていることが好ましい。

[0164]

また、導電体 240 a 上、および導電体 240 b 上に、それぞれ、バリア層として機能する絶縁体 245 a、および絶縁体 245 b を設けるとよい。絶縁体 245 a および絶縁体 245 b は、図 1 B に示すように、それぞれ導電体 240 a の上面、および導電体 240 b の上面に接することが好ましい。当該構成にすることで、導電体 240 a および導電体 240 b による、絶縁体 280 が有する過剰酸素の吸収を抑制することができる。また、導電体 240 a および導電体 240 b の酸化を抑制することで、トランジスタ 200 と配線とのコンタクト抵抗の増加を抑制することができる。よって、トランジスタ 200 に良好な電気特性および信頼性を与えることができる。

[0165]

従って、絶縁体 245 a および絶縁体 245 b は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 245 a および絶縁体 245 b は、絶縁体 280 よりも酸素の拡散を抑制する機能を有することが好ましい。

[0166]

絶縁体 245 a および絶縁体 245 b としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。または、絶縁体 245 a および絶縁体 245 b としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。

[0167]

ここで、図1Dに示すように、少なくとも酸化物230bの側面、導電体240aの側面、および導電体240bの側面は、絶縁体224と酸化物230aとが接する面に対し、概略垂直であることが好ましい。具体的には、図1Dで示す角 θ は、60度以上95度以下、好ましくは、88度以上92度以下とするといよい。

[0168]

また、酸化物230aの側面は、必ずしも絶縁体224と角度を有する必要はない。例えば、酸化物230aは、側面の一部が凹部を有していてもよい（アンダーカット形状ともいう）。酸化物230bの側面、導電体240aの側面、および導電体240bの側面を、絶縁体224と酸化物230aとが接する面に対し、概略垂直の形状に加工する際に、上述のアンダーカット形状となる場合がある。当該アンダーカット形状とすることで、酸化物230aに接する絶縁体280の接触面積を増加させられる場合があるため、絶縁体280から酸化物230bに好適に酸素を供給することができる。

[0169]

なお、図1Dは、トランジスタのチャネル幅方向における、酸化物230a、及び酸化物230bと、ソース電極およびドレイン電極の一方として機能する導電体（ここでは、導電体240b）と、が重なる領域の断面図である。

[0170]

また、図1Dに示すように、導電体240bの下面の長さを L_{1B} 、導電体240bの上面の長さを L_{1T} としてそれぞれ表すと、導電体240bの下面の長さに対する導電体240bの上面の長さの比（ L_{1T}/L_{1B} ）が0.7以上1.3以下であると好適である。例えば、導電体240bの下面の長さ（ L_{1B} ）が60nmである場合、導電体240bの上面の長さ（ L_{1T} ）は42nm以上78nm以下である。導電体240bの下面の長さ（ L_{1B} ）に対して、導電体240bの上面の長さ（ L_{1T} ）を上述の範囲とすることで、のちに形成される配線との接触抵抗を低減させることができる。

[0171]

なお、上述の接触抵抗のみ考慮した場合、導電体240bの上面の長さ（ L_{1T} ）を、上記範囲よりも長くすればよいが、導電体240bの上面の長さ（ L_{1T} ）が上記範囲を超えると、絶縁体280の被覆性（ステップカバレッジともいう）が悪くなる。したがって、導電体240bの下面の長さに対する導電体240bの上面の長さの比（ L_{1T}/L_{1B} ）としては、好ましくは0.7以上1.0以下、さらに好ましくは0.8以上0.95以下である。

[0172]

なお、上述の範囲としては、トランジスタのチャネル幅の長さ、または導電体240aもしくは導電体240bの厚さに依存するが、本発明の一態様においては、トランジスタのチャネル幅の長さ、ならびに導電体240aおよび導電体240bの厚さに特に限定はない。ただし、トランジスタのチャネル幅の長さとしては、好ましくは5nm以上100nm以下、より好ましくは10nm以上75nm以下である。また、導電体240aおよび導電体240bの厚さとしては、好ましくは5nm以上100nm以下、より好ましくは10nm以上50nm以下である。本発明の一態様のトランジスタとしては、上記範囲のトランジスタのチャネル幅、及び上記範囲の導電体240aおよび導電体240bの厚さであると、著しい効果が期待される。また、トランジスタのチャネル長の長さについても特に限定は無いが、上記チャネル幅と同等の範囲とすることができる。

[0173]

また、ここでは、酸化物230と、ソース電極およびドレイン電極の他方として機能する導電体（ここでは、導電体240a）と、が重なる領域の断面図を明示しないが、概ね図1Dに示す断面と同様となる。

[0174]

酸化物230は、化学組成が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、 I_n に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、 I_n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対する I_n の原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対する I_n の原子数比より大きいことが好ましい。また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

[0175]

また、酸化物230bおよび酸化物230cは、結晶性を有することが好ましい。例えば、後述するCAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。CAAC-OSなどの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物230bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物230bから酸素が引き抜かれることを低減できるので、トランジスタ200は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0176]

また、酸化物230cとして、CAAC-OSを用いることが好ましく、酸化物230cが有する結晶のc軸が、酸化物230cの被形成面または上面に概略垂直な方向を向いていることが好ましい。CAAC-OSは、c軸と垂直方向に酸素を移動させやすい性質を有する。したがって、酸化物230cが有する酸素を、酸化物230bに効率的に供給することができる。

[0177]

また、酸化物230aおよび酸化物230cの伝導帯下端は、酸化物230bの伝導帯下端より真空準位に近いことが好ましい。言い換えると、酸化物230aおよび酸化物230cの電子親和力は、酸化物230bの電子親和力より小さいことが好ましい。この場合、酸化物230cは、酸化物230aに用いることができる金属酸化物を用いることが好ましい。このとき、キャリアの主たる経路は酸化物230bとなる。

[0178]

ここで、酸化物230a、酸化物230b、および酸化物230cの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物230a、酸化物230b、および酸化物230cの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面に形成される混合層の欠陥準位密度を低くするとよい。

[0179]

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-Ga-Zn酸化物の場合、酸化物230aおよび酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いてもよい。

[0180]

具体的には、酸化物230aとして、In:Ga:Zn=1:3:4 [原子数比]、または1:1:0.5 [原子数比]の金属酸化物を用いればよい。また、酸化物230bとして、In:Ga:Zn=1:1:1 [原子数比]、またはIn:Ga:Zn=4:2:3 [原子数比]の金属酸化物を用いればよい。また、酸化物230cとして、In:Ga:Zn=1:3:4 [原子数比]、In:Ga:Zn=4:2:3 [原子数比]、Ga:Zn=2:1 [原子数比]、またはGa:Zn=2:5 [原子数比]の金属酸化物を用いればよい。

[0181]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であつてもよい。

[0182]

酸化物230a、酸化物230cを上述の構成とすることで、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は高いオン電流、および高い周波数特性を得ることができる。

[0183]

また、酸化物230cは、2層以上の積層構造を有していてもよい。例えば、酸化物230cの第1の酸化物と、酸化物230cの第1の酸化物の上に配置された酸化物230cの第2の酸化物と、を有していてもよい。

[0184]

酸化物230cの第1の酸化物は、酸化物230bに用いられる金属酸化物を構成する金属元素の少なくとも一つを含むことが好ましく、当該金属元素を全て含むことがより好ましい。例えば、酸化物230cの第1の酸化物として、In-Ga-Zn酸化物を用い、酸化物230cの第2の酸化物として、In-Ga-Zn酸化物、Ga-Zn酸化物、または酸化ガリウムを用いるとよい。これにより、酸化物230bと酸化物230cの第1の酸化物との界面における欠陥準位密度を低くすることができる。また、酸化物230cの第2の酸化物は、酸化物230cの第1の酸化物より、酸素の拡散または透過を抑制する金属酸化物であることが好ましい。絶縁体250と酸化物230cの第1の酸化物との間に酸化物230cの第2の酸化物を設けることで、絶縁体280に含まれる酸素が、絶縁体250に拡散するのを抑制することができる。したがって、当該酸素は、酸化物230cの第1の酸化物を介して、酸化物230bに供給されやすくなる。

[0185]

また、酸化物230aおよび酸化物230cの第2の酸化物の伝導帯下端が、酸化物230bおよび酸化物230cの第1の酸化物の伝導帯下端より真空準位に近いことが好ましい。また、言い換えると、酸化物230aおよび酸化物230cの第2の酸化物の電子親和力は、酸化物230b

および酸化物 230c の第 1 の酸化物の電子親和力より小さいことが好ましい。この場合、酸化物 230c の第 2 の酸化物は、酸化物 230a に用いることができる金属酸化物を用い、酸化物 230c の第 1 の酸化物は、酸化物 230b に用いることができる金属酸化物を用いることが好ましい。このとき、キャリアの主たる経路は酸化物 230b だけでなく、酸化物 230c の第 1 の酸化物もキャリアの主たる経路となる場合がある。

[0186]

具体的には、酸化物 230c の第 1 の酸化物として、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] の金属酸化物を用い、酸化物 230c の第 2 の酸化物として、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比]、 $\text{Ga} : \text{Zn} = 2 : 1$ [原子数比]、もしくは $\text{Ga} : \text{Zn} = 2 : 5$ [原子数比] の金属酸化物または酸化ガリウムを用いればよい。これにより、酸化物 230c の第 1 の酸化物と酸化物 230c の第 2 の酸化物との界面における欠陥準位密度を低くすることができる。

[0187]

また、酸化物 230c の第 2 の酸化物に用いる金属酸化物において、主成分である金属元素に対する In の原子数比が、酸化物 230c の第 1 の酸化物に用いる金属酸化物における、主成分である金属元素に対する In の原子数比より小さくすることで、In が絶縁体 250 側に拡散するのを抑制することができる。絶縁体 250 は、ゲート絶縁体として機能するため、In が絶縁体 250 などに混入した場合、トランジスタの特性不良となる。したがって、酸化物 230c を積層構造とすることで、信頼性の高い半導体装置を提供することが可能となる。

[0188]

導電体 240a および導電体 240b としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0189]

絶縁体 250 は、ゲート絶縁体として機能する。絶縁体 250 は、酸化物 230c の少なくとも一部に接して配置することが好ましい。絶縁体 250 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0190]

絶縁体 250 は、絶縁体 224 と同様に、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体 250 として、酸化物 230c の少なくとも一部に接して設けることにより、酸化物 230b のチャネル形成領域に効果的に酸素を供給し、酸化物 230b のチャネル形成領域の酸素欠損を低減することができる。したがって、電気特性の変動が抑制され、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。また、絶縁体 224 と同様に、絶縁体 250 中の水、水素などの不純物

濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

[0191]

また、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への酸素の拡散が抑制される。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の酸素による導電体260の酸化を抑制することができる。

[0192]

なお、上記金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、上記金属酸化物は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体250と上記金属酸化物との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0193]

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いることが好ましい。

[0194]

また、上記金属酸化物は、第1のゲート電極の一部としての機能を有してもよい。例えば、酸化物230として用いることができる金属酸化物を、上記金属酸化物として用いることができる。その場合、導電体260をスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。

[0195]

上記金属酸化物を有することで、導電体260からの電界の影響を弱めることなく、トランジスタ200のオン電流の向上を図ることができる。また、絶縁体250と、上記金属酸化物との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。また、絶縁体250、および上記金属酸化物との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

[0196]

導電体260は、導電体260aと、導電体260aの上に配置された導電体260bと、を有することが好ましい。例えば、導電体260aは、導電体260bの底面および側面を包むように配置されることが好ましい。

[0197]

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素

(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0198]

また、導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0199]

また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

[0200]

図1B、および図1Cでは、導電体260は、導電体260aと導電体260bの2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0201]

また、トランジスタ200では、導電体260は、絶縁体280などに形成されている開口を埋めるように自己整合的に形成される。導電体260をこのように形成することにより、導電体240aと導電体240bとの間の領域に、導電体260を位置合わせすることなく確実に配置することができる。

[0202]

また、図1Bに示すように、導電体260の上面は、絶縁体250の上面および酸化物230cの上面と略一致している。

[0203]

また、図1Cに示すように、トランジスタ200のチャネル幅方向において、導電体260の、導電体260と酸化物230bとが重ならない領域の底面は、酸化物230bの底面より低いことが好ましい。ゲート電極として機能する導電体260が、絶縁体250などを介して、酸化物230bのチャネル形成領域の側面および上面を覆う構成とすることで、導電体260の電界を酸化物230bのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ200のオン電流を増大させ、周波数特性を向上させることができる。絶縁体222の底面を基準としたとき、酸化物230aおよび酸化物230bと、導電体260とが、重ならない領域における導電体260の底面の高さと、酸化物230bの底面の高さと、の差をT1とすると、T1は、0nm以上100nm以下、好ましくは、3nm以上50nm以下、より好ましくは、5nm以上20nm以下とする。

[0204]

絶縁体280は、絶縁体224、酸化物230、導電体240a、および導電体240b上に設けられる。また、絶縁体280は、少なくとも、酸化物230の側面と接して設けられる。また、絶縁体280の上面は、平坦化されていてもよい。

[0205]

層間膜として機能する絶縁体280は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体280は、例えば、絶縁体216と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0206]

絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。また、絶縁体280は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、例えば、絶縁体216と同様の材料を用いて設けてもよい。なお、絶縁体280は、2層以上の積層構造を有していてもよい。

[0207]

絶縁体282は、絶縁体214などと同様に、水、水素などの不純物が、上方から絶縁体280に拡散するのを抑制する絶縁性バリア膜として機能することが好ましい。また、絶縁体282は、絶縁体214などと同様に、水素濃度が低く、水素の拡散を抑制する機能を有することが好ましい。

[0208]

また、図1Bに示すように、絶縁体282は、導電体260、絶縁体250、および酸化物230cのそれぞれの上面と接することが好ましい。これにより、絶縁体284などに含まれる水素などの不純物が、絶縁体250へ混入することを抑えることができる。したがって、トランジスタの電気特性およびトランジスタの信頼性への悪影響を抑制することができる。

[0209]

絶縁体282の上に、層間膜として機能する絶縁体284を設けることが好ましい。絶縁体284は、絶縁体216などと同様に、誘電率が低いことが好ましい。また、絶縁体284は、絶縁体224などと同様に、膜中の水、水素などの不純物濃度が低減されていることが好ましい。

[0210]

また、図示しないが、上記導電体を覆うように、抵抗率が $1.0 \times 10^{13} \Omega \text{cm}$ 以上 $1.0 \times 10^{15} \Omega \text{cm}$ 以下、好ましくは $5.0 \times 10^{13} \Omega \text{cm}$ 以上 $5.0 \times 10^{14} \Omega \text{cm}$ 以下の絶縁体を設けることが好ましい。上記導電体上に上記のような抵抗率を有する絶縁体を設けることで、当該絶縁体は、絶縁性を維持しつつ、トランジスタ200、上記導電体等の配線間に蓄積される電荷を分散し、該電荷によるトランジスタや、該トランジスタを有する電子機器の特性不良や静電破壊を抑制することができ、好ましい。

[0211]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0212]

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムからなる半導体基板、または炭化シリコン、シ

リコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0213]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0214]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0215]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

[0216]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

[0217]

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体（絶縁体214、絶縁体222、絶縁体245a、絶縁体245b、および絶縁体282など）で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0218]

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0219]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0220]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0221]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0222]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用い

ることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0223]

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0224]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0225]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0226]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

[0227]

[金属酸化物の構造]

酸化物半導体（金属酸化物）は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS（nanocrystalline oxide semiconductor）、擬似非晶質酸化物半導体（a-like OS: amorphous-like oxide semiconductor）、および非晶質酸化物半導体などがある。

[0228]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

[0229]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。

これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0230]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0231]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0232]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0233]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、In-Ga-Zn酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

[0234]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0235]

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0236]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0237]

酸化物半導体に不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。よって、酸化物半導体のチャネル形成領域に不純物が混入することで、酸化物半導体を用いたトランジスタの電気特性が変動しやすく、信頼性が悪くなる場合がある。また、チャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。

[0238]

また、上記欠陥準位には、トラップ準位が含まれる場合がある。金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0239]

また、酸化物半導体のチャネル形成領域に不純物が存在すると、チャネル形成領域の結晶性が低くなる場合がある、また、チャネル形成領域に接して設けられる酸化物の結晶性が低くなる場合がある。チャネル形成領域の結晶性が低いと、トランジスタの安定性または信頼性が悪化する傾向がある。また、チャネル形成領域に接して設けられる酸化物の結晶性が低いと、界面準位が形成され、トランジスタの安定性または信頼性が悪化する場合がある。

[0240]

したがって、トランジスタの安定性または信頼性を向上させるには、酸化物半導体のチャネル形成領域およびその近傍の不純物濃度を低減することが有効である。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0241]

具体的には、当該酸化物半導体のチャネル形成領域およびその近傍において、SIMSにより得られる上記不純物の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。または、当該酸化物半導体のチャネル形成領域およびその近傍において、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いた元素分析により得られる上記不純物の濃度を、1.0 atomic %以下にする。なお、当該酸化物半導体として元素Mを含む酸化物を用いる場合、当該酸化物半導体のチャネル形成領域およびその近傍において、元素Mに対する上記不純物の濃度比を、0.1未満、好ましくは0.05未満にする。ここで、上記濃度比を算出する際に用いる元素Mの濃度は、上記不純物の濃度を算出した領域と同じ領域の濃度でもよいし、当該酸化物半導体中の濃度でもよい。

[0242]

また、不純物濃度を低減した金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0243]

<半導体装置の作製方法>

次に、図1A乃至図1Dに示す、本発明の一態様に係るトランジスタ200を有する半導体装置の作製方法を、図5A乃至図13Dを用いて説明する。

[0244]

図5A、図6A、図7A、図8A、図9A、図10A、図11A、図12A、および図13Aは上面図を示す。また、図5B、図6B、図7B、図8B、図9B、図10B、図11B、図12B、

および図13Bはそれぞれ、図5A、図6A、図7A、図8A、図9A、図10A、図11A、図12A、および図13AにA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図5C、図6C、図7C、図8C、図9C、図10C、図11C、図12C、および図13Cはそれぞれ、図5A、図6A、図7A、図8A、図9A、図10A、図11A、図12A、および図13AにA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。また、図5D、図6D、図7D、図8D、図9D、図10D、図11D、図12D、および図13Dはそれぞれ、図5A、図6A、図7A、図8A、図9A、図10A、図11A、図12A、および図13AにA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。なお、図5A、図6A、図7A、図8A、図9A、図10A、図11A、図12A、および図13Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0245]

まず、基板（図示しない。）を準備し、当該基板上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、化学気相成長（CVD: Chemical Vapor Deposition）法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD: Pulsed Laser Deposition）法、原子層堆積（ALD: Atomic Layer Deposition）法などを用いて行うことができる。

[0246]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD: Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD: Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD: Metal CVD）法、有機金属CVD（MOCVD: Metal Organic CVD）法に分けることができる。

[0247]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージが生じない成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0248]

また、ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。また、ALD法には、プラズマを利用するPEALD（Plasma Enhanced ALD）法も含まれる。プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合が

ある。なお、不純物の定量は、X線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いて行うことができる。

[0249]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0250]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0251]

本実施の形態では、絶縁体214として、スパッタリング法によって窒化シリコンを成膜する。また、絶縁体214は、多層構造としてもよい。

[0252]

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、CVD法によって酸化窒化シリコンを成膜する。

[0253]

次に、絶縁体216に絶縁体214に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体214は、絶縁体216をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体216に酸化窒化シリコンを用いた場合は、絶縁体214は窒化シリコン、酸化アルミニウム、酸化ハフニウムを用いるとよい。

[0254]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源

を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

[0255]

開口の形成後に、導電体205の第1の導電体となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0256]

本実施の形態では、導電体205の第1の導電体となる導電膜として、スパッタリング法によって窒化タンタル膜、または、窒化タンタルの上に窒化チタンを積層した膜を成膜する。このような金属窒化物を導電体205の第1の導電体に用いることにより、後述する導電体205の第2の導電体として銅などの拡散しやすい金属を用いても、当該金属が導電体205の第1の導電体から外に拡散するのを防ぐことができる。

[0257]

次に、導電体205の第1の導電体となる導電膜上に、導電体205の第2の導電体となる導電膜を成膜する。該導電膜の成膜は、メッキ法、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、該導電膜として、タングステン膜を成膜する。

[0258]

次に、CMP（Chemical Mechanical Polishing）処理を行うことで、導電体205の第1の導電体となる導電膜、および導電体205の第2の導電体となる導電膜の一部を除去し、絶縁体216を露出する。その結果、開口部のみに、導電体205の第1の導電体となる導電膜、および導電体205の第2の導電体となる導電膜が残存する。これにより、上面が平坦な、導電体205の第1の導電体および導電体205の第2の導電体を含む導電体205を形成することができる（図5A乃至図5C参照。）。

[0259]

なお、導電体205を形成した後に、導電体205の第2の導電体の一部を除去して、導電体205の第2の導電体に溝を形成し、当該溝を埋め込むように導電体205および絶縁体216上に導電膜を成膜し、CMP処理を行う工程を行ってもよい。当該CMP処理により、当該導電膜の一部を除去し、絶縁体216を露出する。なお、導電体205の第2の導電体の一部は、ドライエッチング法などを用いて除去するとよい。

[0260]

上記工程により、上面が平坦な、上記導電膜を含む導電体205を形成することができる。絶縁体216と導電体205の上面の平坦性を向上させることにより、酸化物230a、酸化物230b、および酸化物230cの結晶性の向上を図ることができる。なお、当該導電膜には、導電体205の第1の導電体または導電体205の第2の導電体と同様の材料を用いるとよい。

[0261]

ここからは、上記と異なる導電体205の形成方法について以下に説明する。

[0262]

絶縁体214上に、導電体205となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。また、該導電膜は、多層膜とすることができる。例えば、該導電膜としてタングステン膜を成膜する。

[0263]

次に、リソグラフィ法を用いて、導電体205となる導電膜を加工し、導電体205を形成する。

[0264]

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0265]

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電体205となる導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電体205となる導電膜のエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電体205となる導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0266]

次に、絶縁体214、および導電体205上に絶縁体216となる絶縁膜を成膜する。当該絶縁膜は、導電体205の上面、および側面と接するように形成する。当該絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0267]

ここで、絶縁体216となる絶縁膜の膜厚は、導電体205の膜厚以上とすることが好ましい。例えば、導電体205の膜厚を1とすると、絶縁体216となる絶縁膜の膜厚は、1以上3以下とする。

[0268]

次に、絶縁体216となる絶縁膜にCMP処理を行うことで、当該絶縁膜の一部を除去し、導電体205の表面を露出させる。これにより、上面が平坦な、導電体205と、絶縁体216とを形成することができる。以上が、導電体205の異なる形成方法である。

[0269]

次に、絶縁体216、および導電体205上に絶縁体222を成膜する。絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体222として、ALD法によって、酸化ハフニウムまたは酸化アルミニウムを成膜する。

[0270]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0271]

本実施の形態では、加熱処理として、絶縁体222の成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体222に含まれる水、水素などの不純物を除去することなどができる。また、加熱処理は、絶縁体224の成膜後などのタイミングで行うこともできる。

[0272]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、CVD法によって酸化窒化シリコンを成膜する。

[0273]

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRFを印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

[0274]

ここで、絶縁体224上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁体224に達するまで、CMP処理を行ってもよい。当該CMP処理を行うことで絶縁体224表面の平坦化および平滑化を行うことができる。当該酸化アルミニウムを絶縁体224上に配置してCMP処理を行うことで、CMP処理の終点検出が容易となる。また、CMP処理によって、絶縁体224の一部が研磨されて、絶縁体224の膜厚が薄くなることがあるが、絶縁体224の成膜時に膜厚を調整すればよい。絶縁体224表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合があ

る。また、絶縁体 224 上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体 224 に酸素を添加することができるので好ましい。

[0275]

次に、絶縁体 224 上に、酸化膜 230A、酸化膜 230B を順に成膜する（図 5B 乃至図 5D 参照。）。なお、酸化膜 230A および酸化膜 230B は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜 230A、および酸化膜 230B 上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜 230A と酸化膜 230B との界面近傍を清浄に保つことができる。

[0276]

酸化膜 230A、および酸化膜 230B の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

[0277]

例えば、酸化膜 230A、および酸化膜 230B をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記の In-M-Zn 酸化物ターゲットなどを用いることができる。

[0278]

特に、酸化膜 230A の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 224 に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は 70% 以上、好ましくは 80% 以上、より好ましくは 100% とすればよい。

[0279]

また、酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30% を超えて 100% 以下、好ましくは 70% 以上 100% 以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を 1% 以上 30% 以下、好ましくは 5% 以上 20% 以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

[0280]

本実施の形態では、酸化膜 230A として、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] の In-Ga-Zn 酸化物ターゲットを用いて成膜する。また、酸化膜 230B として、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4, 1$ [原子数比] の In-Ga-Zn 酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物 230 に求める特性に合わせて形成するとよい。

[0281]

なお、絶縁体 222、絶縁体 224、酸化膜 230A、および酸化膜 230B を、大気に暴露することなく成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。

[0282]

次に、加熱処理を行ってもよい。当該加熱処理は、上述した加熱処理条件を用いることができる。当該加熱処理によって、酸化膜230A、および酸化膜230B中の水、水素などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

[0283]

次に、酸化膜230B上に導電膜240Aを成膜する。導電膜240Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる（図5B乃至図5D参照。）。なお、導電膜240Aの成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜240Aを成膜してもよい。このような処理を行うことによって、酸化膜230Bの表面などに吸着している水分および水素を除去し、さらに酸化膜230Aおよび酸化膜230B中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

[0284]

続いて、バリア層として機能する絶縁膜245Aを形成する（図5B乃至図5D参照。）。

[0285]

例えば、絶縁膜245Aとして、ALD法により酸化アルミニウム膜を形成するとよい。ALD法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える膜を形成することができる。

[0286]

次に、絶縁膜245A上に、ハードマスクとなる膜290Aを形成する（図5B乃至図5D参照。）。例えば、ハードマスクとなる膜290Aとして、タングステン膜、または窒化タンタル膜をスパッタリング法で形成するとよい。

[0287]

次に、ハードマスクとなる膜290A上にフォトリソグラフィ法によりレジストマスク292を形成する（図5A乃至図5D参照。）。レジストマスク292を用いて、ハードマスクとなる膜290A、および絶縁膜245Aの一部を選択的に除去することで、ハードマスク290B、および絶縁層245Bを形成する（図6A乃至図6D参照。）。

[0288]

次に、ハードマスク290B、および絶縁層245Bを用いて、導電膜240Aの一部を選択的に除去し、島状の導電層240Bを形成する（図7A乃至図7D参照。）。なお、このとき、ハードマスク290Bの一部、または全部が除去されてもよい。

[0289]

続いて、島状の導電層240B、絶縁層245B、ハードマスク290Bをマスクとして酸化膜230A、および酸化膜230Bの一部を選択的に除去する。なお、本工程において、同時に絶縁体224の一部も除去される場合がある。その後、ハードマスク290Bを除去することにより、島状の酸化物230a、島状の酸化物230b、島状の導電層240B、島状の絶縁層245Bの積層構造を形成することができる（図8A乃至図8D参照。）。

[0290]

ここで、酸化物230b、および導電層240Bの側面は、絶縁体224の上面に対し、概略垂直であることが好ましい。具体的には、図1Dで示す角 θ は、60度以上95度以下、好ましくは、88度以上92度以下とするとい。酸化物230b、および導電層240Bの側面が、絶縁体224の上面に対し、概略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。また、導電層240Bを上記の形状とすることで、のちに形成される配線層との接触面積を向上させることができる。したがって、導電層240Bと、配線層とのコンタクト抵抗の上昇を抑制することができる。

[0291]

また、本工程において、ハードマスク290Bを用いて導電膜240Aの加工を行うことで、導電体240aおよび導電体240bの形状に不要なエッチング（CDロスともいう）の形成を抑制することができる。

[0292]

例えば、レジストマスクを用いた場合、エッチング時にマスクがサイドエッチングされて、被加工物の端部表面が露出し、角部が丸くなる場合がある。導電体240aおよび導電体240bにおいて、当該不良が大きい場合、導電体240aおよび導電体240bの体積が、設計値よりも減少し、オン電流が小さくなる場合がある。

[0293]

そこで、ハードマスクに対するエッチレートの選択比が大きい材質を被加工物として用いることで、エッチング時にハードマスクの形状が維持され、被加工物が形状不良となることを抑制できる。具体的には、ハードマスクに用いる材質のエッチレートを1とした場合、被加工物のエッチレートは5以上、好ましくは10以上の材質をマスクとして用いるとい。

[0294]

次に、島状の酸化物230a、島状の酸化物230b、島状の導電層240B、島状の絶縁層245Bの積層構造上に、絶縁体280となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、当該絶縁膜として、CVD法、またはスパッタリング法によって酸化シリコン膜を成膜する。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁体224の表面などに吸着している水分および水素を除去し、さらに酸化物230a、酸化物230b、および絶縁体224中の水分濃度および水素濃度を低減させることができる。上述した加熱処理条件を用いることができる。

[0295]

また、絶縁体280となる絶縁膜は、多層構造としてもよい。例えば、スパッタリング法によって酸化シリコン膜を成膜し、当該酸化シリコン膜上に、CVD法によって酸化シリコン膜を成膜する構造としてもよい。

[0296]

次に、絶縁体280となる絶縁膜にCMP処理を行い、上面が平坦な絶縁体280を形成する（図8B乃至図8D参照。）。

[0297]

次に、絶縁体 280 の一部、絶縁層 245 B の一部、および導電層 240 B の一部を加工して、酸化物 230 b に達する開口を形成する。当該開口は、導電体 205 と重なるように形成することが好ましい。当該開口の形成によって、導電体 240 a、導電体 240 b、絶縁体 245 a、および絶縁体 245 b を形成する。このとき、酸化物 230 b の当該開口と重なる領域の膜厚が薄くなる場合がある（図 9 A 乃至図 9 C 参照。）。

[0298]

また、絶縁体 280 の一部、絶縁層 245 B の一部、および導電層 240 B の一部の加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体 280 の一部をドライエッチング法で加工し、絶縁層 245 B の一部をウェットエッチング法で加工し、導電層 240 B の一部をドライエッチング法で加工してもよい。

[0299]

ここで、酸化物 230 a、酸化物 230 b などの表面に付着または内部に拡散した不純物を除去することが好ましい。当該不純物としては、絶縁体 280、絶縁層 245 B、および導電層 240 B に含まれる成分、上記開口を形成する際に用いられる装置に使われている部材に含まれる成分、エッチングに使用するガスまたは液体に含まれる成分などに起因したものが挙げられる。当該不純物としては、例えば、アルミニウム、シリコン、タンタル、フッ素、塩素などがある。

[0300]

上記の不純物などを除去するために、洗浄処理を行ってもよい。洗浄方法としては、洗浄液などを用いたウェット洗浄、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせて行ってもよい。

[0301]

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて洗浄処理を行ってもよい。また、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。また、これらの洗浄を適宜組み合わせて行ってもよい。

[0302]

次に加熱処理を行ってもよい。当該加熱処理は、酸素を含む雰囲気下で行うと好適である。また、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して酸化膜 230 C を成膜してもよい（図 10 A 乃至図 10 D 参照。）。このような処理を行うことによって、酸化物 230 b の表面などに吸着している水分および水素を除去し、さらに酸化物 230 a および酸化物 230 b 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

[0303]

酸化膜 230 C の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。酸化物 230 c に求める特性に合わせて、酸化膜 230 A、または酸化膜 230 B と同様の成膜方法を用いて、酸化膜 230 C を成膜すればよい。本実施の形態では、酸化膜 230 C として、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比]、または $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比] の In-Ga-Zn 酸化物ターゲットを用いて成膜する。または、酸化膜 230 C として、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=\text{---}$

4 : 2 : 4. 1 [原子数比] の In-Ga-Zn 酸化物ターゲットを用いて成膜し、その上に $\text{In : Ga : Zn} = 1 : 3 : 4$ [原子数比] の In-Ga-Zn 酸化物ターゲットを用いて成膜する。
[0304]

特に、酸化膜 230C の成膜時に、スパッタリングガスに含まれる酸素の一部が酸化物 230a および酸化物 230b に供給される場合がある。したがって、酸化膜 230C のスパッタリングガスに含まれる酸素の割合は 70% 以上、好ましくは 80% 以上、より好ましくは 100% とすればよい。

[0305]

次に加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜 250A を成膜してもよい。このような処理を行うことによって、酸化膜 230C の表面などに吸着している水分および水素を除去し、さらに酸化物 230a、酸化物 230b、および酸化膜 230C 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃ 以上 400℃ 以下が好ましい。

[0306]

絶縁膜 250A は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて成膜することができる（図 10A 乃至図 10D 参照。）。本実施の形態では、絶縁膜 250A として、CVD 法により、酸化窒化シリコン膜を成膜する。なお、絶縁膜 250A を成膜する際の成膜温度は、350℃ 以上 450℃ 未満、特に 400℃ 前後とすることが好ましい。絶縁膜 250A を、400℃ で成膜することで、不純物が少ない絶縁膜を成膜することができる。

[0307]

ここで、絶縁膜 250A を成膜後に、酸素を含む雰囲気下、および減圧下にて、マイクロ波処理を行ってもよい（図 11B 乃至図 11D 参照。）。マイクロ波処理を行うことにより、マイクロ波 291 による電界が絶縁膜 250A、酸化物 230a、酸化物 230b、および酸化膜 230C に与えられ、酸化物 230a 中、酸化物 230b 中、および酸化膜 230C 中の $\text{V}_\text{O}\text{H}$ を V_O と水素とに分断することができる。この時分断された水素の一部は、酸素と結合して H_2O として、絶縁膜 250A、酸化物 230a、酸化物 230b、および酸化膜 230C から除去される場合がある。また、水素の一部は、導電体 240a、および導電体 240b にゲッタリングされる場合がある。このように、マイクロ波処理を行うことで、絶縁膜 250A 中、酸化物 230a 中、酸化物 230b 中、および酸化膜 230C 中の水素濃度を低減することができる。また、酸化物 230a 中、酸化物 230b 中、および酸化膜 230C 中の $\text{V}_\text{O}\text{H}$ を V_O と水素とに分断した後に存在する V_O に酸素が供給されることで V_O を修復または補填することができる。

[0308]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁膜 250A 中、酸化物 230a 中、酸化物 230b 中、および酸化膜 230C 中の水素を効率よく除去することができる。また、水素の一部は、導電体 240a、および導電体 240b にゲッタリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返し行うことで、絶縁膜 250A 中、酸化物 230a 中、酸化物 230b 中、酸化膜 230C 中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、300℃ 以上 500℃ 以下とすることが好ましい。

[0309]

また、マイクロ波処理を行うことにより、絶縁膜250Aの膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体260となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体250を介して、水素、水、不純物等が、酸化物230へ拡散することを抑制することができる。なお、マイクロ波処理装置の構成については後述する。

[0310]

次に、導電膜260A、導電膜260Bを順に成膜する。導電膜260Aおよび導電膜260Bの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、ALD法を用いて、導電膜260Aを成膜し、CVD法を用いて導電膜260Bを成膜する（図12A乃至図12D参照。）。

[0311]

次に、CMP処理によって、酸化膜230C、絶縁膜250A、導電膜260A、および導電膜260Bを絶縁体280が露出するまで研磨することによって、酸化物230c、絶縁体250、および導電体260（導電体260a、および導電体260b）を形成する（図13A乃至図13C参照。）。これにより、酸化物230cは、酸化物230bに達する開口の内壁（側壁、および底面）を覆うように配置される。また、絶縁体250は、酸化物230cを介して、上記開口の内壁を覆うように配置される。また、導電体260は、酸化物230cおよび絶縁体250を介して、上記開口を埋め込むように配置される。

[0312]

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。該加熱処理によって、絶縁体250および絶縁体280中の水分濃度および水素濃度を低減させることができる。

[0313]

次に、酸化物230c、絶縁体250、導電体260、および絶縁体280上に、絶縁体282を成膜する。絶縁体282の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。絶縁体282としては、例えば、スパッタリング法によって、酸化アルミニウム、または窒化シリコンを成膜することが好ましい。スパッタリング法によって、酸化アルミニウム、または窒化シリコンを成膜することによって、絶縁体284が有する水素を酸化物230へ拡散することを抑制することができる。また、導電体260と接するように絶縁体282を形成することで、導電体260の酸化を抑制することができ、好ましい。

[0314]

また、絶縁体282として、スパッタリング法によって、酸化アルミニウムを形成することで、絶縁体280に酸素を供給することができる。絶縁体280に供給された酸素は、酸化物230cを介して、酸化物230bが有するチャネル形成領域に供給される場合がある。また、絶縁体280に酸素が供給されることで、絶縁体282形成前に絶縁体280に含まれていた酸素が、酸化物230cを介して、酸化物230bが有するチャネル形成領域に供給される場合がある。

[0315]

また、絶縁体282は、多層構造としてもよい。例えば、スパッタリング法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、スパッタリング法によって窒化シリコンを成膜する構造としてもよい。

[0316]

次に、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。当該加熱処理によって、絶縁体 280 の水分濃度および水素濃度を低減させることができる。また、絶縁体 282 が有する酸素を絶縁体 280 に注入することができる。

[0317]

なお、絶縁体 282 を成膜する前に、はじめに、絶縁体 280 などの上に、スパッタリング法によって酸化アルミニウム膜を成膜し、次に、上述した加熱処理条件を用いて加熱処理を行い、次に、CMP 処理によって、当該酸化アルミニウム膜を除去する工程を行ってもよい。当該工程により、絶縁体 280 に過剰酸素領域をより多く形成することができる。なお、当該工程において、絶縁体 280 の一部、導電体 260 の一部、絶縁体 250 の一部、および酸化物 230 c の一部が除去される場合がある。

[0318]

また、絶縁体 280 と絶縁体 282 との間に、絶縁体を設けてもよい。当該絶縁体として、例えば、スパッタリング法を用いて成膜した酸化シリコンを用いればよい。当該絶縁体を設けることで、絶縁体 280 に過剰酸素領域を形成することができる。

[0319]

次に絶縁体 282 上に、絶縁体 284 を成膜してもよい。絶縁体 284 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる（図 1 B 乃至図 1 D 参照。）。

[0320]

以上により、図 1 A 乃至図 1 D に示すトランジスタ 200 を有する半導体装置を作製することができる。

[0321]

また、トランジスタ 200 の形成後、トランジスタ 200 を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ 200 を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ 200 をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ 200 を囲むように開口を形成する場合、例えば、絶縁体 214 または絶縁体 222 に達する開口を形成し、絶縁体 214 または絶縁体 222 に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ 200 の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体 222 と同様の材料を用いればよい。

[0322]

本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0323]

<半導体装置の変形例>

以下では、図 1 4 A 乃至図 1 5 D を用いて、本発明の一態様に係るトランジスタ 2 0 0 を有する半導体装置の一例について説明する。

[0 3 2 4]

ここで、図 1 4 A、および図 1 5 A は、上面図を示す。また、図 1 4 B、および図 1 5 B はそれぞれ、図 1 4 A、および図 1 5 A に A 1 - A 2 の一点鎖線で示す部位に対応する断面図である。また、図 1 4 C、および図 1 5 C はそれぞれ、図 1 4 A、および図 1 5 A に A 3 - A 4 の一点鎖線で示す部位に対応する断面図である。また、図 1 4 D、および図 1 5 D はそれぞれ、図 1 4 A、および図 1 5 A に A 5 - A 6 の一点鎖線で示す部位に対応する断面図である。図 1 4 A、および図 1 5 A の上面図では、図の明瞭化のために一部の要素を省いている。

[0 3 2 5]

なお、図 1 4 A 乃至図 1 5 D に示す半導体装置において、＜半導体装置の構成例＞に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については＜半導体装置の構成例＞で詳細に説明した材料を用いることができる。

[0 3 2 6]

[半導体装置の変形例 1]

図 1 4 A 乃至図 1 4 D に示す半導体装置は、図 1 A 乃至図 1 D に示した半導体装置とは、絶縁体 2 4 5 a および絶縁体 2 4 5 b を設けない点、絶縁体 2 5 4 を、導電体 2 4 0 a の上面および側面、導電体 2 4 0 b の上面および側面、酸化物 2 3 0 b の側面、酸化物 2 3 0 a の側面、ならびに、絶縁体 2 2 4 の上面に接するように設ける点が異なる。

[0 3 2 7]

絶縁体 2 5 4 は、水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 2 5 4 は、絶縁体 2 2 4、および絶縁体 2 8 0 よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。これにより、絶縁体 2 8 0 に含まれる水素が、酸化物 2 3 0 a および酸化物 2 3 0 b に拡散するのを抑制することができる。さらに、絶縁体 2 5 4 によって、絶縁体 2 2 4、酸化物 2 3 0 などを囲むことにより、水、水素などの不純物が、外方から絶縁体 2 2 4、および酸化物 2 3 0 に拡散することを抑制することができる。よって、トランジスタ 2 0 0 に良好な電気特性および信頼性を与えることができる。

[0 3 2 8]

絶縁体 2 5 4 は、スパッタリング法を用いて成膜されることが好ましい。絶縁体 2 5 4 を、酸素を含む雰囲気中でスパッタリング法を用いて成膜することで、絶縁体 2 2 4 の絶縁体 2 5 4 と接する領域近傍に酸素を添加することができる。これにより、当該領域から、絶縁体 2 2 4 を介して酸化物 2 3 0 中に酸素を供給することができる。ここで、絶縁体 2 5 4 が、上方への酸素の拡散を抑制する機能を有することで、酸素が酸化物 2 3 0 から絶縁体 2 8 0 へ拡散することを防ぐことができる。また、絶縁体 2 2 2 が、下方への酸素の拡散を抑制する機能を有することで、酸素が酸化物 2 3 0 から基板側へ拡散することを防ぐことができる。このようにして、酸化物 2 3 0 のチャネル形成領域に酸素が供給される。これにより、酸化物 2 3 0 の酸素欠損を低減し、トランジスタのノーマリーオン化を抑制することができる。

[0 3 2 9]

絶縁体 254 としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。この場合、絶縁体 254 は、ALD 法を用いて成膜されることが好ましい。ALD 法は、被覆性の良好な成膜法なので、絶縁体 254 の凹凸によって、段切れなどが形成されるのを防ぐことができる。

[0330]

また、絶縁体 254 としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。これにより、絶縁性に優れ、且つ熱伝導性に優れた膜とすることができるため、トランジスタ 200 を駆動したときに生じる熱の放熱性を高めることができる。また、窒化シリコン、窒化酸化シリコンなどを用いることもできる。

[0331]

また、絶縁体 254 としては、例えば、ガリウムを含む酸化物を用いてもよい。ガリウムを含む酸化物は、水素および酸素的一方または双方の拡散を抑制する機能を有する場合があるため好ましい。なお、ガリウムを含む酸化物として、酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物などを用いることができる。なお、絶縁体 254 としてインジウムガリウム亜鉛酸化物を用いる場合、インジウムに対するガリウムの原子数比は大きい方が好ましい。当該原子数比を大きくすることで、当該酸化物の絶縁性を高くすることができる。

[0332]

[半導体装置の変形例 2]

図 15A 乃至図 15D に示す半導体装置は、図 14A 乃至図 14D に示した半導体装置とは、酸化物 230c を設けない点、絶縁体 254 を、絶縁体 254a と絶縁体 254b との積層構造とする点が異なる。

[0333]

絶縁体 254 を 2 層の積層構造とする場合、絶縁体 254a、および絶縁体 254b の成膜には、上記方法を用いて行うことができ、絶縁体 254a、および絶縁体 254b の成膜は、同じ方法を用いてもよいし、異なる方法を用いてもよい。例えば、絶縁体 254a として、酸素を含む雰囲気ですパッタリング法を用いて成膜し、次に ALD 法を用いて絶縁体 254b を成膜してもよい。ALD 法は、被覆性の良好な成膜法なので、1 層目の凹凸によって、段切れなどが形成されるのを防ぐことができる。

[0334]

また、絶縁体 254a、および絶縁体 254b には上記材料を用いることができ、絶縁体 254a、および絶縁体 254b は同じ材料としてもよいし、異なる材料としてもよい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンまたは窒化シリコンと、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体と、の積層構造としてもよい。また、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。

[0335]

以上より、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。また、微細化または高集積化が可能な半導体装置を提供することができる。また、低消費電力の半導体装置を提供することができる。

[0336]

<マイクロ波処理装置>

以下では、本発明の一態様に係るマイクロ波処理装置について説明する。

[0337]

まずは、半導体装置などの製造時に不純物の混入が少ない製造装置の構成について図16乃至図18を用いて説明する。

[0338]

図16は、枚葉式マルチチャンバーの製造装置2700の上面図を模式的に示している。製造装置2700は、基板を収容するカセットポート2761と、基板のアライメントを行うアライメントポート2762と、を備える大気側基板供給室2701と、大気側基板供給室2701から、基板を搬送する大気側基板搬送室2702と、基板の搬入を行い、かつ室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替えるロードロック室2703aと、基板の搬出を行い、かつ室内の圧力を減圧から大気圧、または大気圧から減圧へ切り替えるアンロードロック室2703bと、真空中の基板の搬送を行う搬送室2704と、チャンバー2706aと、チャンバー2706bと、チャンバー2706cと、チャンバー2706dと、を有する。

[0339]

また、大気側基板搬送室2702は、ロードロック室2703aおよびアンロードロック室2703bと接続され、ロードロック室2703aおよびアンロードロック室2703bは、搬送室2704と接続され、搬送室2704は、チャンバー2706a、チャンバー2706b、チャンバー2706cおよびチャンバー2706dと接続する。

[0340]

なお、各室の接続部にはゲートバルブGVが設けられており、大気側基板供給室2701と、大気側基板搬送室2702を除き、各室を独立して真空状態に保持することができる。また、大気側基板搬送室2702には搬送ロボット2763aが設けられており、搬送室2704には搬送ロボット2763bが設けられている。搬送ロボット2763aおよび搬送ロボット2763bによって、製造装置2700内で基板を搬送することができる。

[0341]

搬送室2704および各チャンバーの背圧（全圧）は、例えば、 1×10^{-4} Pa以下、好ましくは 3×10^{-5} Pa以下、さらに好ましくは 1×10^{-5} Pa以下とする。また、搬送室2704および各チャンバーの質量電荷比（ m/z ）が18である気体分子（原子）の分圧は、例えば、 3×10^{-5} Pa以下、好ましくは 1×10^{-5} Pa以下、さらに好ましくは 3×10^{-6} Pa以下とする。また、搬送室2704および各チャンバーの m/z が28である気体分子（原子）の分圧は、例えば、 3×10^{-5} Pa以下、好ましくは 1×10^{-5} Pa以下、さらに好ましくは 3×10^{-6} Pa以下とする。また、搬送室2704および各チャンバーの m/z が44である気体分子（原子）の分圧は、例えば、 3×10^{-5} Pa以下、好ましくは 1×10^{-5} Pa以下、さらに好ましくは 3×10^{-6} Pa以下とする。

[0342]

なお、搬送室2704および各チャンバー内の全圧および分圧は、質量分析計を用いて測定することができる。例えば、株式会社アルバック製四重極形質量分析計（Q-massともいう。）Qulee CGM-051を用いればよい。

[0343]

また、搬送室 2704 および各チャンバーは、外部リークまたは内部リークが少ない構成とすることが望ましい。例えば、搬送室 2704 および各チャンバーのリークレートは、 $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。また、例えば、 m/z が 18 である気体分子（原子）のリークレートが $1 \times 10^{-7} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $3 \times 10^{-8} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。また、例えば、 m/z が 28 である気体分子（原子）のリークレートが $1 \times 10^{-5} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。また、例えば、 m/z が 44 である気体分子（原子）のリークレートが $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。

[0344]

なお、リークレートに関しては、前述の質量分析計を用いて測定した全圧および分圧から導出すればよい。リークレートは、外部リークおよび内部リークに依存する。外部リークは、微小な穴やシール不良などによって真空系外から気体が流入することである。内部リークは、真空系内のバルブなどの仕切りからの漏れや内部の部材からの放出ガスに起因する。リークレートを上述の数値以下とするために、外部リークおよび内部リークの両面から対策をとる必要がある。

[0345]

例えば、搬送室 2704 および各チャンバーの開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、酸化クロムなどによって被覆された金属を用いると好ましい。メタルガスケットは O リングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどによって被覆された金属の不動態を用いることで、メタルガスケットから放出される不純物を含む放出ガスが抑制され、内部リークを低減することができる。

[0346]

また、製造装置 2700 を構成する部材として、不純物を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の部材を鉄、クロムおよびニッケルなどを含む合金に被覆して用いてもよい。鉄、クロムおよびニッケルなどを含む合金は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておくこと、放出ガスを低減できる。

[0347]

または、前述の製造装置 2700 の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどで被覆してもよい。

[0348]

製造装置 2700 の部材は、極力金属のみで構成することが好ましく、例えば石英などで構成される覗き窓などを設置する場合も、放出ガスを抑制するために表面をフッ化鉄、酸化アルミニウム、酸化クロムなどで薄く被覆するとよい。

[0349]

搬送室 2704 および各チャンバーに存在する吸着物は、内壁などに吸着しているために搬送室 2704 および各チャンバーの圧力に影響しないが、搬送室 2704 および各チャンバーを排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないものの、排気能力の高いポンプを用いて、搬送室 2704 および各チャンバーに存在する吸着物をできる限り脱離し、あらかじめ排気しておくことは重要である。なお、吸着物の脱離を促すために、搬送室 2704 お

よび各チャンバーをベーキングしてもよい。ベーキングすることで吸着物の脱離速度を10倍程度大きくすることができる。ベーキングは100℃以上450℃以下で行えばよい。このとき、不活性ガスを搬送室2704および各チャンバーに導入しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。なお、導入する不活性ガスをベーキングの温度と同程度に加熱することで、吸着物の脱離速度をさらに高めることができる。ここで不活性ガスとして希ガスを用いると好ましい。

[0350]

または、加熱した希ガスなどの不活性ガスまたは酸素などを導入することで搬送室2704および各チャンバー内の圧力を高め、一定時間経過後に再び搬送室2704および各チャンバーを排気する処理を行うと好ましい。加熱したガスの導入により搬送室2704および各チャンバー内の吸着物を脱離させることができ、搬送室2704および各チャンバー内に存在する不純物を低減することができる。なお、この処理は2回以上30回以下、好ましくは5回以上15回以下の範囲で繰り返す行くと効果的である。具体的には、温度が40℃以上400℃以下、好ましくは50℃以上200℃以下である不活性ガスまたは酸素などを導入することで搬送室2704および各チャンバー内の圧力を0.1Pa以上10kPa以下、好ましくは1Pa以上1kPa以下、さらに好ましくは5Pa以上100Pa以下とし、圧力を保つ期間を1分以上300分以下、好ましくは5分以上120分以下とすればよい。その後、搬送室2704および各チャンバーを5分以上300分以下、好ましくは10分以上120分以下の期間排気する。

[0351]

次に、チャンバー2706bおよびチャンバー2706cについて図17に示す断面模式図を用いて説明する。

[0352]

チャンバー2706bおよびチャンバー2706cは、例えば、被処理物にマイクロ波処理を行うことが可能なチャンバーである。なお、チャンバー2706bと、チャンバー2706cと、はマイクロ波処理を行う際の雰囲気異なるのみである。そのほかの構成については共通するため、以下ではまとめて説明を行う。

[0353]

チャンバー2706bおよびチャンバー2706cは、スロットアンテナ板2808と、誘電体板2809と、基板ホルダ2812と、排気口2819と、を有する。また、チャンバー2706bおよびチャンバー2706cの外などには、ガス供給源2801と、バルブ2802と、高周波発生器2803と、導波管2804と、モード変換器2805と、ガス管2806と、導波管2807と、マッチングボックス2815と、高周波電源2816と、真空ポンプ2817と、バルブ2818と、が設けられる。

[0354]

高周波発生器2803は、導波管2804を介してモード変換器2805と接続している。モード変換器2805は、導波管2807を介してスロットアンテナ板2808に接続している。スロットアンテナ板2808は、誘電体板2809と接して配置される。また、ガス供給源2801は、バルブ2802を介してモード変換器2805に接続している。そして、モード変換器2805、導波管2807および誘電体板2809を通るガス管2806によって、チャンバー2706bおよびチャンバー2706cにガスが送られる。また、真空ポンプ2817は、バルブ2818およ

び排気口 2819 を介して、チャンバー 2706b およびチャンバー 2706c からガスなどを排気する機能を有する。また、高周波電源 2816 は、マッチングボックス 2815 を介して基板ホルダ 2812 に接続している。

[0355]

基板ホルダ 2812 は、基板 2811 を保持する機能を有する。例えば、基板 2811 を静電チャックまたは機械的にチャックする機能を有する。また、高周波電源 2816 から電力を供給される電極としての機能を有する。また、内部に加熱機構 2813 を有し、基板 2811 を加熱する機能を有する。

[0356]

真空ポンプ 2817 としては、例えば、ドライポンプ、メカニカルブースターポンプ、イオンポンプ、チタンサブリーメーションポンプ、クライオポンプまたはターボ分子ポンプなどを用いることができる。また、真空ポンプ 2817 に加えて、クライオトラップを用いてもよい。クライオポンプおよびクライオトラップを用いると、水を効率よく排気できて特に好ましい。

[0357]

また、加熱機構 2813 としては、例えば、抵抗発熱体などを用いて加熱する加熱機構とすればよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する加熱機構としてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) または LRTA (Lamp Rapid Thermal Annealing) などの RTA (Rapid Thermal Annealing) を用いることができる。GRTA は、高温のガスを用いて熱処理を行う。ガスとしては、不活性ガスが用いられる。

[0358]

また、ガス供給源 2801 は、マスフローコントローラを介して、精製機と接続されていてもよい。ガスは、露点が -80°C 以下、好ましくは -100°C 以下であるガスを用いることが好ましい。例えば、酸素ガス、窒素ガス、および希ガス（アルゴンなど）のガスを用いればよい。

[0359]

誘電体板 2809 としては、例えば、酸化シリコン（石英）、酸化アルミニウム（アルミナ）または酸化イットリウム（イットリア）などを用いればよい。また、誘電体板 2809 の表面に、さらに別の保護層が形成されていてもよい。保護層としては、酸化マグネシウム、酸化チタン、酸化クロム、酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化シリコン、酸化アルミニウムまたは酸化イットリウムなどを用いればよい。誘電体板 2809 は、後述する高密度プラズマ 2810 の特に高密度領域に曝されることになるため、保護層を設けることで損傷を緩和することができる。その結果、処理時のパーティクルの増加などを抑制することができる。

[0360]

高周波発生器 2803 は、例えば、 0.3GHz 以上 3.0GHz 以下、 0.7GHz 以上 1.1GHz 以下、または 2.2GHz 以上 2.8GHz 以下のマイクロ波を発生させる機能を有する。高周波発生器 2803 で発生させたマイクロ波は、導波管 2804 を介してモード変換器 2805 に伝わる。モード変換器 2805 では、TE モードとして伝わったマイクロ波が TEM モードに変換される。そして、マイクロ波は、導波管 2807 を介してスロットアンテナ板 2808 に伝わる。スロットアンテナ板 2808 は、複数のスロット孔が設けられており、マイクロ波は該スロット孔および誘電体板 2809 を通過する。そして、誘電体板 2809 の下方に電界を生じさせ、高密度

プラズマ 2810 を生成することができる。高密度プラズマ 2810 には、ガス供給源 2801 から供給されたガス種に応じたイオンおよびラジカルが存在する。例えば、酸素ラジカルまたは窒素ラジカルなどが存在する。

[0361]

このとき、基板 2811 が高密度プラズマ 2810 で生成されたイオンおよびラジカルによって、基板 2811 上の膜などを改質することができる。なお、高周波電源 2816 を用いて、基板 2811 側にバイアスを印加すると好ましい場合がある。高周波電源 2816 には、例えば、13.56 MHz、27.12 MHz などの周波数の RF (Radio Frequency) 電源を用いればよい。基板側にバイアスを印加することで、高密度プラズマ 2810 中のイオンを基板 2811 上の膜などの開口部の奥まで効率よく到達させることができる。

[0362]

例えば、チャンバー 2706b では、ガス供給源 2801 から酸素を導入することで高密度プラズマ 2810 を用いた酸素ラジカル処理を行い、チャンバー 2706c では、ガス供給源 2801 から窒素を導入することで高密度プラズマ 2810 を用いた窒素ラジカル処理を行うことができる。

[0363]

次に、チャンバー 2706a およびチャンバー 2706d について図 18 に示す断面模式図を用いて説明する。

[0364]

チャンバー 2706a およびチャンバー 2706d は、例えば、被処理物に電磁波の照射を行うことが可能なチャンバーである。なお、チャンバー 2706a と、チャンバー 2706d と、は電磁波の種類が異なるのみである。そのほかの構成については共通する部分が多いため、以下ではまとめて説明を行う。

[0365]

チャンバー 2706a およびチャンバー 2706d は、一または複数のランプ 2820 と、基板ホルダ 2825 と、ガス導入口 2823 と、排気口 2830 と、を有する。また、チャンバー 2706a およびチャンバー 2706d の外などには、ガス供給源 2821 と、バルブ 2822 と、真空ポンプ 2828 と、バルブ 2829 と、が設けられる。

[0366]

ガス供給源 2821 は、バルブ 2822 を介してガス導入口 2823 に接続している。真空ポンプ 2828 は、バルブ 2829 を介して排気口 2830 に接続している。ランプ 2820 は、基板ホルダ 2825 と向かい合って配置されている。基板ホルダ 2825 は、基板 2824 を保持する機能を有する。また、基板ホルダ 2825 は、内部に加熱機構 2826 を有し、基板 2824 を加熱する機能を有する。

[0367]

ランプ 2820 としては、例えば、可視光または紫外光などの電磁波を放射する機能を有する光源を用いればよい。例えば、波長 10 nm 以上 2500 nm 以下、500 nm 以上 2000 nm 以下、または 40 nm 以上 340 nm 以下にピークを有する電磁波を放射する機能を有する光源を用いればよい。

[0368]

例えば、ランプ 2820 としては、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプまたは高圧水銀ランプなどの光源を用いればよい。

[0369]

例えば、ランプ 2820 から放射される電磁波は、その一部または全部が基板 2824 に吸収されることで基板 2824 上の膜などを改質することができる。例えば、欠陥の生成もしくは低減、または不純物の除去などができる。なお、基板 2824 を加熱しながら行くと、効率よく、欠陥の生成もしくは低減、または不純物の除去などができる。

[0370]

または、例えば、ランプ 2820 から放射される電磁波によって、基板ホルダ 2825 を発熱させ、基板 2824 を加熱してもよい。その場合、基板ホルダ 2825 の内部に加熱機構 2826 を有さなくてもよい。

[0371]

真空ポンプ 2828 は、真空ポンプ 2817 についての記載を参照する。また、加熱機構 2826 は、加熱機構 2813 についての記載を参照する。また、ガス供給源 2821 は、ガス供給源 2801 についての記載を参照する。

[0372]

以上の製造装置を用いることで、被処理物への不純物の混入を抑制しつつ、膜の改質などが可能となる。

[0373]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

[0374]

(実施の形態 2)

本実施の形態では、半導体装置（記憶装置）の一形態を、図 19 乃至図 21 を用いて説明する。

[0375]

[記憶装置 1]

本発明の一態様である半導体装置を使用した、記憶装置の一例を図 19 に示す。本実施の形態に係る記憶装置は、トランジスタ 200 はトランジスタ 300 の上方に設けられ、容量素子 100 はトランジスタ 200 の上方に設けられている。容量素子 100、またはトランジスタ 300 は、少なくとも一部がトランジスタ 200 と重畳することが好ましい。これにより、容量素子 100、トランジスタ 200、およびトランジスタ 300 の上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を微細化または高集積化させることができる。なお、本実施の形態に係る記憶装置は、例えば、CPU (Central Processing Unit) または GPU (Graphics Processing Unit) に代表されるロジック回路、あるいは DRAM (Dynamic Random Access Memory) または NVM (Non-Volatile Memory) に代表されるメモリ回路に適用することができる。

[0376]

なお、トランジスタ200として、先の実施の形態で説明したトランジスタ200を用いることができる。よって、トランジスタ200、およびトランジスタ200を含む層については、先の実施の形態の記載を参酌することができる。

[0377]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。また、半導体層にシリコンを用いるトランジスタと比較して、トランジスタ200は、高温における電気特性が良好である。例えば、トランジスタ200は、125℃乃至150℃の温度範囲においても良好な電気特性を示す。また、125℃乃至150℃の温度範囲において、トランジスタ200は、トランジスタのオン／オフ比が10桁以上を有する。別言すると、半導体層にシリコンを用いるトランジスタと比較して、トランジスタ200は、トランジスタ特性の一例であるオン電流、周波数特性などが高温になるほど優れた特性を有する。

[0378]

図19に示す半導体装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続され、配線1007はトランジスタ300のゲートと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

[0379]

図19に示す半導体装置は、トランジスタ200のスイッチングによって、容量素子100の電極の一方に充電された電荷が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。また、トランジスタ200は、ソース、ゲート（トップゲート）、ドレインに加え、バックゲートが設けられた素子である。すなわち、4端子素子であるため、MTJ（Magnetic Tunnel Junction）特性を利用したMRAM（Magnetoresistive Random Access Memory）、ReRAM（Resistive Random Access Memory）、相変化メモリ（Phase-change memory）などに代表される2端子素子と比較して、入出力の独立制御が簡便に行うことができるといった特徴を有する。また、MRAM、ReRAM、相変化メモリは、情報の書き換えの際に、原子レベルで構造変化が生じる場合がある。一方で図19に示す半導体装置は、情報の書き換えの際にトランジスタ及び容量素子を利用した電子のチャージ、またはディスチャージにより動作するため、繰り返し書き換え耐性に優れ、構造変化も少ないといった特徴を有する。

[0380]

また、図19に示す半導体装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。この場合、トランジスタ300は、当該メモリセルアレイに接続される読み出し回路、または駆動回路などとして用いることができる。図19に示す半導体装置をメモリ素子とし

て用いた場合、例えば、駆動電圧が 2.5 V、評価環境温度が -40 °C 乃至 85 °C の範囲において、200 MHz 以上の動作周波数を実現することができる。

[0381]

<トランジスタ 300>

トランジスタ 300 は、基板 311 上に設けられ、ゲート電極として機能する導電体 316、ゲート絶縁体として機能する絶縁体 315、基板 311 の一部からなる半導体領域 313、ならびにソース領域またはドレイン領域として機能する低抵抗領域 314a、および低抵抗領域 314b を有する。

[0382]

ここで、半導体領域 313 の上に絶縁体 315 が配置され、絶縁体 315 の上に導電体 316 が配置される。また、同じ層に形成されるトランジスタ 300 は、素子分離絶縁層として機能する絶縁体 312 によって、電氣的に分離されている。絶縁体 312 は、後述する絶縁体 326 などと同様の絶縁体を用いることができる。トランジスタ 300 は、p チャンネル型、あるいは n チャンネル型のいずれでもよい。

[0383]

基板 311 は、半導体領域 313 のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 314a、および低抵抗領域 314b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または GaAs と GaAlAs 等を用いることで、トランジスタ 300 を HEMT（High Electron Mobility Transistor）としてもよい。

[0384]

低抵抗領域 314a、および低抵抗領域 314b は、半導体領域 313 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

[0385]

ゲート電極として機能する導電体 316 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0386]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0387]

ここで、図 19 に示すトランジスタ 300 はチャンネルが形成される半導体領域 313（基板 311 の一部）が凸形状を有する。また、半導体領域 313 の側面および上面を、絶縁体 315 を介し

て、導電体 316 が覆うように設けられている。このようなトランジスタ 300 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I 基板を加工して凸形状を有する半導体膜を形成してもよい。

[0388]

なお、図 19 に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0389]

また、図 19 に示すように半導体装置は、トランジスタ 300 と、トランジスタ 200 とを、積層して設けている。例えば、トランジスタ 300 をシリコン系半導体材料で形成し、トランジスタ 200 を酸化物半導体で形成することができる。このように、図 19 に示す半導体装置は、シリコン系半導体材料と、酸化物半導体とを、異なるレイヤーに混載して形成することが可能である。また、図 19 に示す半導体装置は、シリコン系半導体材料を用いる半導体装置の製造装置を使用するプロセスと同様のプロセスで作製することが可能であり、高集積化することも可能である。

[0390]

<容量素子>

容量素子 100 は、絶縁体 160 上の絶縁体 114 と、絶縁体 114 上の絶縁体 140 と、絶縁体 114 および絶縁体 140 に形成された開口の中に配置された導電体 110 と、導電体 110 および絶縁体 140 上の絶縁体 130 と、絶縁体 130 上の導電体 120 と、導電体 120 および絶縁体 130 上の絶縁体 150 と、を有する。ここで、絶縁体 114 および絶縁体 140 に形成された開口の中に導電体 110、絶縁体 130、および導電体 120 の少なくとも一部が配置される。

[0391]

導電体 110 は容量素子 100 の下部電極として機能し、導電体 120 は容量素子 100 の上部電極として機能し、絶縁体 130 は、容量素子 100 の誘電体として機能する。容量素子 100 は、絶縁体 114 および絶縁体 140 の開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子 100 の静電容量を大きくすることができる。このように容量素子 100 の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

[0392]

絶縁体 114、および絶縁体 150 は、絶縁体 280 に用いることができる絶縁体を用いればよい。また、絶縁体 140 は、絶縁体 114 の開口を形成するときのエッチングストッパとして機能することが好ましく、絶縁体 214 に用いることができる絶縁体を用いればよい。

[0393]

絶縁体 114 および絶縁体 140 に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ 200 の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子 100 とトランジスタ 200 を有する半導体装置の占有面積を低減することができる。

[0394]

導電体110は、絶縁体140、および絶縁体114に形成された開口に接して配置される。導電体110の上面は、絶縁体140の上面と略一致することが好ましい。また、導電体110の下面には、絶縁体160上に設けられた導電体152が接する。導電体110は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体205に用いることができる導電体を用いればよい。

[0395]

絶縁体130は、導電体110および絶縁体140を覆うように配置される。例えば、ALD法またはCVD法などを用いて絶縁体130を成膜することが好ましい。絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体130として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

[0396]

また、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率（high-k）材料を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率（high-k）材料の積層構造を用いてもよい。

[0397]

なお、高誘電率（high-k）材料（高い比誘電率の材料）としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。このようなhigh-k材料を用いることで、絶縁体130を厚くしても容量素子100の静電容量を十分確保することができる。絶縁体130を厚くすることにより、導電体110と導電体120の間に生じるリーク電流を抑制することができる。

[0398]

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。例えば、ALD法を用いて成膜した窒化シリコン（SiN_x）、PEALD法を用いて成膜した酸化シリコン（SiO_x）、ALD法を用いて成膜した窒化シリコン（SiN_x）の順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

[0399]

導電体120は、絶縁体140および絶縁体114に形成された開口を埋めるように配置される。また、導電体120は、導電体112、および導電体153を介して配線1005と電氣的に接続している。導電体120は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体205に用いることができる導電体を用いればよい。

[0400]

また、トランジスタ 200 は、酸化物半導体を用いる構成であるため、容量素子 100 との相性が優れている。具体的には、酸化物半導体を用いるトランジスタ 200 は、オフ電流が小さいため、容量素子 100 と組み合わせて用いることで長期にわたり記憶内容を保持することが可能である。

[0401]

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線として機能する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0402]

例えば、トランジスタ 300 上には、層間膜として、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 が順に積層して設けられている。また、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 には、端子として機能する導電体 153 と電氣的に接続する導電体 328、および導電体 330 等が埋め込まれている。なお、導電体 328、および導電体 330 はプラグ、または配線として機能する。

[0403]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体 322 の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されていてもよい。

[0404]

絶縁体 326、および導電体 330 上に、配線層を設けてもよい。例えば、図 19 において、絶縁体 350、絶縁体 352、および絶縁体 354 が順に積層して設けられている。また、絶縁体 350、絶縁体 352、および絶縁体 354 には、導電体 356 が形成されている。導電体 356 は、プラグ、または配線として機能する。

[0405]

絶縁体 354、および導電体 356 上には、絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 が順に積層して設けられている。また、絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 には、導電体 218、及びトランジスタ 200 を構成する導電体 (導電体 205) 等が埋め込まれている。なお、導電体 218 は、トランジスタ 300 と電氣的に接続するプラグ、または配線として機能する。

[0406]

また、絶縁体 114、絶縁体 140、絶縁体 130、絶縁体 150、および絶縁体 154 には、導電体 112、および容量素子 100 を構成する導電体 (導電体 120、導電体 110) 等が埋め込まれている。なお、導電体 112 は、容量素子 100、トランジスタ 200、またはトランジスタ 300 と、端子として機能する導電体 153 と、を電氣的に接続するプラグ、または配線として機能する。

[0407]

また、絶縁体 1 5 4 上に導電体 1 5 3 が設けられ、導電体 1 5 3 は、絶縁体 1 5 6 に覆われている。ここで、導電体 1 5 3 は導電体 1 1 2 の上面に接しており、容量素子 1 0 0、トランジスタ 2 0 0、またはトランジスタ 3 0 0 の端子として機能する。

[0 4 0 8]

なお、層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。例えば、層間膜として機能する絶縁体は、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0 4 0 9]

例えば、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 6、絶縁体 3 5 2、絶縁体 3 5 4、絶縁体 2 1 2、絶縁体 1 1 4、絶縁体 1 5 0、絶縁体 1 5 6 等は、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。

[0 4 1 0]

また、導電体 1 5 2 または導電体 1 5 3 の上または下に設けられる絶縁体の抵抗率が $1.0 \times 10^{12} \Omega \text{ cm}$ 以上 $1.0 \times 10^{15} \Omega \text{ cm}$ 以下、好ましくは $5.0 \times 10^{12} \Omega \text{ cm}$ 以上 $1.0 \times 10^{14} \Omega \text{ cm}$ 以下、より好ましくは $1.0 \times 10^{13} \Omega \text{ cm}$ 以上 $5.0 \times 10^{13} \Omega \text{ cm}$ 以下であることが好ましい。導電体 1 5 2 または導電体 1 5 3 の上または下に設けられる絶縁体の抵抗率を上記の範囲にすることで、当該絶縁体は、絶縁性を維持しつつ、トランジスタ 2 0 0、トランジスタ 3 0 0、容量素子 1 0 0、および導電体 1 5 2 等の配線間に蓄積される電荷を分散し、該電荷によるトランジスタ、該トランジスタを有する半導体装置の特性不良や静電破壊を抑制することができ、好ましい。このような絶縁体として、窒化シリコン、または窒化酸化シリコンを用いることができる。例えば、絶縁体 1 6 0 または絶縁体 1 5 4 の抵抗率を上記の範囲にすればよい。

[0 4 1 1]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体 3 2 4、絶縁体 3 5 0、絶縁体 2 1 0 等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

[0 4 1 2]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物およ

び酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0413]

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0414]

例えば、導電体328、導電体330、導電体356、導電体218、導電体112、導電体152、導電体153等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0415]

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ200に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けられることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

[0416]

例えば、図19では、過剰酸素を有する絶縁体280と、導電体248との間に、絶縁体247を設けるとよい。絶縁体247と、絶縁体282とが接して設けられることで、導電体248、およびトランジスタ200が、バリア性を有する絶縁体によって、封止される構造とすることができる。

[0417]

つまり、絶縁体247を設けることで、絶縁体280が有する過剰酸素が、導電体248に吸収されることを抑制することができる。また、絶縁体247を有することで、不純物である水素が、導電体248を介して、トランジスタ200へ拡散することを抑制することができる。

[0418]

ここで、導電体248は、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。

[0419]

具体的には、絶縁体284、絶縁体282、および絶縁体280の開口の側壁に接して、絶縁体247が設けられ、その側面に接して導電体248が形成されている。当該開口の底部の少なくとも一部には導電体240aまたは導電体240bが位置しており、導電体248が導電体240aまたは導電体240bと接する。

[0420]

導電体248は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体248は積層構造としてもよい。なお、トランジスタ200では、導電体248を、2層の積層構造として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、導電体248を単層、または3層以上の積層構造として設ける構成にしてもよい。

[0421]

また、導電体248を積層構造とする場合、導電体240aまたは導電体240bと接し、かつ、絶縁体280、絶縁体282、および絶縁体284と、絶縁体247を介して接する導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体280に添加された酸素が導電体248に吸収されるのを防ぐことができる。また、絶縁体284より上層に含まれる、水、水素などの不純物が、導電体248を通じて酸化物230に拡散するのを抑制することができる。

[0422]

絶縁体247としては、例えば、絶縁体214等を用いることができる絶縁体を用いればよい。絶縁体247は、絶縁体280などに含まれる水、水素などの不純物が、導電体248を通じて酸化物230に拡散するのを抑制することができる。また、絶縁体280に含まれる酸素が導電体248に吸収されるのを防ぐことができる。

[0423]

また、導電体248の上面に接して配線として機能する導電体152を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0424]

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置を微細化または高集積化させることができる。また、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。また、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。また、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。また、消費電力が低減された半導体装置を提供することができる。

[0425]

[記憶装置2]

本発明の一態様である半導体装置を使用した、半導体装置（記憶装置）の一例を図20に示す。図20に示す半導体装置は、図19で示した半導体装置と同様に、トランジスタ200、トランジスタ300、および容量素子100を有する。ただし、図20に示す半導体装置は、容量素子100がプレーナ型である点、およびトランジスタ200とトランジスタ300が電氣的に接続されている点において、図19に示す半導体装置と異なる。

[0426]

本発明の一態様の半導体装置は、トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。容量素子100、またはトランジスタ300は、少なくとも一部がトランジスタ200と重畳することが好ましい。これにより、容量素子100、トランジスタ200、およびトランジスタ300の上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を微細化または高集積化させることができる。

[0427]

なお、トランジスタ200およびトランジスタ300として、上記のトランジスタ200およびトランジスタ300を用いることができる。よって、トランジスタ200、トランジスタ300、およびこれらを含む層については、上記の記載を参酌することができる。

[0428]

図20に示す半導体装置において、配線2001はトランジスタ300のソースと電氣的に接続され、配線2002はトランジスタ300のドレインと電氣的に接続されている。また、配線2003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線2004はトランジスタ200の第1のゲートと電氣的に接続され、配線2006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線2005は容量素子100の電極の他方と電氣的に接続されている。なお、以下において、トランジスタ300のゲートと、トランジスタ200のソースおよびドレインの他方と、容量素子100の電極の一方と、が接続されたノードをノードFGと呼ぶ場合がある。

[0429]

図20に示す半導体装置は、トランジスタ200のスイッチングによって、トランジスタ300のゲート（ノードFG）の電位が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。

[0430]

また、図20に示す半導体装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[0431]

トランジスタ300を含む層は、図19に示す半導体装置と同様の構造を有するので、絶縁体354より下の構造は、上記の記載を参酌することができる。

[0432]

絶縁体354の上に、絶縁体210、絶縁体212、絶縁体214、および絶縁体216が配置される。ここで、絶縁体210は、絶縁体350などと同様に、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

[0433]

絶縁体210、絶縁体212、絶縁体214、および絶縁体216には、導電体218が埋め込まれている。導電体218は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線として機能する。例えば、導電体218は、トランジスタ300のゲート電極として機能する導電体316と電氣的に接続されている。

[0434]

また、導電体248は、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線として機能する。例えば、導電体248は、トランジスタ200のソースおよびドレインの他方として機能する導電体240bと、容量素子100の電極の一方として機能する導電体110とを、電氣的に接続している。

[0435]

また、プレーナ型の容量素子100は、トランジスタ200の上方に設けられる。容量素子100は、第1の電極として機能する導電体110、第2の電極として機能する導電体120、および誘電体として機能する絶縁体130を有する。なお、導電体110、導電体120、および絶縁体130は、上述の記憶装置1で記載したものをを用いることができる。

[0436]

導電体248の上面に接して導電体153および導電体110が設けられる。導電体153は、導電体248の上面に接しており、トランジスタ200またはトランジスタ300の端子として機能する。

[0437]

導電体153および導電体110は絶縁体130に覆われており、絶縁体130を介して導電体110と重なるように導電体120が配置される。さらに、導電体120、および絶縁体130上には、絶縁体114が配置されている。

[0438]

また、図20において、容量素子100として、プレーナ型の容量素子を用いる例について示したが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、容量素子100として、図19に示すようなシリンダ型の容量素子100を用いてもよい。

[0439]

[記憶装置3]

本発明の一態様である半導体装置を使用した、記憶装置の一例を図21に示す。図21に示す記憶装置は、図20で示したトランジスタ200、トランジスタ300、および容量素子100を有する半導体装置に加え、トランジスタ400を有している。

[0440]

トランジスタ400は、トランジスタ200の第2のゲート電圧を制御することができる。例えば、トランジスタ400の第1のゲート及び第2のゲートをソースとダイオード接続し、トランジスタ400のソースと、トランジスタ200の第2のゲートを接続する構成とする。当該構成でトランジスタ200の第2のゲートの負電位を保持するとき、トランジスタ400の第1のゲートーソース間の電圧および、第2のゲートーソース間の電圧は、0Vになる。トランジスタ400において、第2のゲート電圧及び第1のゲート電圧が0Vのときのドレイン電流が非常に小さいため、トランジスタ200およびトランジスタ400に電源供給をしなくても、トランジスタ200の第2のゲートの負電位を長時間維持することができる。これにより、トランジスタ200、およびトランジスタ400を有する記憶装置は、長期にわたり記憶内容を保持することが可能である。

[0441]

従って、図21において、配線2001はトランジスタ300のソースと電氣的に接続され、配線2002はトランジスタ300のドレインと電氣的に接続されている。また、配線2003はト

ランジスタ 200 のソースおよびドレインの一方と電氣的に接続され、配線 2004 はトランジスタ 200 のゲートと電氣的に接続され、配線 2006 はトランジスタ 200 の第 2 のゲートと電氣的に接続されている。そして、トランジスタ 300 のゲート、およびトランジスタ 200 のソースおよびドレインの他方は、容量素子 100 の電極の一方と電氣的に接続され、配線 2005 は容量素子 100 の電極の他方と電氣的に接続されている。配線 2007 はトランジスタ 400 のソースと電氣的に接続され、配線 2008 はトランジスタ 400 の第 1 のゲートと電氣的に接続され、配線 2009 はトランジスタ 400 の第 2 のゲートと電氣的に接続され、配線 2010 はトランジスタ 400 のドレインと電氣的に接続されている。ここで、配線 2006、配線 2007、配線 2008、及び配線 2009 が電氣的に接続されている。

[0442]

また、図 21 に示す記憶装置は、図 19 及び図 20 に示す記憶装置と同様に、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、1 個のトランジスタ 400 は、複数のトランジスタ 200 の第 2 のゲート電圧を制御することができる。そのため、トランジスタ 400 は、トランジスタ 200 よりも、少ない個数を設けるとよい。

[0443]

<トランジスタ 400>

トランジスタ 400 は、トランジスタ 200 と、同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ 400 は、第 1 のゲート電極として機能する導電体 460（導電体 460a、および導電体 460b）と、第 2 のゲート電極として機能する導電体 405（導電体 405a、および導電体 405b）と、ゲート絶縁層として機能する絶縁体 222、絶縁体 224、および絶縁体 450 と、チャネルが形成される領域を有する酸化物 430c と、ソースまたはドレインの一方として機能する導電体 440a、酸化物 431b、および酸化物 431a と、ソースまたはドレインの他方として機能する導電体 440b、酸化物 432b、および酸化物 432a と、バリア層として機能する絶縁体 445a、および絶縁体 445b と、を有する。

[0444]

導電体 405 と、導電体 205 とは、同じ層に形成される。酸化物 431a、および酸化物 432a と、酸化物 230a とは、同じ層に形成され、酸化物 431b、および酸化物 432b と、酸化物 230b とは、同じ層に形成される。導電体 440a、および導電体 440b と、導電体 240a、および導電体 240b とは、同じ層に形成される。絶縁体 445a、および絶縁体 445b と、絶縁体 245a、および絶縁体 245b とは、同じ層に形成される。酸化物 430c と、酸化物 230c とは、同じ層に形成される。絶縁体 450 と、絶縁体 250 とは、同じ層に形成される。導電体 460 と、導電体 260 とは、同じ層に形成される。

[0445]

なお、同じ層に形成された構造体は、同時に形成することができる。例えば、酸化物 430c は、酸化物 230c となる酸化膜を加工することで、形成することができる。

[0446]

トランジスタ 400 の活性層として機能する酸化物 430c は、酸化物 230 などと同様に、酸素欠損が低減され、水素または水などの不純物が低減されている。これにより、トランジスタ 400 のしきい値電圧をより大きくし、オフ電流を低減し、第 2 のゲート電圧及び第 1 のゲート電圧が 0V のときのドレイン電流を非常に小さくすることができる。

[0447]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0448]

(実施の形態3)

本実施の形態では、図22A乃至図23Hを用いて、本発明の一態様に係る、酸化物を半導体を用いたトランジスタ（以下、OSトランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、OSメモリ装置と呼ぶ場合がある。）について説明する。OSメモリ装置は、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有する記憶装置である。OSトランジスタのオフ電流は極めて小さいので、OSメモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0449]

<記憶装置の構成例>

図22AにOSメモリ装置の構成の一例を示す。記憶装置1400は、周辺回路1411、およびメモリセルアレイ1470を有する。周辺回路1411は、行回路1420、列回路1430、出力回路1440、およびコントロールロジック回路1460を有する。

[0450]

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

[0451]

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路1411用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダおよび列デコーダに入力され、データ信号WDATAは書き込み回路に入力される。

[0452]

コントロールロジック回路1460は、外部から入力される制御信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号CEは、チップイネーブル信号であり、制御信号WEは、書き込みイネーブル信号であり、制御信号REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0453]

メモリセルアレイ1470は、行列状に配置された、複数のメモリセルMCと、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数は、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ

１４７０と列回路１４３０とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。

[0454]

なお、図２２Ａにおいて、周辺回路１４１１とメモリセルアレイ１４７０を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図２２Ｂに示すように、周辺回路１４１１の一部の上に、メモリセルアレイ１４７０が重なるように設けられてもよい。例えば、メモリセルアレイ１４７０の下に重なるように、センスアンプを設ける構成にしてもよい。

[0455]

図２３Ａ乃至図２３Ｈに上述のメモリセルMCに適用できるメモリセルの構成例について説明する。

[0456]

[DOSRAM]

図２３Ａ乃至図２３Ｃに、DRAMのメモリセルの回路構成例を示す。本明細書等において、１ＯＳトランジスタ１容量素子型のメモリセルを用いたDRAMを、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) と呼ぶ場合がある。図２３Ａに示す、メモリセル１４７１は、トランジスタM１と、容量素子CAと、を有する。なお、トランジスタM１は、ゲート（トップゲートと呼ぶ場合がある。）、及びバックゲートを有する。

[0457]

トランジスタM１の第１端子は、容量素子CAの第１端子と接続され、トランジスタM１の第２端子は、配線B I Lと接続され、トランジスタM１のゲートは、配線W O Lと接続され、トランジスタM１のバックゲートは、配線B G Lと接続されている。容量素子CAの第２端子は、配線C A Lと接続されている。

[0458]

配線B I Lは、ビット線として機能し、配線W O Lは、ワード線として機能する。配線C A Lは、容量素子CAの第２端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線C A Lには、低レベル電位を印加するのが好ましい。配線B G Lは、トランジスタM１のバックゲートに電位を印加するための配線として機能する。配線B G Lに任意の電位を印加することによって、トランジスタM１のしきい値電圧を増減することができる。

[0459]

ここで、図２３Ａに示すメモリセル１４７１は、図１９に示す記憶装置に対応している。つまり、トランジスタM１はトランジスタ２００に、容量素子CAは容量素子１００に、配線B I Lは配線１００３に、配線W O Lは配線１００４に、配線B G Lは配線１００６に、配線C A Lは配線１００５に対応している。なお、図１９に記載のトランジスタ３００は、図２２Ａ、および図２２Ｂに示す記憶装置１４００の周辺回路１４１１に設けられるトランジスタに対応する。

[0460]

また、メモリセルMCは、メモリセル１４７１に限定されず、回路構成の変更を行うことができる。例えば、メモリセルMCは、図２３Ｂに示すメモリセル１４７２のように、トランジスタM１のバックゲートが、配線B G Lでなく、配線W O Lと接続される構成にしてもよい。また、例えば、

メモリセルMCは、図23Cに示すメモリセル1473のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM1で構成されたメモリセルとしてもよい。

[0461]

上記実施の形態に示す半導体装置をメモリセル1471等に用いる場合、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子100を用いることができる。トランジスタM1としてOSトランジスタを用いることによって、トランジスタM1のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1471、メモリセル1472、メモリセル1473に対して多値データ、又はアナログデータを保持することができる。

[0462]

また、DOSRAMにおいて、上記のように、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

[0463]

[NOSRAM]

図23D乃至図23Gに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図23Dに示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM（Nonvolatile Oxide Semiconductor RAM）と呼ぶ場合がある。

[0464]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0465]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

[0466]

ここで、図23Dに示すメモリセル1474は、図20に示す記憶装置に対応している。つまり、トランジスタM2はトランジスタ200に、容量素子CBは容量素子100に、トランジスタM3

はトランジスタ300に、配線WBLは配線2003に、配線WOLは配線2004に、配線BGLは配線2006に、配線CALは配線2005に、配線RBLは配線2002に、配線SLは配線2001に対応している。

[0467]

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルMCは、図23Eに示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図23Fに示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図23Gに示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

[0468]

上記実施の形態に示す半導体装置をメモリセル1474等に用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。トランジスタM2としてOSトランジスタを用いることによって、トランジスタM2のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至メモリセル1477も同様である。

[0469]

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタと呼ぶ場合がある）であってもよい。Siトランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。Siトランジスタは、OSトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

[0470]

また、トランジスタM3はOSトランジスタであってもよい。トランジスタM2およびトランジスタM3にOSトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0471]

また、図23Hに3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図23Hに示すメモリセル1478は、トランジスタM4乃至トランジスタM6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線WWL、配線BGL、および配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

[0472]

トランジスタM4は、バックゲートを有するOSトランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

[0473]

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャネル型Siトランジスタまたはpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSトランジスタでもよい。この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0474]

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、トランジスタM6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に小さくすることができる。

[0475]

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

[0476]

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせる用いることができる。

[0477]

(実施の形態4)

本実施の形態では、図24A、および図24Bを用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip: SoC）と呼ぶ場合がある。

[0478]

図24Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

[0479]

チップ1200には、バンプ（図示しない）が設けられ、図24Bに示すように、プリント基板（Printed Circuit Board: PCB）1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

[0480]

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。また、例えば、フラッシュメモリ1222に先の実施の形態に示すNOSRAMを用いることができる。

[0481]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したNOSRAMや、DOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU1212に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

[0482]

また、CPU1211、およびGPU1212が同一チップに設けられていることで、CPU1211およびGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、およびGPU1212が有するメモリ間のデータ転送、およびGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

[0483]

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0484]

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0485]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

[0486]

ネットワーク回路1216は、LAN（Local Area Network）などのネットワーク用の回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0487]

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0488]

GPU1212を有するチップ1200が設けられたPCB1201、DRAM1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

[0489]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0490]

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせる用いることができる。

[0491]

（実施の形態5）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図25A乃至図25Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0492]

図25AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

[0493]

図25BはSDカードの外観の模式図であり、図25Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

[0494]

図25DはSSDの外観の模式図であり、図25Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

[0495]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0496]

(実施の形態6)

本発明の一態様に係る半導体装置は、CPUやGPUなどのプロセッサ、またはチップに用いることができる。図26A乃至図26Hに、本発明の一態様に係るCPUやGPUなどのプロセッサ、またはチップを備えた電子機器の具体例を示す。

[0497]

<電子機器・システム>

本発明の一態様に係るGPUまたはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ(Digital Signage: 電子看板)、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係るGPUまたはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

[0498]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0499]

本発明の一態様の電子機器は、センサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの)を有していてもよい。

[0500]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア(プログラム)を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図26A乃至図26Hに、電子機器の例を示す。

[0501]

[情報端末]

図 2 6 A には、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末 5 1 0 0 は、筐体 5 1 0 1 と、表示部 5 1 0 2 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5 1 0 2 に備えられ、ボタンが筐体 5 1 0 1 に備えられている。

[0 5 0 2]

情報端末 5 1 0 0 は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部 5 1 0 2 に表示するアプリケーション、表示部 5 1 0 2 に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部 5 1 0 2 に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0 5 0 3]

図 2 6 B には、ノート型情報端末 5 2 0 0 が図示されている。ノート型情報端末 5 2 0 0 は、情報端末の本体 5 2 0 1 と、表示部 5 2 0 2 と、キーボード 5 2 0 3 と、を有する。

[0 5 0 4]

ノート型情報端末 5 2 0 0 は、先述した情報端末 5 1 0 0 と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末 5 2 0 0 を用いることで、新規の人工知能の開発を行うことができる。

[0 5 0 5]

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図 2 6 A、図 2 6 B に図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、デスクトップ型情報端末、ワークステーションなどが挙げられる。

[0 5 0 6]

[ゲーム機]

図 2 6 C は、ゲーム機の一例である携帯ゲーム機 5 3 0 0 を示している。携帯ゲーム機 5 3 0 0 は、筐体 5 3 0 1、筐体 5 3 0 2、筐体 5 3 0 3、表示部 5 3 0 4、接続部 5 3 0 5、操作キー 5 3 0 6 等を有する。筐体 5 3 0 2、および筐体 5 3 0 3 は、筐体 5 3 0 1 から取り外すことが可能である。筐体 5 3 0 1 に設けられている接続部 5 3 0 5 を別の筐体（図示せず）に取り付けることで、表示部 5 3 0 4 に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体 5 3 0 2、および筐体 5 3 0 3 は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体 5 3 0 1、筐体 5 3 0 2、および筐体 5 3 0 3 の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

[0 5 0 7]

また、図 2 6 D は、ゲーム機の一例である据え置き型ゲーム機 5 4 0 0 を示している。据え置き型ゲーム機 5 4 0 0 には、無線または有線でコントローラ 5 4 0 2 が接続されている。

[0 5 0 8]

携帯ゲーム機５３００、据え置き型ゲーム機５４００などのゲーム機に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[０５０９]

更に、携帯ゲーム機５３００に本発明の一態様のGPUまたはチップを適用することによって、人工知能を有する携帯ゲーム機５３００を実現することができる。

[０５１０]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機５３００に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[０５１１]

また、携帯ゲーム機５３００で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、１人でもゲームを行うことができる。

[０５１２]

図２６Ｃ、図２６Ｄでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[０５１３]

[大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

[０５１４]

図２６Ｅは、大型コンピュータの一例である、スーパーコンピュータ５５００を示す図である。図２６Ｆは、スーパーコンピュータ５５００が有するラックマウント型の計算機５５０２を示す図である。

[０５１５]

スーパーコンピュータ５５００は、ラック５５０１と、複数のラックマウント型の計算機５５０２と、を有する。なお、複数の計算機５５０２は、ラック５５０１に格納されている。また、計算機５５０２には、複数の基板５５０４が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

[０５１６]

スーパーコンピュータ５５００は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ５５００に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、

回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0517]

図26E、図26Fでは、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

[0518]

[移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

[0519]

図26Gは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図26Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0520]

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、その他様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0521]

表示パネル5704には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0522]

本発明の一態様のGPUまたはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル5701乃至表示パネル5704には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0523]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

[0524]

[電化製品]

図26Hは、電化製品の一例である電気冷凍冷蔵庫5800を示している。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0525]

電気冷凍冷蔵庫5800に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫5800に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0526]

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0527]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

[0528]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0529]

(実施の形態7)

本実施の形態では、OSトランジスタを用いることができる市場イメージについて説明する。

[0530]

<市場イメージ>

まず、OSトランジスタを用いることができる市場イメージを図27に示す。図27において、領域701は、OSトランジスタを用いたディスプレイ(Dis p l a y)に応用可能な製品領域(OS Dis p l a y)を表し、領域702は、OSトランジスタを用いたLSI(L a r g e S c a l e I n t e g r a t i o n)をアナログ(a n a l o g)処理に応用可能な製品領域(OS L S I a n a l o g)を表し、領域703は、OSトランジスタを用いたLSIをデジタル(d i g i t a l)処理に応用可能な製品領域(OS L S I d i g i t a l)を表す。OSトランジスタは、図27に示す領域701、領域702、および領域703の3つの領域、別言すると3つの大きな市場に好適に用いることができる。

[0531]

また、図27において、領域704は、領域701と、領域702とが重なった領域を表し、領域705は、領域702と、領域703とが重なった領域を表し、領域706は、領域701と、領域703とが重なった領域を表し、領域707は、領域701と、領域702と、領域703とが、それぞれ重なった領域を表す。

[0532]

OS Dis p l a yでは、例えば、Bottom Gate型のOS FET(BG OS FET)、Top Gate型のOS FET(TG OS FET)などのFET構造を好適に用

いることができる。なお、Bottom Gate型のOS FETには、チャネルエッチ型のFET、およびチャネル保護型のFETも含まれる。また、Top Gate型のOS FETには、TGSA (Top Gate Self-Aligned) 型のFETも含まれる。

[0533]

また、OS LSI analogおよびOS LSI digitalでは、例えば、Gate Last型のOS FET (GL OS FET) を好適に用いることができる。

[0534]

なお、上述のトランジスタは、それぞれ、ゲート電極が1つのSingle Gate構造のトランジスタ、ゲート電極が2つのDual Gate構造のトランジスタ、またはゲート電極が3つ以上のトランジスタを含む。また、Dual Gate構造のトランジスタの中でも特に、S-channel構造のトランジスタを用いると好適である。

[0535]

また、OS Display (領域701) に含まれる製品としては、LCD (liquid crystal display)、EL (Electro Luminescence)、およびLED (Light Emitting Diode) を表示デバイスに有する製品が挙げられる。または、上記表示デバイスと、Q-Dot (Quantum Dot) とを組み合わせることも好適である。

[0536]

なお、本実施の形態において、ELとは、有機EL、および無機ELを含む。また、本実施の形態において、LEDとは、マイクロLED、ミニLED、およびマクロLEDを含む。なお、本明細書等において、チップの面積が $10000\mu\text{m}^2$ 以下の発光ダイオードをマイクロLED、チップの面積が $10000\mu\text{m}^2$ より大きく 1mm^2 以下の発光ダイオードをミニLED、チップの面積が 1mm^2 より大きい発光ダイオードをマクロLEDと記す場合がある。

[0537]

また、OS LSI analog (領域702) に含まれる製品としては、様々な周波数の音域 (例えば、周波数が20Hz以上20kHz未満の可聴音、または20kHz以上の超音波など) に対応する音源定位デバイス、あるいはバッテリー制御用デバイス (バッテリー制御用IC、バッテリー保護用IC、またはバッテリーマネジメントシステム) などが挙げられる。

[0538]

また、OS LSI digital (領域703) に含まれる製品としては、メモリーデバイス、CPU (Central Processing Unit) デバイス、GPU (Graphics Processing Unit) デバイス、FPGA (field-programmable gate array) デバイス、パワーデバイス、OS LSIと、Si LSIとを積層または混在させたハイブリッドデバイス、発光デバイスなどが挙げられる。

[0539]

また、領域704に含まれる製品としては、表示領域に赤外線センサ、または近赤外線センサを有する表示デバイス、あるいはOS FETを有するセンサ付き信号処理デバイス、または埋め込み型バイオセンサデバイスなどが挙げられる。また、領域705に含まれる製品としては、A/D (アナログ/デジタル) 変換回路などを有する処理回路、あるいは、当該処理回路を有するAI (Artificial Intelligence) デバイスなどが挙げられる。また、領域7

06に含まれる製品としては、Pixel AI技術が適用された表示デバイスなどが挙げられる。なお、本明細書等において、Pixel AI技術とは、ディスプレイの画素回路に搭載されたOSFETなどにより構成されるメモリを活用する技術をいう。

[0540]

また、領域707に含まれる製品としては、上記領域701乃至領域706に含まれる、あらゆる製品を組み合わせた複合的な製品が挙げられる。

[0541]

以上のように、本発明の一態様の半導体装置は、図27に示すように、あらゆる製品領域に適用することが可能である。すなわち、本発明の一態様の半導体装置は、多くの市場に適用することが可能である。

[0542]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

[符号の説明]

[0543]

: 100:容量素子、110:導電体、112:導電体、114:絶縁体、120:導電体、130:絶縁体、140:絶縁体、150:絶縁体、152:導電体、153:導電体、154:絶縁体、156:絶縁体、160:絶縁体、200:トランジスタ、205:導電体、210:絶縁体、212:絶縁体、214:絶縁体、216:絶縁体、218:導電体、222:絶縁体、224:絶縁体、230:酸化物、230a:酸化物、230A:酸化膜、230b:酸化物、230B:酸化膜、230c:酸化物、230C:酸化膜、240a:導電体、240A:導電膜、240b:導電体、240B:導電層、245a:絶縁体、245A:絶縁膜、245b:絶縁体、245B:絶縁層、247:絶縁体、248:導電体、250:絶縁体、250A:絶縁膜、254:絶縁体、254a:絶縁体、254b:絶縁体、260:導電体、260a:導電体、260A:導電膜、260b:導電体、260B:導電膜、280:絶縁体、282:絶縁体、284:絶縁体、290A:膜、290B:ハードマスク、291:マイクロ波、292:レジストマスク、300:トランジスタ、311:基板、312:絶縁体、313:半導体領域、314a:低抵抗領域、314b:低抵抗領域、315:絶縁体、316:導電体、320:絶縁体、322:絶縁体、324:絶縁体、326:絶縁体、328:導電体、330:導電体、350:絶縁体、352:絶縁体、354:絶縁体、356:導電体、400:トランジスタ、405:導電体、405a:導電体、405b:導電体、430c:酸化物、431a:酸化物、431b:酸化物、432a:酸化物、432b:酸化物、440a:導電体、440b:導電体、445a:絶縁体、445b:絶縁体、450:絶縁体、460:導電体、460a:導電体、460b:導電体、1001:配線、1002:配線、1003:配線、1004:配線、1005:配線、1006:配線、1007:配線、2001:配線、2002:配線、2003:配線、2004:配線、2005:配線、2006:配線、2007:配線、2008:配線、2009:配線、2010:配線、2700:製造装置、2701:大気側基板供給室、2702:大気側基板搬送室、2703a:ロードロック室、2703b:アンロードロック室、2704:搬送室、2706a:チャンバー、2706b:チャンバー、2706c:チャンバー、2706d:チャンバー、2761:カセットポート、2762:アライメントポート、2763a:搬送ロボット、2763b:搬送ロボット、2801:ガス供給源、2802:バルブ、2803:高周波発生器、2804:導波管、2

８０５：モード変換器、２８０６：ガス管、２８０７：導波管、２８０８：スロットアンテナ板、
２８０９：誘電体板、２８１０：高密度プラズマ、２８１１：基板、２８１２：基板ホルダ、２８
１３：加熱機構、２８１５：マッチングボックス、２８１６：高周波電源、２８１７：真空ポンプ、
２８１８：バルブ、２８１９：排気口、２８２０：ランプ、２８２１：ガス供給源、２８２２：バ
ルブ、２８２３：ガス導入口、２８２４：基板、２８２５：基板ホルダ、２８２６：加熱機構、２
８２８：真空ポンプ、２８２９：バルブ、２８３０：排気口

請求の範囲

[請求項 1]

基板上に、インジウムを有する金属酸化物を形成する第 1 の工程と、
前記金属酸化物上からマイクロ波処理を行う第 2 の工程と、
を有し、
前記第 2 の工程は、減圧下、かつ、酸素を含むガスを用いて行われ、
前記第 2 の工程により、前記金属酸化物中の酸素欠損に水素が入った欠陥（ V_OH ）を、酸素欠損（ V_O ）と水素（H）とに分断する、
金属酸化物の作製方法。

[請求項 2]

基板上に、インジウムを有する金属酸化物を形成する第 1 の工程と、
前記金属酸化物上からマイクロ波処理を行う第 2 の工程と、
前記金属酸化物に対して、加熱処理を行う第 3 の工程と、
を有し、
前記第 2 の工程は、減圧下、かつ、酸素を含むガスを用いて行われ、
前記第 3 の工程は、減圧下で行われ、
前記第 2 の工程により、前記金属酸化物中の酸素欠損に水素が入った欠陥（ V_OH ）を、酸素欠損（ V_O ）と水素（H）とに分断し、
前記第 3 の工程により、前記金属酸化物中の酸素欠損（ V_O ）を低減する、
金属酸化物の作製方法。

[請求項 3]

基板上に、インジウムを有する金属酸化物を形成する第 1 の工程と、
前記金属酸化物上に、第 1 の導電体および第 2 の導電体を形成する第 2 の工程と、
前記金属酸化物上からマイクロ波処理を行う第 3 の工程と、
前記金属酸化物に対して、加熱処理を行う第 4 の工程と、
を有し、
前記第 3 の工程は、減圧下、かつ、酸素を含むガスを用いて行われ、
前記第 4 の工程は、減圧下で行われ、
前記第 3 の工程により、前記金属酸化物中の酸素欠損に水素が入った欠陥（ V_OH ）を、酸素欠損（ V_O ）と水素（H）とに分断し、
前記第 4 の工程により、前記金属酸化物中の酸素欠損（ V_O ）を低減し、かつ、前記金属酸化物中の水素（H）が、前記第 1 の導電体および前記第 2 の導電体へ拡散する、
金属酸化物の作製方法。

[請求項 4]

基板上に、インジウムを有する金属酸化物を形成する第 1 の工程と、
前記金属酸化物上に、第 1 の導電体および第 2 の導電体を形成する第 2 の工程と、
前記金属酸化物上に、絶縁膜を成膜する第 3 の工程と、
前記絶縁膜上からマイクロ波処理を行う第 4 の工程と、
前記金属酸化物および前記絶縁膜の一方または双方に対して、加熱処理を行う第 5 の工程と、
を有し、

前記第 4 の工程は、減圧下、かつ、酸素を含むガスを用いて行われ、

前記第 5 の工程は、減圧下で行われ、

前記第 4 の工程により、前記金属酸化物中の酸素欠損に水素が入った欠陥 (V_OH) を、酸素欠損 (V_O) と水素 (H) とに分断し、

前記第 5 の工程により、前記金属酸化物中の酸素欠損 (V_O) を低減し、かつ、前記金属酸化物中の水素 (H) が、前記第 1 の導電体および前記第 2 の導電体へ拡散する、

金属酸化物の作製方法。

[請求項 5]

請求項 2 乃至請求項 4 のいずれか一において、

前記加熱処理の温度は、 300°C 以上 500°C 以下である、

金属酸化物の作製方法。

[請求項 6]

請求項 1 乃至請求項 5 のいずれか一において、

前記マイクロ波処理の圧力は、 133 Pa 以上である、

金属酸化物の作製方法。

[請求項 7]

請求項 1 乃至請求項 6 のいずれか一において、

前記第 1 の工程は、インジウムを有する酸化物ターゲットを用いて、スパッタリング法によって行われる、

金属酸化物の作製方法。

1/27

図1A

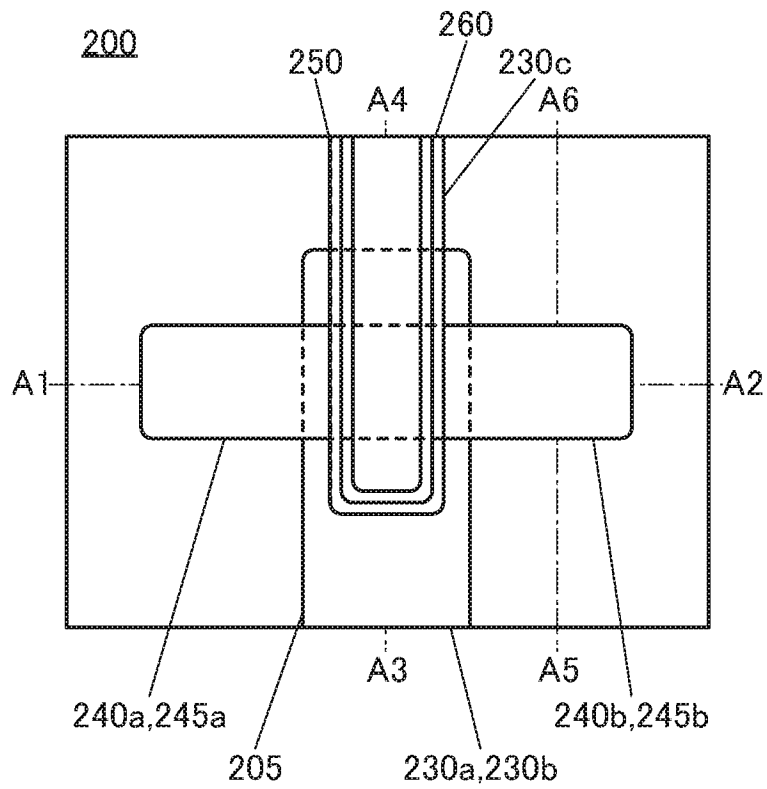


図1C

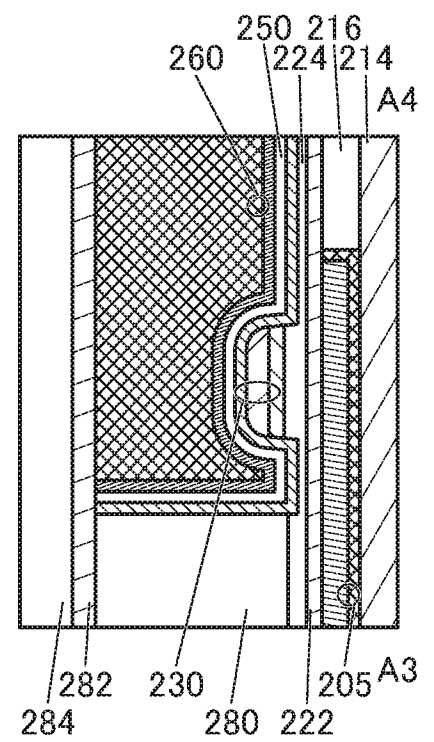


図1B

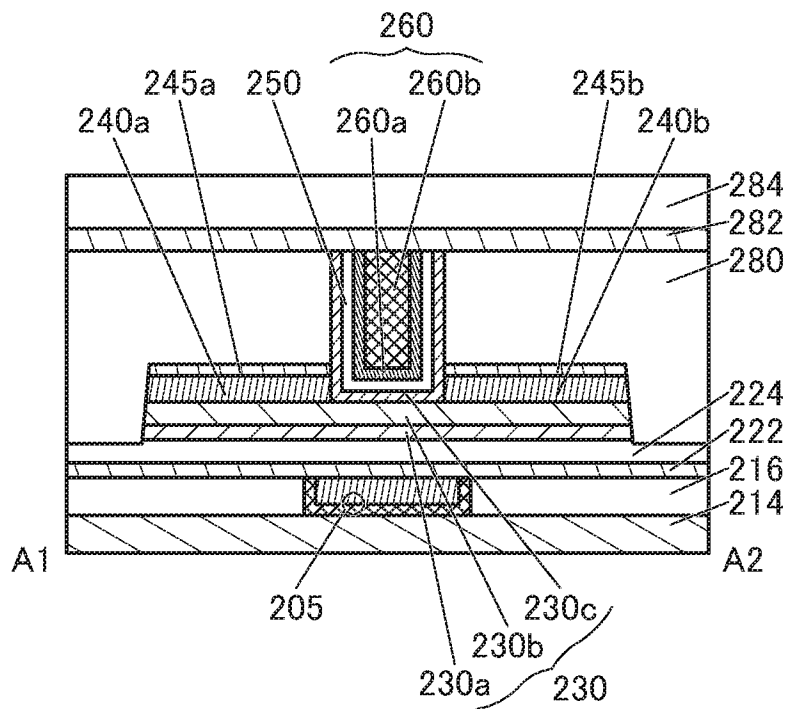


図1D

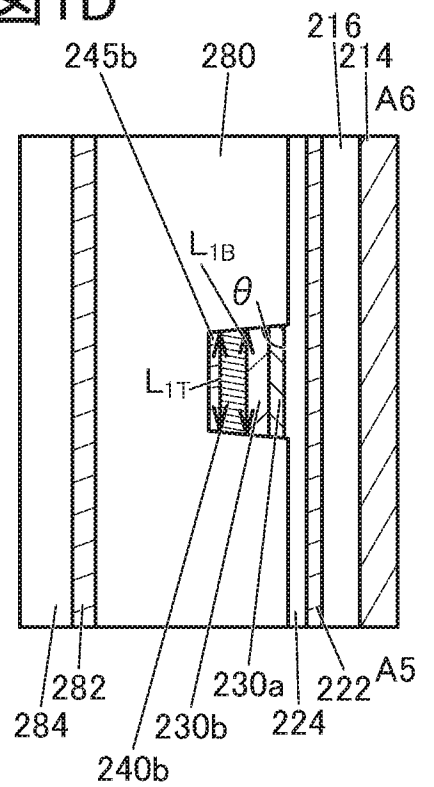


図2A

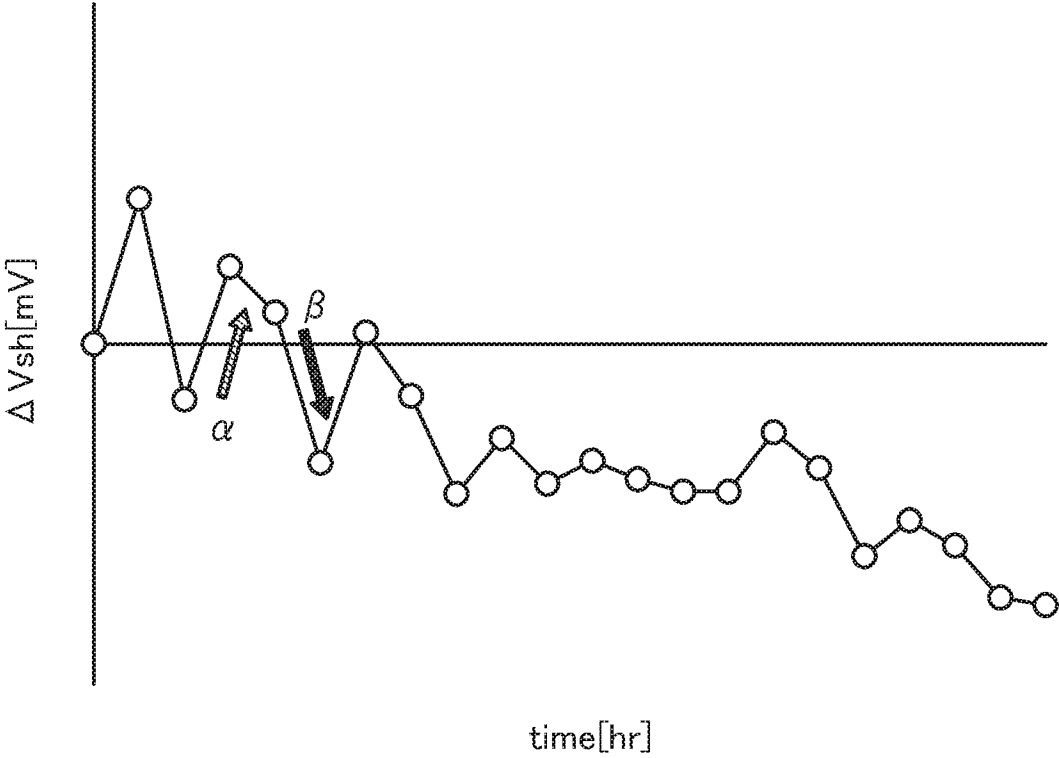


図2B

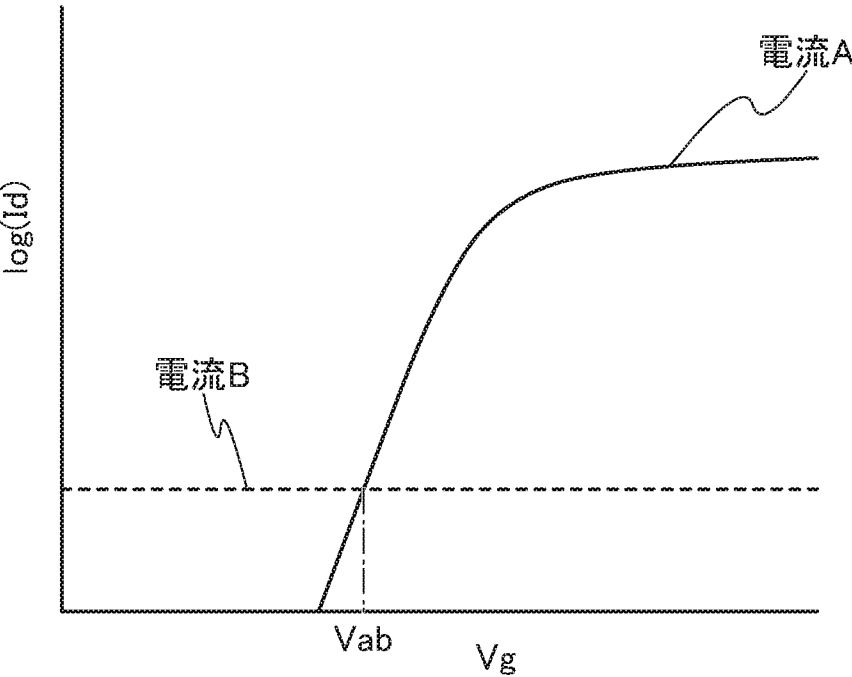


図3A

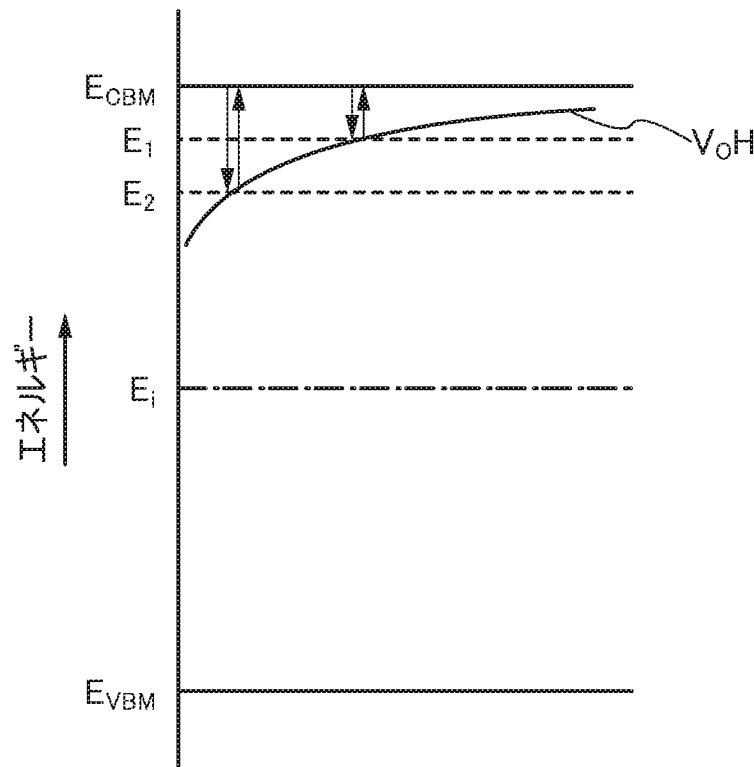


図3B

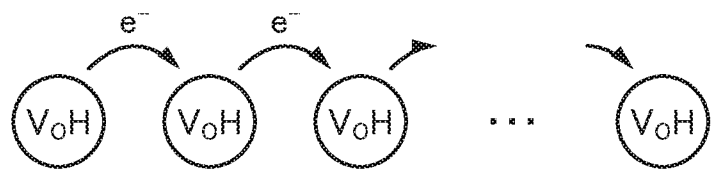
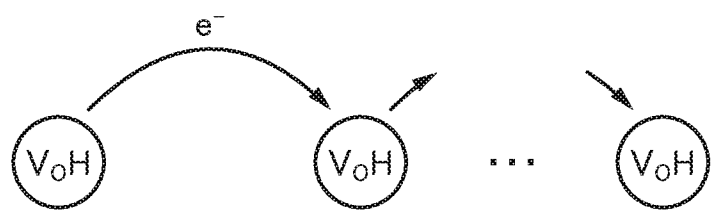


図3C



4/27

図4A

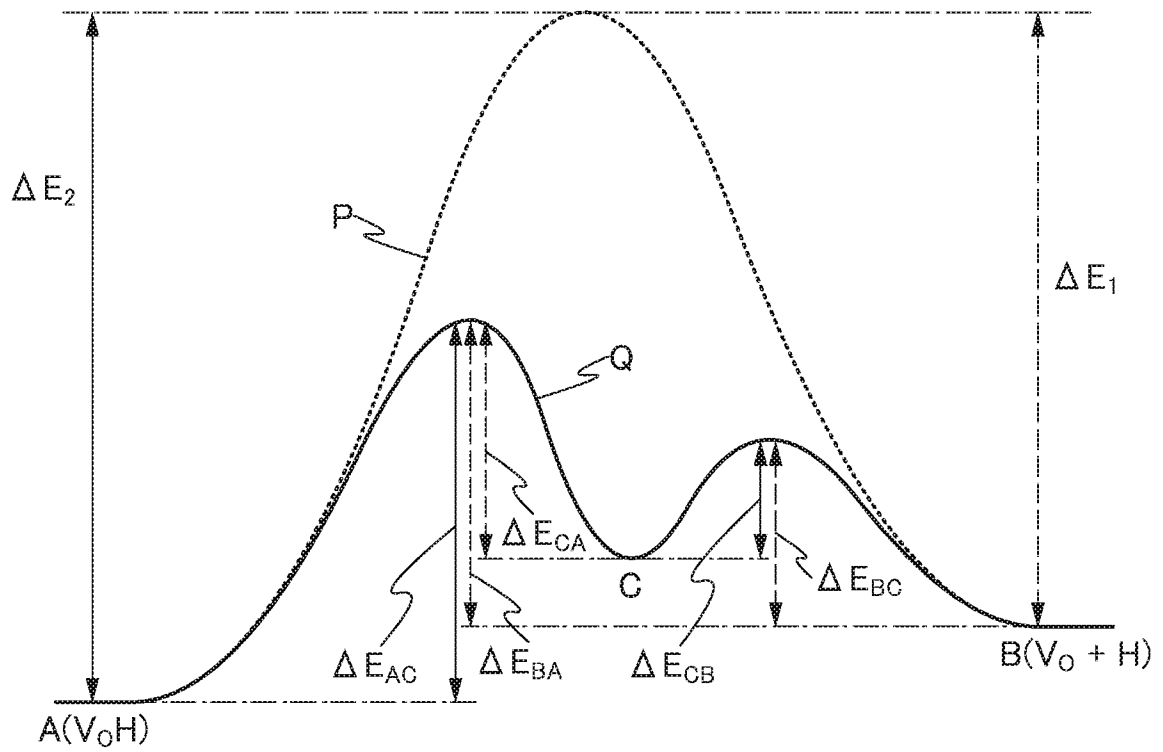
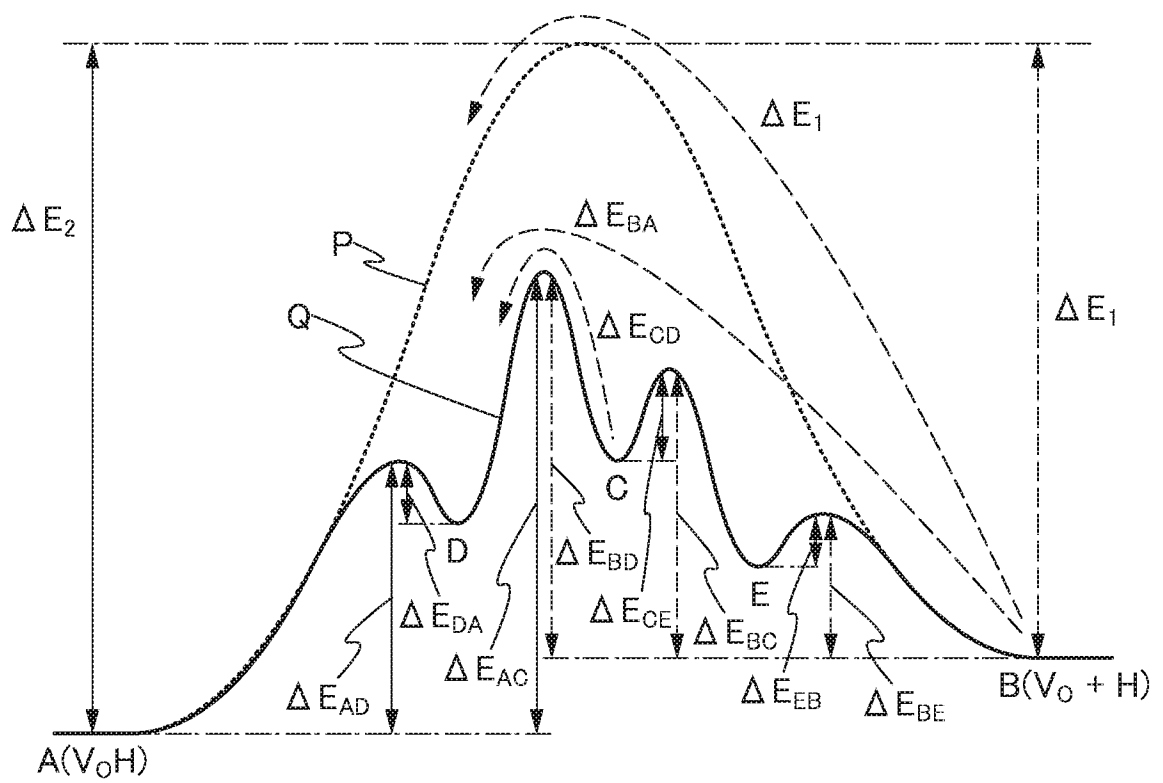


図4B



5/27

図5A

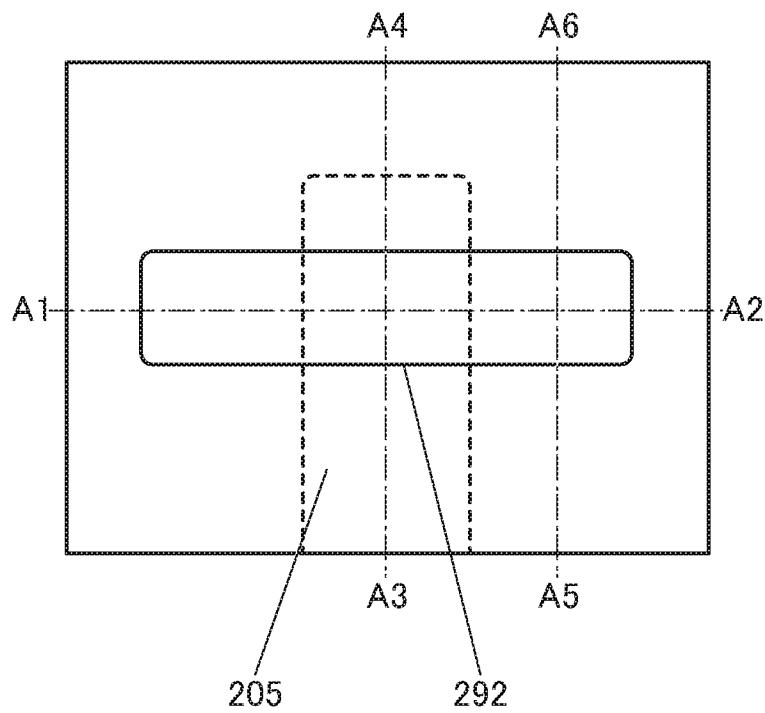


図5C

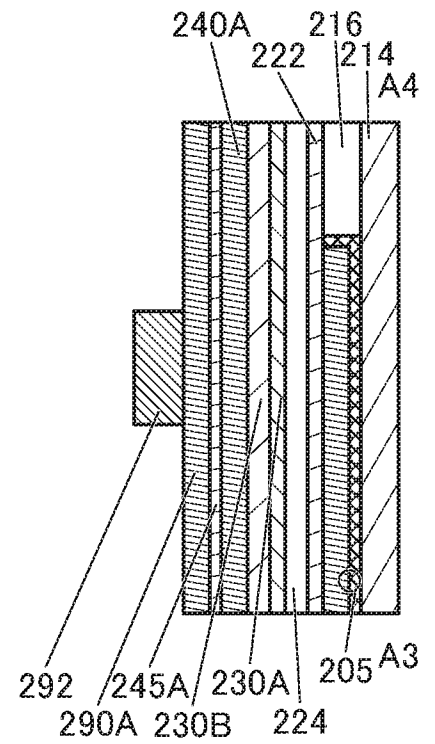


図5B

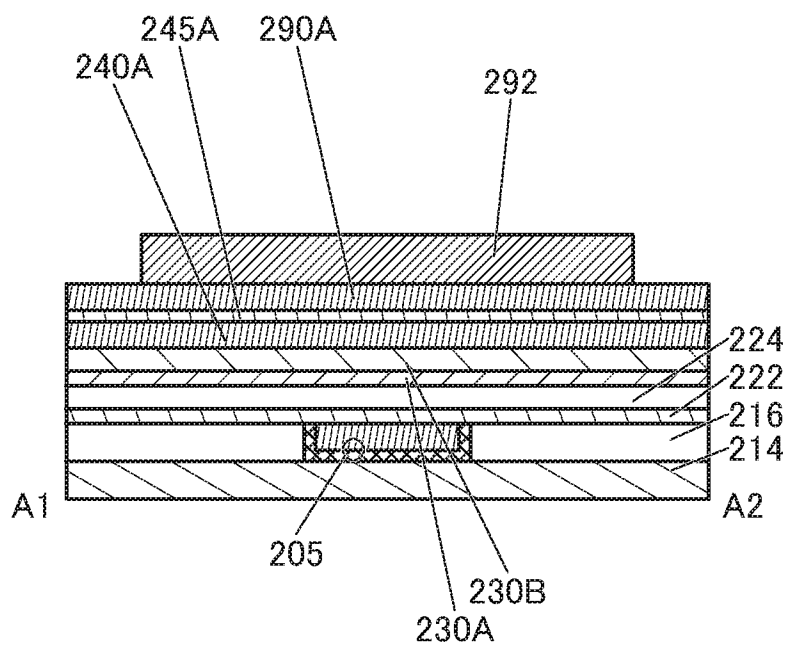


図5D

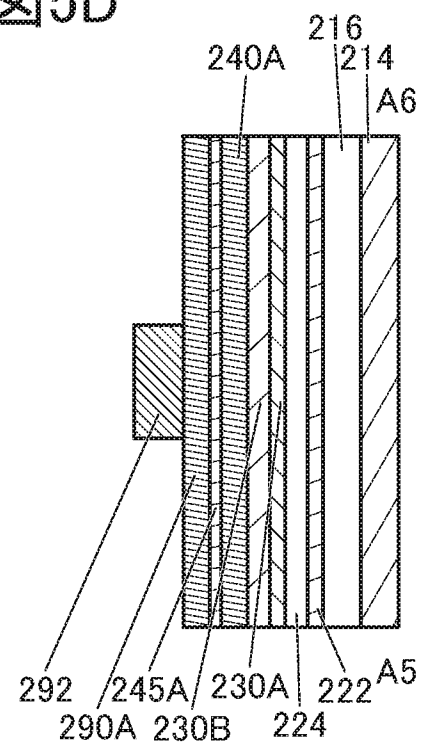


図6A

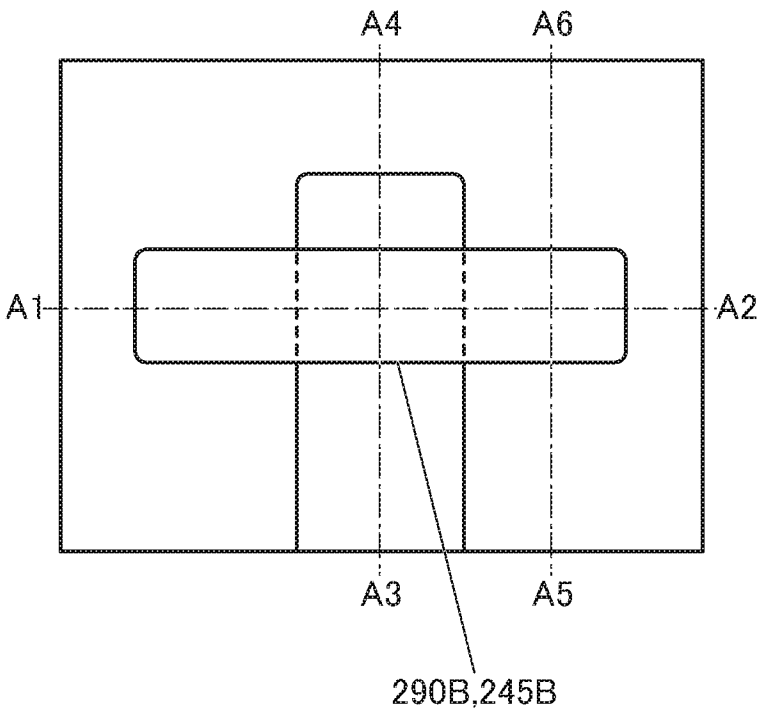


図6C

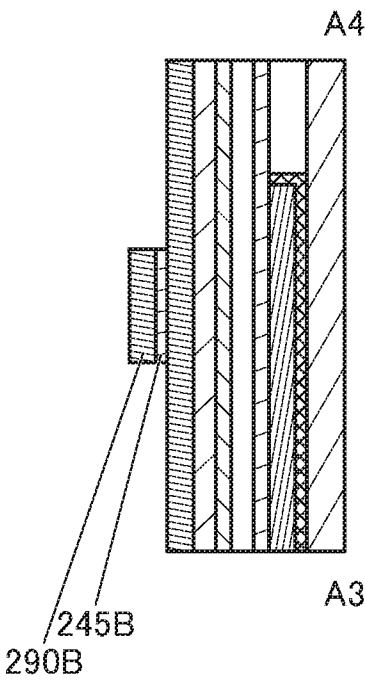


図6B

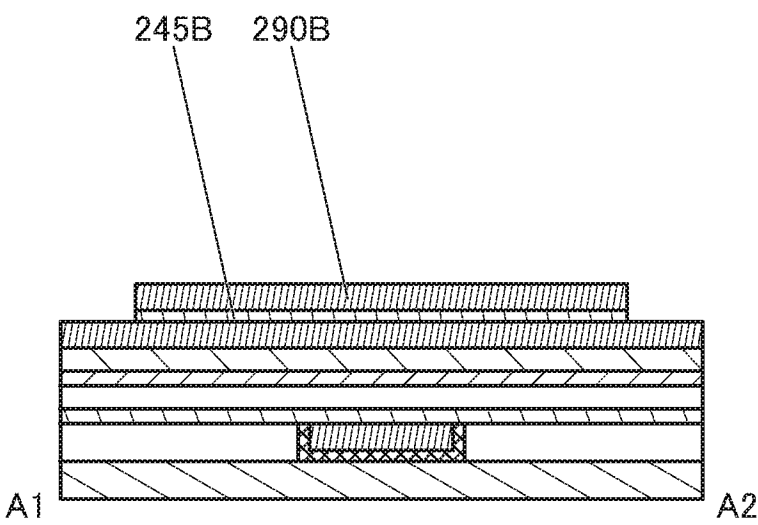


図6D

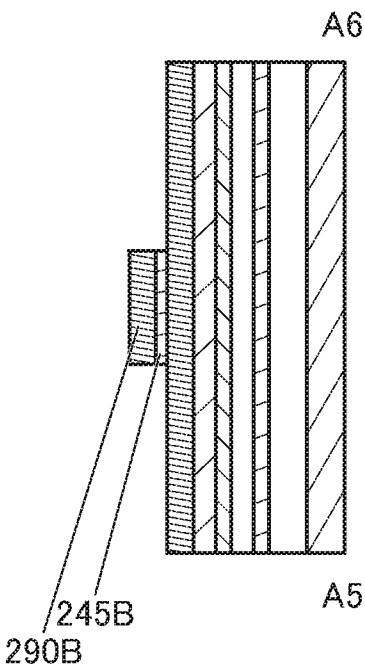


図7A

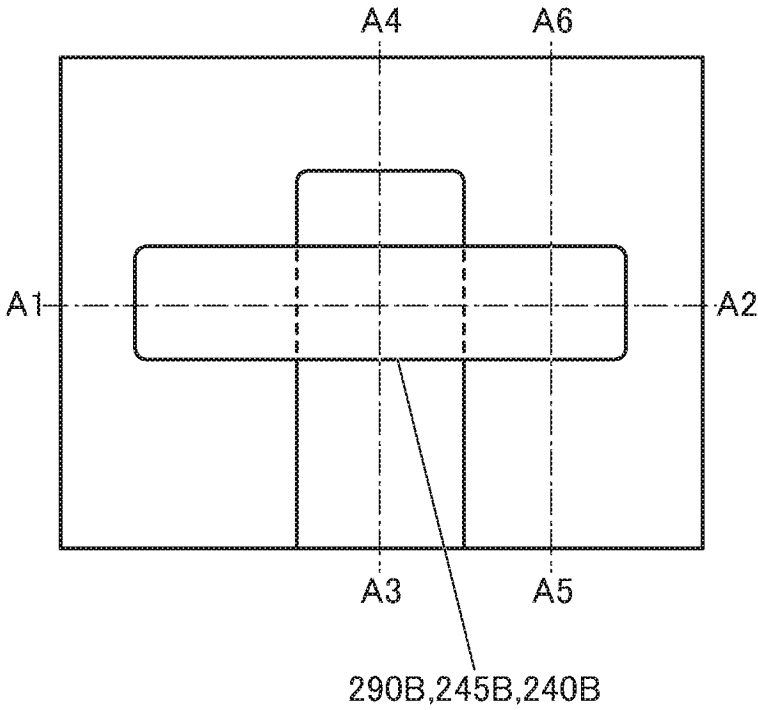


図7C

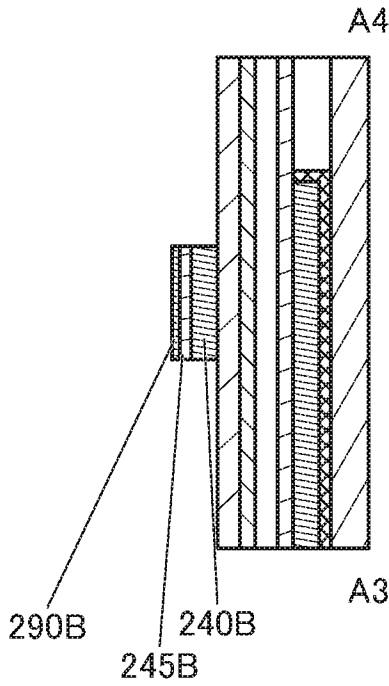


図7B

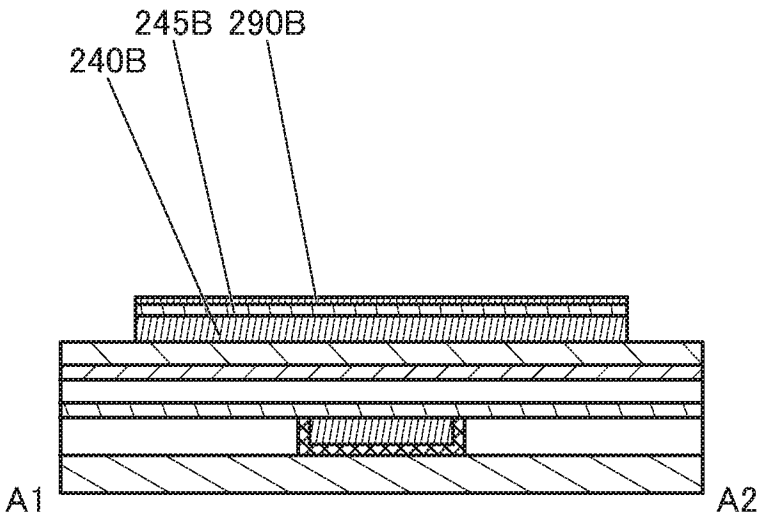
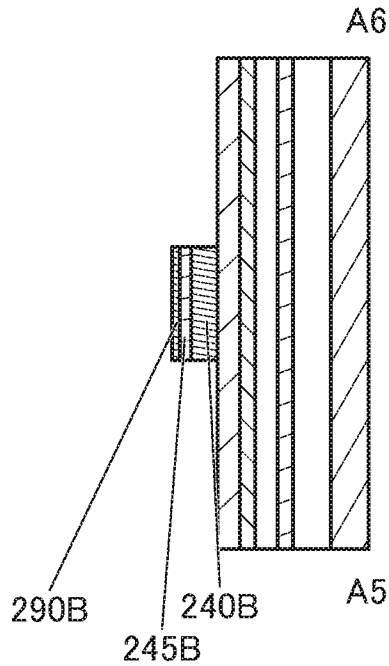


図7D



8/27

図8A

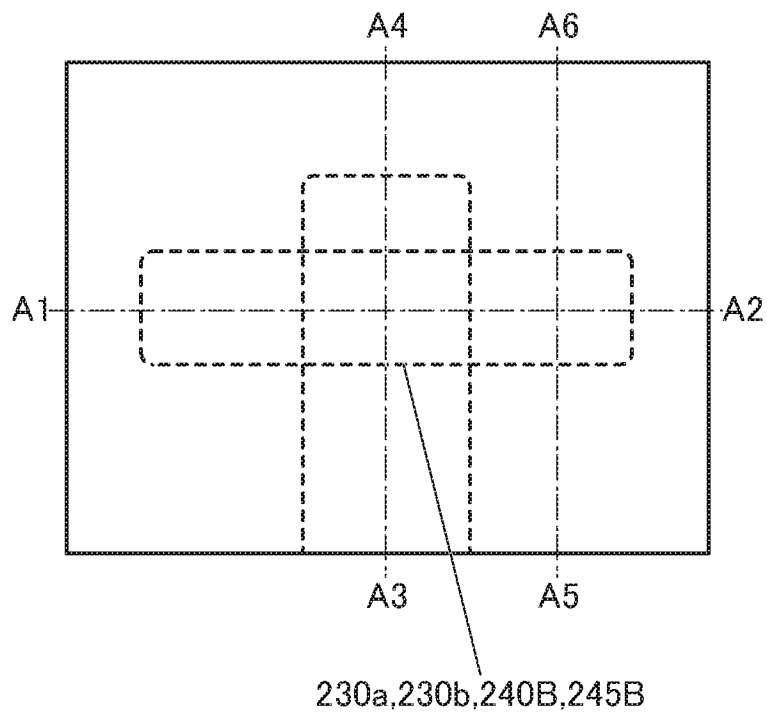


図8C

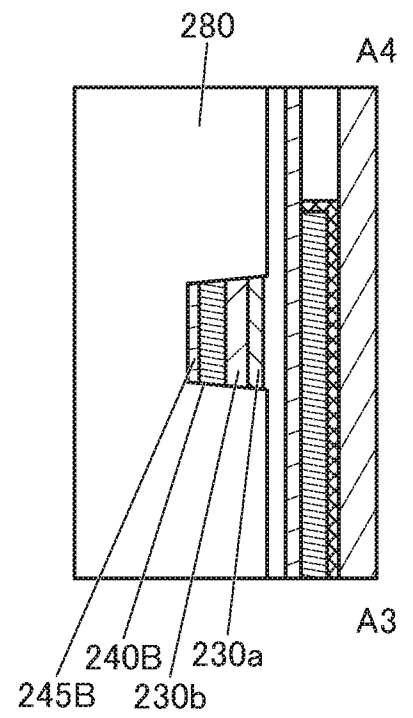


図8B

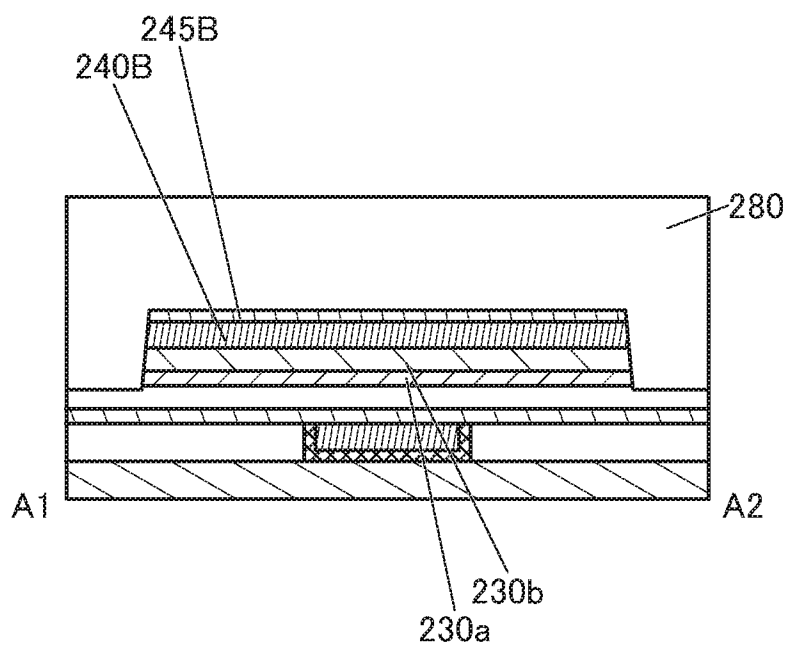
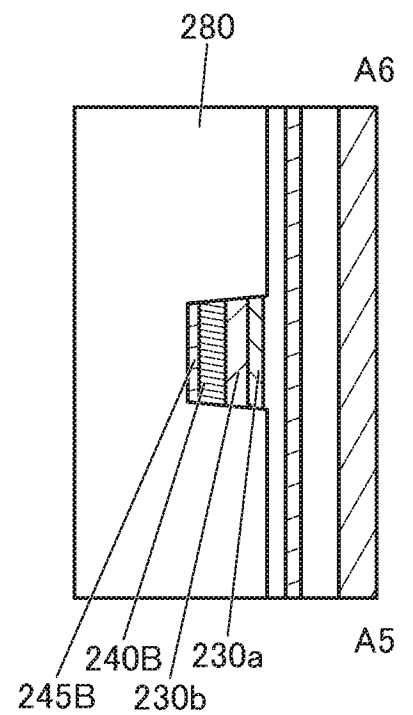


図8D



9/27

図9A

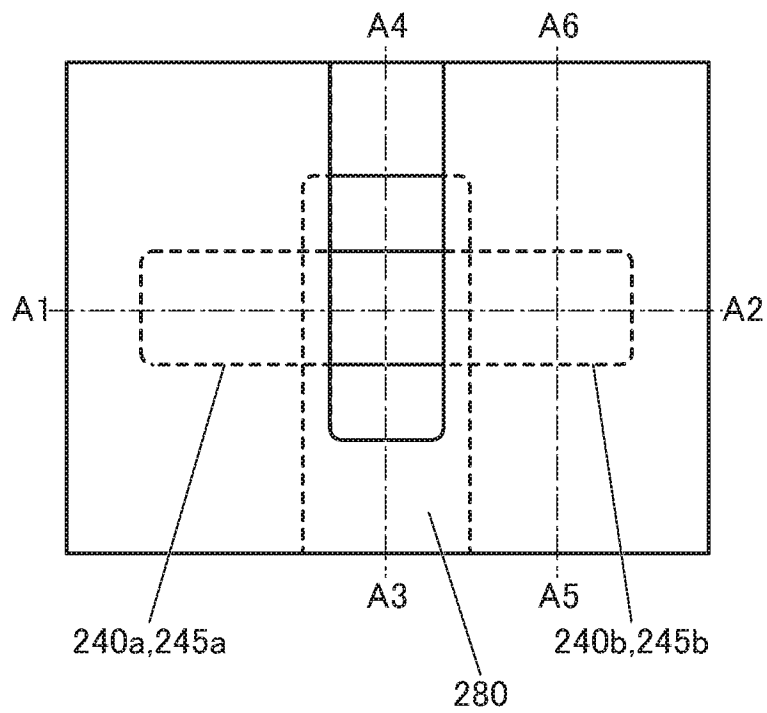


図9C

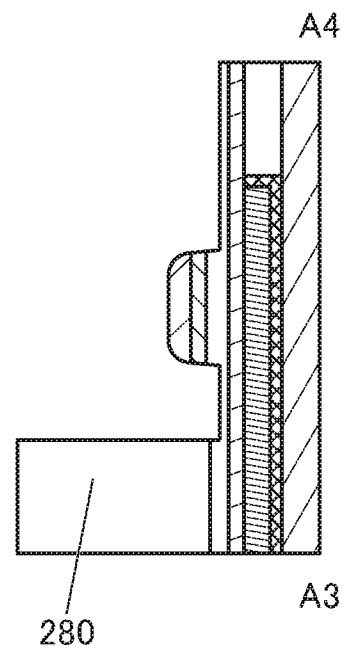


図9B

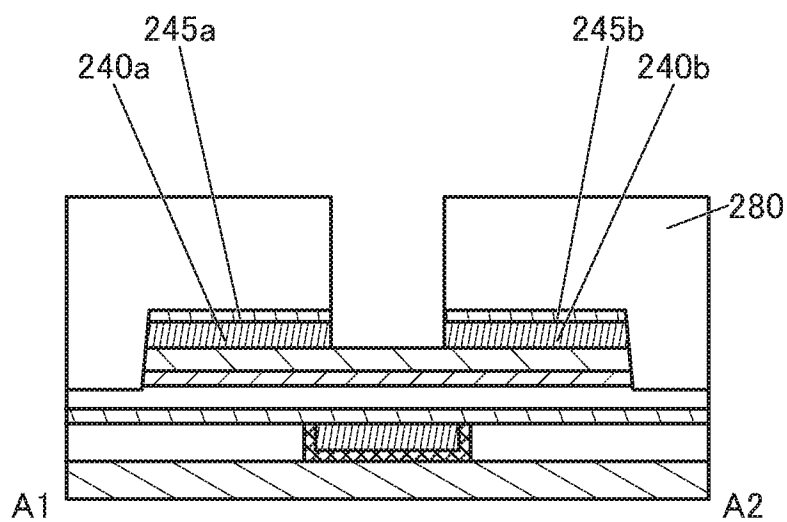


図9D

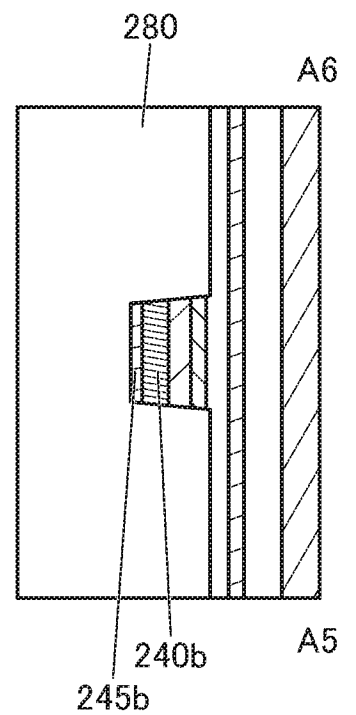


図10A

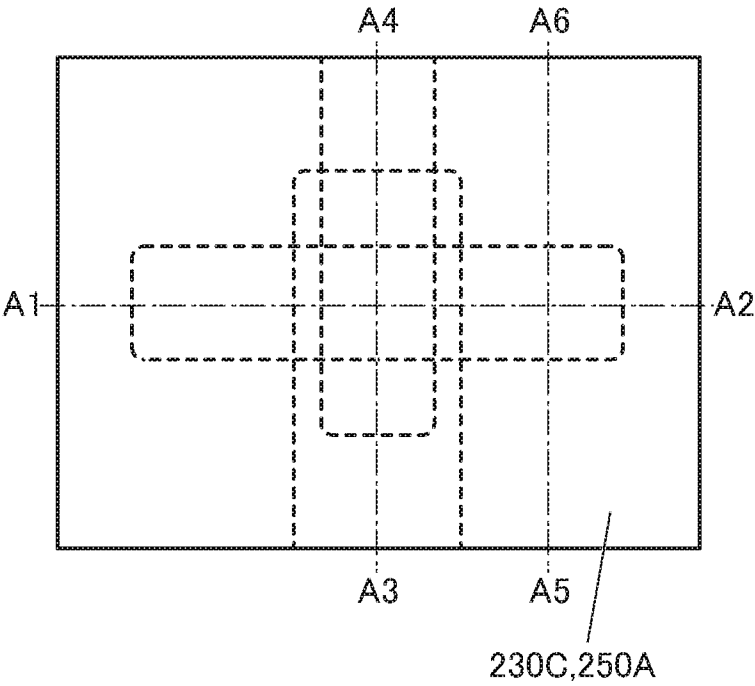


図10C

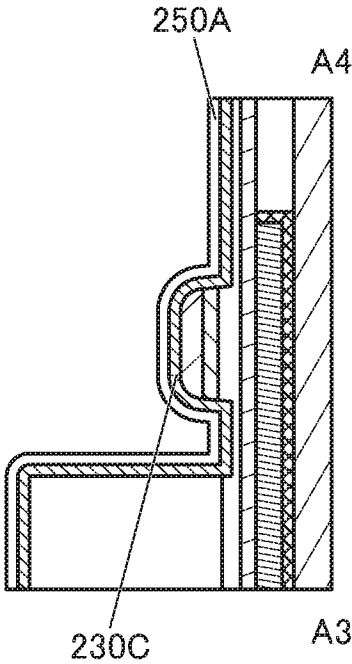


図10B

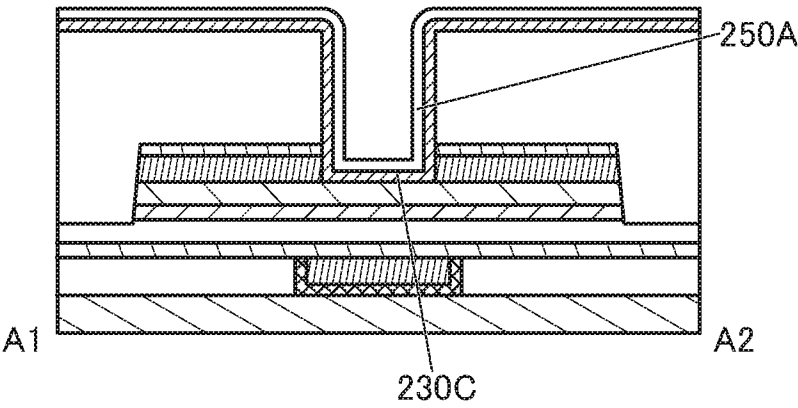


図10D

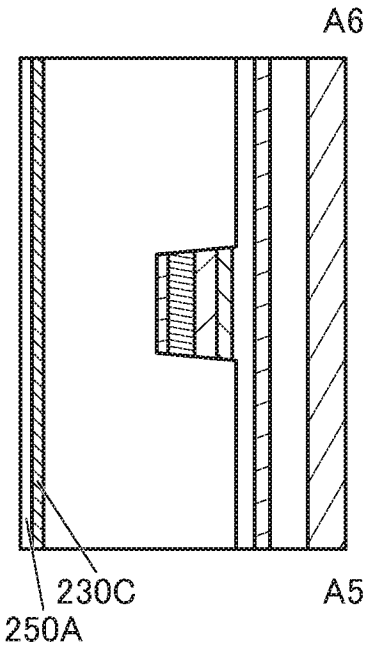


図11A

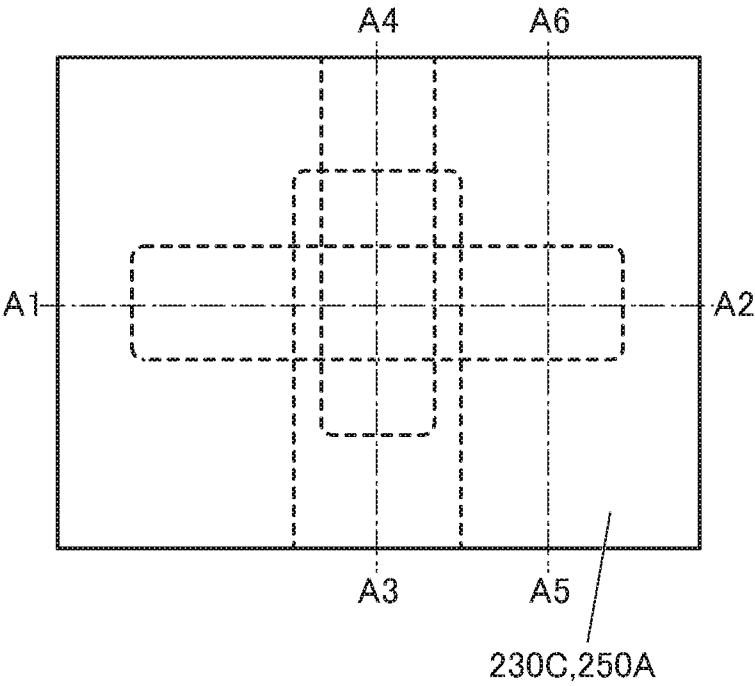


図11C

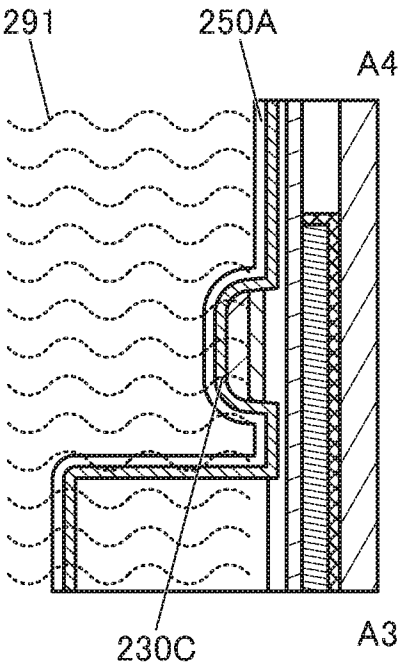


図11B

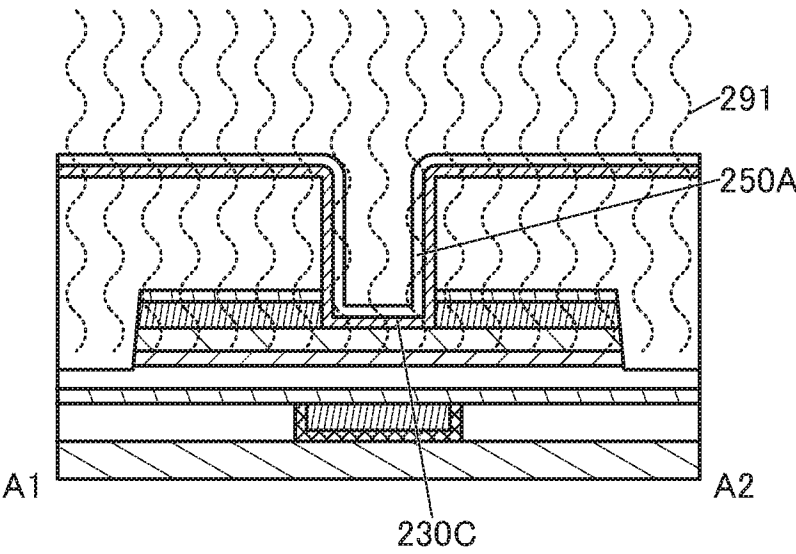


図11D

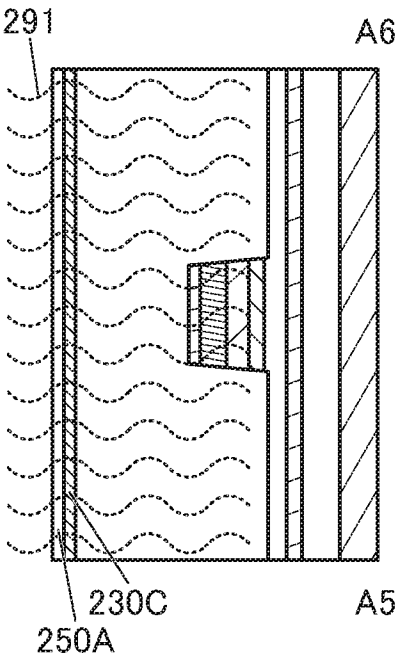


図12A

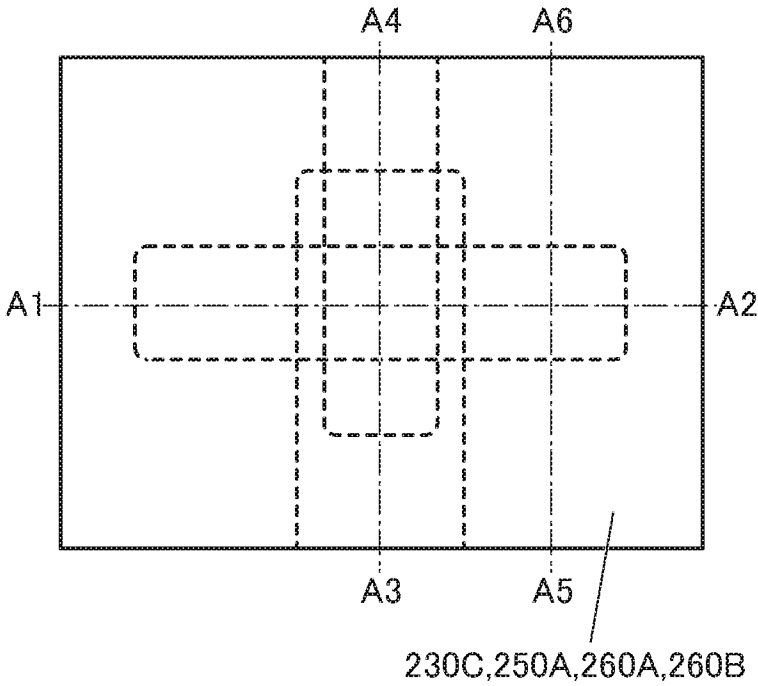


図12C

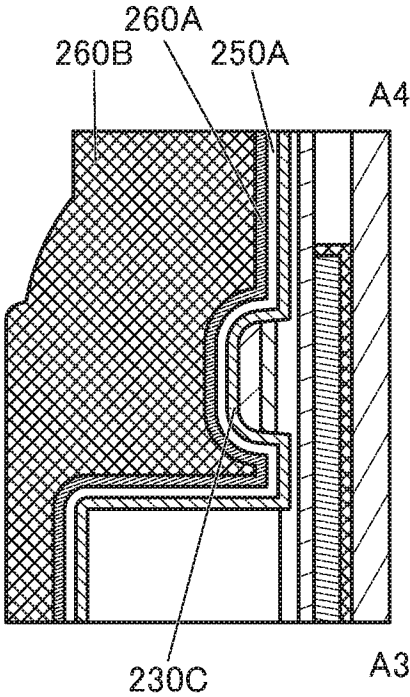


図12B

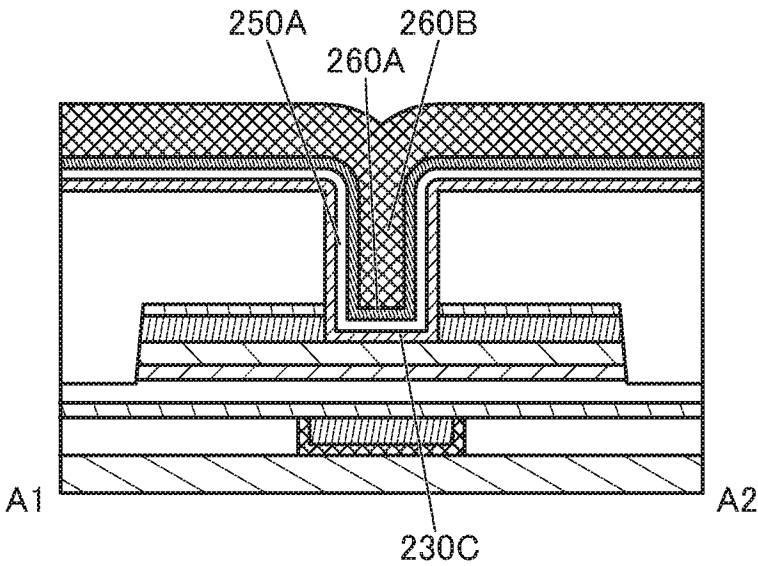
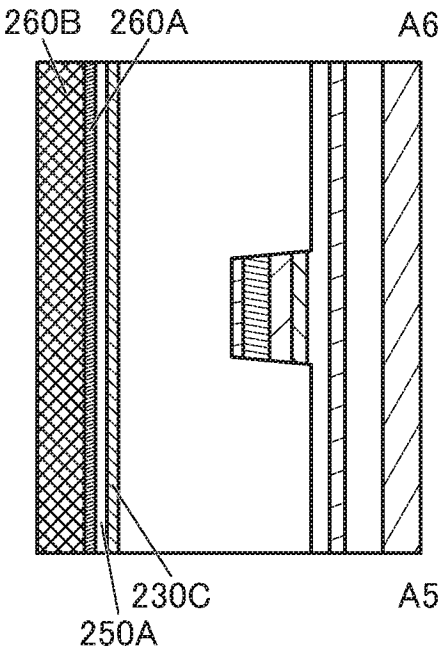


図12D



13/27

図13A

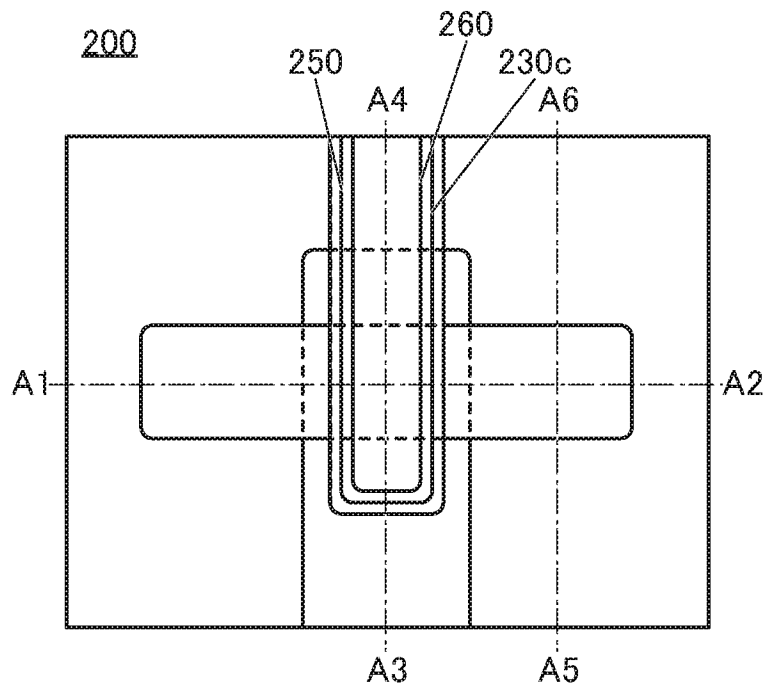


図13C

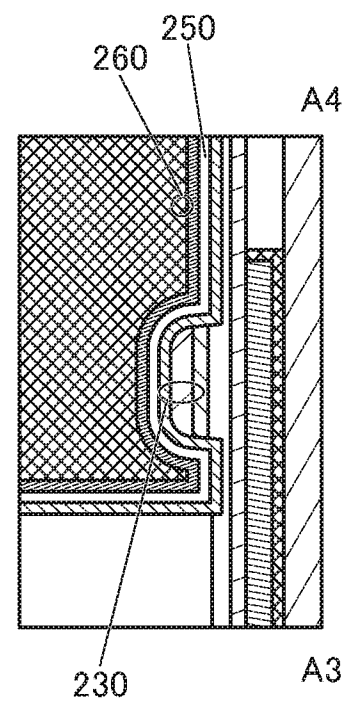


図13B

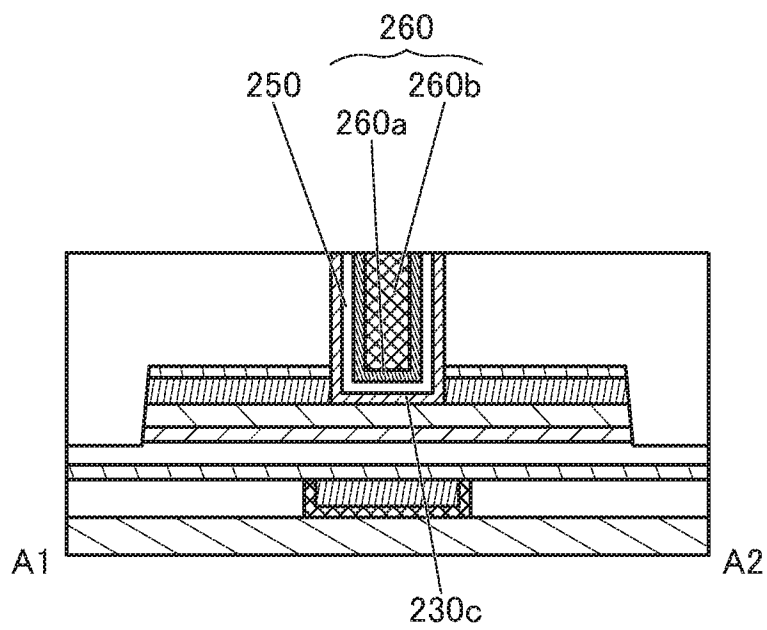
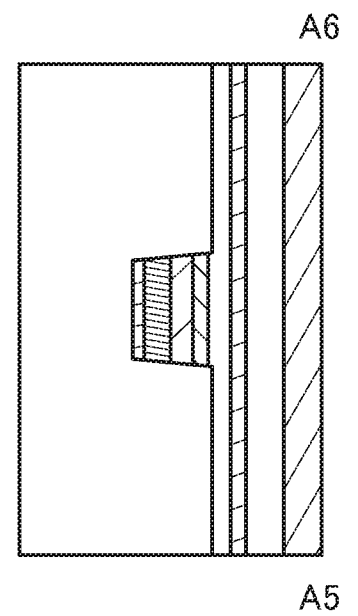


図13D



14/27

図14A

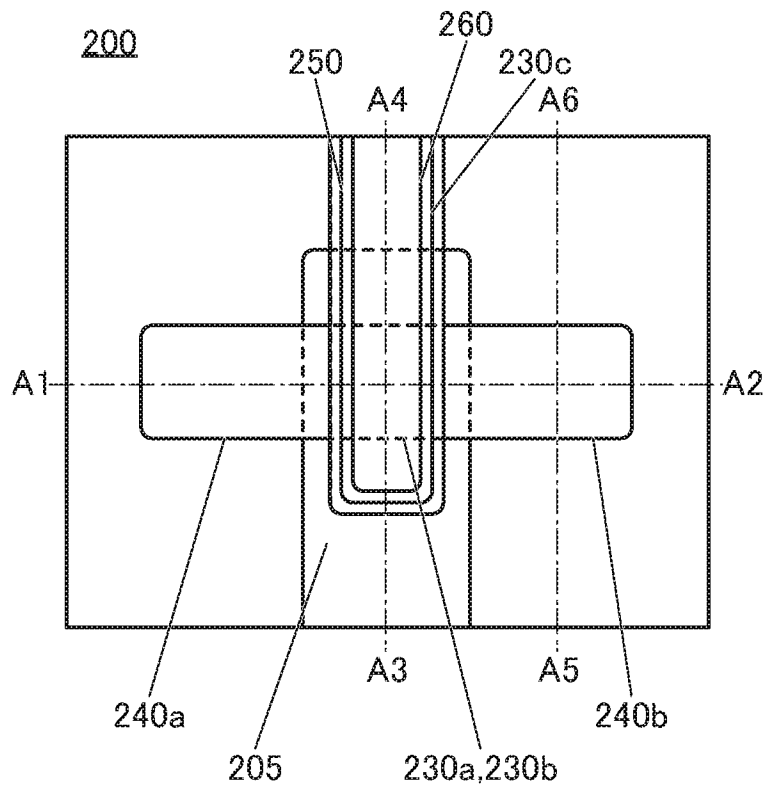


図14C

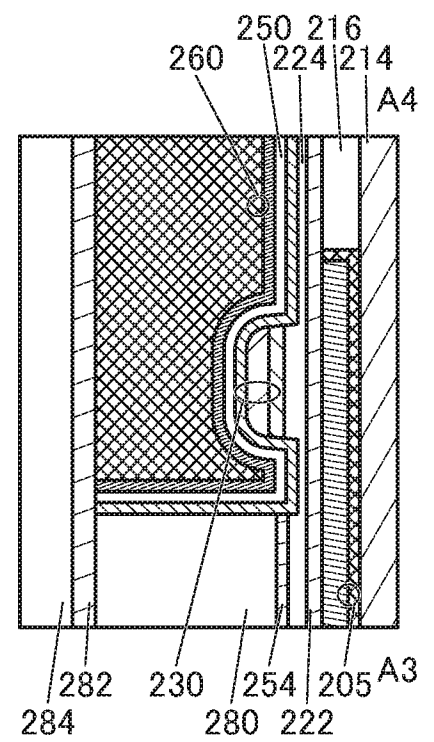


図14B

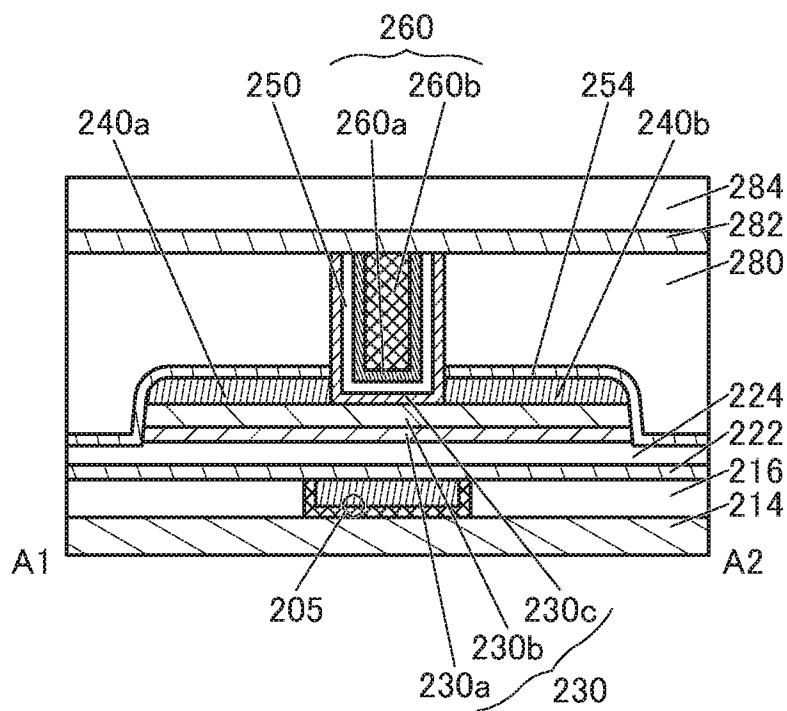
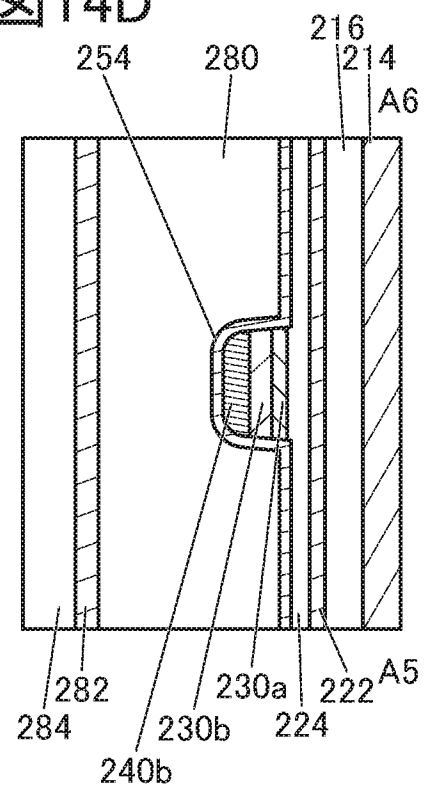


図14D



15/27

図15A

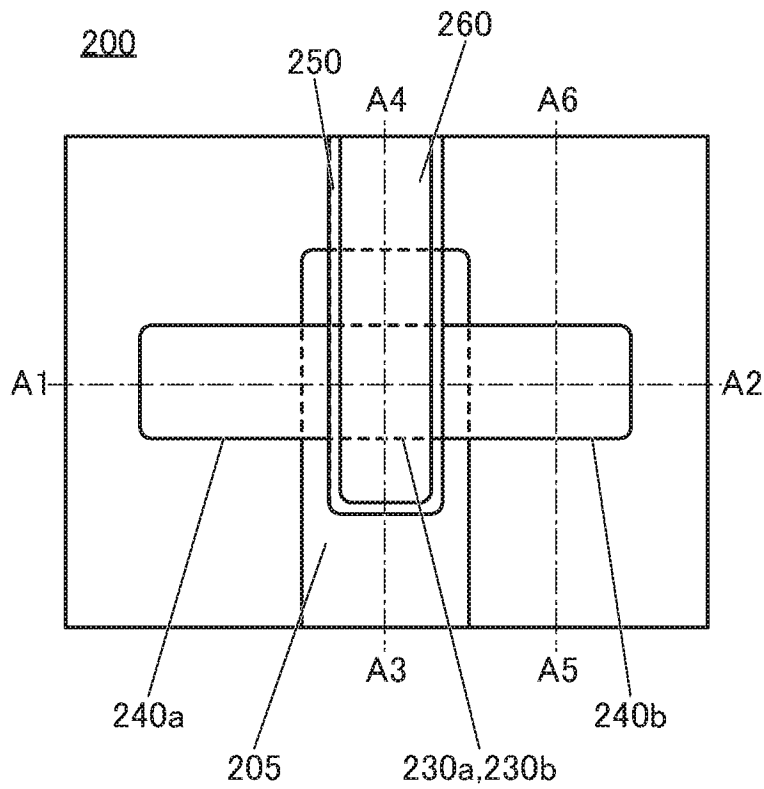


図15C

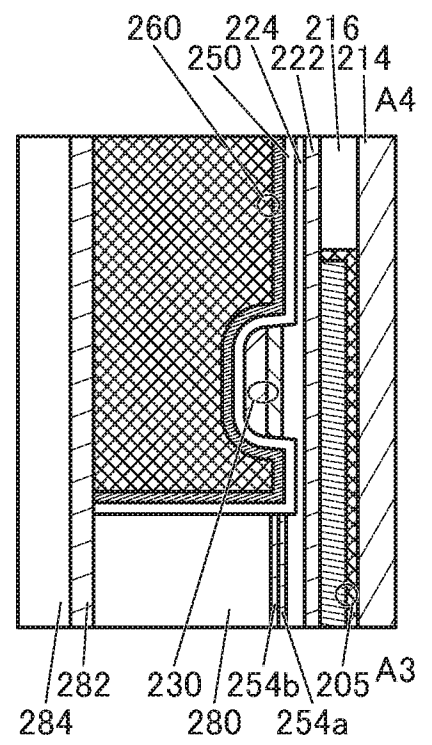


図15B

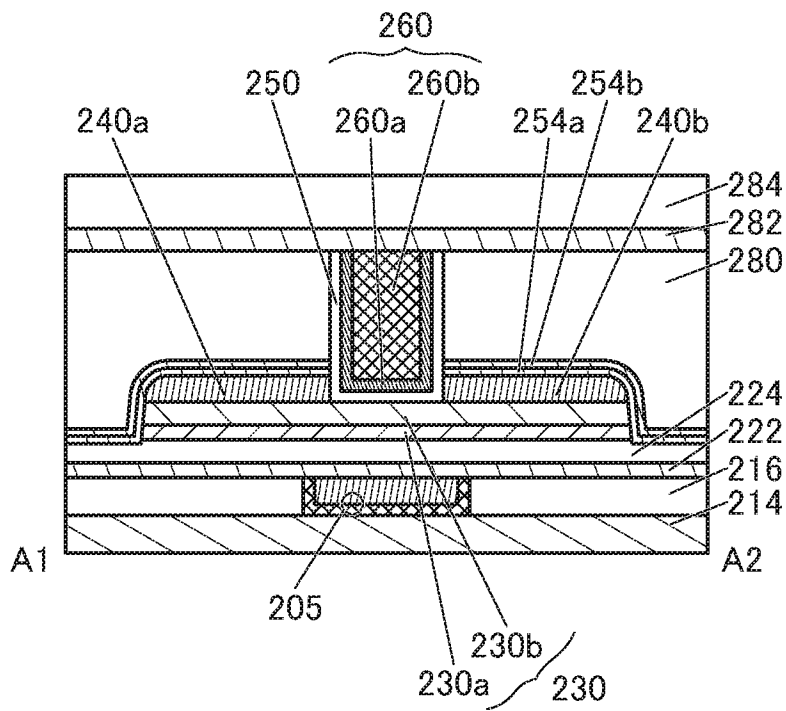


図15D

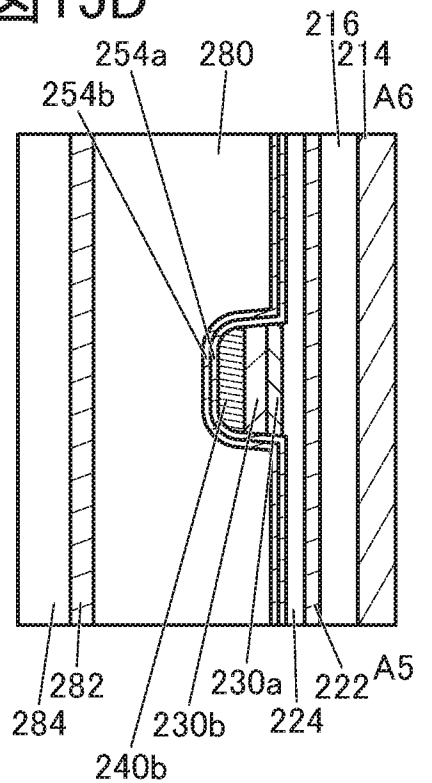


図16

16/27

2700

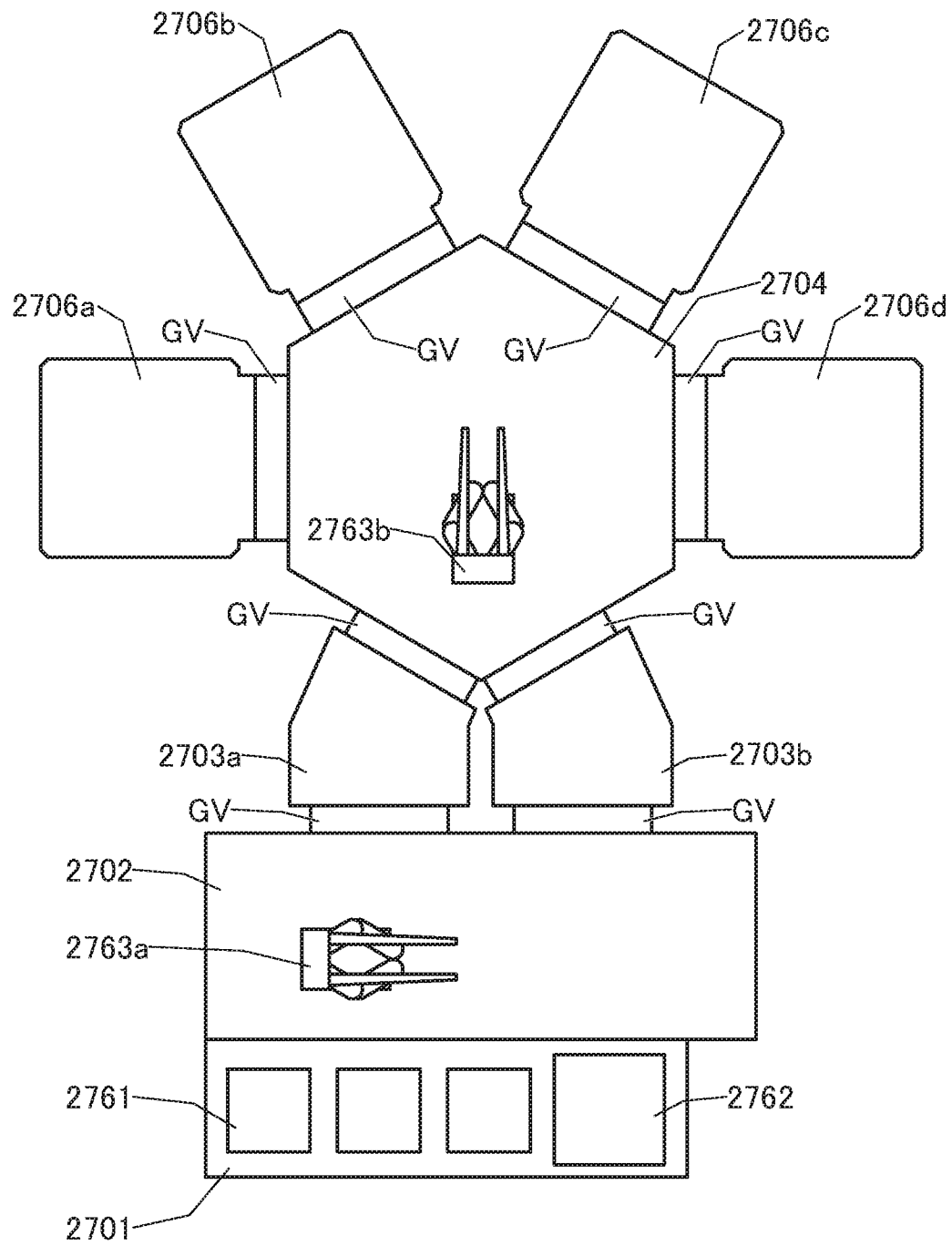


図17

17/27

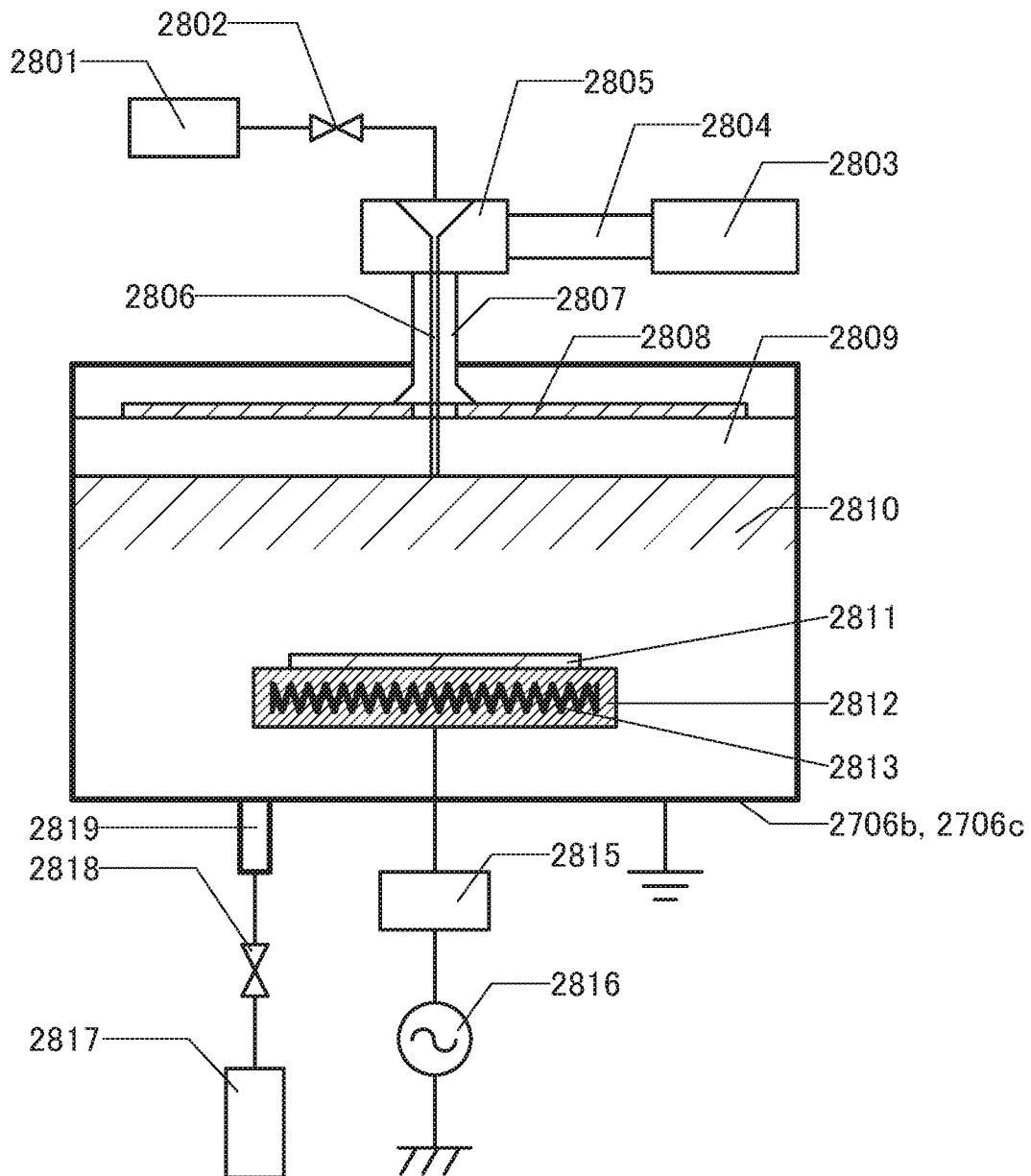


图 18

18/27

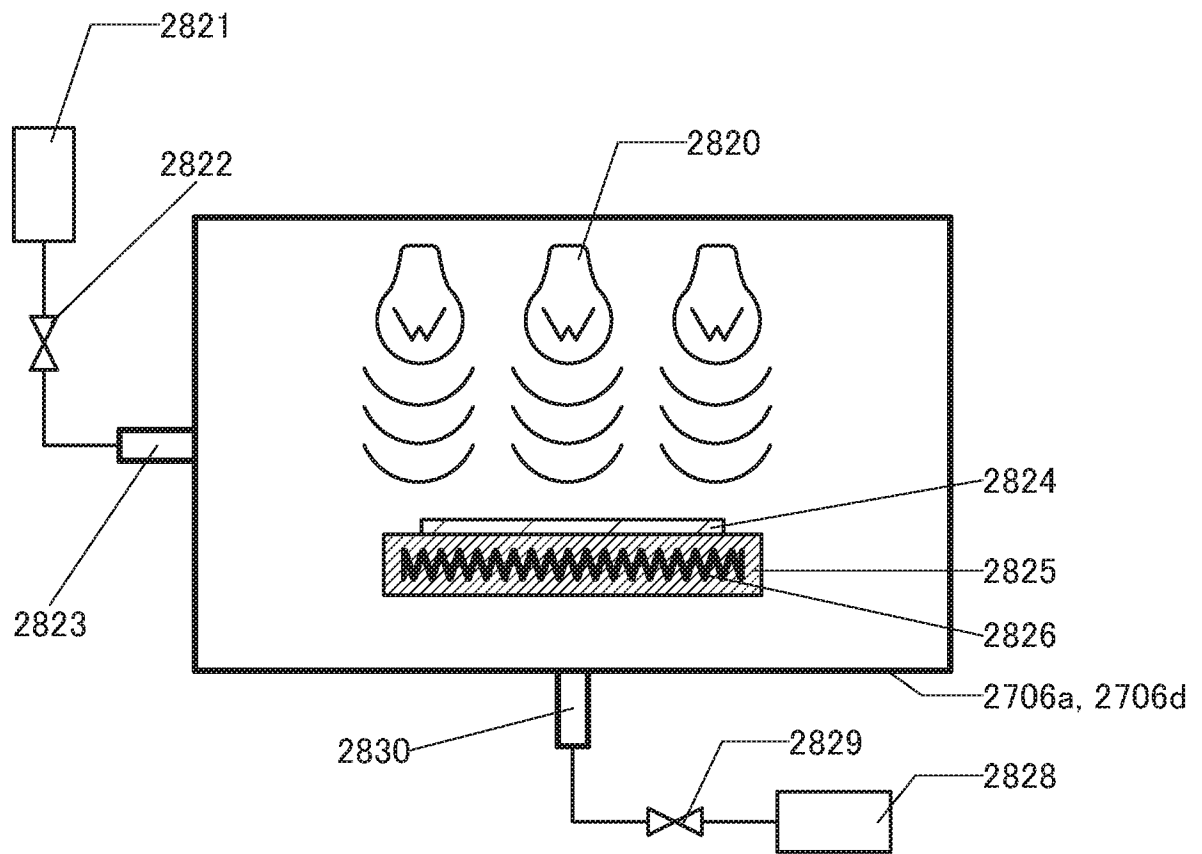


图19

19/27

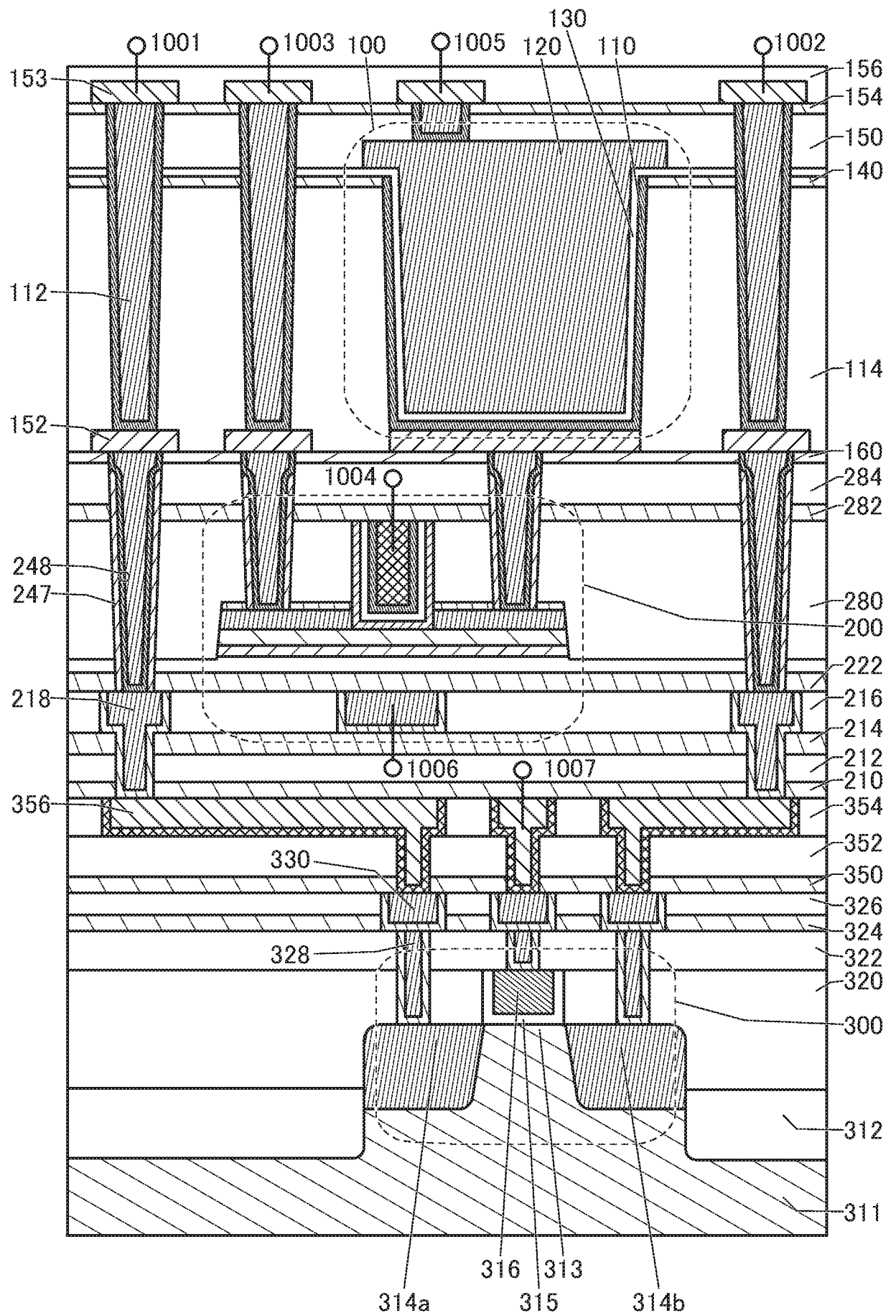


図20

20/27

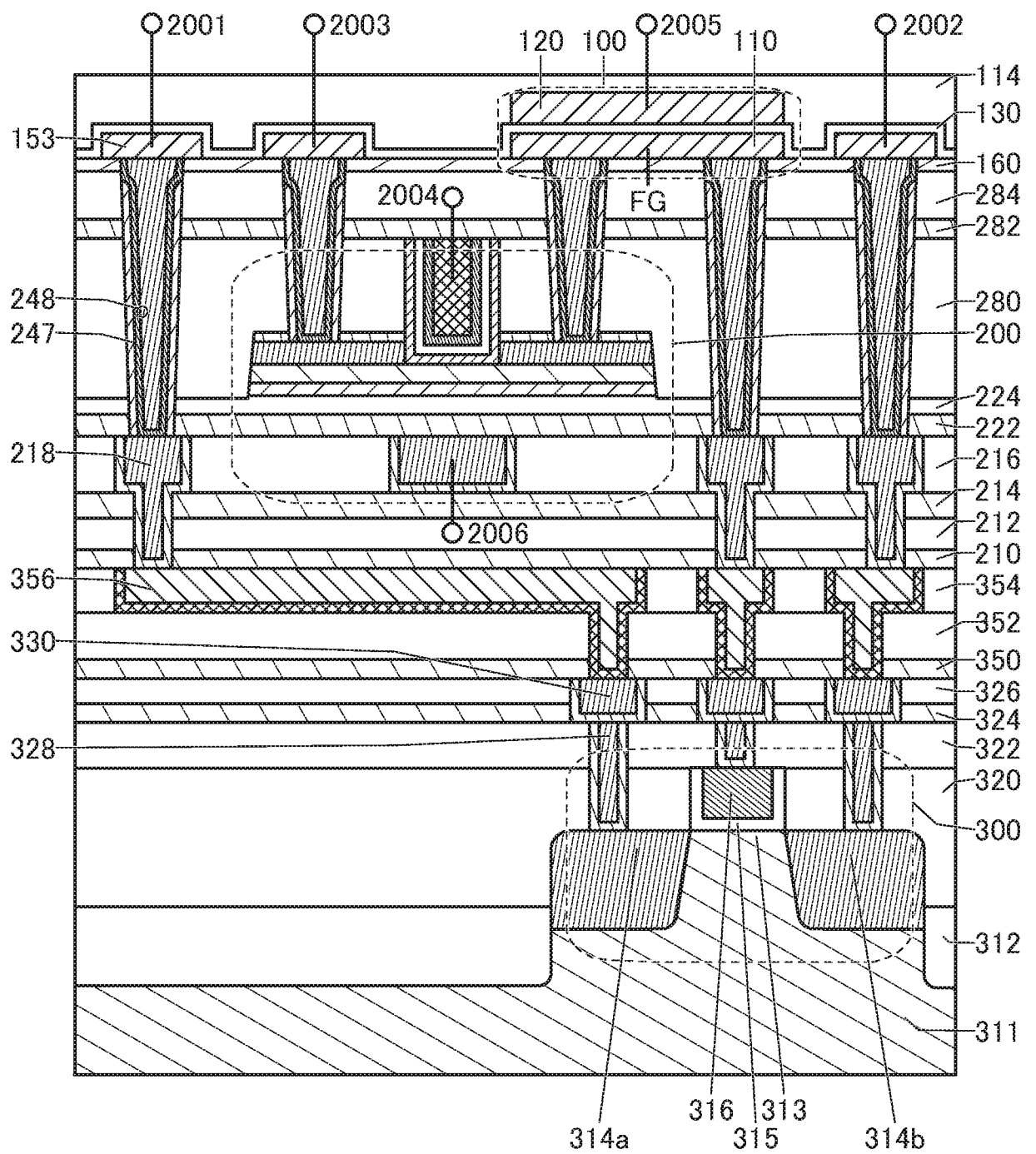
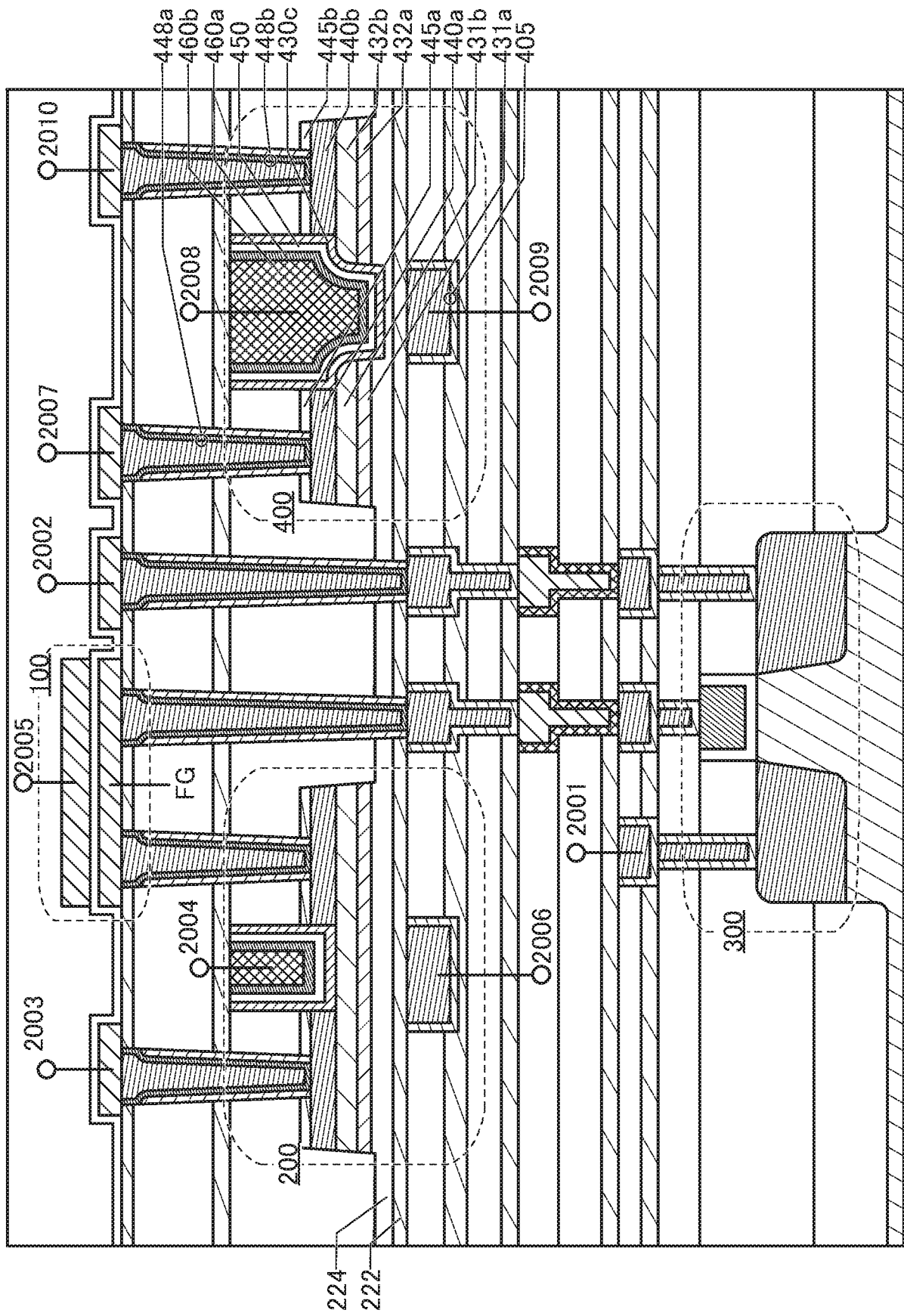


図21



22/27

図22A

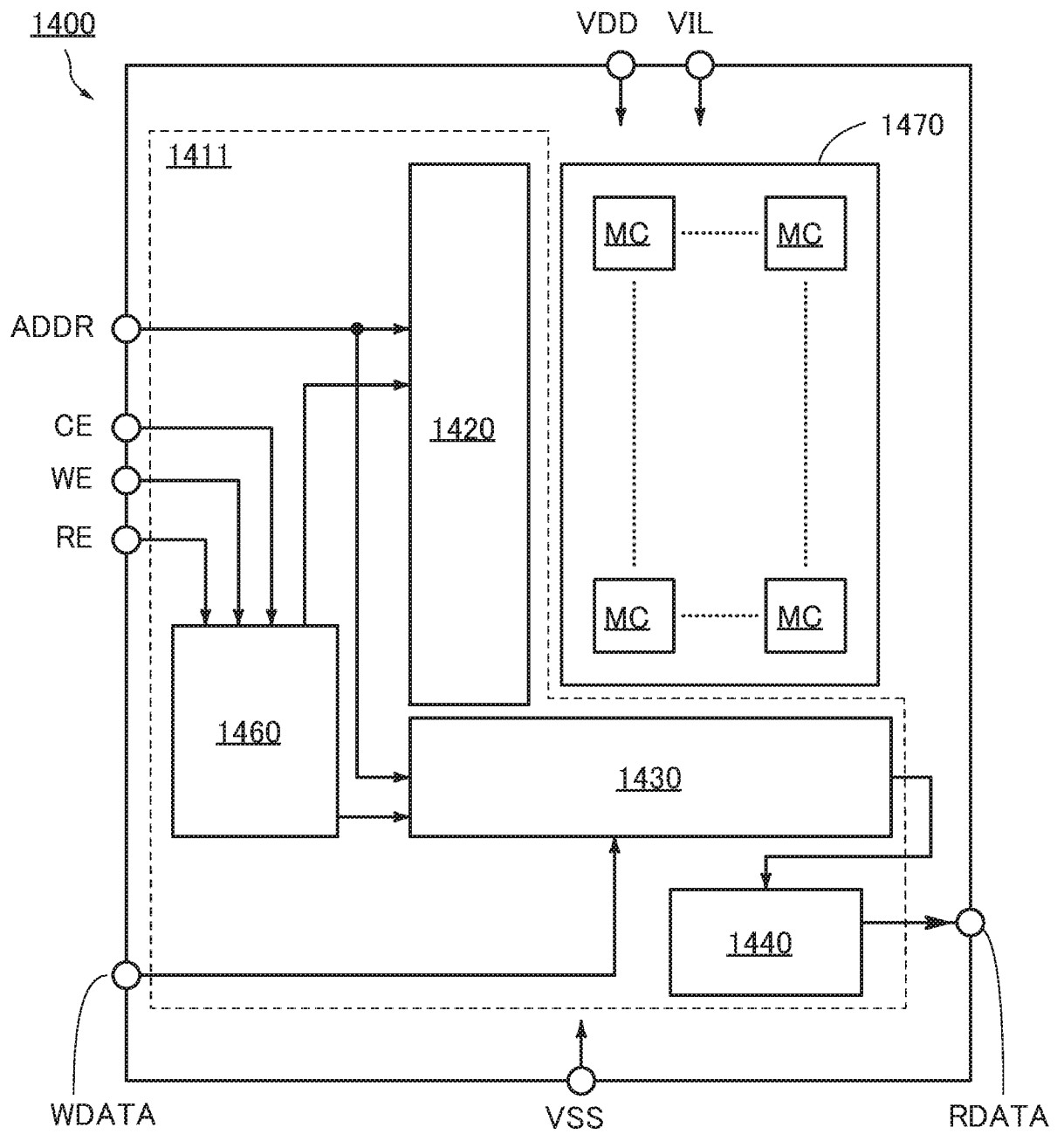
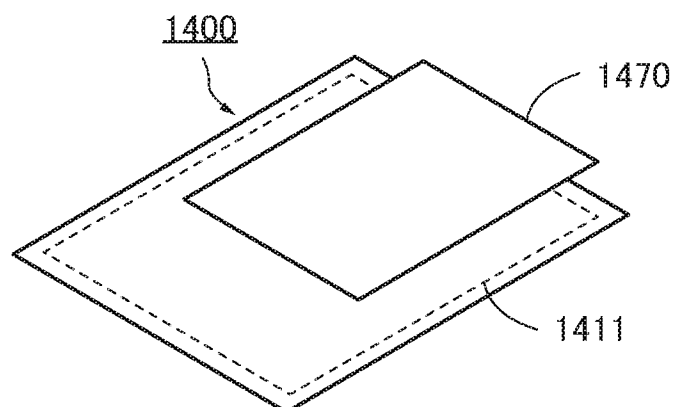
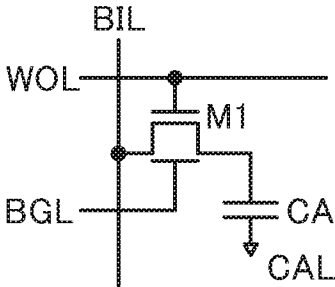


図22B



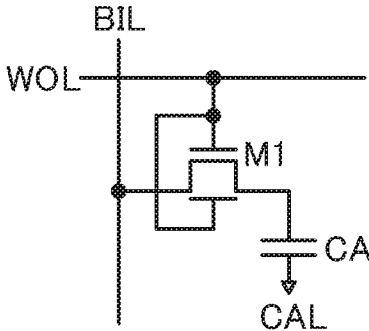
23A

1471



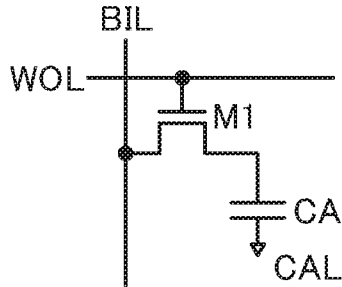
23B

1472



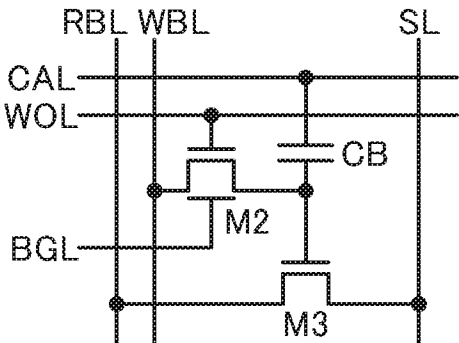
23C

1473



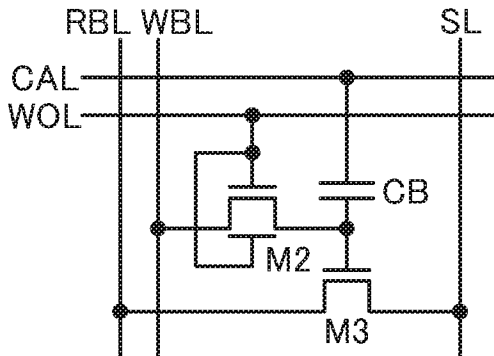
23D

1474



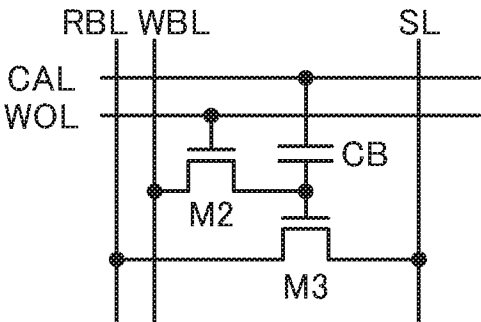
23E

1475



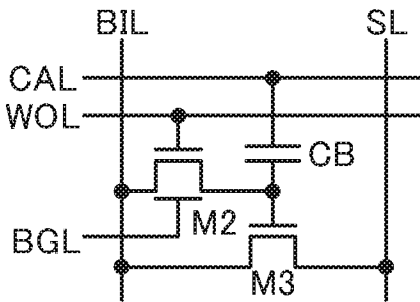
23F

1476



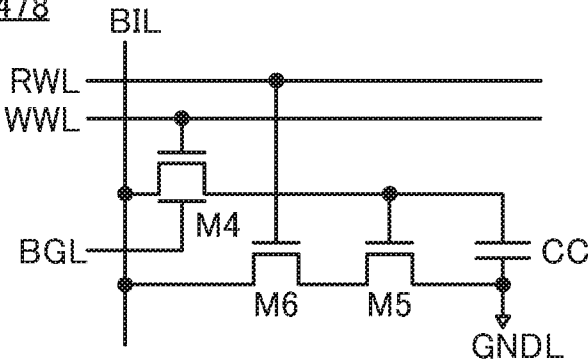
23G

1477



23H

1478



24/27

図24A

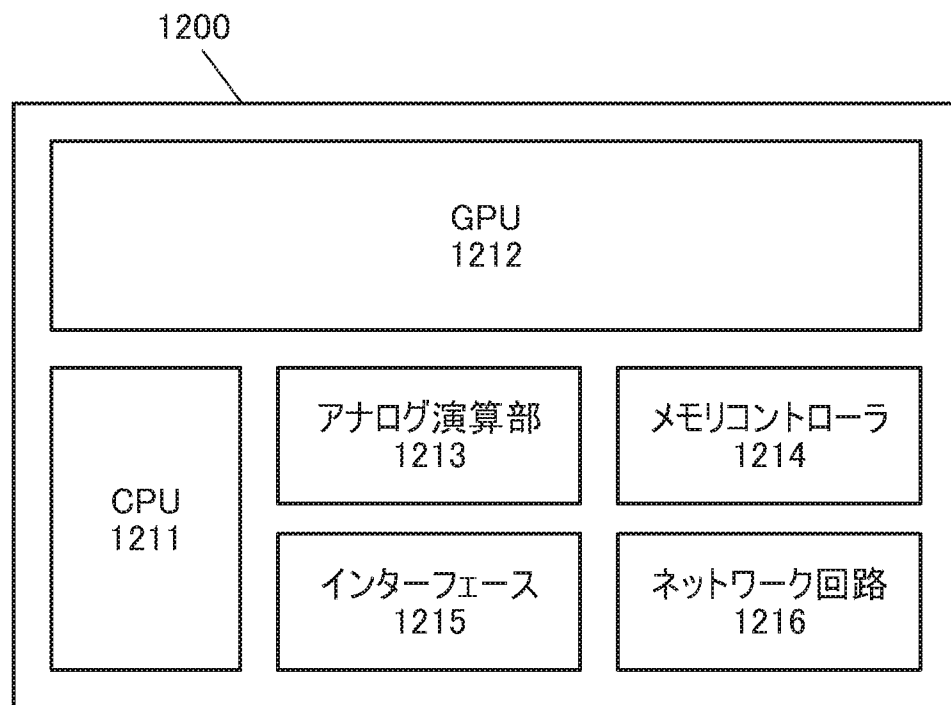
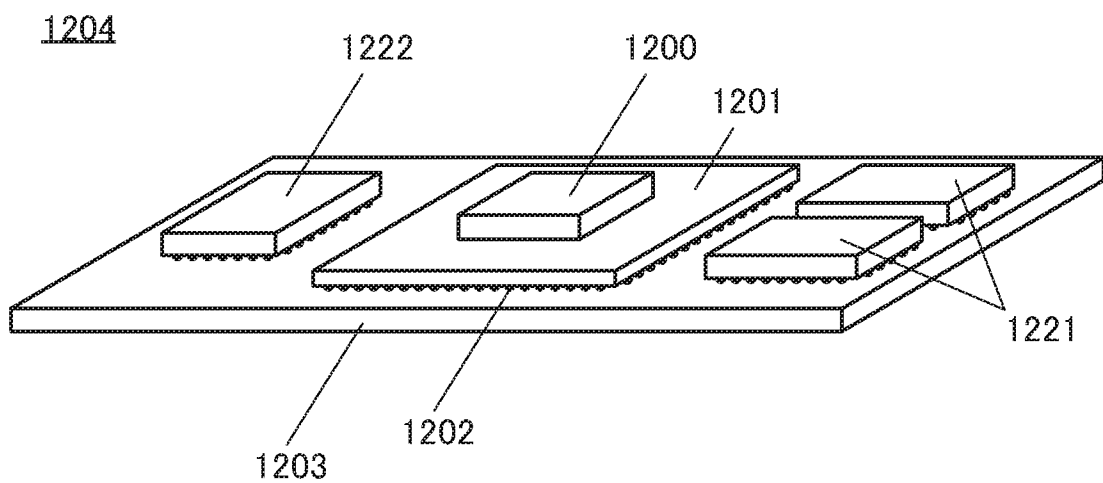


図24B



25/27

図25A

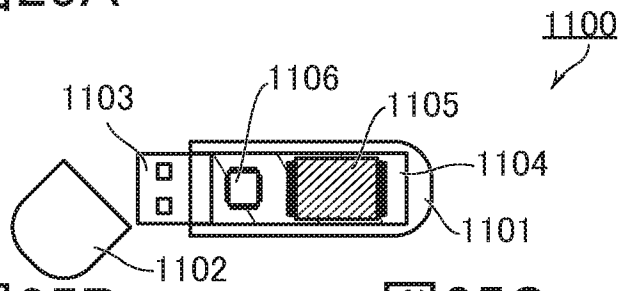


図25B

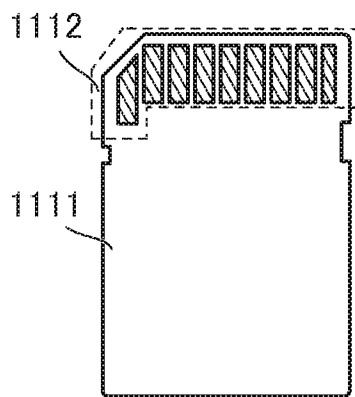


図25C

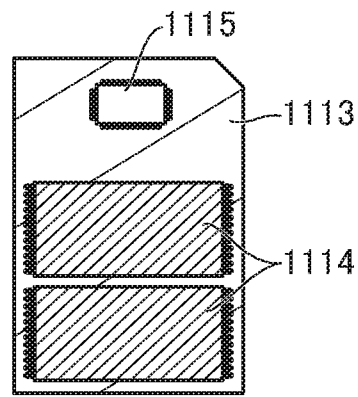


図25D

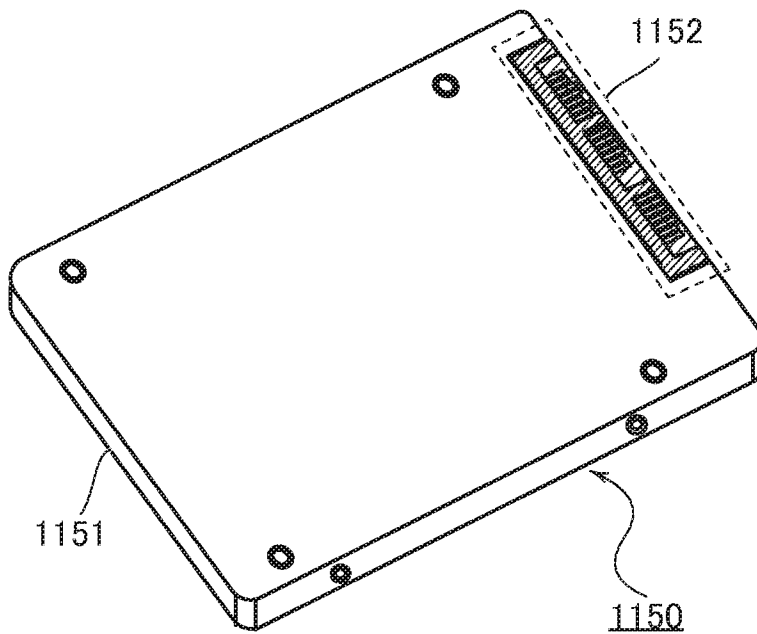
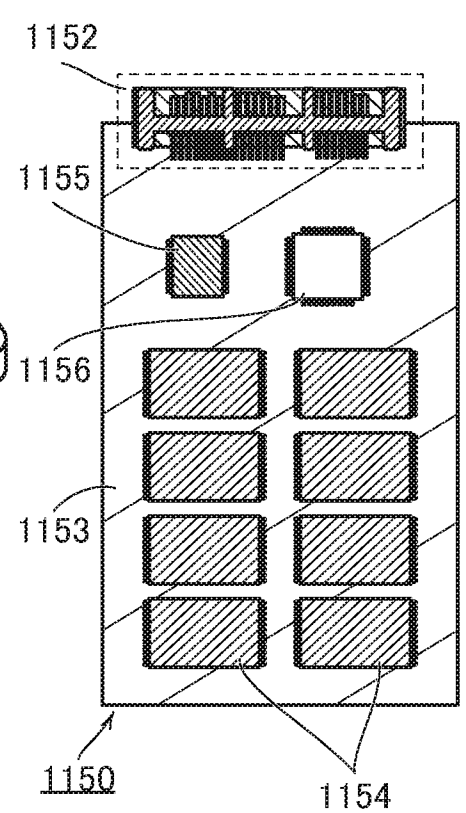


図25E



26/27

図 26A

5100

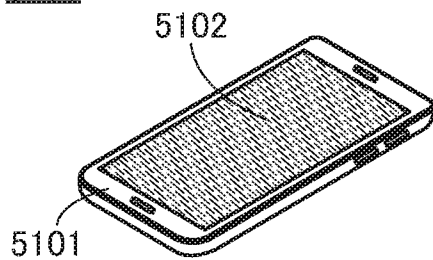


図 26B

5200

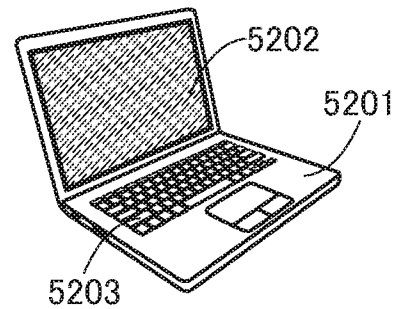


図 26C

5300

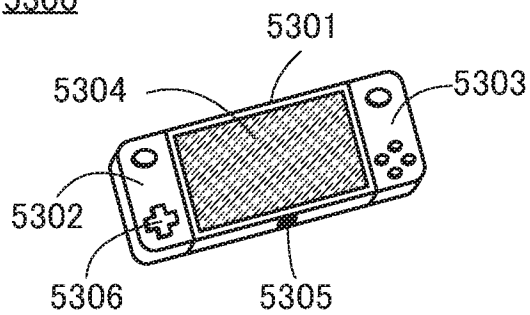


図 26D

5400

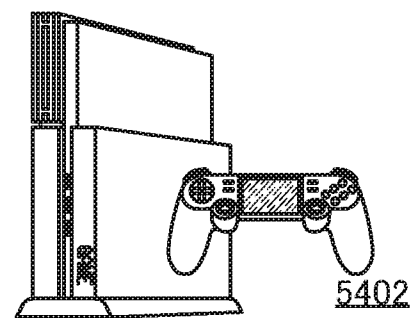


図 26E

5500

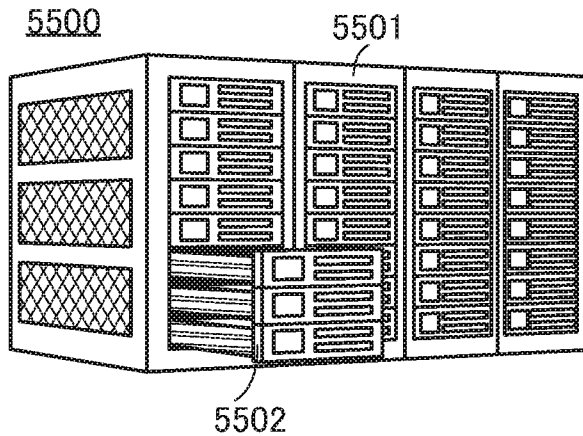


図 26F

5502

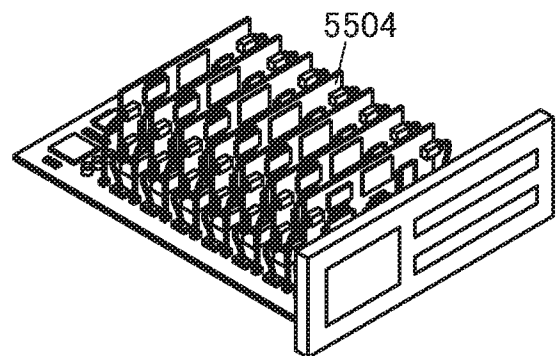


図 26G

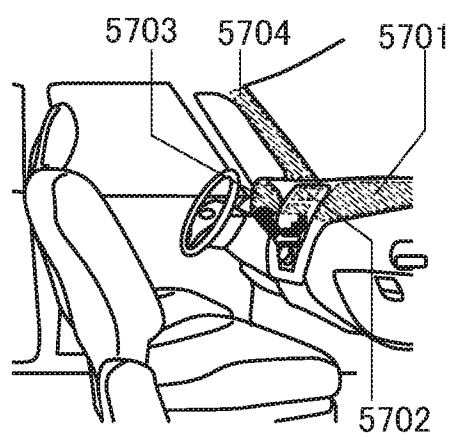


図 26H

5800

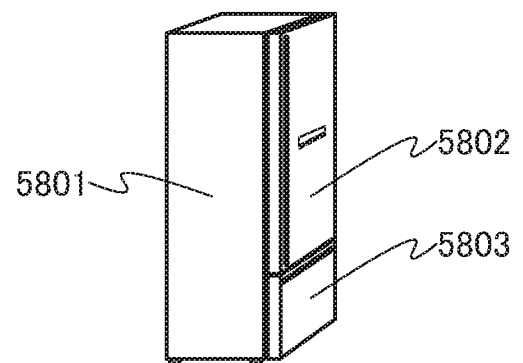
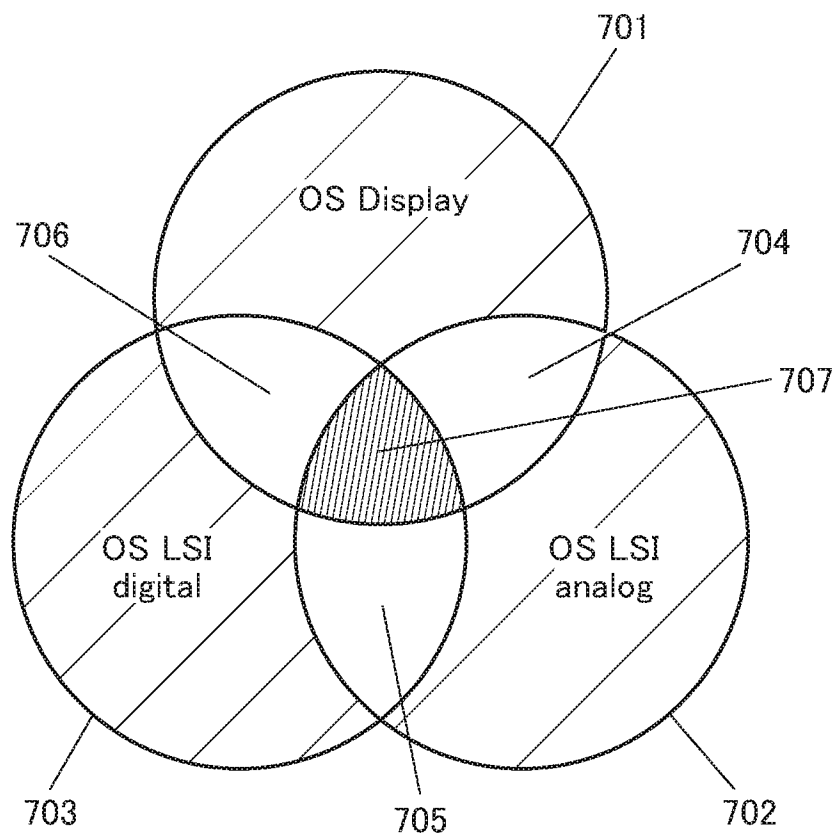


図27

27/27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/058802

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 21/363(2006.01)i; H01L 21/8239(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/105(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i

FI: H01L29/78 618B; H01L29/78 618A; H01L29/78 627F; H01L27/1156; H01L27/108 321; H01L27/108 671Z; H01L27/105 441; H01L21/363

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H01L21/336; H01L21/363; H01L21/8239; H01L21/8242; H01L27/105; H01L27/108; H01L27/1156

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2017-139459 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10.08.2017 (2017-08-10) paragraphs [0168], [0284]-[0310], [0561]-[0578], fig. 6, 13-16, 54-60	1, 2, 5-7 3, 4
A	JP 2018-148211 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 20.09.2018 (2018-09-20)	1-7
A	JP 2017-199900 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 02.11.2017 (2017-11-02)	1-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 January 2020 (28.01.2020)

Date of mailing of the international search report
10 February 2020 (10.02.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2019/058802

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-139459 A	10 Aug. 2017	US 2017/0222056 A1 paragraphs [0232], [0347]-[0373], [0624]-[0641], fig. 6, 13-16, 54-60	
JP 2018-148211 A	20 Sep. 2018	US 2018/0254352 A1 CN 108538916 A KR 10-2018-0101148 A TW 201838179 A	
JP 2017-199900 A	02 Nov. 2017	US 2017/0309732 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 21/363(2006.01)i; H01L 21/8239(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/105(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i FI: H01L29/78 618B; H01L29/78 618A; H01L29/78 627F; H01L27/1156; H01L27/108 321; H01L27/108 671Z; H01L27/105 441; H01L21/363																	
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; H01L21/336; H01L21/363; H01L21/8239; H01L21/8242; H01L27/105; H01L27/108; H01L27/1156 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年							
日本国実用新案公報	1922-1996年																
日本国公開実用新案公報	1971-2020年																
日本国実用新案登録公報	1996-2020年																
日本国登録実用新案公報	1994-2020年																
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2017-139459 A（株式会社半導体エネルギー研究所）10.08.2017（2017-08-10） 段落0168, 0284-0310, 0561-0578, 図6, 13-16, 54-60</td> <td>1, 2, 5-7</td> </tr> <tr> <td>A</td> <td></td> <td>3, 4</td> </tr> <tr> <td>A</td> <td>JP 2018-148211 A（株式会社半導体エネルギー研究所）20.09.2018（2018-09-20）</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>JP 2017-199900 A（株式会社半導体エネルギー研究所）02.11.2017（2017-11-02）</td> <td>1-7</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2017-139459 A（株式会社半導体エネルギー研究所）10.08.2017（2017-08-10） 段落0168, 0284-0310, 0561-0578, 図6, 13-16, 54-60	1, 2, 5-7	A		3, 4	A	JP 2018-148211 A（株式会社半導体エネルギー研究所）20.09.2018（2018-09-20）	1-7	A	JP 2017-199900 A（株式会社半導体エネルギー研究所）02.11.2017（2017-11-02）	1-7
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
X	JP 2017-139459 A（株式会社半導体エネルギー研究所）10.08.2017（2017-08-10） 段落0168, 0284-0310, 0561-0578, 図6, 13-16, 54-60	1, 2, 5-7															
A		3, 4															
A	JP 2018-148211 A（株式会社半導体エネルギー研究所）20.09.2018（2018-09-20）	1-7															
A	JP 2017-199900 A（株式会社半導体エネルギー研究所）02.11.2017（2017-11-02）	1-7															
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																	
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																	
国際調査を完了した日 28.01.2020		国際調査報告の発送日 10.02.2020															
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516															

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2019/058802

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-139459	A	10.08.2017	US 2017/0222056 A1 段落0232, 0347-0373, 0624-0641, 図6, 13-16, 54-60	
JP	2018-148211	A	20.09.2018	US 2018/0254352 A1 CN 108538916 A KR 10-2018-0101148 A TW 201838179 A	
JP	2017-199900	A	02.11.2017	US 2017/0309732 A1	