(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/60
H01L 27/108
H01L 21/8242

(45) 공고일자 2000년05월01일
(11) 등록번호 10-0254761
(24) 등록일자 2000년02월07일

(21) 출원번호	10-1996-0058763	(65) 공개번호	특1997-0030546
(22) 출원일자	1996년11월28일	(43) 공개일자	1997년06월26일
(30) 우선권주장	95-308865 1995년11월28일 일본(JP)		

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 야수다 케니치
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내
히다카 히데토
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내
아사쿠라 미키오
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내
오오이시 트수카사
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내
하마데 케이
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내
(74) 대리인 김창세

심사관 : 송원선

(54) 효과적으로 배치된 패드를 갖는 반도체장치

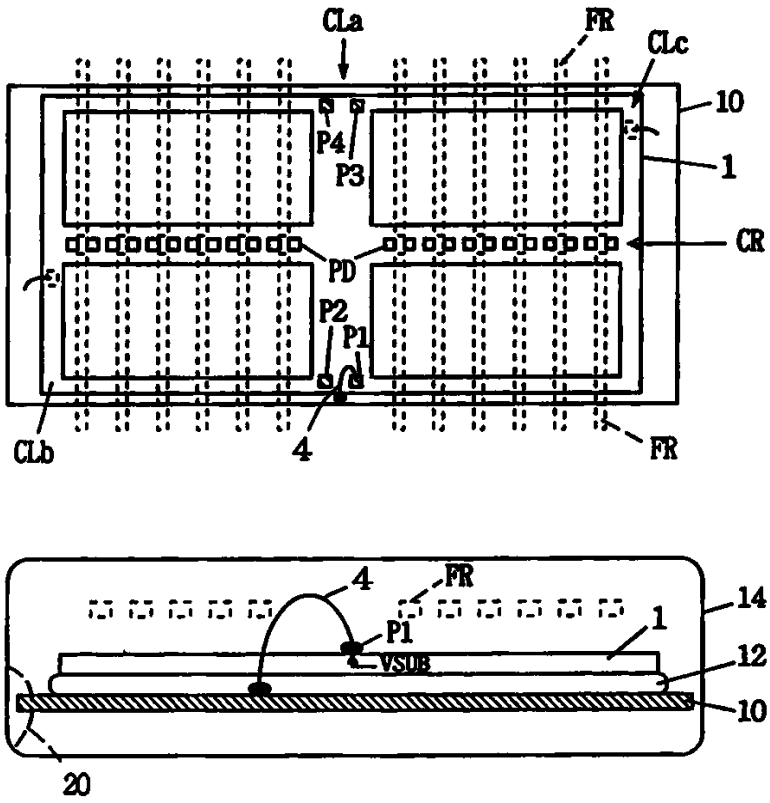
요약

반도체 칩(1)의 중앙부 영역(CR)에 정렬해서 패드(PD)가 배열되고, 또 이 칩의 중앙부 외주부에도 패드가 배치되고, 이 외주부의 패드(P1)은 칩을 절연성 물질을 거쳐서 탑재하는 다이패드(10)에 전기적으로 접속되는 구성으로 하였다.

이러한 구성으로 하는 것에 의해, 외주 부분의 패드에 인가되는 전위를 다이패드의 기생 용량에 의해 안정화할 수 있음과 동시에 수지 봉지후의 몰드 수지의 일부를 절삭하는 것에 의해 다이패드의 전위를 외부에서 용이하게 모니터할 수 있게 된다.

또, 패드(PD,PDA,PDB)가 십자(cross) 형상으로 배열되기 때문에, 영역에 누를 끼치는 일 없이 패드와 1열로 칩의 외주에 전압 강압 변환기(VDC)를 배치할 수 있다. 전환회로(PSW)는 테스트 동작시에, 한쪽 패드의 기능을 다른쪽 패드로 전환시켜, 십자 형상으로 배치된 패드가 1열로 등가적으로 배치된다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명에 따른 반도체 장치의 패드 배치의 원리적 구성을 도시한 도면.

제2a도는 본 발명의 실시예1의 반도체 장치의 평면 배치를 도시한 도면이고, 제2b도는 그의 개략 정면도.

제3도는 본 발명의 실시예1의 변경예의 반도체 장치의 평면 레이아우트를 도시한 도면.

제4도는 본 발명의 실시예2에 따른 반도체 장치의 평면 레이아우트를 도시한 도면.

제5a도 및 제5b도는 제4도에 도시한 레이아우트의 효과를 설명하기 위한 도면.

제6도는 제4도에 도시한 패드 부분의 구성을 개략적으로 도시한 도면.

제7도는 본 발명의 실시예2의 변경예의 구성을 개략적으로 도시한 도면.

제8a도는 본 발명의 실시예3에 따른 반도체 장치의 평면 레이아우트를 개략적으로 도시한 도면이고, 제8b도는 테스트 동작시에 있어서의 사용되는 패드의 배치를 도시한 도면.

제9a도 및 제9b도는 본 발명의 실시예3의 효과를 설명하기 위한 도면.

제10도는 본 발명의 실시예3에 있어서 패드 배치의 구체예를 도시한 도면.

제11도는 본 발명의 실시예3에 있어서 패드 전환 부분의 구성을 개략적으로 도시한 도면.

제12도는 제11도에 도시한 축퇴 회로의 구성을 개략적으로 도시한 도면.

제13도는 제8a도에 도시한 패드 전환 회로의 주요부의 구성을 개략적으로 도시한 도면.

제14도는 본 발명의 실시예3의 변경예의 구성을 개략적으로 도시한 도면.

제15도는 종래의 반도체 장치의 패드 배치를 도시한 도면.

제16도는 종래의 내부 강압 회로의 구성을 개략적으로 도시한 도면.

〈도면의 주요부분에 대한 부호의 설명〉

1 : 반도체 칩 4 : 본딩 와이어

10 : 다이패드 12 : 절연성 물질

14 : 몰드 수지 PD : 패드

CR : 중앙 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 특히 반도체 칩상의 패드의 효율적 배치에 관한 것이다. 보다 구체적으로는 이 패드 배치를 이용한 테스트 용이화 및 내부 전원 전위의 안정한 공급을 위한 구성에 관한 것이다.

도 15는 종래의 LOC(리드 온 칩(Lead On Chip))구조에 적합한 패드 배치를 갖는 반도체 장치의 칩 레이아우트를 개략적으로 도시한 도면이다. 도 15에 있어서 반도체 칩(1)의 제 2 방향(이하, 단지 짧은변 방향이라고 한다)의 중앙 영역CR에 제 1 방향(이하, 단지 긴변 방향이라고 한다)을 따라서 패드PD가 정렬해서 배치된다. 이 반도체 칩(1)의 중앙 영역CR의 양측에, 예를들면 메모리 셀 어레이인 내부 회로M#0~M#3이 배치된다. 패드PD는 이 반도체 칩상에 걸쳐서 중앙부에까지 연장하는 리이드 프레임FR과 중앙 영역CR 근방에서 본딩 와이어에 의해 접속된다.

이 LOC구조의 경우, 패드PD를 중앙 영역CR에 1열로 정열해서 배치시킬 수 있다. 따라서, 패드를 반도체 칩(1)의 짧은변 방향의 끝부에 배치하는 구성에 비해서 패드 점유 면적을 저감할 수 있고, 따라서 칩면적을 저감할 수 있다. 또, 신호 및 전압(전원 전위 및 접지전위)의 인터페이스부분으로 되는 패드가 중앙 영역CR에 배치되어 있으므로, 내부 회로M#0~M#3으로의 신호선 및 전원선 등의 배선 배치 거리를 짧게 하는 것이 가능하여 신호 전달 지연을 저감할 수 있고, 또 배선 레이아우트도 비교적 용이하게 된다. 또, 패드PD가 1열로 정렬해서 배치되어 있기 때문에 웨이퍼 테스트에 있어서 이 반도체 장치의 시험을 실행하기 위한 프로브를 1열로 정렬해서 패드PD의 피치에 맞춰서 배치하는 것이 가능하고, 따라서 이 측정지그에 수많은 프로브를 평행하게 배치할 수 있고 동시에 측정할 수 있는 반도체 장치(칩)의 수를 많게 하는 것이 가능하다.

발명이 이루고자 하는 기술적 과제

근래의 반도체 장치, 특히 반도체 기억 장치에 있어서는 데이터 입출력 비트수는 16비트, 32비트로 증가하고, 따라서 데이터 입출력 비트수도 증가하고 있다. 또 반도체 장치의 다기능화에 따라서 반도체 장치의 신뢰성을 보증하기 위해 각종 테스트를 많이 실행할 필요가 있고, 이 테스트시에 있어서 내부 상태를 나타내는 신호를 외부로 출력하기 위한 모니터 패드를 마련할 필요가 있다. 중앙 영역CR에 배치할 수 있는 패드의 수는 반도체 칩(1)의 긴변의 길이에 따라 결정되므로, 칩의 긴변의 길이를 증가시키는 일 없이 이 중앙 영역CR에 1열로 정렬해서 수많은 패드를 모두 배치하는 것이 곤란하게 된다는 문제가 발생한다.

또, 집적화된 반도체 기억 장치에 있어서는 소비전력의 저감 및 고속동작을 위해 그 동작 전원 전위는 낮게 된다. 한편, 외부 장치인 CPU(중앙연산처리장치)등의 디바이스는 반도체 기억 장치에 비해서 집적도가 작아서 그 동작 전원 전위를 반도체 기억 장치와 동일하게 낮게하는 것은 불가능하다. 따라서, 반도체 기억 장치에 있어서는 외부 장치 및 전(前)세대의 반도체 기억 장치(전원 전위가 높은 반도체 기억 장치)와의 호환성을 유지하기 위해서 외부에서 인가되는 전원 전위를 내부에서 강압해서 낮은 전원 전위를 생성하는 것이 실행된다.

도 16은 반도체 기억 장치에 있어서 사용되는 종래의 내부 강압 회로의 구성을 개략적으로 도시한 도면이다. 도 16에 있어서 내부 강압 회로VDC는 외부 전원 전위 Vcc 인가노드(2)와 내부 전원선(3) 사이에 접속되는 p채널 MOS 트랜지스터(절연게이트형 전계 효과 트랜지스터)로 구성되는 구동 트랜지스터DR 및 기준 전위Vref와 내부 전원 전위Vint를 비교하고 그 비교 결과에 따라서 구동 트랜지스터DR의 콘덕턴스를 제어하는 비교 회로CP를 포함한다. 비교 회로CP는 내부 전원 전위Vint가 기준 전위Vref보다 높아질수록 하이레벨의 신호를 출력하고 구동 트랜지스터DR을 오프상태로 한다. 한편, 내부 전원 전위Vint가 기준 전위Vref보다 낮아지면 비교 회로CP는 로우레벨의 신호를 출력하고 구동 트랜지스터DR의 콘덕턴스를 크게 한다. 구동 트랜지스터DR은 이 비교 회로CP의 출력 신호에 따라서 외부 전원 노드(2)에서 내부 전원선(3)으로 전류를 공급한다. 따라서, 내부 전원 전위Vint는 기준 전위Vref의 전위레벨로 유지된다. 내부 회로가 동작해서 내부 전원 전위Vint를 소비할 때 내부 전원 전위Vint의 저하를 보증하기 위해서, 구동 트랜지스터DR은 큰 전류를 외부 전원 노드(2)에서 내부 전원선(3)으로 공급한다.

이러한 대전류가 흐른 경우에 구동 트랜지스터DR의 불순물영역에서 반도체 기판으로 기판전류가 흘러들어가 반도체 기판에 있어서 소수캐리어가 발생할 가능성이 있다. 이러한 반도체 기판에 있어서 발생한 소수캐리어는 도 15에 도시한 내부 회로M#0~M#3이 메모리 셀 어레이인 경우, 이 메모리 셀 어레이에 포함되는 메모리 셀의 기억데이터를 파괴할 가능성이 있고, 따라서 이러한 내부 강압 회로VDC는 메모리 셀 어레이에서 가능한 한 먼 위치에 배치하는 것이 바람직하다. 도 15에 도시한 배치에 있어서 이러한 메모리 셀 어레이에서 가장 먼 부분은 중앙 영역CR이다. 그러나, 중앙 영역CR에 있어서는 수많은 패드PD가 배치되어 있으므로, 이러한 중앙 영역CR내에 또 내부 강압 회로VDC를 효율적으로 배치하는 것이 곤란하게 된다는 문제가 발생한다.

또, 외부 전원 노드(2)와 구동 트랜지스터DR의 거리가 긴 경우, 즉 외부전원패드와 내부 강압 회로VDC 사이의 거리가 긴 경우, 이 외부 전원 배선의 임피던스(도 16에 있어서 부호Z로 표시한다)가 높아지고, 구동 트랜지스터DR이 공급하는 전류의 변화가 이 내부 전원선(3)상의 내부 전원 전위Vint의 변화보다 지연되어 내부 전원 전위Vint를 정확하게 기준 전위Vref레벨로 유지할 수 없게 된다는 문제가 발생한다. 또,

큰 임피던스Z에 의해 이 외부 전원 배선(노드(2))와 구동 트랜지스터DR 사이의 배선)에 있어서 전위 강하가 발생하여 구동 트랜지스터DR의 콘덕턴스가 설계값보다 커지고(구동 트랜지스터DR은 p채널 MOS 트랜지스터이고, 그 콘덕턴스는 소오스-게이트간 전위차에 의해 결정된다), 따라서 원하는 필요로 되는 전류를 내부 전원선(3)상으로 공급할 수 없고, 이 내부 전원 전위Vint의 전위 저하를 보증할 수 없어 내부 전원 전위Vint를 일정한 기준 전위Vref레벨로 유지할 수 없게 된다는 문제가 발생한다.

본 발명의 목적은 칩 사이즈를 증가시키지 않고 패드수를 용이하게 증가시킬 수 있는 효율적인 패드 배치를 갖는 반도체 장치를 제공하는 것이다.

본 발명의 다른 목적은 패드수를 감소시킴이 없이 내부 전위 발생 회로를 배치시킨 반도체 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 테스트를 효율적으로 실행할 수 있는 효율적인 패드 배치를 갖는 반도체 장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 제 1의 관점의 반도체 장치는 각각이 외부에서 인가되는 전원 전위를 받는 여러개의 전원 패드와 이들 여러개의 전원 패드 사이에 배치되고 이들 전원 패드에서 인가된 전원 전위에서 내부 전위를 생성하는 내부 전위 발생 회로를 구비한다.

본 발명의 제 2의 관점의 반도체 장치는 반도체 칩의 제 1 방향의 끝부에 배치되고 또한 외부에서 인가되는 전원 전위를 받아서 내부로 공급하는 전원 패드와 반도체 칩의 제 1 방향의 끝부에 배치되고 또한 전원 패드에서 전원 전위를 받아서 내부 전압을 생성하는 내부 전압 발생 회로를 구비한다.

본 발명의 제3의 관점의 반도체 장치는 도전성의 탑재(mounting)부재, 이 탑재 부재상에 절연성 물질을 거쳐서 탑재되고 또한 그 위에 회로 요소가 형성되는 반도체 기판, 이 반도체 기판상에 형성되는 소정 전위 발생부 및 이 소정 전위 발생부와 도전성 탑재 부재를 전기적으로 접속하는 수단을 구비한다.

본 발명의 제4의 관점의 반도체 장치는 반도체 기판의 X방향의 중앙 영역에 이 X방향과 직교하는 Y방향을 따라 정렬해서 배치되는 각각에 소정의 기능이 할당 되는 여러개의 제 1 패드, 반도체 기판의 Y방향의 중앙 영역에 X방향을 따라 정렬해서 배치되는 여러개의 제 2 패드 및 동작 모드 지정 신호에 따라서 이들 여러개의 제 1 패드중 적어도 1개의 소정 패드의 기능을 여러개의 제 2 패드의 미리 선택된 패드에 할당하는 전환 수단을 구비한다.

여러개의 전원 패드 사이에 내부 전위 발생 회로를 배치하는 것에 의해, 이 내부 전위 발생 회로와 전위 패드 사이의 거리를 짧게 할 수 있고, 또 여러개의 전원 패드에서 전원 전위의 공급을 받으므로 전원선이 강화되어 안정하게 원하는 내부 전위를 발생할 수 있다.

또, 반도체 칩을 탑재하는 탑재 부재와 반도체 기판상에 형성된 소정 전위 발생부를 전기적으로 접속하는 것에 의해, 몰드 봉지후에 있어서 몰드의 일부만을 절삭 제거하는 것에 의해 이 탑재 부재를 노출시켜 소정의 전위를 외부에서 용이하게 모니터할 수 있다. 반도체 기판과 탑재 부재가 큰 용량을 형성하므로 소정 전위에 대한 안정화용량을 용이하게 실현할 수 있다.

또, 서로 직교하는 2방향으로 배치된 패드를 동작 모드에 따라서 이 한쪽방향의 패드의 기능을 다른쪽 방향의 패드에 할당하도록 전환하는 것에 의해서 용이하게 패드를 1열로 정렬시킬 수 있고, LOC구조의 특징인 동시에 테스트 가능한 칩의 수를 많게 할 수 있다고 하는 특징을 용이하게 실현할 수 있다.

본 발명의 상기 및 그밖의 목적, 특징, 국면 및 이익들은 첨부 도면을 참조로 설명하는 이하의 상세한 설명으로부터 더욱 명확해질 것이다.

이하 본 발명의 실시예를 도면을 참조로 설명한다.

[원리적 구성]

도 1은 발명에 따른 반도체 장치의 패드 배치의 원리적 구성을 도시한 도면이다. 도 1에 있어서 반도체 칩(1)의 짧은변 방향의 중앙부의 중앙 영역CR에 있어서 긴변 방향을 따라서 패드PD가 배열된다. 이 중앙 영역CR을 패드 배치 영역으로서 이용하는 구성은 LOC구조와 동일하다. 본 발명의 반도체 장치에 있어서는 또 반도체 칩(1)의 긴변 방향의 중앙부의 중앙 영역CLa 및 긴변 방향의 반도체 칩(1)의 양끝부 영역CLb 및 CLc도 패드 배치 영역으로서 이용한다. 따라서, 중앙 영역CR에 있어서 패드PD가 배열되어 있는 경우, 이들 영역CLa, CLb 및 CLc에 패드를 배치하는 것에 의해서 전혀 반도체 칩(1)의 사이즈를 증가시키는 일없이 많은 패드를 배치할 수 있다. 본 발명은 이 패드 배치를 이용해서 테스트 용이화를 실현하는 패드 배치, 안정하게 내부 전위를 발생하는 내부 전위 발생 회로의 배치 및 모니터 패드의 배치를 효율적으로 실현한다.

[실시예 1]

도 2a는 본 발명의 실시예1에 따른 반도체 장치의 상면도를 도시한 도면이고, 도 2b은 이 반도체 장치의 정면도를 개략적으로 도시한 도면이다. 도 2a에 있어서 패키지 실장시에 있어서 반도체 칩(1)은 다이패드라 불리는 도전성의 탑재대에 탑재되어 지지된다. 이 다이패드(10)은 도시하지 않은 리이드 프레임에 유지된다. 패키지 실장후에 이 다이패드(10)은 리이드 프레임에서 분리된다. 이것은 도 2a에 있어서 점선으로 나타낸 리이드 프레임FR도 마찬가지다. 반도체 칩(1)의 중앙 영역CR에 칩의 긴변 방향을 따라서 1열로 패드PD가 배치된다. 긴변 방향에 대한 중앙부에 위치하는 중앙 영역 CLa의 외주부의 한쪽에 패드 P1 및 P2가 배치되고 또한 그의 다른쪽 외주부에 패드P3 및 P4가 배치된다. 패드P1이 본딩 와이어(4)를 거쳐서 다이패드(10)에 전기적으로 접속된다. 패드P2-P4는 테스트시에 내부상태를 모니터하기 위한 모니터 패드로서 이용된다. 패키지 실장시에 있어서는 리이드 프레임FR이 중앙 영역CR에 배치된 패드PD 근방으로까지 연장해서 배치된다. 그러나, 이들 리이드 프레임FR의 배치 영역에 대해서 중앙 영역CLa는 전혀 악영향을 미치지 않는다. 따라서, 패드P1~P4는 패드PD의 배열에 영향을 미치는 일 없이 용이하게 배치할 수 있고,

필요로 되는 패드를 배치할 수 있다. 이 패드P1은 후에 상세하게 설명하겠지만 도시하지 않은 경로를 거쳐서 반도체 칩(1)을 구성하는 반도체 기판에 결합되어 패드P1에 기판 전위가 전달된다.

도 2b에 있어서 다이패드(10)상에 절연성 물질(12)를 거쳐서 반도체 칩(1)이 배치된다. 단지 절연성 물질상에 반도체 칩(1)이 배치될 뿐이고 종래와 같이 도전성 페이스트에 의해 반도체 칩(1)을 다이패드(10)에 전기적으로 접속하는 구성에 비해 반도체 칩(1)의 이면 가공 처리가 불필요하게 되고, 또 도전성재료(예를 들면 금 또는 은 페이스트)도 불필요하게 되어 반도체 장치의 코스트를 삭감할 수 있다. 이 다이패드(10), 절연성 물질(12) 및 반도체 칩(1)은 리이드 프레임FR과 함께 몰드 수지(14)에 의해 봉지된다. 리이드 프레임FR은 이 몰드 수지의 외부로 연장하여 외부 핀 단자로 된다.

다이패드(10)은 반도체 칩(1)을 탑재하기 위해 이 사이즈는 반도체 칩(1)보다 크게된다. 따라서, 본딩 와이어(4)와 다이패드(10)을 전기적으로 접속하는 콘택트영역은 충분히 넓게 할 수 있다. 이것에 의해 안정하게 반도체 칩(1) 표면에 형성된 패드P1과 다이패드(10)을 전기적으로 접속할 수 있다. 도 2b에 있어서는 반도체 칩(1)을 구성하는 반도체 기판의 전위VSUB가 패드P1로 전달되고, 본딩 와이어(4)를 거쳐서 다이패드(10)으로 전달되는 구성이 일례로서 도시된다. 이 경우 몰드 수지(14)의 일부(20)을 절삭하는 것에 의해 다이패드(10)의 부분을 외부로 노출시킬 수 있다. 이 노출된 다이패드(10)의 부분의 전위를 외부에서 모니터하는 것에 의해, 용이하게 반도체 칩(1)을 구성하는 기판의 전위VSUB를 외부에서 모니터할 수 있다. 이것에 의해, 반도체 장치에 있어서 원하는 전위레벨의 기판 전위가 발생되고 있는지의 여부를 이 반도체 칩(1)에 악영향을 미치는 일 없이 용이하게 평가할 수 있다. 또, 패드P1에 의해 본딩 와이어(4)를 거쳐서 다이패드(10)과 반도체 칩(1)을 구성하는 기판이 접속되어 있는 경우, 다이패드(10)의 큰 기생 용량은 안정화 용량으로서 작용해서 이 기판 전위VSUB를 안정화시킬 수 있다.

또한, 상기 실시예1에 있어서는 기판 전위VSUB가 패드P1 및 본딩 와이어(4)를 거쳐서 다이패드(10)으로 전달되고 있다. 이 패드P1에는 안정화시킬 필요가 있는 내부 전위가 인가되면 좋다. 이와 달리, DRAM(다이나믹 랜덤 액세스 메모리)의 메모리 셀 캐패시터의 셀 플레이트에 인가되는 셀 플레이트 전위Vcp 또는 1열의 DRAM셀이 접속되는 비트선 쌍을 대기시에 프리차지하기 위해 사용되는 비트선 프리 차지 전위VBL이라도 좋다. 이들 전위VCP 및 VBL을 다이패드(10)의 기생 용량에 의해 안정시킬 수 있다. 또, 여분의 외부 핀 단자를 마련하는 일 없이 용이하게 외부에서 이들 전위VBL 및 Vcp를 이 몰드 수지(14)의 절삭에 의해 모니터할 수 있다.

또한, 도 2a에 있어서는 중앙 영역CLa의 외주에 다이패드와 접속하기 위한 패드가 마련되어 있다. 그러나, 긴변 방향 끝부의 영역CLb 및 CLc에 있어서 점선으로 도시한 바와 같이 다이패드(10)과 접속하기 위한 패드가 배치되어도 좋다. 이 경우에도 전혀 리이드 프레임FR의 배치에 악영향을 미치는 일 없이 반도체 칩(1)과 다이패드(10)을 전기적으로 접속할 수 있다.

[변경예]

도 3은 본 발명의 실시예1의 변경예의 구성을 개략적으로 도시한 도면이다. 도 3에 있어서 반도체 칩(1)의 외주부를 따라서 패드PD가 배치된다. 이 패드PD중 미사용의 빈 패드PE가 본딩 와이어(4)를 거쳐서 다이패드(10)에 전기적으로 접속된다. 이 빈 패드PE를 내부 배선에 의해 반도체 기판에 전기적으로 접속하거나 또는 소정의 전위 발생부와 전기적으로 접속하는 것에 의해 원하는 전위를 다이패드(10)으로 전달할 수 있다. 다이패드(10)과 반도체 칩(1) 사이에는 도 2b에 도시한 구성과 마찬가지로 절연성 물질이 배치되어 있다. 이러한 주변패드 배치의 구성에 있어서도 빈 패드PE를 이용하는 것에 의해 수지 봉지후에 있어서도 이 수지의 일부를 절삭하는 것에 의해 용이하게 원하는 전위를 외부에서 모니터할 수 있다.

이상과 같이, 이 실시예1에 따르면, 반도체 칩(1)상에 형성된 패드로 소정의 전위를 전달하고, 이 소정 전위를 받는 패드를 이 반도체 칩을 탑재하는 다이패드와 전기적으로 결합하고 있으므로, 필요로 되는 패드 배치에 대해서 전혀 악영향을 미치는 일 없이 용이하게 다이패드로 원하는 전위를 전달할 수 있고, 용이하게 외부에서 모니터할 수 있음과 동시에 이 소정 전위를 다이패드의 기생 용량에 의해 안정화시킬 수 있다.

[실시예 2]

도 4는 본 발명의 실시예2에 따른 반도체 장치의 칩 레이아우트를 개략적으로 도시한 도면이다. 도 4에 있어서는 반도체 칩(1)의 내부 회로영역M#0과 M#2 사이의 중앙 영역CR에 있어서 전원 패드PDV1 및 PDV2가 정열해서 배치된다. 이들 전원 패드PDV1과 PDV2 사이에 내부 강압 회로VDC1이 배치된다. 전원 패드PDV1 및 PDV2에는 외부에서 전원 전위Vcc가 인가된다. 중앙 영역CR의 긴변 방향을 따른 외주부 양끝에 있어서 전원 패드PDV3 및 PDV4가 배치된다. 이 전원 패드PDV3에 인접해서 영역CLb에 있어서 내부 강압 회로VDC2가 배치되고, 이 영역CLc에 있어서 전원 패드PDV4에 인접해서 내부 강압 회로VDC3이 배치된다. 전원 패드PDV3과 내부 강압 회로VDC2의 거리는 충분히 짧아지고, 또 내부 강압 회로VDC1과 전원 패드PDV1과 PDV2 사이의 거리도 충분히 짧아진다. 마찬가지로, 전원 패드PDV4와 내부 강압 회로VDC3사이의 거리도 충분히 짧아진다. 따라서, 전원 패드와 내부 강압 회로 사이의 전원선의 거리가 충분히 짧아지고 전원선의 배치 면적이 저감되어 배선 점유면적이 저감된다. 또, 전원선이 짧아지므로 이 전원선의 임피던스가 작아지고, 따라서 내부 강압 회로를 안정하게 동작시킬 수 있다.

도 5a, 5b는 본 발명의 실시예2의 효과를 설명하기 위한 도면이다. 도 5a에 있어서 반도체 장치의 칩 레이아우트를 도시하고, 도 5b에 도 5a의 선A-A에 따른 단면 구조를 개략적으로 도시한다. 이 도 5에 있어서는 반도체 장치가 반도체 기억장치이고, 내부 회로M#0~M#3이 메모리 셀 어레이인 경우의 구성이 도시된다.

도 5a에 있어서 반도체 칩(1)상에 형성된 메모리 셀 어레이(내부 회로)M#0~M#3의 각각에 대해서 로우 디코더RD#0~RD#3 및 컬럼 디코더CD#0~CD#3이 배치된다. 로우 디코더RD#0~RD#3은 각각 중앙 영역CR에 면한 긴변 방향을 따라서 대응하는 메모리 셀 어레이M#0~M#3에 배치되고, 또 컬럼 디코더CD#0~CD#3은 중앙 영역CLa면해서 짧은변 방향을 따라서 연장해서 대응하는 메모리 셀 어레이M#0~M#3에 배치된다. 로우 디코더RD#0~RD#3은 활성화시에 대응하는 메모리 셀 어레이M#0~M#3에 있어서 1행의 메모리 셀을 선택 상태로 한다.

컬럼 디코더CD#0~CD#3은 각각 활성화시에 대응하는 메모리 셀 어레이M#0~M#3에 있어서 1열(또는 여러개의 열)의 메모리 셀을 선택 상태로 한다. 이 로우 디코더RD#0~RD#3이 선택 상태로 하는 워드선의 배치 및 컬럼 디코더CD#0~CD#3이 선택 상태로 하는 메모리 셀열의 배치(각 메모리 셀 어레이M#0~M#3 각각에 있어서의)는 이 반도체 기억장치의 구성에 따라서 결정된다. 메모리 셀 어레이M#0과 M#2사이의 중앙 영역 CR에 내부 강압 회로VDC가 형성된다. 이 내부 강압 회로VDC와 메모리 셀 어레이M#0과 M#2 사이에는 주변 회로로서의 로우 디코더RD#0 및 RD#2가 배치된다.

도 5b에 도시한 바와 같이 이 반도체 기억장치는 P형 반도체 기판SUB(4)상에 형성된다. 내부 강압 회로(VDC회로) 형성영역(부호VDC로 나타낸다) 양측에 로우 디코더RD#0 및 RD#2를 형성하기 위한 디코더영역이 배치된다. 이 로우 디코더RD#0 및 RD#2는 CMOS 게이트에 의해 단위디코드회로가 구성된다. 즉, 이 디코더 영역(부호RD#0 및 RD#2로 나타낸다)에 있어서는 p채널 MOS 트랜지스터가 형성된다. 반도체 기판SUB는 P형 기판이고, 따라서 이 p채널 MOS 트랜지스터를 형성하기 위해 N형 불순물영역인 N웰을 형성할 필요가 있다. 도 5b에 있어서는 디코더영역RD#0의 N웰 NWa 및 디코더영역RD#2의 N웰NWb를 기능적으로 도시한다. 이 N웰 NWa 및 NWb내에 p채널 MOS 트랜지스터가 형성된다. 이 N웰 NWa 및 NWb는 도 5b에 있어서는 내부 강압 회로(VDC회로) 형성영역VDC에 대해서 매립분리영역으로서 기능하도록 도시된다. 단지, 이 디코더영역RD#0 및 RD#2에 있어서 형성되는 p채널 MOS 트랜지스터를 형성하기 위한 N웰의 기능을 나타내기 위함이다. 이 N웰 NWa 및 NWb에 의해 VDC회로형성영역VDC는 메모리 셀 어레이M#0 및 M#2의 메모리 셀이 형성되는 영역으로 분리된다.

p채널 MOS 트랜지스터는 일반적으로 그 기판영역(N웰)이 일정전위로 바이어스된다(소오스/드레인영역과 기판영역(N웰)의 접합이 순방향으로 바이어스되는 것을 방지하기 위해). N웰 NWa 및 NWb는 예를 들면 전원 전위레벨로 바이어스된다. 따라서, 내부 강압 회로VDC가 동작하고 기판전류가 발생해도 이 기판 전위는 N웰 NWa 및 NWb에 의해 흡수되어 메모리 셀 영역M#0 및 M#2로는 전달되지 않는다. 따라서, 이 중앙 영역CR에 내부 강압 회로VDC를 형성하는 것에 의해 메모리 셀 어레이M#0 및 M#2에 포함되는 메모리 셀의 기억데이터에 대한 이 내부 강압 회로VDC동작시에 있어서는 기판전류의 영향을 확실하게 방지할 수 있다.

이 내부 강압 회로VDC는 중앙 영역CR의 양끝부의 영역CLb 및 CLc에 형성되어도 메모리 셀 어레이M#0~M#3과 이들 내부 강압 회로VDC 사이에는 로우 디코더RD#0~RD#3이 존재하므로, 마찬가지로 N웰에 의해 P형 반도체 기판SUB에 있어서 생성된 소수캐리어(전자)가 N웰에 의해 흡수되고, 따라서 내부 강압 회로VDC동작시에 있어서의 기판전류(전자)가 메모리 셀 어레이M#0~M#3에 포함되는 메모리 셀의 기억데이터에 영향을 미치는 것을 확실하게 방지할 수 있다.

도 6은 도 4에 도시한 내부 강압 회로와 패드의 배열내용을 도시한 도면이다. 도 6에 있어서 패드PD를 둘러싸도록 이 패드와 신호의 수수를 실행하는 버퍼회로 형성영역BF가 배치된다. 이 버퍼 회로 형성영역BF내에 있어서 버퍼 회로가 어떻게 배치되는지는 적용되는 반도체 장치의 종류에 따라 결정된다. 중앙 영역CR에 있어서는 이 패드PD와 그 주변의 버퍼 회로 형성영역BF로 이루어지는 패드 부분이 긴변 방향을 따라서 정렬해서 배치된다. 따라서, 전원 패드PDV2와 이것에 인접해서 배치되는 내부 강압 회로(VDC) 형성영역VDC1은 버퍼 회로형성영역BF와 동일한 폭W를 갖고, 이 중앙 영역CR에 있어서의 패드 부분의 정렬에 대해서 전혀 악영향을 미치는 일 없이 패드 부분(버퍼 회로 형성영역BF)과 정렬해서 내부 강압 회로 형성영역VDC1을 배치할 수 있다. 이 중앙 영역CR은 내부 회로M#0~M#3에 포함되는 메모리 셀 어레이에서 분리되어 있다. 중앙 영역CR과 메모리 셀 어레이 사이에는 어레이 주변회로, 디코더 등이 배치되어 있고, 그 거리는 충분히 커지고 또 N웰도 존재한다. 따라서 메모리 셀 어레이의 기억데이터에 대해서 전혀 악영향을 미치는 일이 없는 내부강압 회로의 배치를 실현할 수 있다.

또한, 도 4에 도시한 구성에 있어서는 3개의 내부 강압 회로VDC1, VDC2 및 VDC3이 마련되어 있다. 그러나, 이 내부 강압 회로는 필요에 따라서 마련되면 좋고, 내부 강압 회로VDC1만이 마련되어도 좋고, 또 내부 강압 회로VDC2 및 VDC3만이 마련되어도 좋다. 중앙 영역CR의 외주부 끝부에 전원 패드를 배치하는 것에 의해 내부 강압 회로VDC2 및 VDC3은 용이하게 배치할 수 있다. 또, 내부 강압 회로VDC1을 전원 패드PDV1과 PDV2 사이에 배치하는 것에 의해 패드 부분의 정렬에 대해서 전혀 악영향을 미치는 일 없이 내부 강압 회로VDC1을 배치할 수 있다. 게다가, 내부 강압 회로VDC1 양측에 전원 패드PDV1 및 PDV2를 마련하고 있으므로, 이 2개의 전원 패드PDV1 및 PDV2에서 전원선을 마련하여 내부 강압 회로VDC1로 외부 전원 전위를 공급할 수 있고, 이 내부 강압 회로VDC1에 대한 전원선을 강화시킬 수 있으며(안정하게 외부 전원 전위를 공급할 수 있고), 내부 강압 회로VDC1을 안정하게 동작시킬 수 있다. 전원 패드PDV1 및 PDV2는 다른 회로부분에 대한 전원 전위도 공급하도록 구성되어도 좋다. 이것은 전원 패드PDV3 및 PDV4도 마찬가지이다.

[변경예]

도 7은 본 발명의 실시예2의 변경예의 구성을 도시한 도면이다. 도 7에 있어서 반도체 칩(1)의 내부 회로 형성영역(30)의 외측에 있어서 반도체 칩(1)의 외주를 따라서 패드가 배치된다. 반도체 칩(1)의 한쪽의 외주부에 있어서 그의 긴변 방향의 양끝부에 전원 패드PDV7 및 PDV8이 배치되고, 또 그들 패드PDV7 및 PDV8 사이에 전원패드PDV5 및 PDV6이 배치된다. 전원 패드PDV5와 PDV6 사이에 내부 강압 회로VDC6이 배치된다.

반도체 칩(1)의 다른쪽 끝부에 있어서 접지전위를 받는 접지패드PDG1, PDG2, PDG3 및 PDG4가 각각 전원 패드PDV5, PDV6, PDV7 및 PDV8에 대향해서 배치된다. 전원 패드PDV7에 근접해서 반도체 칩(1)의 긴변 방향의 한쪽 끝부에 있어서 내부 강압 회로VDC7이 배치되고, 또 전원 패드PDV8에 인접해서 반도체 칩(1)의 다른쪽 끝부에 내부 강압 회로VDC8이 배치된다. 이 내부 강압 회로VDC7 및 VDC8은 각각 패드PDG3 및 PDG4에서 인가되는 접지전위를 받는다. 접지패드PDG1 및 PDG2는 각각 접지전위를 내부 강압 회로VDC6으로 공급한다.

이 도 7에 도시한 바와 같은 반도체 칩(1)의 외주부를 따라서 패드가 배치되는 구성의 경우에 있어서도 칩의 양끝부에 전원 패드를 배치하는 것에 의해 내부 회로 형성영역(30)(메모리 어레이, 그의 주변회로 등의 형성영역) 외부에 내부 강압 회로VDC7 및 VDC8을 내부 회로 형성영역(30)내의 레이아우트에 전혀 악영향을 미치는 일 없이 배치할 수 있다.

또, 전원 패드PDV5와 PDV6 사이의 내부 강압 회로VDC6을 배치하는 것에 의해 다른 패드(도트기호로 나타낸다)의 배열에 악영향을 미치는 일 없이 내부 강압 회로VDC6을 배치할 수 있다.

또한, 본 실시예2에 있어서는 내부 강압 회로에 대해서 설명하였지만, 기판에 인가되는 부전압을 발생하는 회로, 또 워드선 구동용 고전압을 발생하는 회로등의 외부 전원 전위에서 소정의 내부 전위를 발생하는 회로이면 본 발명은 적용가능하다.

이상과 같이, 이 실시예2에 따르면, 내부 전위 발생 회로를 전원 패드 근방에 배치하는 것에 의해 이 내부 전위 발생 회로에 대한 전원선의 거리를 짧게할 수 있고, 전원선 임피던스의 증가 및 이 전원선의 배선면적의 증가를 방지할 수 있다. 또, 칩 끝부에 전원 패드를 배치하는 것에 의해 내부 회로의 레이아우트, 메모리 셀의 기억데이터 및 패드 레이아우트에 대해서 악영향을 미치는 일 없이 내부 전위 발생 회로를 배치할 수 있다.

[실시예 3]

도 8a는 본 발명의 실시예3에 따른 반도체 장치의 레이아우트를 개략적으로 도시한 도면이다. 도 8a에 있어서 반도체 칩(1)의 짧은변 방향의 중앙부에 위치하는 중앙 영역CR에 배치되는 여러개의 패드PDA는 데이터 입출력 패드 및 멀티 비트 테스트 모드시에 있어서 사용되지 않는 (즉, 축퇴(compression)되는) 어드레스 신호 입력 패드를 포함한다. 반도체 칩(1)의 긴변 중앙부의 중앙 영역CLa에 있어서 짧은변 방향을 따라서 정렬해서 배치되는 여러개의 패드PDB는 이 반도체 장치의 동작 모드를 지정하는 외부에서 인가되는 제어 신호를 받는 패드를 포함한다. 이 패드PDB는 멀티 비트 테스트 모드시에 있어서 사용되는 어드레스 신호(이하, 비축퇴(non-compressed) 어드레스 신호라 한다)를 입력하는 패드를 포함해도 좋다. 이 비축퇴 어드레스 신호 입력 패드는 중앙 영역CR에 배치되는 패드PDA에 포함되어도 좋다. 멀티 비트 테스트 모드시에 있어서는 내부 회로인 메모리 셀 어레이M#0~M#3 각각에 있어서 여러개의 비트의 메모리 셀이 선택되고, 이들 동시에 선택된 여러개의 메모리 셀에 대해서 동시에 테스트가 실행된다.

따라서, 이러한 멀티 비트 테스트 동작의 경우, 메모리 셀 어레이M#0~M#3 각각에 있어서 동시에 선택된 여러개의 비트의 메모리 셀에서 소정수의 데이터 입출력용 메모리 셀을 선택할 필요는 없고, 그를 위한 어드레스 신호를 사용할 필요가 없다. 또, 멀티 비트 테스트 모드시에 있어서는 입출력 데이터의 비트구성에도 의존하지만, 각 데이터 입출력 패드에 대해서 각각 축퇴데이터의 입출력이 실행된다. 이러한 멀티 비트 데이터의 경우 또 1비트 데이터로 축퇴해서 1개의 데이터 입출력 패드만을 이용한다. 이것에 의해, 중앙 영역CR에 있어서 테스트 동작시에 있어서 사용되는 패드의 수를 저감할 수 있다.

이 중앙 영역CR에 있어서 미사용으로 된 패드에 대해서 패드 전환 회로PSW를 사용해서 중앙 영역CLa에 배치된 패드PDB의 기능을 할당한다. 이 패드 전환 회로PSW의 패드전환기능에 의해 도 8b에 도시한 바와 같이 테스트 동작시에 있어서는 중앙 영역CR을 따라서 사용되는 패드PD가 정렬해서 배치된다. 이와 같이 중앙 영역CR을 따라서 패드를 정렬해서 배치시키는 것에 의해 LOC구조의 이점 즉 테스트지 그의 프로브를 소정 피치로 정렬할 수 있고, 다수의 반도체 칩을 동시에 측정할 수 있다는 특징을 충분히 활용해서 긴변 방향 및 짧은변 방향 각각을 따라서 패드가 배치되는 "十자 배치"된 패드를 갖는 반도체 칩을 다수 동시에 테스트할 수 있다. 이점에 대해서 이하에 설명한다.

도 9a에 있어서 시험지그(test jig)TJ에 대해서 반도체 칩CH1~CHn이 정렬해서 배치된다. 이들 반도체 칩CH1~CHn의 각각은 그의 중앙 영역(사선으로 표시)에 패드가 정렬해서 배치된다. 시험지그TJ에서 프로브PB가 반도체 칩CH1~CHn의 각 패드에 대해서 접촉된다. 이들 프로브PB의 피치는 반도체 칩CH1~CHn의 패드의 피치에 거의 대응시킬 수 있다. 따라서, 반도체 칩CH1~CHn을 틈없이 배치해서 동시에 이들 반도체 칩CH1~CHn에 대해서 테스트를 실행할 수 있다. 이것은 반도체 칩이 웨이퍼상에 형성되어 있고 웨이퍼 테스트가 실행되는 경우, 수많은 반도체 칩을 동시에 테스트할 수 있다는 것을 의미한다.

한편, 도 9b에 도시한 바와 같이 반도체 칩CHa가 十자형상으로 배치된 패드를 구비하는 경우, 중앙 영역CLa에 배치된 패드에 대한 프로브PBa를 반도체 칩의 긴변 방향을 따라서 배열할 필요가 생긴다. 이 중앙 영역CLa에 대한 프로브PBa가 존재하므로, 반도체 칩CHa의 중앙 영역CR에 배치된 패드에 대한 프로브PBc의 배치영역이 칩의 긴변 방향을 따라서 확장되게 된다. 따라서, 1개의 반도체 칩CHa에 대한 프로브PBa 및 PBc의 배치 영역이 반도체 칩CHa의 긴변의 길이보다 길어진다. 따라서, 이 반도체 칩CHa와 인접 반도체 칩CHb에 틈(거리L)이 발생하고, 따라서 시험지그TJ의 크기가 동일한 경우, 동시에 시험되는 반도체 칩의 수가 적어진다는 문제가 발생한다. 웨이퍼 테스트시에 있어서는 반도체 칩은 정렬해서 배치되어 있다. 이 경우, 도 9b에 도시한 바와 같이 반도체 칩 사이즈가 등가적으로 크게된것에 대응하므로, 마찬가지로 동시에 테스트할 수 있는 반도체 칩의 수가 저감된다.

따라서, 본 실시예3에 있어서와 같이 반도체 칩CH의 중앙 영역CR에 배치되는 패드의 수를 시험시에 저감하고, 이 빈 상태로 된 패드로 이 중앙 영역CLa에 배치된 패드의 기능을 할당하는 것에 의해 등가적으로 패드의 수를 저감할 수 있고, 수많은 반도체 칩을 동시에 시험할 수 있다.

도 10은 패드의 구체적 배열의 일례를 도시한 도면이다. 중앙 영역CR에 있어서 긴변 방향을 따라서 어드레스 신호ADa, ADb 및 ADc를 받는 어드레스 신호 입력 패드PDA1, PDA2 및 PDA3과 데이터비트DQ0, DQ2, …, DQn을 입출력하기 위한 데이터 입출력 패드PDAQ0, PDAQ1, …, PDAQn이 배치된다. 이 데이터 입출력비트의 수는 임의이다. 어드레스 신호ADa, ADb 및 ADc는 테스트 모드시에 축퇴되어(즉, 내부에서 모두 선택상태로 되어) 사용되지 않는다. 한편, 데이터 입출력 비트DQ0~DQn은 테스트 동작시에 1비트로 축퇴되고, 패드PDAQ0~PDAQn중의 1개의 패드를 거쳐서 테스트 데이터의 입출력이 실행된다.

중앙 영역CLa에 있어서 칩의 짧은변 방향을 따라서 외부에서 인가되는 입력 신호, 즉 로우 어드레스 스트로브 신호 /RAS를 받는 패드PDB1, 컬럼 어드레스 스트로브 신호 /CAS를 받는 패드PDB2, 기록 인에이블 신호 /WE를 받는 패드PDB3과 통상의 동작 모드시 및 테스트 동작 모드시의 어떠한 모드시에 있어서도 사용되는 어드레스 신호ADd~ADe를 받는 어드레스 신호 입력 패드PDB4~PDB5가 정렬해서 배치된다. 이 영역CLa를 따라서 정렬해서 배치되는 패드PDB1~PDB5는 테스트 동작 모드시에 있어서 중앙 영역CR에 있어서 배치된 패드PDA1~PDA3과 데이터 입출력 패드PDAQ0~PDAQn의 미사용패드에 그 기능이 각각 할당된다.

또한, 이 도 10에 도시한 배치에 있어서 어드레스 신호ADa~ADe는 모두 중앙 영역CR에 정렬해서 배치되어도 좋다. 중앙 영역CR에 있어서 테스트 동작시에 있어서 그 수를 저감할 수 있다. 즉, 테스트시에 미사용으로 되는 패드를 중앙 영역CR에 배치하고, 이 미사용패드에 대해서 영역CLa에 배치된 패드의 기능을 할당할 수 있으면 좋다.

도 11은 데이터 입출력 패드를 테스트시에 1개로 축퇴시키는 부분의 구성을 개략적으로 도시한 도면이다. 이 데이터 입출력 패드의 축퇴부분은 도 8에 있어서 패드 전환 회로PSW로서 도시한 블럭에 포함된다. 도 11에 있어서 내부 회로로서의 메모리 셀 어레이M#0~M#3 각각에 있어서 통상의 동작시 및 테스트 동작시의 어느 쪽에 있어서도 (m+1)개의 메모리 셀 MC0~MCm이 동시에 선택된다. 이들 메모리 셀 어레이M#0~M#3에 대해서 어드레스 신호 비트ADd~ADe에 따라서(정확하게는 이들의 디코드신호에 따라서) 동시에 선택된 (m+1)개의 메모리 셀 MC0~MCm에서 1개의 메모리 셀을 선택하는 IO 셀렉터(40a)~(40d)가 마련된다. 도 11에 있어서는 IO 셀렉터(40a)~(40d)의 각각은 1비트의 메모리 셀을 선택하고 대응하는 데이터 입출력 패드PDAQ0~PDAQ3과 결합되도록 도시된다.

IO 셀렉터(40a)~(40d)의 각각이 선택하는 메모리 셀의 수는 이 반도체 기억 장치의 데이터 입출력 비트의 수에 맞게 적당하게 변경된다. 도 11에 있어서는 이 IO 셀렉터(40a)~(40d)는 각각 대응하는 데이터 입출력 패드PDAQ0~PDAQ3에 결합되도록 도시되지만, 물론 이 IO 셀렉터(40a)~(40d)와 대응하는 데이터 입출력 패드PDAQ0~PDAQ3 사이에는 데이터 입출력 회로가 배치된다.

메모리 셀 어레이M#0~M#3의 내부 데이터 입출력 버스(42a)~(42d)와 데이터의 수수를 실행하기 위한 축퇴 회로(50)이 마련된다. 이 축퇴 회로(50)은 일예로서 데이터 입출력 패드PDAQ2에 결합된다. 축퇴 회로(50)은 테스트 모드동작시, 멀티 비트 테스트 모드 지시 신호MBT의 활성화에 응답해서 활성상태로 되고, 이 데이터 기록시에 있어서는 데이터 입출력 패드PDAQ2에 인가된 테스트 데이터(DQ2)를 내부 데이터 입출력 버스(42a)~(42d)상으로 전달한다. 이것에 의해, 메모리 셀 어레이M#0~M#3 각각에 있어서 동시에 선택된 메모리 셀 MC0~MCn에 대해서 동일한 데이터가 기록된다. 데이터 판독시에 있어서는 이 축퇴 회로(50)은 내부데이터 입출력 버스(42a)~(42d)상에 판독된 데이터(4(m+1)비트의 데이터)를 1비트 데이터로 축퇴해서(논리의 일치/불일치에 의해 판정 결과를 1비트로 나타낸다) 데이터 입출력 패드PDAQ2로 출력한다. 이것에 의해, 통상의 동작 모드시에 있어서 사용되는 패드PDAQ0~PDAQ3은 테스트 동작 모드시에 있어서 패드PDAQ2만이 사용되게 되어 패드PDAQ0~PDAQ1 및 PDAQ3에 대해서 다른 패드의 기능을 할당할 수 있다.

도 12는 도 11에 도시한 축퇴 회로(50)의 구성을 개략적으로 도시한 도면이다. 도 12에 있어서 축퇴 회로(50)은 데이터 입출력 버스I/0(버스(42a)~(42d))상의 내부판독데이터를 받고, 이들 내부판독데이터의 논리의 일치/불일치를 검출해서 그 검출결과를 나타내는 신호P/ZF를 발생해서 출력 버퍼(55)에 인가하는 일치 검출 회로(51)과 테스트 데이터 기록시에 입력 버퍼(56)에서 인가된 테스트 데이터를 내부입출력 버스I/0로 전달하는 기록 회로(52)를 포함한다. 일치 검출 회로(51)은 멀티 비트 테스트 모드 지시 신호MBT의 활성화시에 활성화되고, 인가된 내부 판독 데이터의 논리가 모두 일치하고 있는 경우에는 통과를 나타내는 상태로 신호P/ZF를 설정해서 출력 버퍼(55)에 인가한다. 기록 회로(52)는 멀티 비트 테스트 모드 지시 신호MBT의 활성화시에 활성화되고 또한 내부 기록 활성화신호WB에 응답해서 활성화되어 입력 버퍼(50)에서 인가되는 기록 데이터를 내부 데이터 입출력 버스I/0상으로 전달한다. 출력 버퍼(55) 및 입력 버퍼(56)은 데이터 입출력용의 패드PDAQ2에 결합된다. 이들 출력 버퍼(55) 및 입력 버퍼(56)은 IO 셀렉터(40c)에 결합되지만, 도면을 간략화하기 위해 이 IO 셀렉터(40c)에 대한 접속 경로는 도시하고 있지 않다.

또, 도 12에 도시한 축퇴 회로(50)의 구성에 있어서 일치 검출 회로(51)은 메모리 셀 어레이M#0~M#3 각각에 대해서 마련되는 처음단의 일치 검출 회로와 이들 처음단의 일치 검출 회로의 출력을 받는 다음단의 일치 검출 회로의 2단 구성이라도 좋다. 이 다음단의 일치 검출 회로에서 통과/실패(pass/fail)를 나타내는 신호P/ZF가 출력된다. 기록 회로(52)는 또 IO 셀렉터(40a)~(40d)를 선택 상태(메모리 셀 MC0~MCm을 모두 선택하는 상태)로 설정하고, 테스트 데이터를 각 IO 셀렉터(40a)~(40d)의 입력부로 전달하는 구성으로 되어도 좋다.

출력 버퍼(50)은 판독 지시 신호 φRE에 응답해서 활성화되어 일치 검출 회로(51)에서 인가되는 신호P/ZF를 패드PDAQ2로 출력한다(테스트 동작 모드시). 또, 입력 버퍼(56)은 기록 지시 신호φIE에 응답해서 활성화되고, 데이터 입출력 패드PDAQ2에 인가된 데이터DQ2에서 내부 기록 데이터를 생성해서 기록 회로(52)에 인가한다(테스트 동작 모드시).

도 13은 패드 기능을 전환하기 위한 구성을 도시한 도면이고, 테스트 동작 모드시에 패드PDBa의 기능을 패드PDAa에 할당하기 위한 구성이 대표적으로 도시한 도면이다. 중앙 영역CLa에 배치되는 패드와 중앙 영역CR에 있어서 배치되는 패드의 대응관계는 미리 일의적으로 결정된다.

도 13에 있어서 중앙 영역CLa에 배치된 패드PDBa에 대해서 버퍼 회로(60)이 마련되고, 중앙 영역CR에 마련된 패드PDAa에 대해서 버퍼 회로(62)가 마련된다. 패드PDBa와 버퍼 회로(60) 사이에 멀티 비트 테스트 모드 지시 신호MBT의 활성화시에 비도통상태로 되는 스위칭 소자(65a)가 배치되고, 패드PDAa와 버퍼회로(60) 사이에 멀티 비트 테스트 모드 지시 신호MBT의 활성화시에 도통상태로 되는 스위칭 소자(65b)가 배치된다. 패드PDAa에 대해서 마련된 버퍼 회로(62)는 멀티 비트 테스트 모드 동작시에 이 신호MBT에 의해 비활성 상태로 된다.

멀티 비트 테스트 모드시에 있어서는 신호MBT가 활성 상태(도 13에 있어서는 하이레벨)로 스위칭 소자(65a)가 비도통상태로 되고 스위칭 소자(65b)가 도통 상태로 된다. 따라서, 버퍼 회로(60)은 패드PDBa에서 전기적으로 분리되고 또한 패드PDAa에 전기적으로 접속된다. 버퍼 회로(62)는 신호MBT의 활성화에 의해 비활성 상태로 된다(또는 축퇴 상태로 된다(어드레스 버퍼일 때)). 이 상태에 있어서는 패드PDAa에 인가된 신호가 버퍼 회로(60)에 인가되고, 버퍼 회로(60)에서 대응하는 내부신호가 출력된다. 따라서, 테스트 동작 모드시에 있어서는 패드PDBa의 기능이 패드PDAa에 할당된 것으로 된다. 통상의 동작 모드시에 있어서는 신호MBT는 비활성 상태(도 13에 있어서는 로우레벨)이고 스위칭 소자(65a)가 도통상태로 되고 스위칭 소자(65b)가 도통상태로 된다. 이 상태에 있어서는 패드PDBa가 버퍼 회로(60)에 전기적으로 접속되고, 패드PDAa는 버퍼 회로(60)에서 전기적으로 분리된다. 버퍼회로(62)는 신호MBT의 비활성화에 의해 활

성 상태(인에이블상태)로 된다. 이것에 의해 버퍼 회로(60), (62)는 통상의 동작 모드시에는 각각 패드 PDBa, PDAa에 인가된 신호에 따라서 내부신호를 출력한다.

또한, 스위칭 소자(65a)는 테스트 동작 모드시에 버퍼 회로(60)의 입력부에 패드PDAa 및 PDBa 양자가 접속되고 그 입력 용량이 증가하는 것을 방지하기 위해서 마련되어 있다. 이 패드PDBa의 용량 및 그 잡음이 문제로 되지 않는 경우, 스위칭 소자(65a)는 특별히 마련할 필요는 없다. 또, 스위칭 소자(65a) 및 (65b)는 신호 전달경로를 전환하는 기능을 갖는 것이라도 좋고, CMOS 전송게이트, 논리게이트 등의 어떠한 구성도 이용할 수 있다.

[변경예]

도 14는 이 실시예3의 구성을 도시한 도면이다. 도 14에 있어서 반도체 칩(1)의 긴변에 관한 중앙부에 배치된 중앙 영역CLa에 패드PDB가 정렬해서 배치되고, 또 반도체 칩(1)의 짧은변 방향에 대한 중앙부에 배치된 중앙 영역CR에 있어서 패드PDA가 정렬해서 배치된다. 중앙 영역CLa에 배치되는 패드PDB2로서는 테스트 동작 모드시에 있어서 축퇴되지 않는 신호를 받는 패드가 배치된다. 한편, 중앙 영역CR에 배치된 패드PDA는 데이터 입출력 버퍼PDAQ0~PDAQm(도 14에 있어서 8비트의 데이터 입출력 패드)을 포함한다. 이들 데이터 입출력 패드PDAQ에 대한 데이터를 1비트 데이터로 축퇴시키는 축퇴 회로(50)이 마련된다.

축퇴 회로(50)은 중앙 영역CLa에 배치된 패드PDBx에 접속된다. 이 도 14에 도시한 구성의 경우, 데이터 입출력 패드PDAQ0~PDAQm에 대한 데이터가 축퇴 회로(50)에 의해 축퇴되어 패드PDBx로 전달된다(데이터 판독 동작시). 따라서, 테스트 동작 모드시에 있어서는 중앙 영역CLa에 정렬해서 배치된 패드PDB 및 PDBx를 사용해서 신호의 입출력이 실행되고 테스트가 실행된다. 패드PDBx는 빈 패드라도 좋고, 테스트 동작시에 축퇴되는 어드레스 신호 입력 패드라도 좋다. 이러한 구성의 경우, 단지 데이터 입출력 패드의 기능을 전환할 뿐이고, 기능의 전환되는 패드의 수를 적게할 수 있어 전환 회로 부분의 점유면적을 저감할 수 있다.

축퇴 회로(50)의 구성은 도 11에 도시한 구성과 동일하고, 단지 도 11에 도시한 축퇴 회로(50)은 데이터 입출력 패드PDAQ2 대신에 패드PDBx에 접속된다는 점이 다를 뿐이다. 이 경우, 축퇴 회로(50)은 도 12에 도시한 출력 버퍼(55) 및 입력 버퍼(56)을 포함하도록 구성된다.

또한, 이 실시예3에 있어서 짧은변 방향을 따라서 정렬해서 배치되는 패드PDB는 긴변 방향의 중앙부의 영역CLa에 배치되어 있다. 그러나, 이 패드PDB는 반도체 칩(1)의 긴변 양끝부에 있어서의 영역CLb 및 CLc(도 8 참조)에 배치되어도 좋다.

또, 테스트 동작시에 있어서 축퇴되거나 또는 미사용으로 되는 패드를 중앙 영역CLa에 정렬해서 배치하고, 통상의 동작시 및 테스트 동작시의 어느쪽에 있어서도 사용되는 패드를 중앙 영역CR에 배치하도록 구성되어도 좋다.

이상과 같이, 이 실시예3에 따르면, 한쪽방향 및 다른쪽 방향을 따라서 정렬해서 배치되는 패드에 있어서 한쪽방향을 따라서 통상의 동작시 및 테스트 동작시의 양동작시에 사용되는 패드를 배치하고, 다른쪽 방향을 따라서 테스트 동작시에 축퇴되거나 또는 사용되지 않는 패드를 배치함과 동시에 테스트 동작시에는 한쪽방향 또는 다른쪽 방향을 따라서 사용되는 패드가 정렬되도록 이 패드의 기능을 전환하도록 구성했으므로, 테스트 동작시에 있어서 사용되는 패드의 수를 저감해서 1열로 정렬해서 배치할 수 있고, 동시에 테스트할 수 있는 디바이스(반도체 칩)의 수를 증가시킬 수 있어 테스트에 필요로 되는 시간을 저감할 수 있다.

발명의 효과

이상과 같이, 본 발명에 의하면 여러개의 전원 패드 사이에 내부 전위 발생 회로를 배치하는 것에 의해, 이 내부 전위 발생 회로와 전위 패드 사이의 거리를 짧게 할 수 있고, 또 여러개의 전원 패드에서 전원 전위의 공급을 받으므로 전원선이 강화되어 안정하게 원하는 내부 전위를 발생할 수 있다.

또, 반도체 칩을 탑재하는 탑재 부재와 반도체 기판상에 형성된 소정 전위 발생부를 전기적으로 접속하는 것에 의해, 몰드 봉지후에 있어서 몰드의 일부만을 절삭 제거하는 것에 의해 이 탑재 부재를 노출시켜 소정의 전위를 외부에서 용이하게 모니터할 수 있다. 반도체 기판과 탑재 부재가 큰 용량을 형성하므로 소정 전위에 대한 안정화용량을 용이하게 실현할 수 있다.

또, 서로 직교하는 2방향으로 배치된 패드를 동작 모드에 따라서 이 한쪽방향의 패드의 기능을 다른쪽 방향의 패드에 할당하도록 전환하는 것에 의해서 용이하게 패드를 1열로 정렬시킬 수 있고, LOC구조의 특징인 동시에 테스트 가능한 칩의 수를 많게 할 수 있다고 하는 특징을 용이하게 실현할 수 있다.

금회 개시된 실시예는 모든 점에서 예시로서 제한적인 것은 아닌 것으로 고려되어져야 한다. 본 발명의 범위는 특허청구의 범위에 의해서 도시되고 특허청구의 범위와 균등한 의미 및 범위내에서 모든 변경이 포함되는 것이 의도된다.

(57) 청구의 범위

청구항 1

각각이 외부로부터 인가되는 전원 전위를 받는 여러개의 전원 패드(PD)와, 상기 여러개의 전원 패드 사이에 배치되고 상기 전원 패드에서 수신된 상기 전원 전위로부터 내부 전압을 생성하는 내부 전압 발생 수단(VDC)을 포함하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 여러개의 전원 패드(PD)는 반도체 칩(1)의 제 1 방향을 따라서 상기 제 1 방향과 직교하는 제 2 방향에 대한 중앙부에 정렬해서 배치되는 반도체 장치.

청구항 3

제1항에 있어서, 상기 내부 전압 발생 수단은 상기 전원 전압을 강압변환(down-converting)해서 내부 전원 전압을 발생하는 전압 강압 변환기를 포함하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 여러개의 전원 패드(pd)는 그 위에 상기 반도체 장치가 형성된 칩(1)의 제 1 방향에 정렬해서 배치되고, 상기 반도체 장치는 상기 제 1 방향으로 상기 칩의 끝부에서 상기 여러개의 전원 패드중의 소정의 전원 패드에 인접해서 배치되어, 상기 인접한 전원 패드에서 수신한 전원 전위로부터 내부 전압을 생성하는 또다른 내부 전압 발생 수단(VDC)을 더 포함하는 반도체 장치.

청구항 5

반도체 칩(1)의 제 1 방향의 끝부에 배치되고 외부에서 인가되는 전원 전위를 받아서 내부로 공급하는 전원 패드(PD)와, 상기 반도체 칩의 상기 제 1 방향의 상기 끝부에서 상기 전원 패드 근방에 배치되고, 상기 전원 패드에서 상기 전원 전위를 받아서 내부 전압을 생성하는 내부 전압 발생 수단(VDC)을 포함하는 반도체 장치.

청구항 6

제5항에 있어서, 상기 전원 패드(PD)는 상기 제 1 방향과 직교하는 제 2 방향의 상기 반도체 칩의 중앙부에 배치되고 또한 상기 내부 전압 발생 수단(VDC)은 상기 반도체 칩(1)의 상기 제 1 방향에 관해서는 상기 전원 패드보다 외측에 배치되는 반도체 장치.

청구항 7

제5항에 있어서, 상기 내부 전압 발생 수단은 상기 전원 전위를 변환해서 내부 전원 전위를 발생하는 내부 강압 변환기인 반도체 장치.

청구항 8

도전성의 탑재 부재(10)와, 상기 탑재 부재상에 절연성 물질(12)을 거쳐서 탑재되고 또한 그 표면에 회로 요소(component)가 형성되는 반도체 기판과, 상기 반도체 기판의 표면에 형성되어 소정 전위를 발생하는 소정 전위 발생부(p1)와, 상기 소정 전위 발생부와 상기 도전성 탑재 부재를 전기적으로 접속하는 수단(4)을 포함하는 반도체 장치.

청구항 9

제8항에 있어서, 상기 소정 전위 발생부는 상기 반도체 기판에 전기적으로 접속되어 상기 반도체 기판의 전위(VSUB)를 받는 부재(P1)를 포함하는 반도체 장치.

청구항 10

제8항에 있어서, 상기 반도체 기판의 표면상에 제 1 방향을 따라서 상기 제 1 방향과 직교하는 제 2 방향의 상기 반도체 기판(1)의 중앙 부분에 정렬해서 배치되는 여러개의 패드(PD)를 더 포함하고, 상기 소정 전위 발생부는 상기 반도체 기판의 외주 영역에 배치되어 상기 탑재 부재(10)에 전기적으로 접속되는 패드(P1)를 포함하는 반도체 장치.

청구항 11

제10항에 있어서, 상기 소정 전위 발생부의 패드(P1)는 상기 제 1 방향의 상기 반도체 기판(1)의 중앙부(CLa)의 바깥 가장자리에 배치되는 반도체 장치.

청구항 12

반도체 기판(1)의 X방향의 중앙영역(CLa;CR)에 상기 X방향과 직교하는 Y방향을 따라 정렬해서 배치되고, 각각에 소정의 기능이 할당되는 여러개의 제 1 패드(PDB; PDA, PDAQ0 - PDAQm)와, 상기 반도체 기판의 상기 Y방향의 중앙영역(CR;CLa)에 상기 X방향을 따라 정렬해서 배치되고, 또한 각각에 소정의 기능이 할당되는 여러개의 제 2 패드(PDA, PDAQ0 - PDAQm; PDB, PDBx)와, 동작 모드 지정 신호에 응답해서 상기 여러개의 제 1 패드중 적어도 1개의 소정의 패드의 기능을 상기 여러개의 제 2 패드의 미리 선택된 패드에 전기적으로 할당하는 전환 수단(PSW)을 포함하는 반도체 장치.

청구항 13

제11항에 있어서, 상기 여러개의 제 1 패드의 상기 적어도 1개의 소정의 패드((PDAQ0 - PDAQn; PDAQ0 - PDAQm)는 데이터 입출력용 패드(PDAQ0 - PDAQn)를 포함하고, 상기 여러개의 제 2 패드는 데이터 입출력 동작을 제어하는 신호 패드만을 포함하는 반도체 장치.

청구항 14

제12항에 있어서, 상기 여러개의 제 1 패드는 데이터 입출력 동작을 제어하는 제어 신호 입력 패드(PDB)를 포함하고, 상기 여러개의 제 2 패드는 데이터 입출력용 패드(PDAQ1 - ODAQm)를 포함하는 반도체 장치.

청구항 15

제12항에 있어서, 상기 여러개의 제 1 패드는 여러개의 데이터 입출력용 패드(PDAQ0 - PDAQn)를 포함하고, 상기 반도체 장치는 상기 동작 모드 지정 신호에 응답해서 상기 어려개의 데이터 입출력 패드로 전달될 출력 데이터를 축퇴해서 상기 소정의 패드로 전달하기 위한 축퇴 수단(50)을 더 포함하고, 상

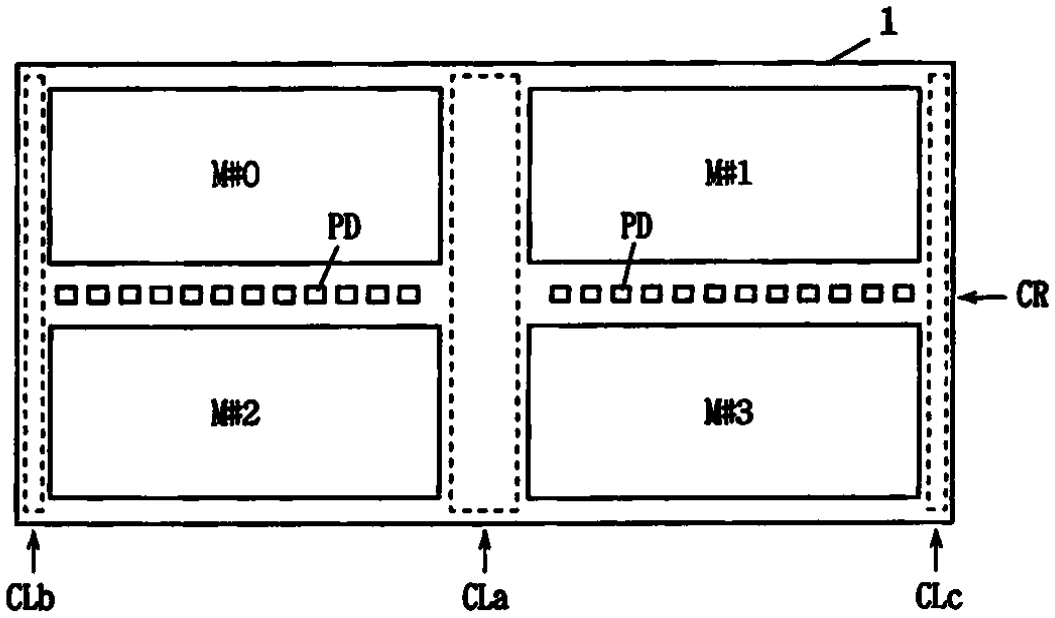
기 전환 수단(PSW)은 상기 동작 모드 지정 신호에 응답해서 상기 축퇴 수단의 출력 신호를 상기 미리 선택된 패드(PDAQ2)로 전달하는 수단(65b)을 포함하는 반도체 장치.

청구항 16

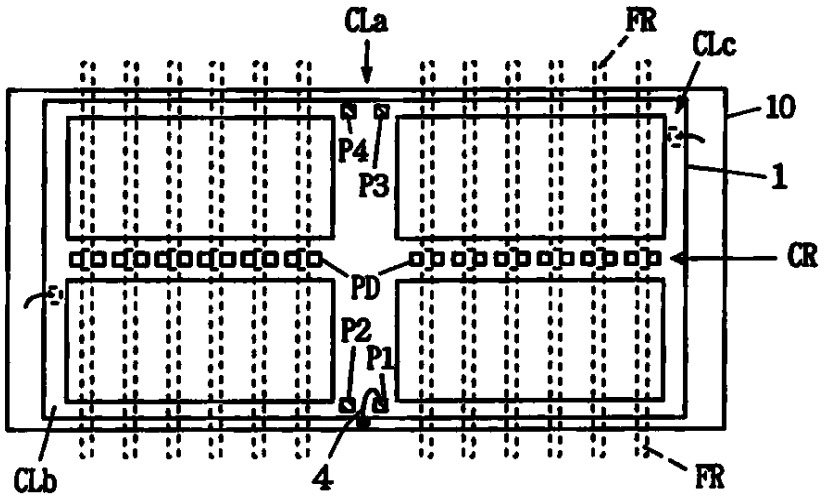
제12항에 있어서, 상기 여러개의 제 2 패드는 여러개의 데이터 입출력 패드를 포함하고, 상기 반도체 장치는 상기 동작 모드 지정 신호에 응답해서 상기 여러개의 데이터 입출력 패드로 전달될 출력 데이터를 축퇴해서 상기 미리 선택된 패드와는 다른 패드(PDBx)로 전달하기 위한 축퇴 수단(50)을 더 포함하고, 상기 전환 수단(PSW)은 상기 동작 모드 지정 신호에 응답해서 상기 여러개의 제 1 패드의 소정 패드(PDAa)의 신호를 상기 미리 선택된 패드 부분으로 전달하는 수단(65a, 65b)을 포함하는 반도체 장치.

도면

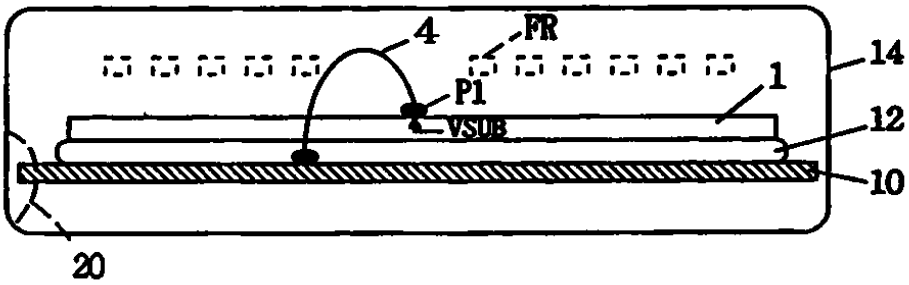
도면1



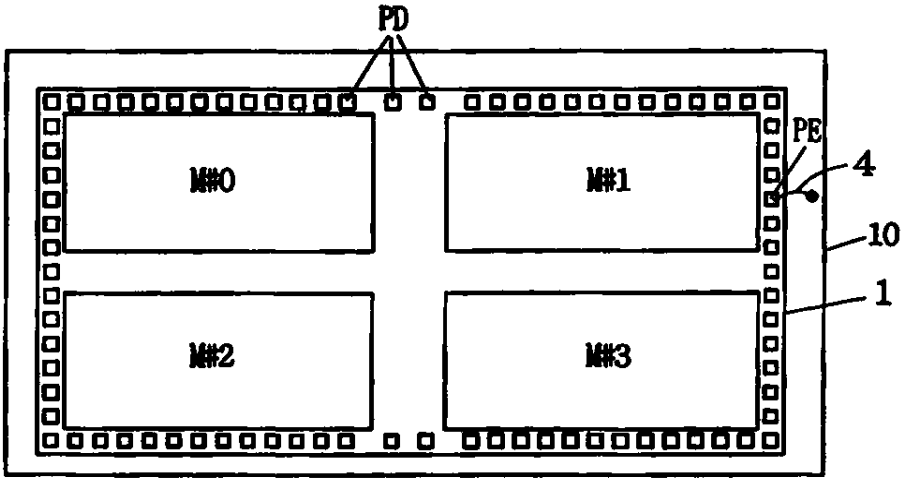
도면2a



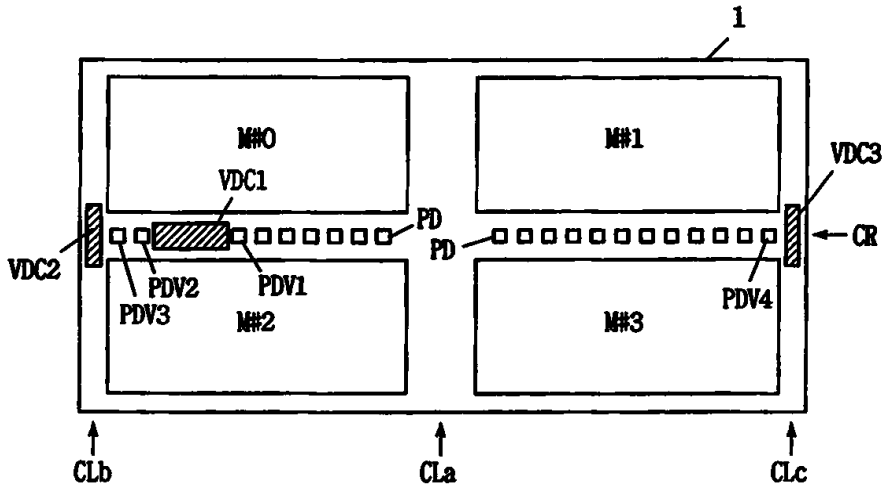
도면2b


4
FR
14
1
P1
VSUB
12
10
20

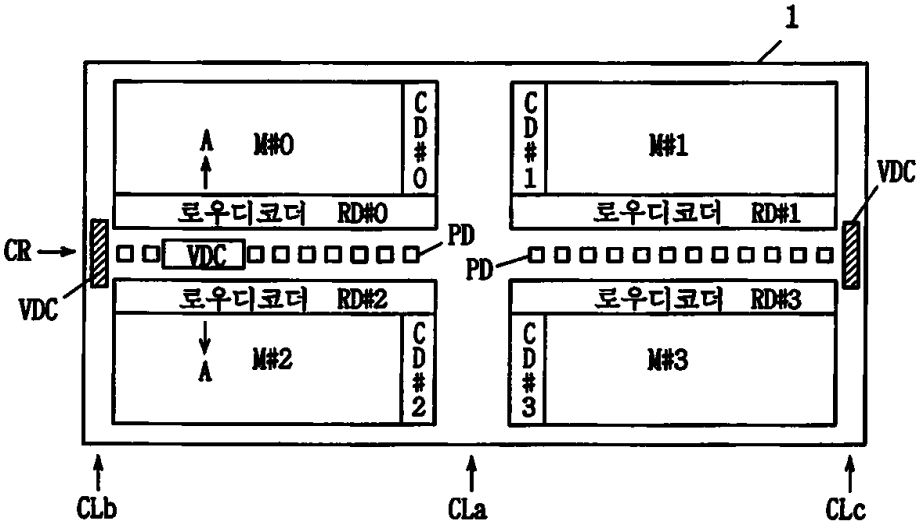
도면3


PD
PE
4
M#0
M#1
10
1
M#2
M#3

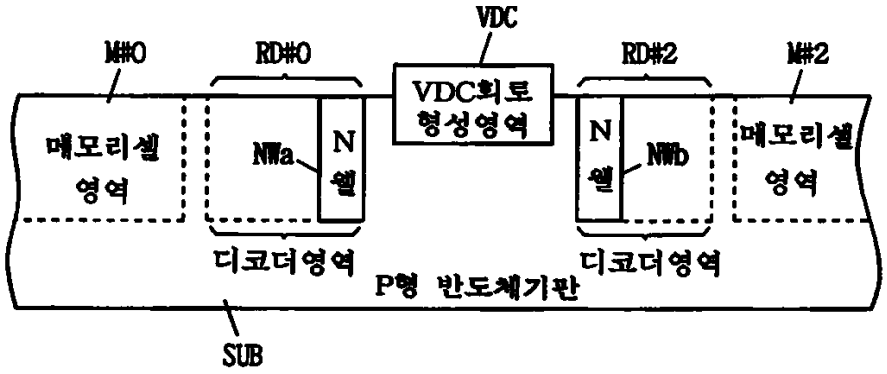
도면4


1
M#0
M#1
VDC3
VDC1
PD
PD
CR
VDC2
PDV2
PDV1
PDV4
PDV3
M#2
M#3
CLb
CLa
CLc

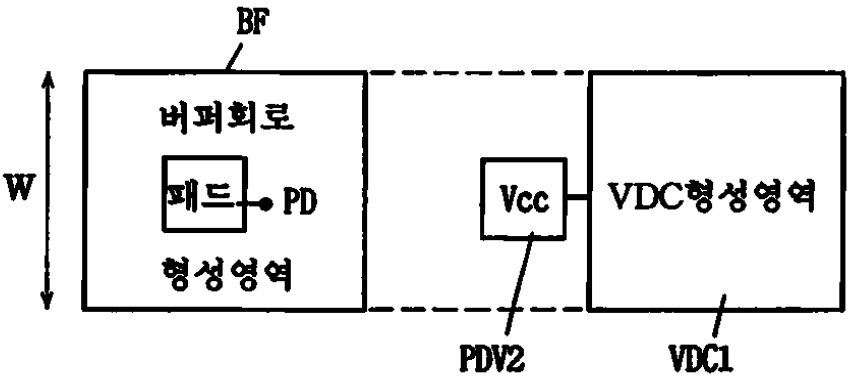
도면5a



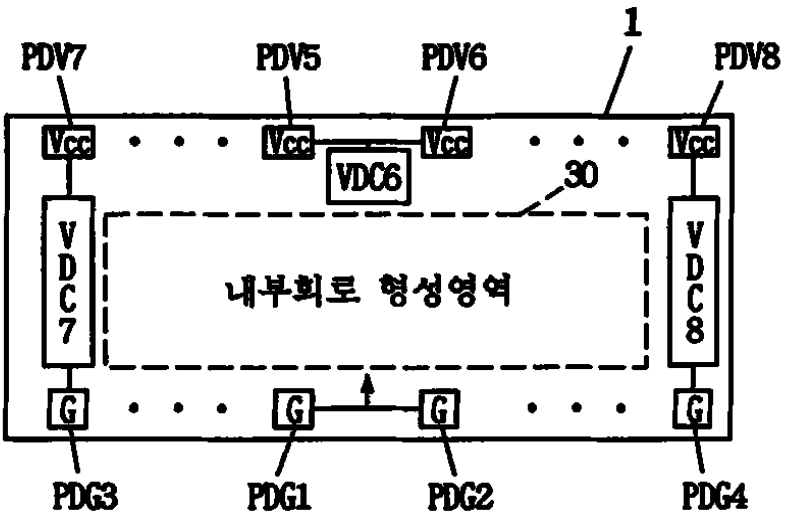
도면5b



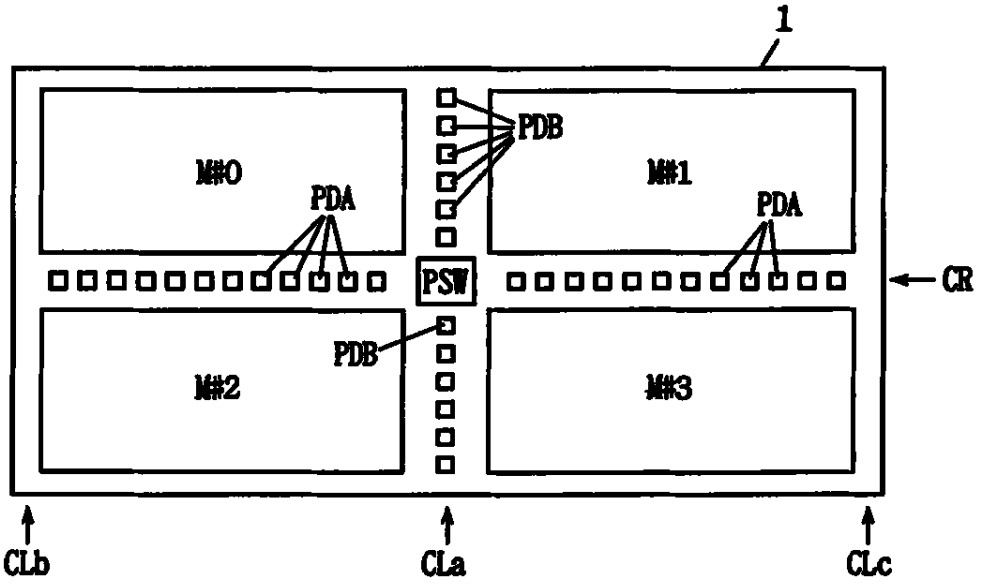
도면6



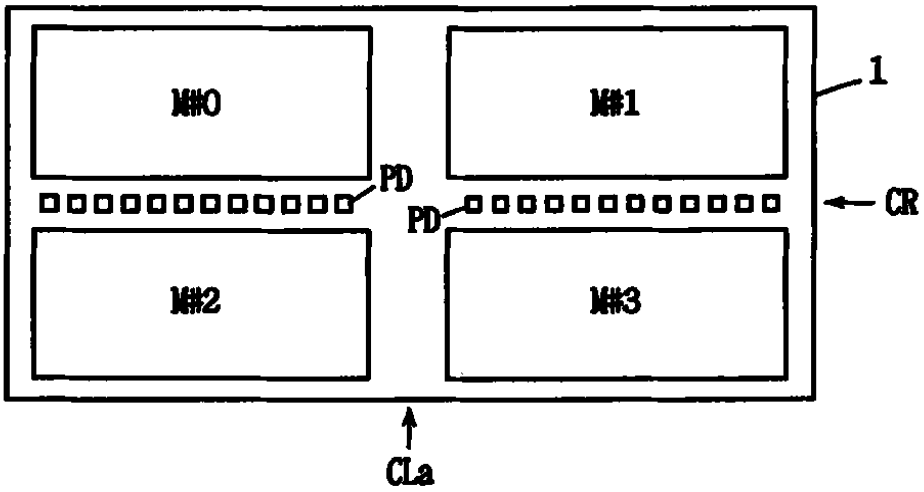
도면7


1
PDV7
PDV5
PDV6
PDV8
Vcc
Vcc
Vcc
Vcc
VDC6
30
VDC7
내부회로 형성영역
VDC8
G
G
G
G
PDG3
PDG1
PDG2
PDG4

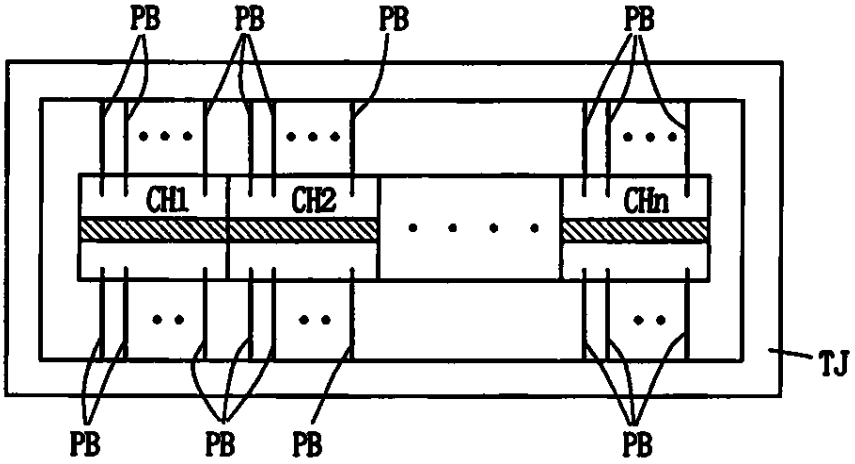
도면8a


1
M#0
PDA
PDB
M#1
PDA
PSW
CR
PDB
M#2
M#3
CLb
CLa
CLc

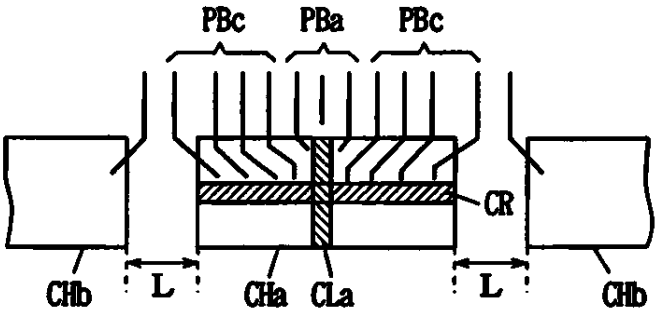
도면8b



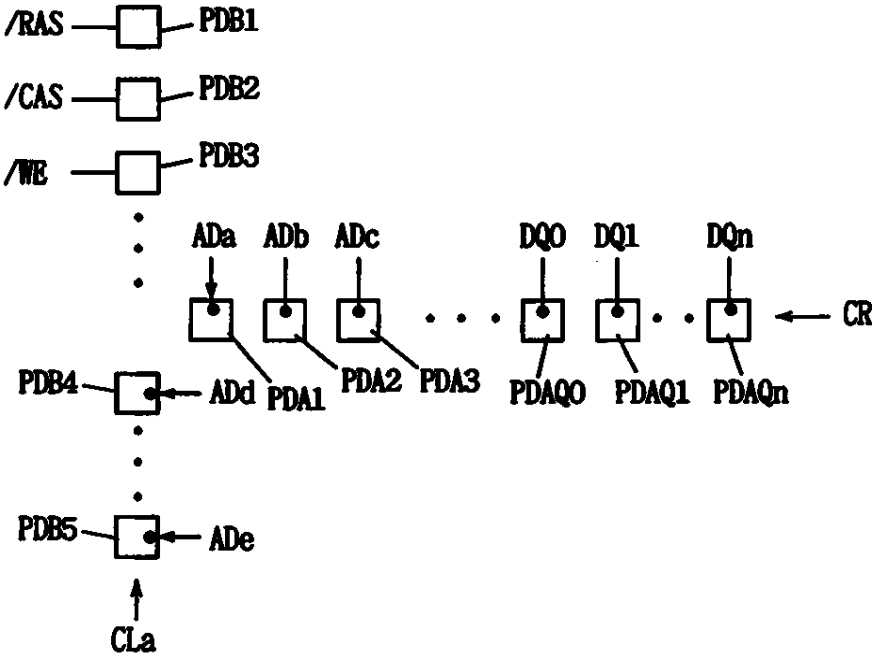
도면9a



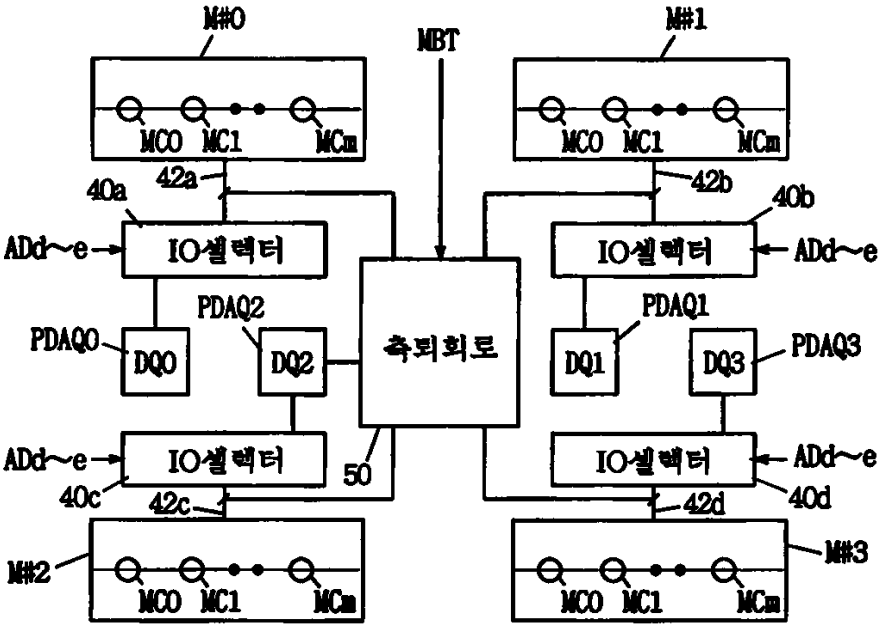
도면9b



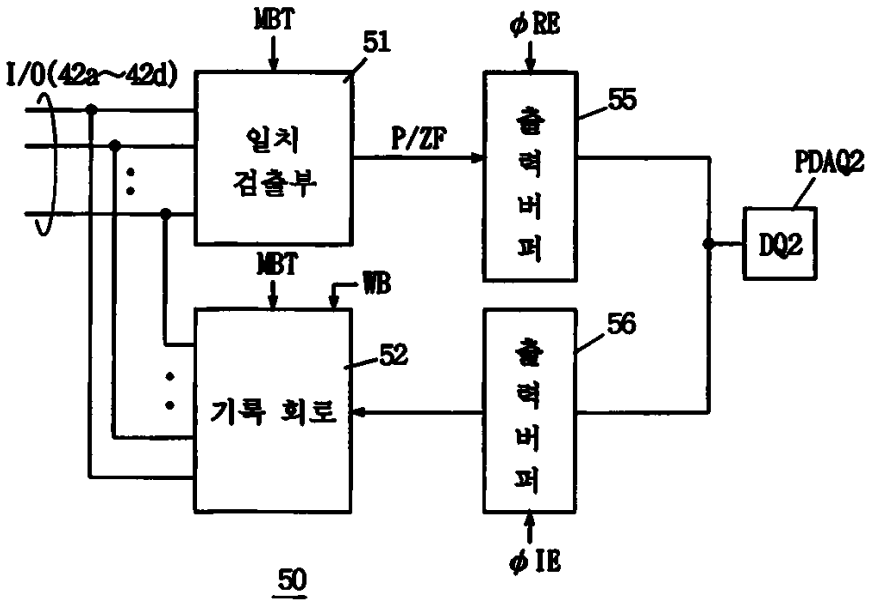
도면10


/RAS
/CAS
/WE
PDB1
PDB2
PDB3
ADa
ADb
ADc
DQ0
DQ1
DQn
CR
PDB4
ADd
PDA1
PDA2
PDA3
PDAQ0
PDAQ1
PDAQn
PDB5
ADe
CLa

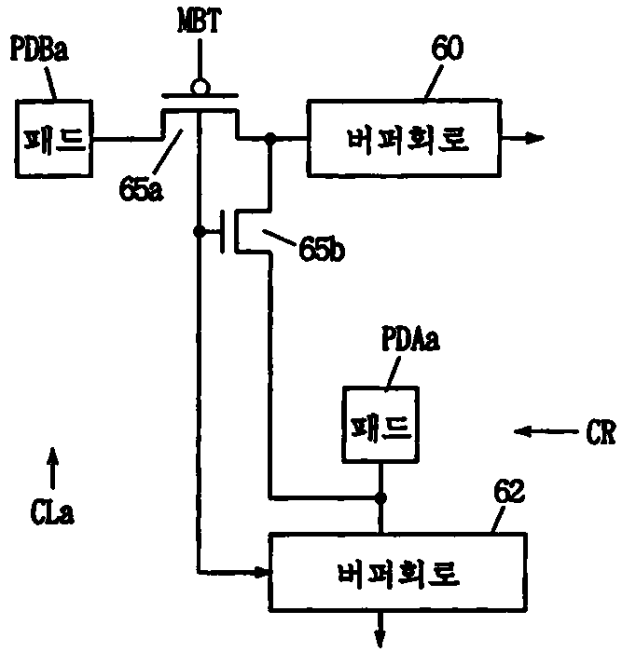
도면11


M#0
MBT
M#1
MC0
MC1
MCm
42a
42b
40a
40b
ADd~e
IO셀렉터
PDAQ2
PDAQ0
PDAQ1
PDAQ3
DQ0
DQ2
DQ1
DQ3
측회회로
50
40c
42c
42d
40d
M#2
M#3

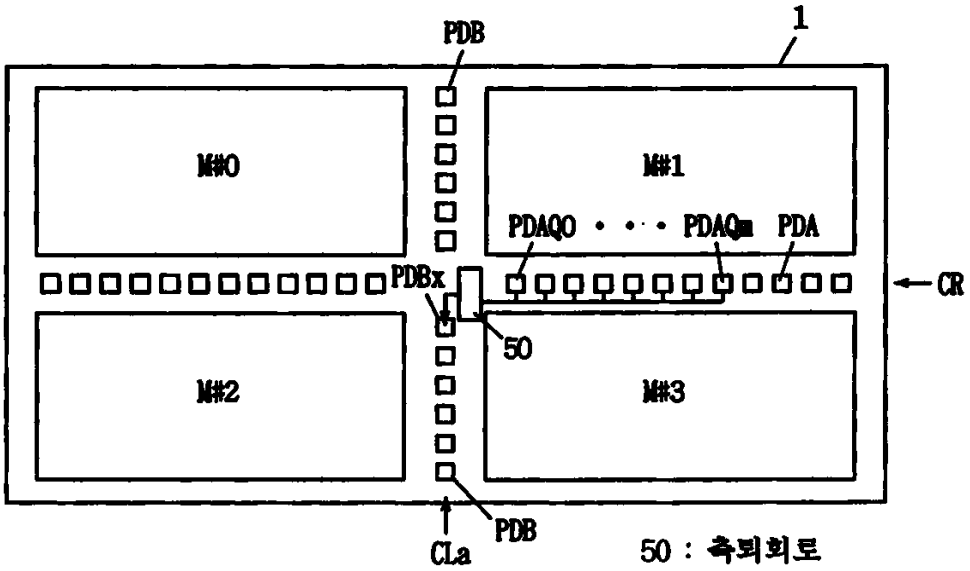
도면12


MBT
51
φRE
I/O(42a~42d)
일치
검출부
P/ZF
출력버퍼
55
PDAQ2
DQ2
MBT
WB
52
기록 회로
출력버퍼
56
φIE
50

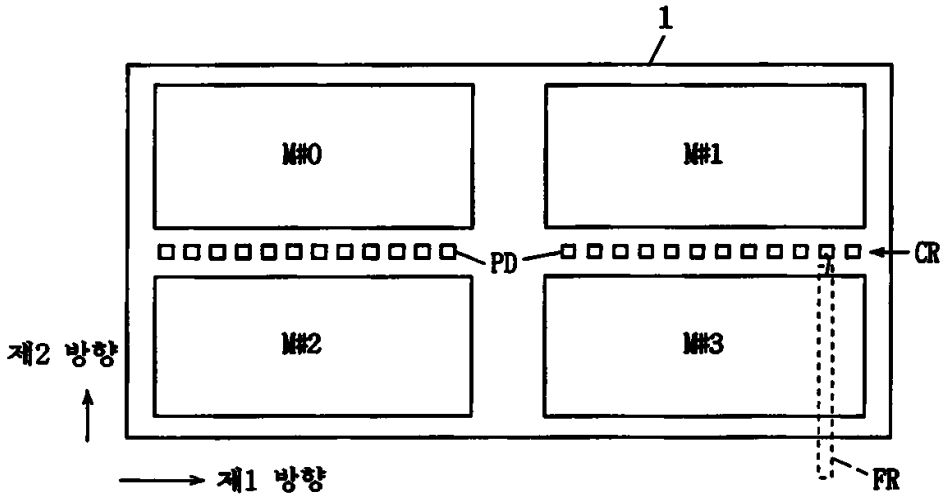
도면13


PDBa
MBT
60
패드
버퍼회로
65a
65b
PDAa
패드
CR
CLa
62
버퍼회로

도면14



도면15



도면16

