



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I737331 B

(45)公告日：中華民國 110 (2021) 年 08 月 21 日

(21)申請案號：109118588

(22)申請日：中華民國 109 (2020) 年 06 月 03 日

(51)Int. Cl. : **G11C5/14 (2006.01)****G11C11/4193(2006.01)****G11C11/34 (2006.01)****G06F1/28 (2006.01)**

(30)優先權：2019/06/03 美國

16/430,137

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：莫漢蒂 席巴納拉揚 MOHANTY, SHIBA NARAYAN (IN)；薩胡 拉爾 SAHU, RAHUL (IN)；德賽 強納帕 DESAI, CHANNAPPA (IN)

(74)代理人：李世章

(56)參考文獻：

TW I286768

US 7696649B2

US 9305905B2

US 9620178B1

US 2010/0302891A1

審查人員：范士隆

申請專利範圍項數：12 項 圖式數：5 共 27 頁

(54)名稱

具有降低峰值電流的記憶體核心通電

(57)摘要

記憶體提供有複數個核心，該複數個核心是根據從第一核心到最後一個核心的通電順序進行通電的。隨著當前核心的核心電源電壓根據通電順序進行通電，其回應於核心電源電壓超過後續核心中的控制電晶體的閾值電壓，按照通電順序來觸發對後續核心的通電。

A memory is provided with a plurality of cores that power up according to a power-up order from a first core to a final core. As the core power supply voltage for a current core powers up according to the power-up order, it triggers the power-up of a succeeding core in the power-up order responsive to the core power supply voltage exceeding the threshold voltage of a control transistor in the succeeding core.

指定代表圖：

符號簡單說明：

- 200:記憶體組
- 210:GIO 電路
- 215:GIO 電路
- 220:核心<0>電源軌
- 225:核心<1>電源軌
- 230:控制器
- 235:外部電源軌

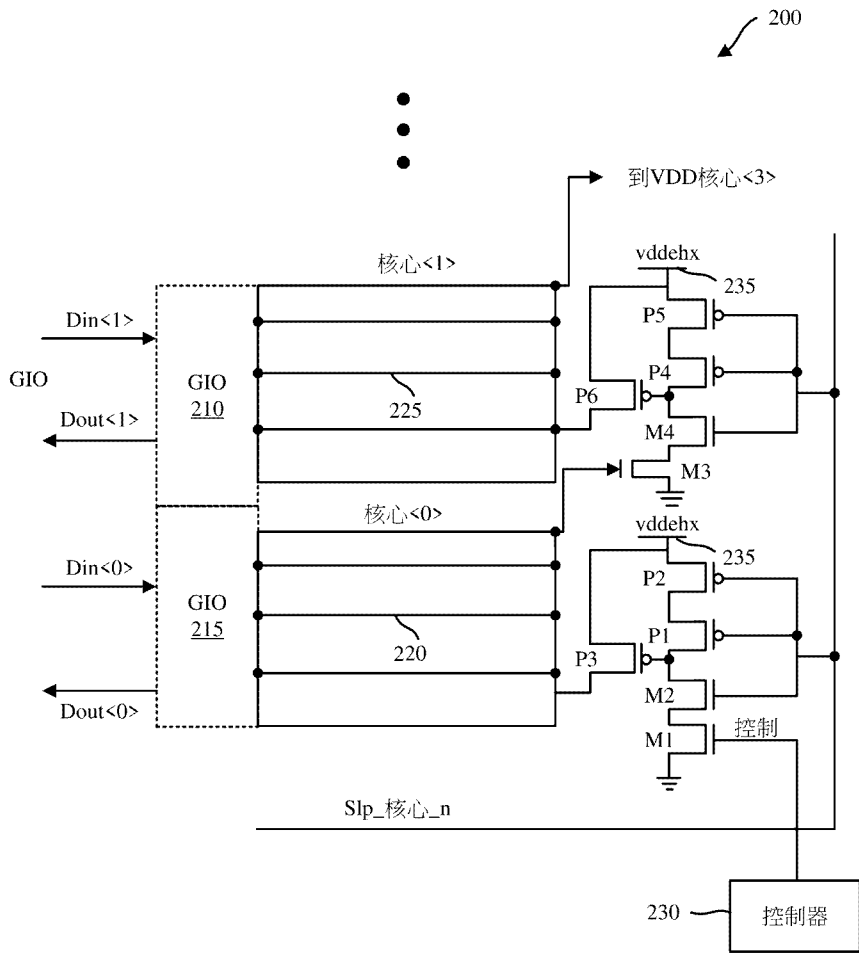


圖2

I737331

【發明摘要】

【中文發明名稱】具有降低峰值電流的記憶體核心通電

【英文發明名稱】MEMORY CORE POWER-UP WITH REDUCED PEAK
CURRENT

【中文】

記憶體提供有複數個核心，該複數個核心是根據從第一核心到最後一個核心的通電順序進行通電的。隨著當前核心的核心電源電壓根據通電順序進行通電，其回應於核心電源電壓超過後續核心中的控制電晶體的閾值電壓，按照通電順序來觸發對後續核心的通電。

【英文】

A memory is provided with a plurality of cores that power up according to a power-up order from a first core to a final core. As the core power supply voltage for a current core powers up according to the power-up order, it triggers the power-up of a succeeding core in the power-up order responsive to the core power supply voltage exceeding the threshold voltage of a control transistor in the succeeding core.

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

2 0 0 : 記 憶 體 組

2 1 0 : G I O 電 路

2 1 5 : G I O 電 路

2 2 0 : 核 心 < 0 > 電 源 軌

2 2 5 : 核 心 < 1 > 電 源 軌

2 3 0 : 控 制 器

2 3 5 : 外 部 電 源 軌

【特徵化學式】

無

【發明說明書】

【中文發明名稱】具有降低峰值電流的記憶體核心通電

【英文發明名稱】MEMORY CORE POWER-UP WITH REDUCED PEAK
CURRENT

【技術領域】

【0001】 本專利申請案主張享有於2019年6月3日提出申請的、標題為「MEMORY CORE POWER-UP WITH REDUCED PEAK CURRENT」的非臨時申請案第16/430,137的優先權，該非臨時申請案被轉讓給本案的受讓人，並且在此經由引用的方式明確合併入本文。

【0002】 本案係關於記憶體，並且更具體地係關於，在通電期間具有降低峰值電流的記憶體。

【先前技術】

【0003】 靜態隨機存取記憶體（SRAM）之每一者位元單元經由一對交叉耦合的反相器來有效地鎖存位元。與動態隨機存取記憶體（DRAM）中的被動單元相比，SRAM位元單元被供電，因此可以在讀取操作期間驅動出（drive out）位元結果。由於位元單元的活動特性，所以SRAM比DRAM明顯更快。然而，對SRAM中的位元單元的通電需要大量的電荷。在通電時所需要的電荷量與用於特定記憶體的位元單元的數量成比例。電荷是由攜帶用於位元單元的核心電源電壓的核心電源軌來供應的。

【0004】 在通電之前，核心電源是經由一或多個電源開關電晶體與位元單元進行隔離的。習知地，在通電時接通所有電源開關電晶體。在通電期間，每個位元單元中的一對交叉耦合的反相器必須解析為穩定鎖存狀態。在該鎖存狀態中，一個交叉耦合反相器的輸出節點被驅動為高至核心電源電壓，而其餘交叉耦合反相器的輸出節點保持放電。所有輸出節點的充電在通電期間引起明顯的峰值輸入電流到記憶體核心，此舉可能會損壞記憶體。

【0005】 為了減小峰值輸入電流，因此習知地是按照記憶體組對通電進行排序的。在第一記憶體組通電後，隨後第二記憶體組通電，依此類推，直到所有記憶體組皆通電。不同記憶體組的排序是由具有固定電阻 - 電容器（ RC ）延遲的延遲邏輯進行控制的。但是該固定延遲是有問題的：對給定記憶體組的通電的時間量和峰值電流取決於製程、電壓和溫度（ PVT ）拐點。由於必須滿足所有製程要求，引起通電時間漫長。另外，延遲必須隨著記憶體組大小的變化而變化，此舉使得設計從一個製程節點移植到另一個製程節點是有問題的。

【0006】 因此，在本領域中需要在通電期間具有降低峰值輸入電流和縮短延時的記憶體。

【發明內容】

【0007】 本案揭示一種記憶體，其包括：外部電源軌；第一核心電源軌，被配置為向第一複數個位元單元提供電力；第一電源開關電晶體，耦接在第一核心電源軌和外部

電源軌之間；第二核心電源軌，被配置為向第二複數個位元單元提供電力；第二電源開關電晶體，耦接在第二核心電源軌和外部電源軌之間；及控制電晶體，具有連接到第一核心電源軌的閘極，其中第二電源開關電晶體被配置為回應於控制電晶體的接通而接通。

【0008】 另外，本案揭示一種對記憶體進行通電的方法，該方法包括以下動作：接通第一電源開關電晶體，以將用於第一核心位元單元的第一核心電源軌連接到外部電源軌，以將第一核心電源軌從接地充電到核心電源電壓，其中該核心電源電壓大於用於控制電晶體的閾值電壓；回應於第一核心電源軌充電高於閾值電壓而接通控制電晶體；及回應於該控制電晶體的接通，接通第二電源開關電晶體以將用於第二核心位元單元的第二核心電源軌連接到該外部電源軌，以將該第二核心電源軌從接地充電到該核心電源電壓。

【0009】 最後，揭示一種記憶體，包括：佈置到複數個核心中的複數個位元單元，其中核心是根據通電順序進行佈置的；與複數個核心相對應的複數個電源軌，每個電源軌被配置為對相應核心進行供電；及，與該複數個核心相對應的複數個控制電晶體，其中每個控制電晶體被配置為控制對該控制電晶體的核心的通電，並且其中按照該通電順序的每個順序核心中的該控制電晶體的閘極連接到按照該通電順序的先前核心的電源軌。

【0010】 經由以下詳細描述，可以更好地理解該等以及其他優點。

【圖式簡單說明】

【0011】 圖 1 是根據本案內容的一個態樣的用於記憶體組的記憶體核心的電路圖，其中位元單元是由獨立於其他核心電源軌的核心電源軌進行供電的。

【0012】 圖 2 圖示根據本案內容的一個態樣的均具有被配置為依次通電的獨立核心電源軌的第零個記憶體核心和第一記憶體核心。

【0013】 圖 3 圖示根據本案內容的一個態樣的記憶體，其中每個記憶體組包括被配置為依次通電的複數個核心。

【0014】 圖 4 是根據本案內容的一個態樣的為記憶體的核心理心依次通電的方法的流程圖。

【0015】 圖 5 圖示根據本案內容的一個態樣的添加被配置為對記憶體核心進行依次通電的記憶體的一些示例性系統。

【0016】 經由參照下文的詳細描述，最好地理解本案內容的實施例及其優點。應當理解，相同的元件符號用於標識在一或多個附圖中圖示的相同元件。

【實施方式】

【0017】 為了在記憶體通電期間提供降低峰值輸入電流而無需過多延遲，經由位元單元的輸入/輸出（IO）來隔離對位元單元的電源。關於 IO，傳統上按照行和列來排列位元單元。每一行是由相應的字線進行定址，而每一列是由一

對相應的位元線進行定址。在讀取操作期間，感測放大器感測在針對定址列的一對位元線上產生的電壓差。感測放大器通常具有與位元線間距相比更寬的間距，因此習知地將若干列經由列多工器多工到單個感測放大器。讀取輸出資料鎖存器（IO）鎖存來自感測放大器的位元判決以用於所選擇的列。因此，電源隔離適用於多工到讀取輸出資料鎖存器的列中的所有位元單元。

【0018】 用於記憶體的行和列通常被佈置到被指定為記憶體組的子陣列中。每個記憶體組有其自己的讀取輸出資料鎖存器集合，從第零個讀取輸出資料鎖存器到最後一個讀取輸出資料鎖存器。用於記憶體組的讀取輸出資料鎖存器的數量取決於用於記憶體組的字大小。例如，若字長是64位元寬，則記憶體組將包括64個讀取輸出資料鎖存器。用於記憶體組的獨立核心電源軌的數量與讀取輸出資料鎖存器的數量一一對應。在前面的64個讀取輸出資料鎖存器的實例中，記憶體組將具有64個不同的核心電源軌。該等軌依次通電。每個核心電源軌將核心電源提供給多工到相應讀取輸出資料鎖存器中的列中的位元單元。

【0019】 在圖1中圖示用於第*i*個讀取輸出資料鎖存器130的示例性記憶體核心100。用於讀取輸出資料鎖存器130的<ith>標記是指其在針對相應記憶體的讀取輸出資料鎖存器集合所形成的字內的位元位置。例如，字中的位元數量可以位於從第零個位元到第（*M*-1）個位元的範圍內，其中*M*是字寬的正整數。如本文所使用，術語「核心」是

指由列進行定址的位元單元，其被多工到單個讀取輸出資料鎖存器上。在核心100中，列多工是經由列多工器125的N:1多工。因此，核心100中有N個列，範圍從第零列（列0）到第（N-1）列（列N）。在單個列中的位元單元的數量取決於記憶體組的行數。例如，若包括核心100的記憶體組具有對應於32個字線的32行，則單個列將具有32個位元單元。因此，在列0中存在與第一行相對應的第一位元單元105。每個剩餘行亦將具有對應的位元單元。為了圖示清楚，在列0中僅圖示位元單元105以及用於最後一行的最後一個位元單元110。類似地，第（N-1）列包括複數個位元單元，範圍從用於第一行的第一位元單元115到用於最後一行的最後位元單元120的複數個位元單元。因此，用於諸如核心100之類的核心的位元單元的總數不僅取決於用於核心的記憶體組的行數，亦取決於列多工。在沒有列多工的實施例中，每一核心的位元單元的數量將等於行的數量。若列多工是2:1，則每一核心的位元單元的數量將是行數量的兩倍。類似地，若列多工是4:1，則每一核心的位元單元的數量將是行數量的四倍。通常，每一核心的位元單元數量是用於記憶體組的行數與列多工的順序的乘積。核心100之每一者位元單元是由相同的核心電源軌VDD核<i>i</i>進行供電。核心電源軌的<i>i t h</i>標記對應於用於讀取輸出資料鎖存器130的<i>i t h</i>標記。

【0020】 鑒於如前述定義的記憶體核心電源軌的構思，本文揭示了一種記憶體，其為每個記憶體組中的各個核心進

行依次通電。例如，假設一個記憶體具有一對記憶體組。第一個記憶體組中的核心進行依次通電。一旦輪到第一記憶體組中的最後一個核心，就繼續針對剩餘第二記憶體組中的核心。若記憶體具有附加的記憶體組，則對核心的依次通電將擴展到該等附加記憶體組上。隨後，通電順序將針對一個記憶體組到另一記憶體組中的核心，直到所有記憶體組中的所有核心被通電為止。

【0021】 對核心的順序不是基於任何嚴格固定延遲，而是利用了核心電源從接地到其最終充電狀態的上升。每個核心電源軌皆經由相應電源開關電晶體耦接到外部電源軌。當針對核心接通電源開關電晶體時，核心電源軌被充電到由外部電源軌所提供的核心電源電壓。因此，當電源開關電晶體接通時，核心電源電壓將從接地充電到其完全充電狀態。本文揭示的記憶體架構經由使用對核心電源電壓的充電來控制順序核心何時開始充電，從而有利地利用了核心電源電壓從接地充電到其完全充電狀態。如本文所使用的，術語「外部電源軌」是指經由相應電源開關電晶體與核心電源軌進行隔離的任何合適電源軌。通常，包括如本文所揭示的記憶體的積體電路將具有各種電源軌，用於將電源電壓分配給積體電路內的各種元件。外部電源軌可以是全域電源軌，除了記憶體以外，該全域電源軌亦將核心電源電壓提供給其他元件。或者，外部電源軌可以專用於對記憶體進行核心電源電壓的分配。

【0022】 記憶體組內的核心是從第一核心到最後一個核心進行佈置的。對於該順序內的核心，來自先前核心的核心電源控制了電源開關電晶體是否實施對核心進行供電。在一個實施例中，用於核心的電源開關電晶體可以是n型金屬氧化物半導體（NMOS）電晶體。在此種實施例中，一旦來自前一核心的核心電源電壓達到用於電源開關電晶體的閾值電壓，則來自前一核心的核心電源電壓將開始接通針對當前核心的電源開關電晶體。儘管此種NMOS實施例將有利地為核心進行通電，但要注意，與NMOS電源開關電晶體相比，p型金屬氧化物開關（PMOS）電源開關電晶體將通過更高的電源電壓。因此，以下論述將不失一般性地假定每個核心的電源開關電晶體將是PMOS電源開關電晶體。

【0023】 關於記憶體組內的核心的通電順序，「當前核心」是指順序中的當前正在通電的核心。隨著順序的進行，當前核心成為針對另一當前核心而言的先前核心。但是，正在通電的第一記憶體組中的第一核心在其之前沒有先前核心。控制信號控制對該第一核心的核心電源是否接通。對於通電順序之每一者剩餘核心，控制該核心的電源電壓是否開始通電的是針對先前核心的核心電源。例如，對於通電順序中的第二核心，控制對第二核心的電源電壓進行充電的是第一核心的電源電壓。對於通電順序中的第三核心，控制對第三核心的電源電壓進行充電的是第二核心的電源電壓，貫穿通電順序依此類推。

【0024】 由於針對每個核心的電源開關電晶體是PMOS電源開關電晶體，因此來自先前核心的核心電源電壓驅動當前核心中的NMOS控制電晶體的閘極。隨著來自先前核心的核心電源電壓升高到大於當前核心中的控制電晶體的閾值電壓，當前核心中的控制電晶體接通，以便將用於當前核心的PMOS電源開關電晶體的閘極接地。對電源開關電晶體的閘極進行接地接通了電源開關電晶體，使得當前核心的電源電壓開始充電。反過來，該當前核心成為通電順序中的新當前核心的先前核心。通電順序可以視為對應於整數順序：第一核心、第二核心、第三核心、第四核心等。因此，對第 i 核心的核心電源電壓充電到閾值電壓決定第 $(i+1)$ 個核心的核心電源電壓何時開始充電，其中 i 是整數順序內的正整數。

【0025】 圖2中圖示根據本文揭示的通電順序的實施例的包括通電的複數個核心的記憶體組200。為了描述清楚，針對記憶體組200，圖示僅僅核心<0>和核心<1>。每個核心包括複數個位元單元(未圖示)，如關於圖1的核心100所論述的。例如，核心<0>包括第零個讀取輸出資料鎖存器所定址的列中的位元單元。該等位元單元是由核心<0>電源軌220進行供電的。第零個讀取輸出資料鎖存器和其他定址元件(諸如，字線解碼器和列位址解碼器)是由針對核心<0>的全域輸入/輸出(GIO)電路215表示的。在寫操作期間，GIO電路215接收要被寫到記憶體組200的輸入字的第零個位元 $D_{in}<0>$ 。根據定址，隨後，將該第

零個位元寫到核心<0>中的位元單元之一。在讀取操作期間，GIO電路215輸出從記憶體組200讀取的輸出字的第零個位元`Dout<0>`。類似地，核心<1>包括與GIO電路210所表示的與第一讀取輸出資料鎖存器相對應的所有位元單元。GIO電路210接收輸入字的第一位元，並且輸出輸出字的第一位元。

【0026】 為了開始對記憶體組200進行通電，控制器230樹立(`assert`)控制信號，該控制信號驅動針對核心<0>的NMOS控制電晶體M1的閘極。為了對通電與睡眠模式進行協調，控制電晶體M1的汲極連接到NMOS電晶體M2的源極，該NMOS電晶體M2具有的汲極連接到PMOS電晶體P1的汲極。電晶體P1的源極連接另一PMOS電晶體P2的汲極，該另一PMOS電晶體P2具有的源極連接到提供外部電源電壓`vddex`的外部電源軌235。在可選實施例中，電晶體P1和P2可以被單個PMOS電晶體代替。低位準有效睡眠信號(`Sleep_core_n`)驅動電晶體M2、P1和P2的閘極。

【0027】 控制電晶體M1的源極接地，使得當控制信號被樹立時，電晶體M2的源極接地。電晶體P2、P1和M1因此用作反相器，以便在控制信號被樹立時將睡眠信號進行反相。在正常操作期間，睡眠信號針對外部電源電壓`vddh`被樹立為高。因此，由電晶體M1、P2和P1形成的反相器將針對睡眠信號的該高數值進行反相，使得電晶體P1和M2的汲極接地。該等汲極節點連接到PMOS電源開關電晶體P3的閘極，PMOS電源開關電晶體P3使其源極連接到外部

電源軌 235 並且汲極連接到核心 <0> 電源軌 220。在通電之前，核心 <0> 電源軌 220 的電壓是接地的。但是回應於電源開關電晶體 P3 的接通，核心 <0> 電源軌 220 充電到外部電源軌 235 上承載的核心電源電壓 v_{ddex} 。

【0028】 為了實現從一個核到另一核的依次通電，將核心 <0> 電源軌 220 連接到針對核 <1> 的 NMOS 控制電晶體 M3 的閘極。在核心 <1> 中，第一控制電晶體 M3、NMOS 電晶體 M4、PMOS 電晶體 P4、PMOS 電晶體 P5 和 PMOS 第一電源開關電晶體 P6 被佈置為類似於如針對其對應的、核心 <0> 中的電晶體 M1、M2、P1、P2 和 P3 所論述的一般。就該點而言，當控制電晶體 M3 回應於核心 <0> 電源軌 220 充電到高於用於控制電晶體 M3 的閾值電壓而接通時，電晶體 P5、P4 和電晶體 M4 用作反相器。如關於核心 <0> 所論述的，在可選實施例中，電晶體 P5 和 P4 可以被單個 PMOS 電晶體取代。低位準有效睡眠信號 Slp_core_n 驅動電晶體 M4、P4 和 P5 的閘極。在控制電晶體 M3 對電晶體 M4 的源極進行放電的情況下，電晶體 M4、P4 和 P5 用作反相器，以便在正常操作期間將睡眠信號的充電狀態進行反相，從而使電源開關電晶體 P6 的閘極進行接地。當核心 <0> 電源軌 220 被充電到高於用於控制電晶體 M3 的閾值電壓時，從而電源開關電晶體 P6 將開始實施。電源開關電晶體 P6 的源極連接到外部電源軌 235，而其汲極連接到核心 <1> 電源軌 225。核心 <1> 電源軌 225 將核心電源電壓提供給核心 <1> 中的所有位元單元。

【0029】 隨後，核心<1>電源軌225將從接地充電到核心電源電壓 v_{ddex} 。如此一來，核心電源電壓 v_{ddex} 將超過核心<2>（未圖示）中的控制電晶體的閾值電壓，從而使針對該第二核心的電源軌將開始向電源電壓 v_{ddex} 進行充電。繼而，對第二核心的通電觸發了對第三核心的通電，等等。

【0030】 圖3中亦圖示針對具有記憶體組0和記憶體組1的記憶體300的核心的此種依次通電。在記憶體300中，每個記憶體組具有64個核心，範圍從核心<0>到核心<63>。記憶體組0中的核心<0>類似於記憶體組200中的核心<0>，因為記憶體組0中的核心<0>是將對控制信號的樹立作出回應的核心。隨後，隨著針對核心<0>的核心電源電壓上升到高於閾值電壓，此情形觸發針對記憶體組0中的核心<1>的核心電源電壓的通電。繼而，核心的依次通電繼續進行，直到記憶體組0中的最後一個核心<63>開始通電。在該第63個核心中的電源軌連接到記憶體組1中的核心<0>中的控制電晶體（未圖示）。因此，記憶體組0中的核心的依次通電將觸發對記憶體組1中的核心的依次通電，直到記憶體組1中的最後一個核心<63>充滿電為止。

【0031】 儘管使核心的通電順序與針對每個記憶體組的資料輸出字的位元順序相匹配是方便的，但是應當理解，順序是任意的並且在可選實施例中能夠改變。此外，順序不需要從一個核心到一個核心，而是可以從一群核心到另一群核心。例如，針對兩個核心的順序群組的電源軌可以被

綁在一起，使得一對核心被共同通電。一旦針對第一對核心的核心電源電壓達到針對第二對核心的閾值電壓，就觸發對第二對核心的通電，等等。

【0032】 現在將參照圖4的流程圖來論述示例性通電方法。該方法包括動作400：接通第一電源開關電晶體以將用於第一記憶體核心的第一電源軌連接到外部電源軌，從而將第一電源軌從接地充電到核心電源電壓，其中核心電源電壓大於針對第一控制電晶體的閾值電壓。記憶體組200的核心<0>中的電源開關電晶體P3的接通是動作400的實例。此外，該方法包括動作405：回應於第一電源軌充電到大於閾值電壓而接通第一控制電晶體。記憶體組200的核心<1>中的控制電晶體M3的接通是動作405的實例。最後，該方法包括動作410：回應於對第一控制電晶體的接通並且包括接通第二電源開關電晶體，從而將針對第二記憶體核心的第二電源軌連接到外部電源軌，以便將第二電源軌從接地充電到核心電源電壓。記憶體組200中的核心<1>電源軌225的充電是動作410的實例。

【0033】 如本文揭示的具有對核心進行依次通電的記憶體可以被合併到各種各樣的電子系統中。例如，如圖5中所示，根據本案內容，蜂巢式電話500、膝上型電腦505和平板PC 510可能皆包括具有對核心進行依次通電的記憶體。其他示例性電子系統（諸如，音樂播放機、視訊播放機、通訊設備和個人電腦）亦可以配置有根據本案內容構建的記憶體。

【0034】 如熟習此項技術者現在將明白的並且依據手頭的具體應用場合，在不脫離本案內容範疇的情況下，可以對本案內容的設備的材料、裝置、配置和使用方法進行很多修改、替換和變型。鑒於此，本案內容的範疇不應當局限於本文說明和描述的具體實施例的範疇，因為該等具體實施例僅是經由其一些實例的方式，而是應當與後面所附請求項的範疇及其功能均等物完全相稱。

【符號說明】

【0035】

1 0 0 : 記 憶 體 核 心
1 0 5 : 第 一 位 元 單 元
1 1 0 : 最 後 一 個 位 元 單 元
1 1 5 : 第 一 位 元 單 元
1 2 0 : 最 後 位 元 單 元
1 2 5 : 列 多 工 器
1 3 0 : 讀 取 輸 出 資 料 鎖 存 器
2 0 0 : 記 憶 體 組
2 1 0 : G I O 電 路
2 1 5 : G I O 電 路
2 2 0 : 核 心 < 0 > 電 源 軌
2 2 5 : 核 心 < 1 > 電 源 軌
2 3 0 : 控 制 器
2 3 5 : 外 部 電 源 軌
3 0 0 : 記 憶 體

4 0 0 : 動 作

4 0 5 : 動 作

4 1 0 : 動 作

5 0 0 : 蜂 巢 式 電 話

5 0 5 : 膝 上 型 電 腦

5 1 0 : 平 板 P C

【生物材料寄存】

國 內 寄 存 資 訊 (請 依 寄 存 機 構 、 日 期 、 號 碼 順 序 註 記)

無

國 外 寄 存 資 訊 (請 依 寄 存 國 家 、 機 構 、 日 期 、 號 碼 順 序 註 記)

無

【發明申請專利範圍】

【請求項 1】 一種記憶體，包括：

一外部電源軌；

一第一核心電源軌，被配置為向第一複數個位元單元提供電力；

一第一電源開關電晶體，耦接在該第一核心電源軌和該外部電源軌之間；

一第一控制電晶體，被配置為回應於一控制信號而接通，其中該第一電源開關電晶體被配置為回應於該第一控制電晶體的該接通而接通；

一第二核心電源軌，被配置為向第二複數個位元單元提供電力；

一第二電源開關電晶體，耦接在該第二核心電源軌和該外部電源軌之間；

一第一反相器，被配置為將一睡眠信號進行反相並且驅動該第二電源開關電晶體的一閘極；及

一第二控制電晶體，具有接地的一源極和連接至該第一反相器的一接地節點的一汲極和連接到該第一核心電源軌的一閘極，其中該第二電源開關電晶體被配置為回應於該第二控制電晶體的一接通以及該睡眠信號樹立成一電源電壓而接通，並且該第二電源開關電晶體被配置為回應於該第二控制電晶體的該接通以及該睡眠信號對地放電而切斷 (switch off)。

【請求項 2】 根據請求項 1 之記憶體，其中該第二電源開

關電晶體是一 p - 型金屬 - 氧化物半導體 (P M O S) 電晶體，並且該控制電晶體是一 N M O S 電晶體。

【請求項 3】 根據請求項 1 之記憶體，其中該第一電源開關電晶體是一 P M O S 電晶體，該 P M O S 電晶體具有連接到該外部電源軌的一源極以及連接到該第一電源軌的一汲極，並且其中該第一控制電晶體是一 N M O S 電晶體，該 N M O S 電晶體具有接地的一源極以及與該第一電源開關電晶體的一閘極相耦接的一汲極。

【請求項 4】 根據請求項 3 之記憶體，亦包括：

一第二反相器，被配置為將該睡眠信號進行反相，其中該第一控制電晶體的該汲極連接到用於該第二反相器的一接地節點，並且其中該第二反相器的一輸出節點連接到該第一電源開關電晶體的該閘極。

【請求項 5】 根據請求項 1 之記憶體，亦包括：

一第三核心電源軌，被配置為向第三複數個位元單元提供電力；

一第三電源開關電晶體，耦接在該第三核心電源軌與該外部電源軌之間；及

一第二控制電晶體，具有連接到該第二核心電源軌的一閘極，其中該第三電源開關電晶體被配置為回應於該第二控制電晶體的一接通而接通。

【請求項 6】 根據請求項 5 之記憶體，其中該第三電源開關電晶體是一 P M O S 電晶體，並且該第二控制電晶體是一 N M O S 電晶體，該 N M O S 電晶體具有接地的一源極

以及與該第三電源開關電晶體的一閘極相耦接的一汲極。

【請求項7】 根據請求項1之記憶體，其中該第一複數個位元單元和該第二複數個位元單元被佈置在具有最後複數個位元單元的一第一記憶體組中，該最後複數個位元單元被配置為由一最後電源軌進行供電，該記憶體亦包括：

一第二記憶體組，包括：

第三複數個位元單元，被配置為由一第三核心電源軌進行供電；

一第三電源開關電晶體，耦接在該第三核心電源軌與該外部電源軌之間；及

一第三控制電晶體，具有連接到該最後電源軌的一閘極，其中該第三電源開關電晶體被配置為回應於該第二控制電晶體的一接通而接通。

【請求項8】 根據請求項1之記憶體，其中該第一複數個位元單元被佈置為第一複數個列，並且其中該第二複數個位元單元被佈置為第二複數個列。

【請求項9】 一種對一記憶體進行通電的方法，包括以下步驟：

回應於一控制信號的一樹立而接通一第一控制電晶體；

回應於該第一控制電晶體的該接通，來接通一第一電源開關電晶體，以將用於一第一核心位元單元的一第一

核心電源軌連接到一外部電源軌，以將該第一核心電源軌從接地充電到一核心電源電壓，其中該核心電源電壓大於針對一第二控制電晶體的一閾值電壓；

回應於該第一核心電源軌充電高於該閾值電壓，接通該第二控制電晶體，以對一反向器供應接地；

在該第二控制電晶體接通時，並且在一睡眠信號充電至該核心電源電壓時，經由該反向器以將該睡眠信號進行反向，以使一反向器輸出信號放電；

回應於該反向器輸出信號的該放電，接通一第二電源開關電晶體以將用於一第二核心位元單元的一第二核心電源軌連接到該外部電源軌，以將該第二核心電源軌從接地充電到該核心電源電壓；

在該第二控制電晶體接通時，並且在該睡眠信號放電時，經由該反向器以將該睡眠信號進行反向，以將該第一反向器輸出信號充電至該核心電源電壓；及

回應於該第一反向器輸出信號充電至該核心電源電壓，切斷該第二電源開關電晶體。

【請求項10】根據請求項9之方法，其中該第一核心位元單元和該第二核心位元單元被佈置在該記憶體的一第一記憶體組中，該方法亦包括以下步驟：

對該記憶體的該第一記憶體組中的一最後核心電源軌從接地通電到該核心電源電壓；

回應於該最後核心電源電壓充電高於該閾值電壓，接通一第三控制電晶體；及

回應於該第三控制電晶體的該接通，接通一第三電源開關電晶體，以便將用於該記憶體的一第二記憶體組中的一第三核心位元單元的一第三電源軌連接到該外部電源軌，從而將該第三電源軌從接地充電到該核心電源電壓。

【請求項 11】根據請求項 10 之方法，亦包括以下步驟：

根據一通電順序，對該記憶體中的該第二記憶體組中的複數個附加核心進行順序地通電，其中每個順序的附加核心回應於用於一先前附加核心的一核心電源升高到高於該閾值電壓而通電。

【請求項 12】根據請求項 9 之方法，亦包括以下步驟：

回應於該第二核心電源軌充電高於該閾值電壓，接通一第三控制電晶體；及

回應於該第三控制電晶體的該接通，接通一第三電源開關電晶體，以便將用於一第三核心位元單元的一第三核心電源軌連接到該外部電源軌，從而將該第三核心電源軌從接地充電到該核心電源電壓。

【發明圖式】

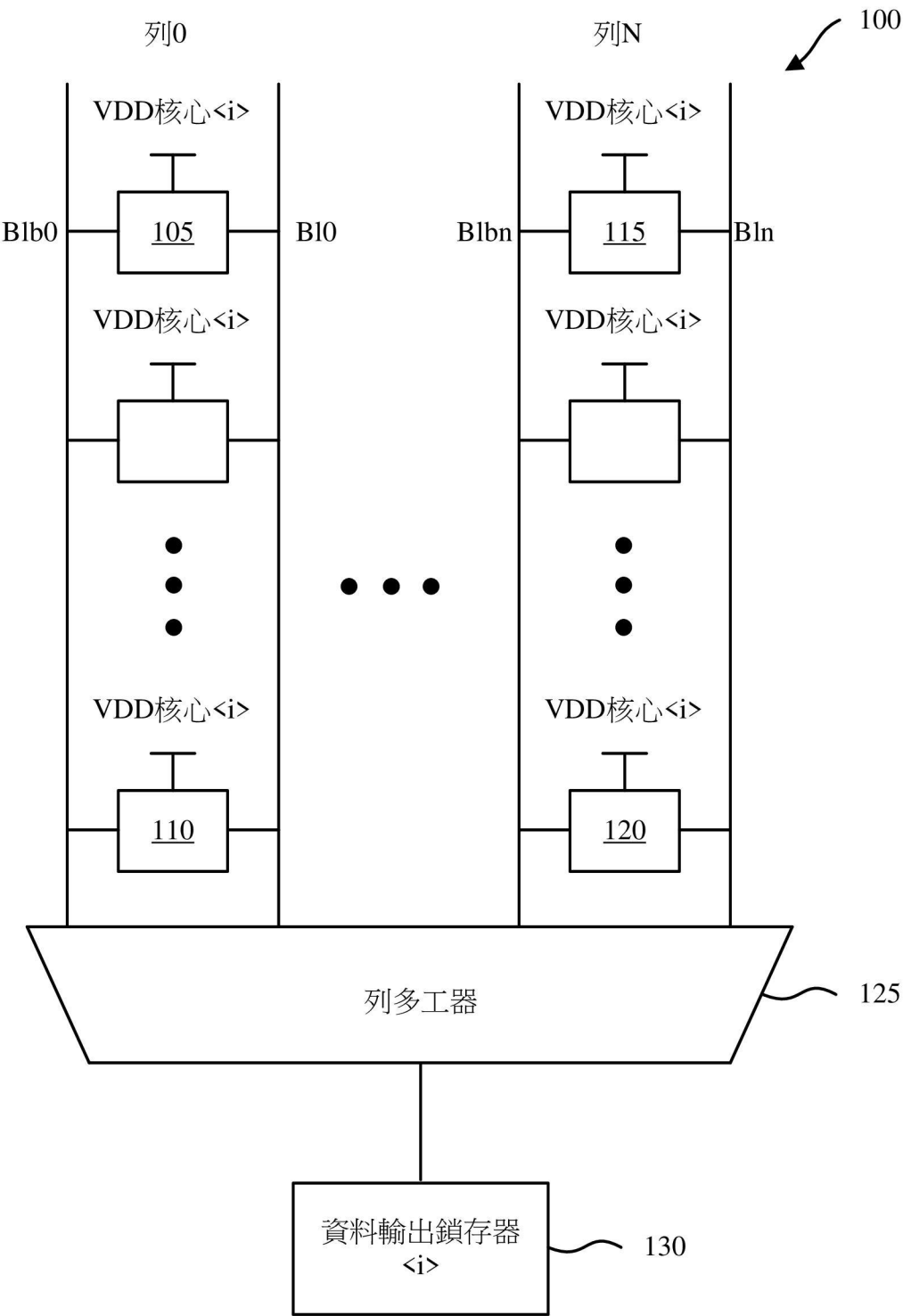


圖1

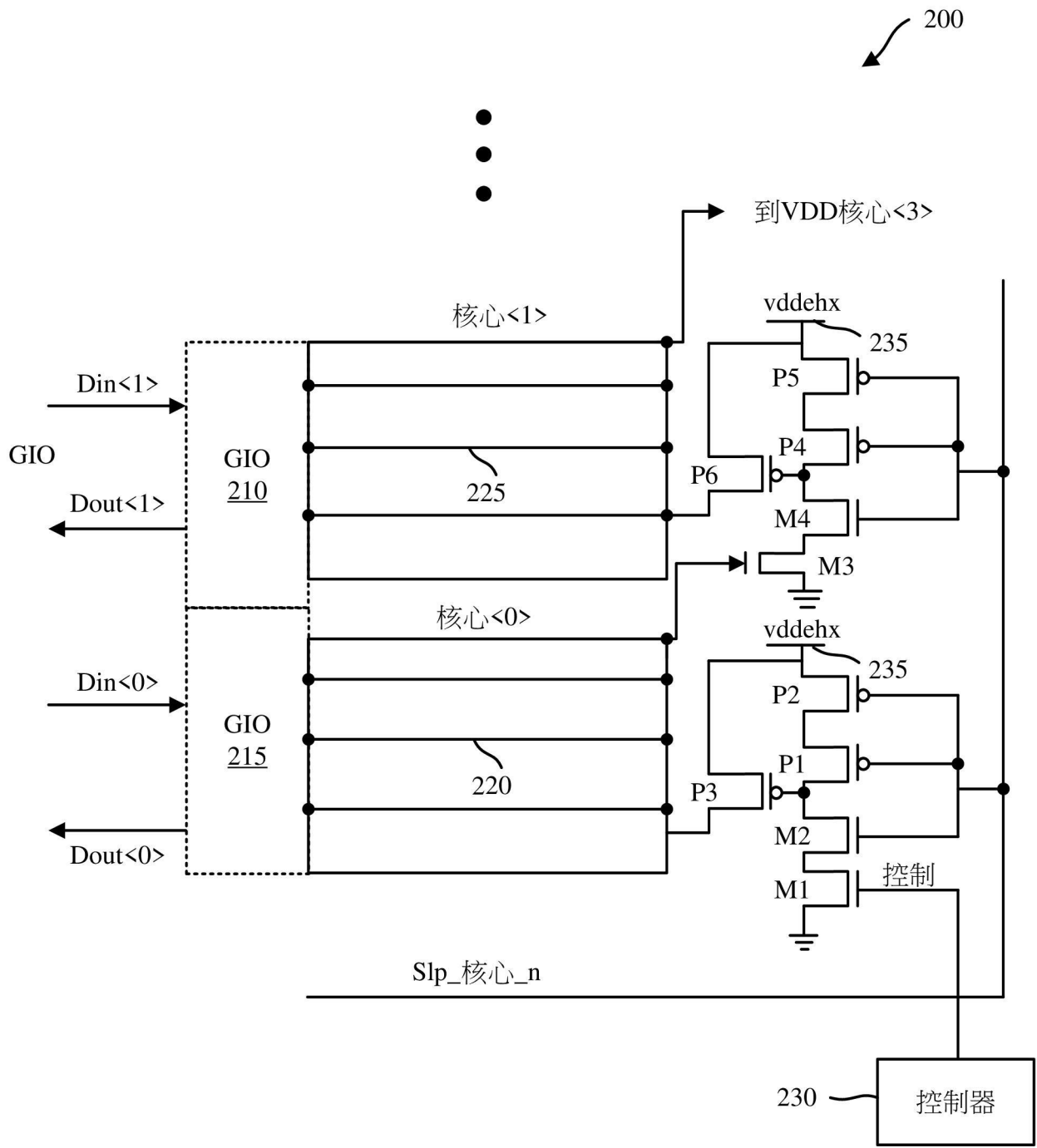


圖2

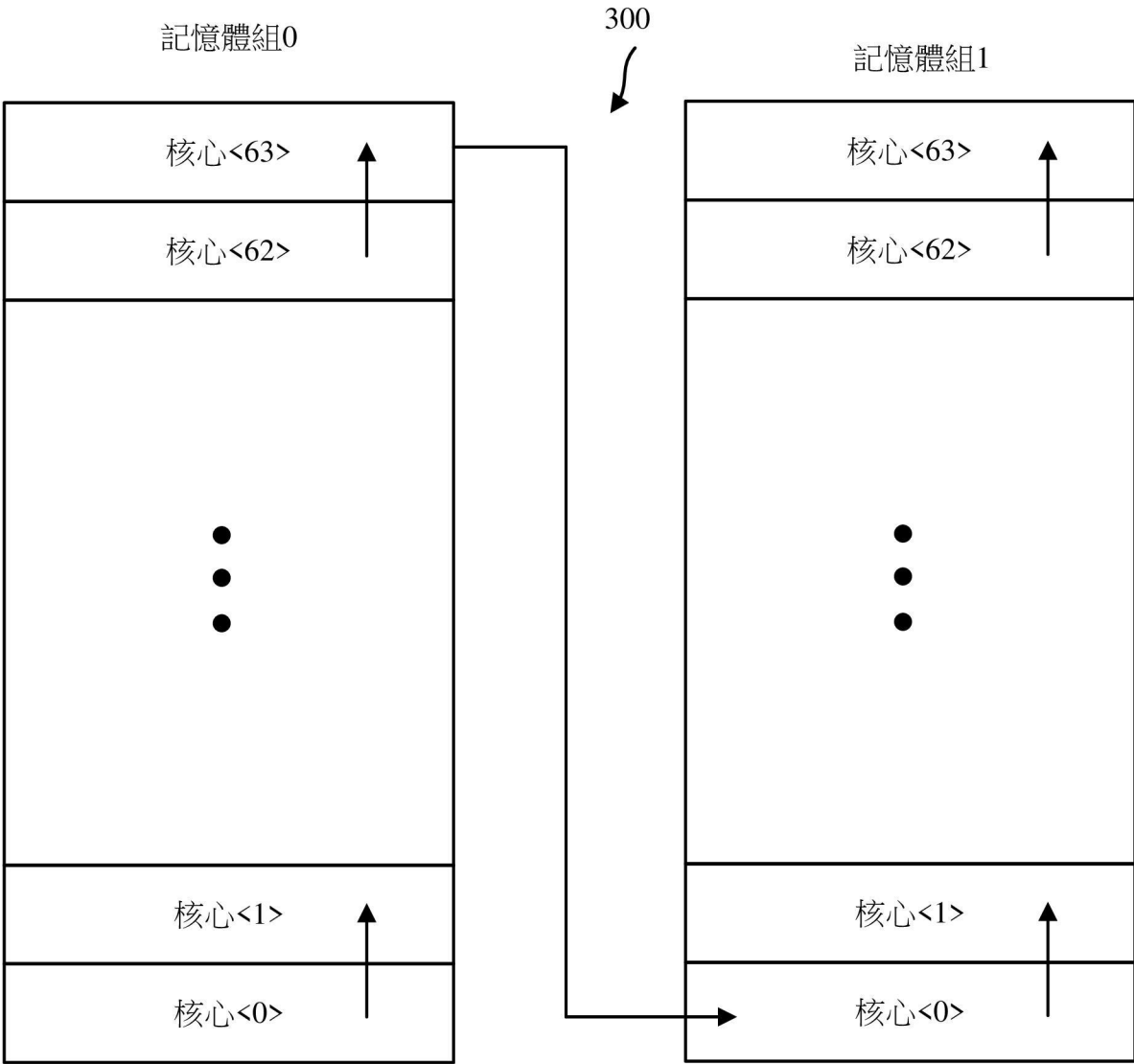


圖3

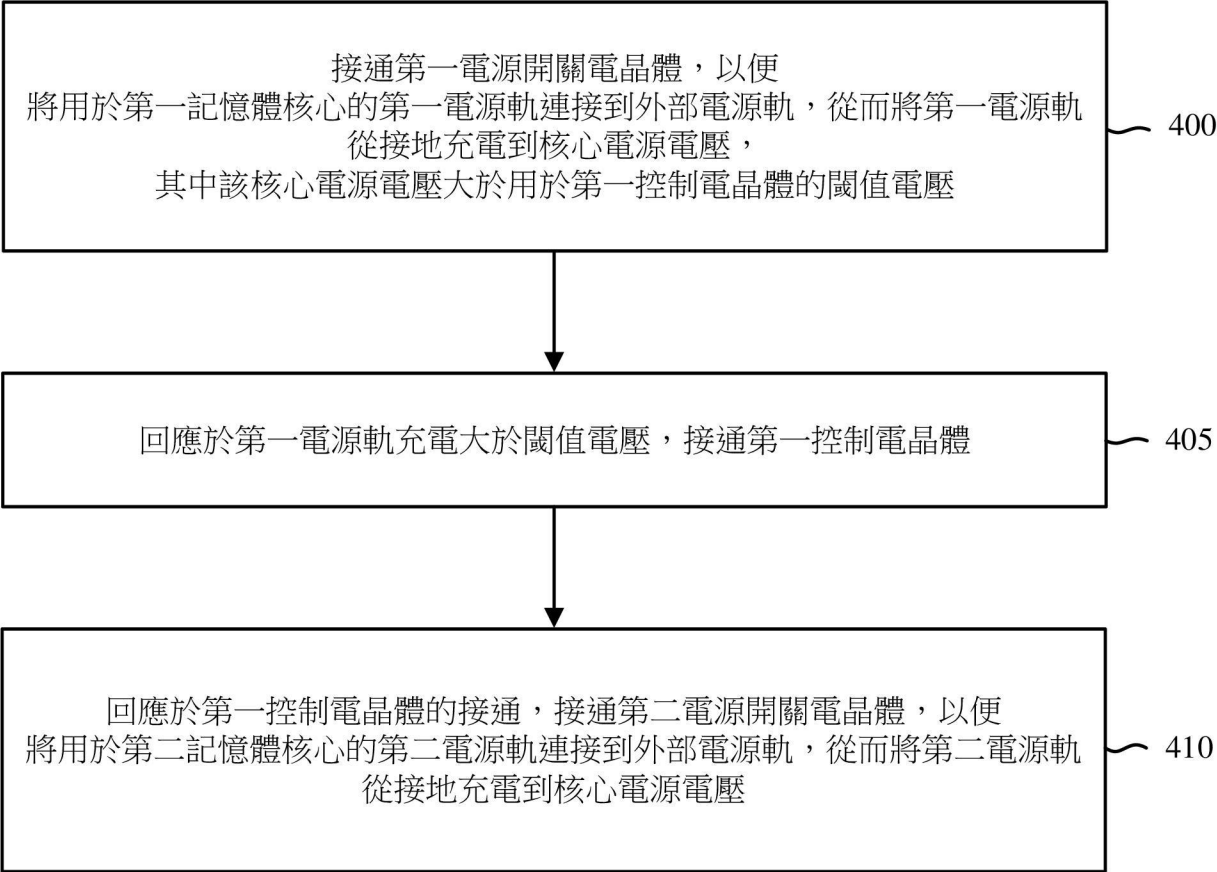


圖4

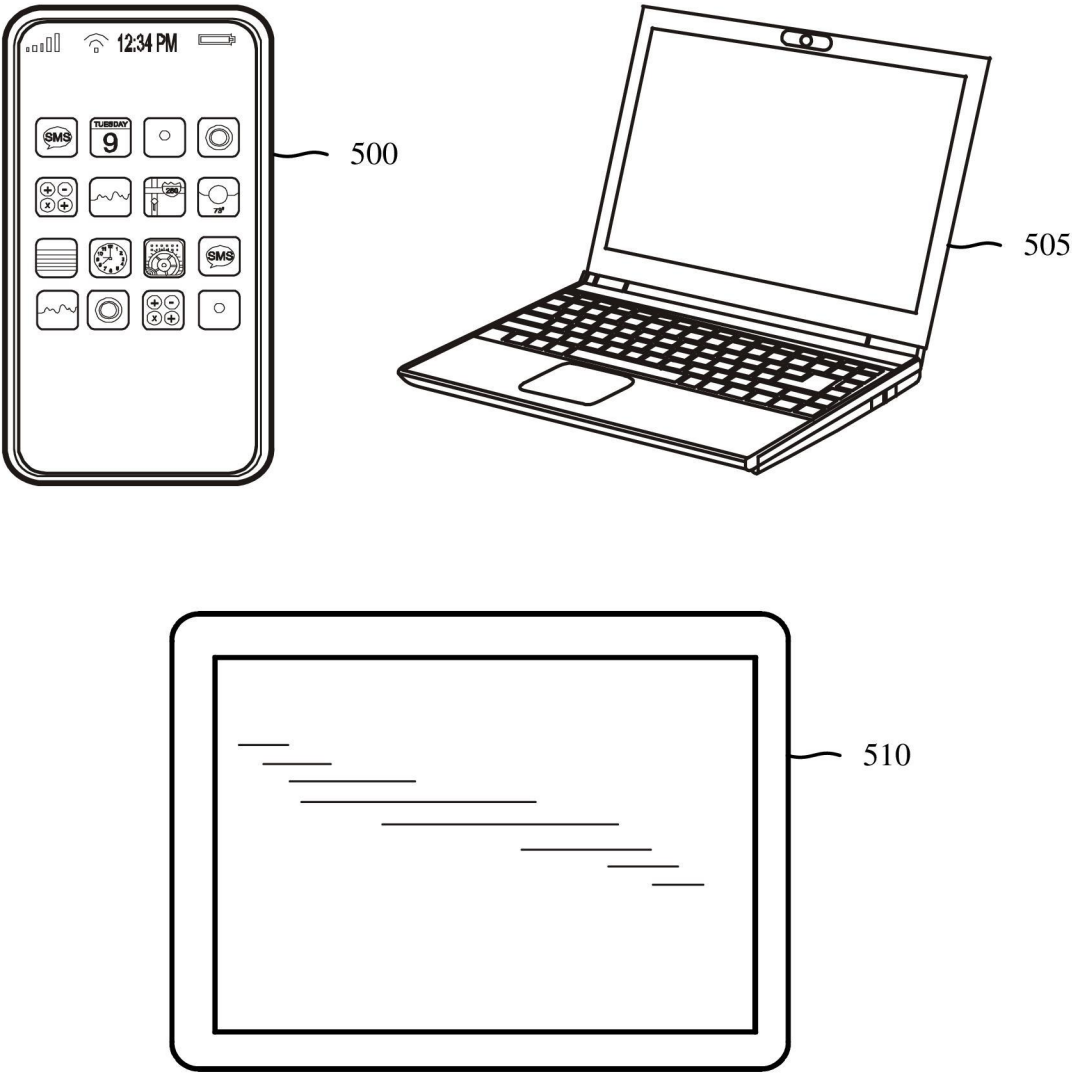


圖5