



(12) 发明专利申请

(10) 申请公布号 CN 119856588 A

(43) 申请公布日 2025. 04. 18

(21) 申请号 202380064460.8

(22) 申请日 2023.08.28

(30) 优先权数据

2022-143915 2022.09.09 JP

(85) PCT国际申请进入国家阶段日

2025.03.07

(86) PCT国际申请的申请数据

PCT/JP2023/030989 2023.08.28

(87) PCT国际申请的公布数据

W02024/053456 JA 2024.03.14

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 大井信敬

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 曾贤伟 李平

(51) Int.Cl.

H10D 30/66 (2025.01)

H10D 62/80 (2025.01)

H10D 12/00 (2025.01)

H10D 30/01 (2025.01)

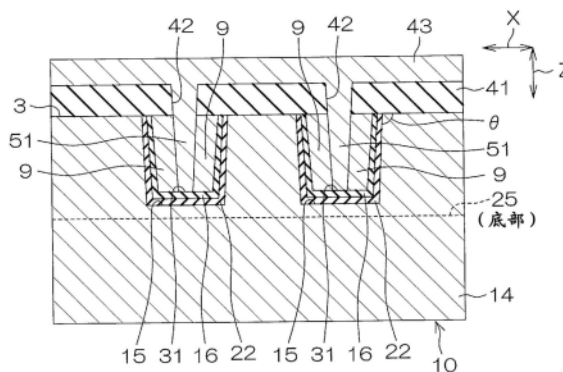
权利要求书3页 说明书16页 附图20页

(54) 发明名称

半导体装置以及半导体装置的制造方法

(57) 摘要

本发明提供一种半导体装置,包括:栅极电极,其埋入于栅极沟槽;表面绝缘层,其形成在第一主面上,而且具有接触孔;覆盖绝缘层,其在栅极沟槽内覆盖栅极电极,将栅极电极与接触电极之间绝缘;以及埋入体,其埋入于栅极沟槽内的覆盖绝缘层上的区域,相对于表面绝缘层具有蚀刻选择比。



1. 一种半导体装置,其特征在于,包括:
 - 芯片,其具有形成有在第一方向上延伸的栅极沟槽的第一主面;
 - 第一导电型的主体区域,其在上述第一主面的表面部中沿上述栅极沟槽的侧壁形成;
 - 第二导电型的第一杂质区域,其在上述主体区域的表面部中沿上述栅极沟槽的侧壁形成;
 - 栅极绝缘层,其形成于上述栅极沟槽的内壁;
 - 栅极电极,其埋入于上述栅极沟槽,隔着上述栅极绝缘层而与上述主体区域以及上述第一杂质区域对置;
 - 上述表面绝缘层,其以覆盖上述栅极电极的方式形成在上述第一主面上,而且具有沿与上述第一方向交叉的第二方向从上述栅极沟槽上的区域引出到上述栅极沟槽的外侧的接触孔;
 - 接触电极,其经由上述接触孔而与上述主体区域以及上述第一杂质区域电连接,而且从上述栅极沟槽内经由上述栅极沟槽的侧壁引出到上述第一主面的表面部;
 - 覆盖绝缘层,其在上述栅极沟槽内覆盖上述栅极电极,将上述栅极电极与上述接触电极之间绝缘;以及
 - 埋入体,其埋入于上述栅极沟槽内的上述覆盖绝缘层上的区域,相对于上述表面绝缘层具有蚀刻选择比。
2. 根据权利要求1所述的半导体装置,其特征在于,
 - 上述覆盖绝缘层包括覆盖上述栅极电极的上表面的底部、以及从上述底部沿上述栅极沟槽的侧壁向上方延伸的侧部。
3. 根据权利要求2所述的半导体装置,其特征在于,
 - 上述覆盖绝缘层的上述底部具有150nm以上且300nm以下的厚度。
4. 根据权利要求2或3所述的半导体装置,其特征在于,
 - 上述覆盖绝缘层的上述侧部在上述栅极沟槽的深度方向上的下端部具有第一厚度,在上述栅极沟槽的深度方向上的上端部具有比上述第一厚度薄的第二厚度。
5. 根据权利要求2~4中任一项所述的半导体装置,其特征在于,
 - 上述覆盖绝缘层的上述侧部在剖视时具有以如下方式倾斜的锥形形状:接近上述栅极沟槽的侧壁的一侧的外侧侧面和上述外侧侧面的相反侧的内侧侧面从上述下端部朝向上述上端部相互接近。
6. 根据权利要求1~5中任一项所述的半导体装置,其特征在于,
 - 包括接触沟槽,该接触沟槽以沿上述接触孔延伸的方式形成于上述第一主面的表面部,且具有底壁以及侧壁,
 - 上述主体区域至少沿上述接触沟槽的上述底壁形成,
 - 上述第一杂质区域至少沿上述接触沟槽的上述侧壁形成,
 - 上述接触电极埋入于上述接触沟槽,且在上述接触沟槽的内部与上述主体区域以及上述第一杂质区域连接。
7. 根据权利要求6所述的半导体装置,其特征在于,
 - 上述接触沟槽包括:与上述栅极沟槽交叉的交叉区域;以及从上述交叉区域向上述栅极沟槽的外侧引出且上述主体区域以及上述第一杂质区域所露出的接触区域,

上述交叉区域中的从上述第一主面至上述栅极电极的上表面的深度比上述接触区域中的从上述第一主面至上述接触沟槽的底壁的深度浅。

8. 根据权利要求7所述的半导体装置,其特征在在于,在上述交叉区域中,在上述接触沟槽的上述底壁,上述覆盖绝缘层的上述底部露出,上述埋入体包括一对埋入体,该一对埋入体相对于上述交叉区域分别设于上述第一方向的两侧,从上述第一方向的两侧的侧方夹住上述接触电极。

9. 根据权利要求7或8所述的半导体装置,其特征在在于,上述交叉区域中的从上述第一主面至上述栅极电极的上表面的深度为 $1\mu\text{m}$ 以下。

10. 根据权利要求6所述的半导体装置,其特征在在于,上述接触沟槽包括:与上述栅极沟槽交叉的交叉区域;以及从上述交叉区域向上述栅极沟槽的外侧引出且上述主体区域以及上述第一杂质区域所露出的接触区域,

上述交叉区域中的从上述第一主面至上述栅极电极的上表面的深度比上述接触区域中的从上述第一主面至上述接触沟槽的底壁的深度深。

11. 根据权利要求10所述的半导体装置,其特征在在于,在上述交叉区域中,在上述接触沟槽的上述底壁形成有上述覆盖绝缘层的上述底部以及上述埋入体的层叠构造,

上述埋入体以从上述第一方向上的上述交叉区域的一侧向另一侧跨越的方式形成,从上述第一方向的两侧的侧方以及下方这三个方向包围上述接触电极。

12. 根据权利要求1~11中任一项所述的半导体装置,其特征在在于,上述埋入体相对于上述表面绝缘层的蚀刻选择比为1.5以上。

13. 根据权利要求1~12中任一项所述的半导体装置,其特征在在于,上述埋入体由与上述栅极电极相同的材料形成。

14. 根据权利要求1~12中任一项所述的半导体装置,其特征在在于,上述表面绝缘层由氧化硅形成,上述栅极电极以及上述埋入体由多晶硅形成。

15. 一种半导体装置的制造方法,其特征在在于,包括以下工序:
在半导体晶片的栅极沟槽的内壁形成栅极绝缘层的工序,该半导体晶片具有形成有上述栅极沟槽的第一主面;

在上述栅极绝缘层形成后,在上述栅极沟槽埋入栅极电极的工序;
通过从上表面侧选择性地除去上述栅极电极,从而在上述栅极沟槽内形成凹部的工序;

以覆盖上述栅极电极的上表面的方式在上述凹部内形成覆盖绝缘层的工序;

在上述凹部内的上述覆盖绝缘层上的区域埋入埋入体的工序;

通过选择性地向上述第一主面的表面部注入第一导电型的杂质,从而沿上述栅极沟槽的侧壁形成主体区域的工序;

通过选择性地向上述主体区域的表面部注入第二导电型的杂质,从而沿上述栅极沟槽的侧壁形成第一杂质区域的工序;

以覆盖上述栅极电极以及上述埋入体的方式在上述第一主面上形成表面绝缘层的工序;

以通过选择性地蚀刻上述表面绝缘层从而使上述埋入体以及上述第一主面选择性地露出的方式,形成与上述栅极沟槽交叉的接触孔的工序;

以通过经由上述接触孔的蚀刻从而使上述主体区域以及上述第一杂质区域露出的方式,在上述第一主面的表面部形成接触沟槽的工序;以及

以埋入于上述接触沟槽的方式形成与上述主体区域以及上述第一杂质连接的接触电极的工序,

上述埋入体由相对于上述表面绝缘层具有蚀刻选择比的材料形成。

半导体装置以及半导体装置的制造方法

[0001] 本申请与2022年9月9日向日本国专利局提出的特愿2022—143915号对应,该申请的全部公开内容通过引用而录入。

技术领域

[0002] 本公开涉及半导体装置及其制造方法。

背景技术

[0003] 专利文献1公开了一种半导体装置,包括:半导体层,其具有形成有沟槽的主面;第一导电型的主体区域,其在上述半导体层的上述主面的表层部中沿上述沟槽的侧壁形成;第二导电型的杂质区域,其在上述主体区域的表层部中沿上述沟槽的侧壁形成;栅极绝缘层,其形成于上述沟槽的内壁;栅极电极,其埋入于上述沟槽,隔着上述栅极绝缘层而与上述主体区域以及上述杂质区域对置;接触电极,其从上述沟槽内贯通上述沟槽的侧壁而向上述半导体层的上述主面的表层部引出,且与上述主体区域以及上述杂质区域电连接;以及埋入绝缘层,其在上述沟槽内介于上述栅极电极以及上述接触电极之间,将上述栅极电极以及上述接触电极绝缘。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:国际公开第2019/103135号

发明内容

[0007] 发明所要解决的课题

[0008] 本公开的一个实施方式提供一种能够提高栅极电极与接触电极之间的电容的控制性的半导体装置及其制造方法。

[0009] 本公开的一个实施方式提供一种在包括与栅极沟槽交叉的接触沟槽的构造中,能够抑制通道宽度的缩小,且能够降低接通电阻的半导体装置及其制造方法。

[0010] 用于解决课题的方案

[0011] 本公开的一个实施方式的半导体装置包括:芯片,其具有形成有在第一方向上延伸的栅极沟槽的第一主面;第一导电型的主体区域,其在上述第一主面的表面部中沿上述栅极沟槽的侧壁形成;第二导电型的第一杂质区域,其在上述主体区域的表面部中沿上述栅极沟槽的侧壁形成;栅极绝缘层,其形成于上述栅极沟槽的内壁;栅极电极,其埋入于上述栅极沟槽,隔着上述栅极绝缘层而与上述主体区域以及上述第一杂质区域对置;上述表面绝缘层,其以覆盖上述栅极电极的方式形成在上述第一主面上,而且具有沿与上述第一方向交叉的第二方向从上述栅极沟槽上的区域引出到上述栅极沟槽的外侧的接触孔;接触电极,其经由上述接触孔而与上述主体区域以及上述第一杂质区域电连接,而且从上述栅极沟槽内经由上述栅极沟槽的侧壁引出到上述第一主面的表面部;覆盖绝缘层,其在上述栅极沟槽内覆盖上述栅极电极,将上述栅极电极与上述接触电极之间绝缘;以及埋入体,其

埋入于上述栅极沟槽内的上述覆盖绝缘层上的区域,相对于上述表面绝缘层具有蚀刻选择比。

[0012] 本公开的一个实施方式的半导体装置的制造方法包括以下工序:在半导体晶片的上述栅极沟槽的内壁形成栅极绝缘层的工序,该半导体晶片具有形成有栅极沟槽的第一主面;在上述栅极绝缘层形成后,在上述栅极沟槽埋入栅极电极的工序;通过从上表面侧选择性地除去上述栅极电极,从而在上述栅极沟槽内形成凹部的工序;以覆盖上述栅极电极的上表面的方式在上述凹部内形成覆盖绝缘层的工序;在上述凹部内的上述覆盖绝缘层上的区域埋入埋入体的工序;通过选择性地向上述第一主面的表面部注入第一导电型的杂质,从而沿上述栅极沟槽的侧壁形成主体区域的工序;通过选择性地向上述主体区域的表面部注入第二导电型的杂质,从而沿上述栅极沟槽的侧壁形成第一杂质区域的工序;以覆盖上述栅极电极以及上述埋入体的方式在上述第一主面上形成表面绝缘层的工序;以通过选择性地蚀刻上述表面绝缘层从而上述埋入体以及上述第一主面选择性地露出的方式,形成与上述栅极沟槽交叉的接触孔的工序;以通过经由上述接触孔的蚀刻从而上述主体区域以及上述第一杂质区域露出的方式,在上述第一主面的表面部形成接触沟槽的工序;以及以埋入于上述接触沟槽的方式形成与上述主体区域以及上述第一杂质连接的接触电极的工序,上述埋入体由相对于上述表面绝缘层具有蚀刻选择比的材料形成。

[0013] 发明效果

[0014] 根据本公开的一个实施方式,埋入体由相对于表面绝缘层具有蚀刻选择比的材料形成。由此,在表面绝缘层形成接触孔时,能够将埋入体作为蚀刻限位层来利用,因此能够防止蚀刻覆盖绝缘层。因此,能够将覆盖绝缘层的厚度作为覆盖绝缘层形成时的设计值来简单地控制。因而,能够防止栅极电极与接触电极之间的短路、TZDB (Time Zero Dielectric Breakdown, 零时间电介质击穿) 的下降,并且能够提高栅极电极与接触电极之间的电容的控制性。

附图说明

[0015] 图1是表示本公开的第一实施方式的半导体装置的一部分的区域的示意性的剖视立体图。

[0016] 图2是从图1去除芯片的第一主面之上的构造的图。

[0017] 图3是从图2去除发射极接触电极层的图。

[0018] 图4是从上述芯片的第一主面观察图3的示意性的俯视图。

[0019] 图5是沿图4所示的V—V线的剖视图。

[0020] 图6是沿图4所示的VI—VI线的剖视图。

[0021] 图7是沿图3所示的VII—VII线的剖视立体图。

[0022] 图8是沿图4所示的VIII—VIII线的剖视图。

[0023] 图9是由图6的双点划线IX包围的部分的放大图。

[0024] 图10A以及图10B是表示上述半导体装置的制造工序的一部分的图。

[0025] 图11A以及图11B是分别表示图10A以及图10B之后的工序的图。

[0026] 图12A以及图12B是分别表示图11A以及图11B之后的工序的图。

[0027] 图13A以及图13B是分别表示图12A以及图12B之后的工序的图。

- [0028] 图14A以及图14B是分别表示图13A以及图13B之后的工序的图。
- [0029] 图15A以及图15B是分别表示图14A以及图14B之后的工序的图。
- [0030] 图16A以及图16B是分别表示图15A以及图15B之后的工序的图。
- [0031] 图17A以及图17B是分别表示图16A以及图16B之后的工序的图。
- [0032] 图18是表示本公开的第二实施方式的半导体装置的一部分的区域的示意性的剖视图。
- [0033] 图19是表示本公开的第二实施方式的半导体装置的一部分的区域的示意性的剖视图。
- [0034] 图20是表示本公开的第二实施方式的半导体装置的一部分的区域的示意性的剖视图。
- [0035] 图21是表示本公开的第三实施方式的半导体装置的一部分的区域的示意性的剖视立体图。
- [0036] 图22是表示本公开的第四实施方式的半导体装置的一部分的区域的示意性的剖视立体图。
- [0037] 图23是表示与图22的构造的形成相关的工序的图。

具体实施方式

- [0038] 以下,参照附图对本公开的实施例进行详细说明。
- [0039] 图1是表示本公开的第一实施方式的半导体装置1的一部分的区域的示意性的剖视立体图。图2是从图1去除芯片2的第一主面3之上的构造的图。图3是从图2去除发射极接触电极层51的图。
- [0040] 图4是从芯片2的第一主面3观察图3的示意性的俯视图。图5是沿图4所示的V—V线的剖视图。图6是沿图4所示的VI—VI线的剖视图。图7是沿图3所示的VII—VII线的剖视立体图。图8是沿图4所示的VIII—VIII线的剖视图。图9是由图6的双点划线IX包围的部分的放大图。在图5、图6以及图8中也图示了芯片2的第一主面3之上的构造。
- [0041] 在该实施方式中,半导体装置1具有具备沟槽栅极型的IGBT (Insulated Gate Bipolar Transistor) 的基本形态。参照图1~图3,半导体装置1包括n⁻型的芯片2。在该实施方式中,芯片2由n⁻型的硅单晶基板构成。硅单晶基板使用经由FZ (Floating Zone, 浮区) 法制造出的n⁻型的硅单晶的半导体晶片而形成。芯片2既可以称为半导体芯片,也可以称为半导体层。
- [0042] 芯片2具有一侧的第一主面3以及另一侧的第二主面4。芯片2的厚度也可以为50 μm 以上且300 μm 以下。芯片2的厚度也可以为50 μm 以上且100 μm 以下、100 μm 以上且150 μm 以下、150 μm 以上且200 μm 以下、200 μm 以上且250 μm 以下、或者250 μm 以上且300 μm 以下。
- [0043] 参照图1~图3,在第二主面4的表面部形成有p型的集电极区域5。在第一主面3的表面部形成有n型的电荷蓄积区域6。电荷蓄积区域6相对于集电极区域5向第一主面3侧空出间隔地形成。
- [0044] 参照图1~图3,在芯片2中,在集电极区域5以及电荷蓄积区域6之间的区域形成有n⁻型的漂移区域7。漂移区域7由在芯片2中位于集电极区域5以及电荷蓄积区域6之间的区域形成。在电荷蓄积区域6的表面部形成有p型的主体区域8。在第一主面3的表面部,空出间

隔地形成有多个沟槽栅极电极构造10以及多个沟槽发射极电极构造11。

[0045] 在图1~图7中,仅示出彼此相邻的一个沟槽栅极电极构造10以及一个沟槽发射极电极构造11。以下,着眼于这一个沟槽栅极电极构造10以及一个沟槽发射极电极构造11的构造来对半导体装置1的构造进行说明。

[0046] 沟槽栅极电极构造10以及沟槽发射极电极构造11在俯视时沿任意的第一方向X以带状延伸。沟槽栅极电极构造10以及沟槽发射极电极构造11沿与第一方向X交叉的第二方向Y空出间隔地形成。

[0047] 更具体而言,俯视是指从第一主面3的法线方向Z(以下简称为“法线方向Z”)观察的俯视。更具体而言,第二方向Y是与第一方向X正交的方向。第一方向X以及第二方向Y也是第一主面3的切线方向。

[0048] 沟槽栅极电极构造10以及沟槽发射极电极构造11之间的沟槽间距P0也可以为0.1 μm 以上且小于0.6 μm 。沟槽间距P0也可以为0.1 μm 以上且0.2 μm 以下、0.2 μm 以上且0.3 μm 以下、0.3 μm 以上且0.4 μm 以下、0.4 μm 以上且0.5 μm 以下、或者0.5 μm 以上且小于0.6 μm 。沟槽间距P0优选为0.2 μm 以上且0.4 μm 以下(例如0.25 μm 左右)。

[0049] 沟槽栅极电极构造10包括栅极沟槽12、栅极绝缘层13、栅极电极层14、多个栅极电极凹部15、多个栅极覆盖绝缘层16、多个栅极埋入体9以及多个栅极中间绝缘层22。栅极沟槽12从第一主面3贯通主体区域8以及电荷蓄积区域6而到达漂移区域7。

[0050] 栅极沟槽12的深度也可以为2.0 μm 以上且4.0 μm 以下。栅极沟槽12的深度也可以为2.0 μm 以上且2.5 μm 以下、2.5 μm 以上且3.0 μm 以下、3.0 μm 以上且3.5 μm 以下、或者3.5 μm 以上且4.0 μm 以下。栅极沟槽12的深度优选为2.5 μm 以上且3.5 μm 以下(例如3.0 μm 左右)。

[0051] 栅极沟槽12的第二方向宽度也可以为0.5 μm 以上且1.5 μm 以下。栅极沟槽12的第二方向宽度也可以为0.5 μm 以上且0.75 μm 以下、0.75 μm 以上且1.0 μm 以下、1.0 μm 以上且1.25 μm 以下、或者1.25 μm 以上且1.5 μm 以下。栅极沟槽12的第二方向宽度优选为0.5 μm 以上且1.0 μm 以下(例如0.75 μm 左右)。

[0052] 栅极绝缘层13也可以由氧化硅形成。栅极绝缘层13沿栅极沟槽12的内壁形成为膜状。栅极绝缘层13在栅极沟槽12内划分出凹状的空间。

[0053] 栅极电极层14也可以由导电性的多晶硅形成。栅极电极层14由栅极电压控制。栅极电极层14隔着栅极绝缘层13埋入于栅极沟槽12。更具体而言,栅极电极层14在栅极沟槽12内埋入于由栅极绝缘层13划分出的凹状的空间。

[0054] 在该实施方式中,多个栅极电极凹部15沿第一方向X空出间隔地形成于栅极电极层14的上表面。由此,栅极电极层14的上端部具有包括多个栅极电极凹部15的凹凸构造。

[0055] 彼此相邻的多个栅极电极凹部15的间隔也可以为超过0 μm 且10 μm 以下。彼此相邻的多个栅极电极凹部15的间隔也可以是在栅极电极层14中由彼此相邻的两个栅极电极凹部15夹着的部分的第一方向X的宽度。彼此相邻的多个栅极电极凹部15的间隔也可以为超过0 μm 且2 μm 以下、2 μm 以上且4 μm 以下、4 μm 以上且6 μm 以下、6 μm 以上且8 μm 以下、或者8 μm 以上且10 μm 以下。

[0056] 在该实施方式中,各栅极电极凹部15的侧壁由栅极绝缘层13以及栅极电极层14形成。在第一方向X上对置的一对侧壁由栅极电极层14形成,在第二方向Y上对置的一对侧壁由栅极绝缘层13形成。各栅极电极凹部15的底壁由栅极电极层14形成。参照图8,各栅极电

极凹部15的底壁既可以在法线方向Z上位于第一主面3以及发射极区域25(后述)的底部之间的区域、也可以位于比发射极区域25的底部更深的部分。

[0057] 参照图8,各栅极电极凹部15形成为底面积比开口面积小的锥形形状。栅极电极层14的上表面以及栅极电极凹部15的侧壁在栅极电极层14内所成的角度 θ 也可以为超过 90° 且 120° 以下(例如 102° 左右)。

[0058] 多个栅极覆盖绝缘层16在栅极沟槽12内形成于栅极电极层14的上表面以及栅极电极凹部15的侧壁。更具体而言,多个栅极覆盖绝缘层16分别独立地形成于多个栅极电极凹部15。各栅极覆盖绝缘层16在栅极沟槽12内覆盖栅极电极层14,而且沿栅极电极凹部15的侧壁形成,从栅极沟槽12的开口露出。各栅极覆盖绝缘层16在各栅极电极凹部15中划分出凹状的空间。该栅极电极凹部15内的凹状的空间从下方以及侧方被栅极覆盖绝缘层16包围。

[0059] 参照图9,栅极覆盖绝缘层16包括覆盖栅极电极层14的上表面的底部23、以及从底部23沿栅极沟槽12的侧壁向上方延伸的侧部24。栅极覆盖绝缘层16的底部23具有150nm以上且300nm以下的厚度。另一方面,栅极覆盖绝缘层16的侧部24在栅极沟槽12的深度方向上的下端部47具有第一厚度T1,在栅极沟槽12的深度方向上的上端部48具有比第一厚度T1薄的第二厚度T2。第一厚度T1例如为300nm以下,第二厚度T2例如为50nm以下。另外,栅极埋入体9的上端部的宽度W1也可以比栅极电极层14的上端部的宽度W2窄。

[0060] 栅极覆盖绝缘层16的侧部24在剖视时具有以如下方式倾斜的锥形形状:接近栅极沟槽12的侧壁的一侧的外侧侧面29和外侧侧面29的相反侧的内侧侧面30从栅极覆盖绝缘层16的下端部47朝向上端部48相互靠近。也可以在栅极覆盖绝缘层16的侧部24的上端与第一主面3之间形成台阶S。换言之,栅极覆盖绝缘层16的侧部24的上端也可以配置在相对于第一主面3在栅极沟槽12的深度方向上较低的高度位置。

[0061] 在该实施方式中,多个栅极埋入体9也可以由与栅极电极层14相同的材料形成。也就是,多个栅极埋入体9也可以由导电性的多晶硅形成。栅极埋入体9具有导电性,但在该实施方式中也可以电浮动。栅极埋入体9隔着栅极覆盖绝缘层16埋入于栅极电极凹部15。更具体而言,栅极埋入体9在栅极电极凹部15内埋入于由栅极覆盖绝缘层16划分出的凹状的空间。

[0062] 多个栅极中间绝缘层22也可以由氧化硅形成。各栅极中间绝缘层22在各栅极电极凹部15内介于栅极电极层14与栅极覆盖绝缘层16之间。参照图9,在该实施方式中,栅极中间绝缘层22形成于栅极电极层14的上表面与栅极覆盖绝缘层16的底部23之间。栅极中间绝缘层22的厚度(第三厚度T3)例如也可以为20nm以上且150nm以下。栅极中间绝缘层22在图中与栅极覆盖绝缘层16(底部23)明确地区别。根据制造工艺的条件,也可以与栅极覆盖绝缘层16没有区别,在外观上与栅极覆盖绝缘层16为一体。

[0063] 沟槽发射极电极构造11包括发射极沟槽17、发射极绝缘层18、发射极电极层19、发射极电极凹部20、发射极覆盖绝缘层21、发射极埋入体27以及发射极中间绝缘层28。发射极沟槽17从第一主面3贯通主体区域8以及电荷蓄积区域6而到达漂移区域7。

[0064] 发射极沟槽17的深度也可以为 $2.0\mu\text{m}$ 以上且 $4.0\mu\text{m}$ 以下。发射极沟槽17的深度也可以为 $2.0\mu\text{m}$ 以上且 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上且 $3.0\mu\text{m}$ 以下、 $3.0\mu\text{m}$ 以上且 $3.5\mu\text{m}$ 以下、或者 $3.5\mu\text{m}$ 以上且 $4.0\mu\text{m}$ 以下。发射极沟槽17的深度优选为 $2.5\mu\text{m}$ 以上且 $3.5\mu\text{m}$ 以下(例如 $3.0\mu\text{m}$ 左右)。

发射极沟槽17的深度优选与栅极沟槽12的深度大致相等。

[0065] 发射极沟槽17的第二方向宽度也可以为 $0.5\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。发射极沟槽17的第二方向宽度也可以为 $0.5\mu\text{m}$ 以上且 $0.75\mu\text{m}$ 以下、 $0.75\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下、 $1.0\mu\text{m}$ 以上且 $1.25\mu\text{m}$ 以下、或者 $1.25\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。发射极沟槽17的第二方向宽度优选为 $0.5\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下(例如 $0.75\mu\text{m}$ 左右)。发射极沟槽17的第二方向宽度优选与栅极沟槽12的第二方向宽度大致相等。

[0066] 发射极绝缘层18也可以由氧化硅形成。发射极绝缘层18沿发射极沟槽17的内壁形成膜状。发射极绝缘层18在发射极沟槽17内划分出凹状的空间。

[0067] 发射极电极层19也可以由导电性的多晶硅形成。发射极电极层19由发射极电压控制。发射极电压具有小于栅极电压的电压值。发射极电压也可以为基准电压(例如接地电压)。发射极电极层19隔着发射极绝缘层18埋入于发射极沟槽17。更具体而言,发射极电极层19在发射极沟槽17内埋入于由发射极绝缘层18划分出的凹状的空间。

[0068] 在该实施方式中,发射极电极凹部20以下挖发射极电极层19的上表面的大致整面的方式形成。换言之,发射极电极层19埋入至由发射极绝缘层18划分出的凹状的空间的深度方向中途部。

[0069] 在该实施方式中,发射极电极凹部20的侧壁由发射极绝缘层18形成。发射极电极凹部20的底壁由发射极电极层19形成。参照图5以及图6,发射极电极凹部20的底壁在法线方向Z上既可以位于第一主面3以及发射极区域25(后述)的底部之间的区域、也可以位于比发射极区域25的底部更深的部分。也就是,发射极电极层19的上端部相对于发射极区域25(后述)的底部位于第一主面3侧。在法线方向Z上,发射极电极凹部20的深度也可以与栅极电极凹部15的深度大致相等。

[0070] 发射极覆盖绝缘层21在发射极沟槽17内形成于发射极电极层19的上表面以及发射极电极凹部20的侧壁。也就是,发射极覆盖绝缘层21沿发射极电极凹部20的内壁形成。发射极覆盖绝缘层21在发射极沟槽17内覆盖发射极电极层19,而且沿发射极电极凹部20的侧壁形成,且从发射极沟槽17的开口露出。发射极覆盖绝缘层21在发射极电极凹部20划分出凹状的空间。该发射极电极凹部20内的凹状的空间从下方以及侧方被发射极覆盖绝缘层21包围。虽然省略了说明,但发射极覆盖绝缘层21具有与图9所示的栅极覆盖绝缘层16相同的剖面形状。

[0071] 在该实施方式中,发射极埋入体27也可以由与发射极电极层19相同的材料形成。也就是,发射极埋入体27也可以由导电性的多晶硅形成。发射极埋入体27具有导电性,但在该实施方式中也可以电浮动。发射极埋入体27隔着发射极覆盖绝缘层21埋入于发射极电极凹部20。更具体而言,发射极埋入体27在发射极电极凹部20内埋入于由发射极覆盖绝缘层21划分出的凹状的空间。

[0072] 发射极中间绝缘层28也可以由氧化硅形成。发射极中间绝缘层28在发射极电极凹部20内介于发射极电极层19与发射极覆盖绝缘层21之间。

[0073] 在主体区域8的表面部中沿栅极沟槽12的侧壁的区域形成有 n^+ 型的发射极区域25(杂质区域)。更具体而言,发射极区域25在第一方向X上沿栅极沟槽12的一侧的侧壁以及另一侧的侧壁形成有多个。多个发射极区域25分别形成为沿第一方向X延伸的带状。发射极区域25与栅极沟槽12的侧壁相接。发射极区域25也与发射极沟槽17的侧壁相接。

[0074] 在第一主面3的表面部中沿栅极沟槽12的侧壁的区域,从第一主面3朝向第二主面4侧依次形成有发射极区域25、主体区域8、电荷蓄积区域6以及漂移区域7。在主体区域8中隔着栅极绝缘层13而与栅极电极层14对置的区域形成有IGBT的通道CH。

[0075] 参照图3~图6以及图7,在第一主面3的表面部形成有多个接触沟槽31。多个接触沟槽31沿第一方向X空出间隔地形成。多个接触沟槽31分别形成为沿第二方向Y延伸的带状。各接触沟槽31的第一方向宽度比栅极沟槽12的第二方向宽度小。

[0076] 更具体而言,各接触沟槽31从对应的栅极覆盖绝缘层16的内方区域贯通栅极沟槽12的侧壁而向第一主面3的表面部引出。在该实施方式中,各接触沟槽31在第二方向Y上从栅极覆盖绝缘层16的内方区域贯通栅极沟槽12的一侧的侧壁以及另一侧的侧壁。

[0077] 各接触沟槽31包括在俯视时与栅极电极层14交叉的第一交叉区域33。在第一交叉区域33中,各接触沟槽31的底壁由栅极覆盖绝缘层16形成,各接触沟槽31的侧壁由栅极埋入体9形成。

[0078] 各接触沟槽31包括在俯视时与发射极电极层19交叉的第二交叉区域34。在第二交叉区域34中,各接触沟槽31的底壁由发射极覆盖绝缘层21形成,各接触沟槽31的侧壁由发射极埋入体27形成。

[0079] 各接触沟槽31还包括从第一交叉区域33向栅极沟槽12的外侧引出的接触区域35。接触区域35在俯视时在栅极沟槽12以及发射极沟槽17之间的区域中也可以称为连接第一交叉区域33以及第二交叉区域34的连接区域。在接触区域35中,各接触沟槽31的底壁由主体区域8形成,各接触沟槽31的侧壁由主体区域8以及发射极区域25形成。也就是,在接触区域35中,在接触沟槽31的侧壁,主体区域8以及发射极区域25的层叠构造露出。

[0080] 各接触沟槽31还具有从发射极沟槽17的一侧的侧壁向外侧引出的引出部32。各引出部32从第一主面3的表面部贯通发射极沟槽17的一侧的侧壁而到达发射极沟槽17内。

[0081] 参照图7,第一交叉区域33中的从第一主面3至栅极电极层14的上表面的第一深度D1比接触区域35中的接触沟槽31的第二深度D2浅。因此,接触沟槽31在第二方向Y上具有栅极电极层14以及发射极电极层19选择性地突出的凹凸构造。例如,第一深度D1为 $1\mu\text{m}$ 以下,优选为 $0.5\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下。第二深度D2为 $0.3\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下。

[0082] 在第一交叉区域33中,栅极电极层14的上端部相对于发射极区域25的底部位于第一主面3侧。由此,栅极电极层14在第一方向X上的第一交叉区域33的两侧附近,具有经由栅极绝缘层13而与发射极区域25对置的对置部40。对置部40在图7中是由横向影线示出的区域。对置部40在法线方向Z上位于一对栅极埋入体9的下方。

[0083] 接触沟槽31包括第一交叉区域33及第二交叉区域34中的第一底壁37、以及接触区域35及引出部32中的第二底壁38。在第一底壁37与第二底壁38之间形成有第一深度D1与第二深度D2的差所引起的台阶39。

[0084] 多个接触沟槽31的配置是任意的。多个接触沟槽31也可以沿第一方向X等间隔地形成。多个接触沟槽31也可以沿第一方向X不等间隔地形成。

[0085] 在主体区域8中沿各接触沟槽31的底壁的区域形成有 p^+ 型的接触区域36。接触区域36也可以在主体区域8中形成于沿各接触沟槽31的底壁以及侧壁的区域。接触区域36在法线方向Z上形成于主体区域8中比发射极区域25深的区域。

[0086] 接触区域36具有从接触沟槽31的底壁露出的露出面。接触区域36的露出面形成于

第一主面3以及主体区域8的底部之间的区域。更具体而言,接触区域36的露出面形成于主体区域8的底部以及发射极区域25的底部之间的区域。进一步具体而言,接触区域36的露出面形成于比栅极电极层14的上表面以及发射极电极层19的上表面靠下方。

[0087] 在第一主面3之上形成有层间绝缘层41。层间绝缘层41覆盖沟槽栅极电极构造10以及沟槽发射极电极构造11。层间绝缘层41覆盖从栅极沟槽12露出的栅极覆盖绝缘层16及栅极埋入体9、以及从发射极沟槽17露出的发射极覆盖绝缘层21及发射极埋入体27。

[0088] 层间绝缘层41也可以由氧化硅或者氮化硅形成。层间绝缘层41也可以具有包含氧化膜(SiO_2 膜)以及氮化膜(SiN 膜)的层叠构造。氧化膜(SiO_2 膜)也可以包含不含有杂质的NSG(Nondoped Silicon Glass)膜、以及/或者含有磷的PSG(Phosphorus Silicon Glass)膜。

[0089] 层间绝缘层41也可以具有包含从第一主面3依次层叠的NSG膜以及PSG膜的层叠构造。NSG膜的厚度也可以为2000Å以上且8000Å以下(例如5000Å左右)。PSG膜的厚度也可以为2000Å以上且6000Å以下(例如4000Å左右)。

[0090] 在层间绝缘层41形成有多个接触孔42。多个接触孔42分别与对应的接触沟槽31连通。也就是,多个接触孔42沿第一方向X空出间隔地形成,分别形成为沿第二方向Y延伸的带状。

[0091] 多个接触孔42贯通层间绝缘层41,分别与对应的接触沟槽31连通。由此,多个接触孔42在与对应的接触沟槽31之间形成一个发射极接触沟槽31、42。

[0092] 各接触孔42的第一方向宽度也可以为各接触沟槽31的第一方向宽度以上。也就是,各接触孔42的第一方向宽度既可以与各接触沟槽31的第一方向宽度相等、也可以超过各接触沟槽31的第一方向宽度。在各接触孔42的第一方向宽度超过各接触沟槽31的第一方向宽度的情况下,各接触孔42的内壁也可以包围对应的接触沟槽31的内壁。

[0093] 多个接触孔42的配置是任意的,根据接触沟槽31的配置来调整。多个接触孔42也可以沿第一方向X等间隔地形成。多个接触孔42也可以沿第一方向X不等间隔地形成。

[0094] 在层间绝缘层41之上形成有发射极主面电极层43。发射极主面电极层43从层间绝缘层41之上进入到接触孔42以及接触沟槽31(也就是,发射极接触沟槽31、42)。发射极主面电极层43例如也可以包含钛等势垒层和钨等电极层的层叠构造。在该实施方式中,在发射极主面电极层43中由位于多个接触沟槽31内的部分形成多个发射极接触电极层51。由此,多个发射极接触电极层51形成埋入于芯片2的表面部的构造。

[0095] 多个发射极接触电极层51分别具有与多个接触沟槽31的排列以及形状对应的排列以及形状。也就是,多个发射极接触电极层51沿第一方向X空出间隔地形成,分别形成为沿第二方向Y延伸的带状。

[0096] 各发射极接触电极层51在俯视时在与栅极电极层14交叉的第一交叉区域33中,在法线方向Z以及第一方向X上隔着栅极覆盖绝缘层16而与栅极电极层14对置。各发射极接触电极层51通过栅极覆盖绝缘层16而与栅极电极层14绝缘。

[0097] 在第一交叉区域33中,栅极埋入体9介于发射极接触电极层51与栅极覆盖绝缘层16之间。在该实施方式中,在第一交叉区域33中,栅极埋入体9包括一对栅极埋入体9,该一对栅极埋入体9相对于第一交叉区域33分别设于第一方向X的两侧,从第一方向X的两侧的侧方夹住发射极接触电极层51。因此,在第一交叉区域33中,发射极接触电极层51在法线方

向Z上直接与栅极覆盖绝缘层16相接,在第一方向X上与栅极埋入体9相接。发射极接触电极层51由下方的栅极覆盖绝缘层16以及两侧方的栅极埋入体9从三个方向包围。

[0098] 各发射极接触电极层51在俯视时在与发射极电极层19交叉的第二交叉区域34中,在法线方向Z以及第一方向X上隔着发射极覆盖绝缘层21而与发射极电极层19对置。各发射极接触电极层51通过发射极覆盖绝缘层21而与发射极电极层19绝缘。

[0099] 在第二交叉区域34中,发射极埋入体27介于发射极接触电极层51与发射极覆盖绝缘层21之间。在该实施方式中,在第二交叉区域34中,发射极埋入体27包括一对发射极埋入体27,该一对发射极埋入体27相对于第二交叉区域34分别设于第一方向X的两侧,从第一方向X的两侧的侧方夹住发射极接触电极层51。因此,在第二交叉区域34中,发射极接触电极层51在法线方向Z上直接与发射极覆盖绝缘层21相接,在第一方向X上与发射极埋入体27相接。发射极接触电极层51由下方的发射极覆盖绝缘层21以及两侧方的发射极埋入体27从三个方向包围。

[0100] 在芯片2的第二主面4之上形成有集电极电极层61。集电极电极层61与集电极区域5连接。虽然未图示,但也可以在层间绝缘层41之上形成具有与发射极主面电极层43相同的构造的栅极主面电极层。栅极主面电极层也可以经由形成于层间绝缘层41的栅极接触孔而与栅极电极层14电连接。

[0101] 图10A、10B~图17A、17B是按照工序顺序表示半导体装置1的制造工序的一部分的图。在图10A、10B~图17A、17B中,同时记载有“A”的图号的图与图5的剖面对应,同时记载有“B”的图号的图与图8的剖面对应。

[0102] 参照图10A、10B,首先,准备n⁻型的半导体晶片26。半导体晶片26具有上述的芯片2的第一主面3以及第二主面4(未图示)。接着,在半导体晶片26内形成p型的集电极区域5(未图示)以及n型的电荷蓄积区域6。集电极区域5通过p型杂质相对于半导体晶片26的第二主面4的导入而形成。集电极区域5也可以通过经由离子注入掩模(未图示)的离子注入法而形成于半导体晶片26的第二主面4的表面部。电荷蓄积区域6通过n型杂质相对于第一主面3的导入而形成。电荷蓄积区域6也可以经由离子注入掩模(未图示)的离子注入法而形成于第一主面3的表面部。

[0103] 接着,经由具有预定图案的掩模,从第一主面3选择性地除去半导体晶片26的不需要的部分。半导体晶片26的不需要的部分也可以通过蚀刻法(例如湿式蚀刻法)来除去。由此,形成栅极沟槽12以及发射极沟槽17。然后,除去掩模。接着,例如通过热氧化处理法或者湿式氧化处理法,分别在栅极沟槽12的内壁以及发射极沟槽17的内壁形成栅极绝缘层13以及发射极绝缘层18。接着,例如通过CVD法,将栅极电极层14以及发射极电极层19分别埋入于栅极沟槽12以及发射极沟槽17。由此,形成沟槽栅极电极构造10以及沟槽发射极电极构造11。

[0104] 接着,参照图11A、11B,经由具有预定图案的掩模,从第一主面3选择性地除去栅极电极层14以及发射极电极层19。由此,形成栅极电极凹部15以及发射极电极凹部20。栅极电极层14的不需要的部分以及发射极电极层19的不需要的部分也可以通过蚀刻法(例如湿式蚀刻法)来除去。

[0105] 接着,参照图12A、12B,形成成为栅极中间绝缘层22以及发射极中间绝缘层28的基体的第一基体绝缘层44、以及成为栅极覆盖绝缘层16以及发射极覆盖绝缘层21的基体的第

二基体绝缘层45。第一基体绝缘层44例如也可以通过栅极电极层14及发射极电极层19的表面、以及半导体晶片26的表面的热氧化处理而形成。另一方面,第二基体绝缘层45例如也可以利用CVD法,并通过在第一基体绝缘层44上堆积绝缘材料而形成。第一基体绝缘层44以及第二基体绝缘层45形成于栅极沟槽12以及发射极沟槽17内,并且以覆盖半导体晶片26的第一主面3的方式形成。

[0106] 接着,参照图13A、13B,例如通过CVD法,将成为栅极埋入体9以及发射极埋入体27的基体的多晶硅层堆积于第一主面3整面。然后,通过利用回蚀将该多晶硅层平坦化,从而得到分别埋入于栅极电极凹部15以及发射极电极凹部20的栅极埋入体9以及发射极埋入体27。

[0107] 接着,在半导体晶片26内形成p型的主体区域8以及n⁺型的发射极区域25。主体区域8通过p型杂质相对于第一主面3的导入而形成。主体区域8也可以通过经由离子注入掩模(未图示)的离子注入法而形成于第一主面3的表面部。发射极区域25通过n型杂质相对于第一主面3的导入而形成。发射极区域25也可以通过经由离子注入掩模(未图示)的离子注入法而形成于第一主面3的表面部。

[0108] 接着,参照图14A、14B,在第一主面3之上形成层间绝缘层41。层间绝缘层41以覆盖沟槽栅极电极构造10以及沟槽发射极电极构造11的方式形成于第一主面3之上。该工序也可以包括通过CVD法从第一主面3之上依次形成NSG膜(例如5000Å)以及PSG膜(例如4000Å)的工序。

[0109] 接着,参照图15A、15B,经由具有预定图案的掩模,选择性地除去层间绝缘层41的不需要的部分、栅极覆盖绝缘层16的不需要的部分以及发射极覆盖绝缘层21的不需要的部分。层间绝缘层41等不需要的部分也可以通过蚀刻法(例如干式蚀刻法)来除去。由此,形成接触孔42。

[0110] 接着,参照图16A、16B,经由接触孔42形成时所使用的掩模,除去半导体晶片26的不需要的部分。半导体晶片26不需要的部分例如也可以通过蚀刻法(例如干式蚀刻法)来除去。由此,在第一主面3形成接触沟槽31。在图16A中,由虚线影线示出在接触沟槽31的里侧能看到的构造。

[0111] 在该实施方式中,半导体晶片26为硅单晶基板,栅极埋入体9为多晶硅,因此接触沟槽31形成时也同时蚀刻栅极埋入体9。另外,接触沟槽31的第二深度D2比栅极埋入体9的厚度T4(参照图15A、15B)大。因此,在第一交叉区域33中,以栅极埋入体9从第一主面3贯通至栅极电极凹部15的底壁的方式,蚀刻栅极埋入体9。

[0112] 接着,在第一主面3的表面部形成接触区域36。更具体而言,接触区域36在主体区域8的表层部中形成于沿接触沟槽31的底壁的区域。接触区域36也可以形成于沿接触沟槽31的侧壁以及底壁的区域。接触区域36通过p型杂质相对于接触沟槽31的导入而形成。接触区域36也可以通过经由离子注入掩模(未图示)的离子注入法而导入至接触沟槽31。由此,形成沿接触沟槽31的底壁的接触区域36。

[0113] 接着,参照图17A、17B,在层间绝缘层41之上形成发射极主面电极层43。发射极主面电极层43也可以通过溅射法、CVD法而形成。并且,通过在发射极主面电极层43中进入到接触沟槽31的部分形成有发射极接触电极层51。另外,在半导体晶片26的第二主面4形成有集电极电极层61。经过包括以上说明的工序,得到半导体装置1。

[0114] 综上所述,根据半导体装置1,栅极埋入体9由多晶硅形成,相对于由氧化硅、氮化硅构成的层间绝缘层41具有蚀刻选择比。所谓栅极埋入体9相对于层间绝缘层41具有蚀刻选择比,例如,以层间绝缘层41的蚀刻量(a)与栅极埋入体9的蚀刻量(b)的比示出的蚀刻选择比(a/b)例如为1.5以上,优选为5以上,进一步优选为10以上。

[0115] 由此,在层间绝缘层41形成接触孔42时(参照图15A、15B),能够将栅极埋入体9作为蚀刻限位部来使用。能够防止栅极中间绝缘层22在形成接触孔42时暴露在蚀刻气体中。因此,能够根据栅极中间绝缘层22的形成条件(例如,热氧化条件、CVD条件等),将栅极中间绝缘层22的厚度简单地控制为设计值。因而,能够防止栅极电极层14与发射极接触电极层51之间的短路、TZDB(Time Zero Dielectric Breakdown,零时间电介质击穿)的下降,并且能够提高栅极电极层14与发射极接触电极层51之间的电容的控制性。

[0116] 另外,在接触孔42形成时不蚀刻栅极中间绝缘层22。因此,不需要为了防止栅极中间绝缘层22的过蚀刻引起的栅极—发射极间的短路的目的而将栅极中间绝缘层22形成得过厚。并且,也不需要为了形成较厚的栅极中间绝缘层22而将栅极电极凹部15形成得较深。由此,能够将栅极电极凹部15形成得比较浅,因此在第一交叉区域33的两侧附近,能够确保经由栅极绝缘层13而与发射极区域25对置的栅极电极层14的对置部40。其结果,能够将第一交叉区域33的附近区域作为通道形成区域46(参照图3)来利用,因此能够抑制通道宽度的缩小。因而,能够提供一种能够降低接通电阻的半导体装置1。

[0117] 图18是表示本公开的第二实施方式的半导体装置71的一部分的区域的示意性的剖视图。图19是表示本公开的第二实施方式的半导体装置71的一部分的区域的示意性的剖视图。图20是表示本公开的第二实施方式的半导体装置71的一部分的区域的示意性的剖视图。图18与图5的剖面对应,图19与图6的剖面对应,图20与图8的剖面对应。以下,关于与对第一实施方式的半导体装置1叙述的构造对应的构造,标注同一参照符号并省略说明。

[0118] 参照图18~图20,在第二实施方式中,第一交叉区域33中的从第一主面3至栅极电极层14的上表面的第一深度D1比接触区域35中的接触沟槽31的第二深度D2更深。另外,在第一交叉区域33中,在接触沟槽31的底壁形成有栅极覆盖绝缘层16和栅极埋入体9的层叠构造。由此,如图20所示,栅极埋入体9以从第一方向X上的第一交叉区域33的一侧向另一侧跨越的方式形成,从第一方向X的两侧的侧方以及下方这三个方向包围发射极接触电极层51。

[0119] 另外,在第一交叉区域33中,栅极电极层14的上端部相对于发射极区域25的底部位于第二主面4侧(第一主面3的相反侧)。因此,在第二实施方式的半导体装置71中,不存在图7所示的对置部40,栅极电极层14在第一方向X上的第一交叉区域33的两侧附近不经由栅极绝缘层13而与发射极区域25对置。

[0120] 综上所述,根据第二实施方式的半导体装置71,也能够起到与对半导体装置1叙述的效果相同的效果。半导体装置71通过在半导体装置1的制造方法中仅变更栅极电极凹部15的深度以及发射极电极凹部20的深度就能够制造。

[0121] 图21是表示本公开的第三实施方式的半导体装置81的一部分的区域的示意性的剖视立体图。以下,关于与对半导体装置1叙述的构造对应的构造,标注同一参照符号并省略说明。

[0122] 在上述的半导体装置1中,对在第二主面4的表面部形成有p型的集电极区域5的例

子进行了说明。相对于此,在半导体装置81中,在第二主面4的表面部形成n型的漏极区域82来代替p型的集电极区域5。由此,半导体装置81具有具备沟槽栅极型的MISFET (Metal Insulator Semiconductor Field Effect Transistor,金属绝缘体半导体场效应晶体管)的基本形态。上述的半导体装置1的说明将“发射极”替换为“源极”、将“集电极”替换为“漏极”,援用于半导体装置81的说明。

[0123] 综上所述,根据半导体装置81,也能够起到与对半导体装置1叙述的效果相同的效果。半导体装置81仅通过在半导体装置1的制造方法中形成n型的漏极区域82来代替p型的集电极区域5,并且变更各掩模的布局就能够制造。

[0124] 图22是表示本公开的第四实施方式的半导体装置91的一部分的区域的示意性的剖视立体图。图23是表示与图22的构造的形成相关的工序的图。图22以及图23表示与上述的半导体装置1的图9对应的剖面。以下,关于与对半导体装置1叙述的构造对应的构造,标注同一参照符号并省略说明。

[0125] 在上述的半导体装置1中,对栅极埋入体9的上端部的宽度W1比栅极电极层14的上端部的宽度W2窄的例子进行了说明。相对于此,在半导体装置91中,栅极埋入体9的上端部的宽度W1比栅极电极层14的上端部的宽度W2宽。更详细地说明,栅极沟槽12形成成为底面积比开口面积小的锥形形状。栅极沟槽12的侧壁相对于与第一主面3平行的面92所成的角度 θ_2 例如也可以超过 80° 且小于 90° ,优选超过 85° 且小于 90° 。因此,在栅极沟槽12的深度方向上,形成于比栅极电极层14的深度位置更靠近栅极沟槽12的开口端的位置的栅极埋入体9的宽度W1比栅极电极层14的宽度W2宽。

[0126] 另外,在上述的半导体装置1中,对栅极覆盖绝缘层16的侧部24在上端部48具有比下端部47的第一厚度T1薄的第二厚度T2的例子进行了说明。相对于此,在半导体装置91中,在上端部48中,也可以通过外侧侧面29与内侧侧面30相接,从而第二厚度T2为0(零)。栅极覆盖绝缘层16的侧部24的上端部48也可以是朝向上方而变尖的锐利的前端部。

[0127] 综上所述,根据半导体装置91,也能够起到与对半导体装置1叙述的效果相同的效果。半导体装置91通过在半导体装置1的制造方法中,通过以成为锥形形状的条件蚀刻来形成栅极沟槽12,而且以成为锥形形状的方式来形成栅极覆盖绝缘层16的侧部24而能够制造。另外,虽然在上述的说明中省略,但形成于栅极沟槽12的侧方的芯片2的台面构造93(形成有发射极区域25等的部分)也可以在剖视时为梯形,而且具有形成为圆形形状的上端部94。相对于这样的台面构造93,通过以成为锥形形状的条件来形成栅极覆盖绝缘层16,能够使栅极埋入体9的宽度W1比栅极电极层14的宽度W2宽。

[0128] 对本公开的实施方式进行了说明,但本公开也能够以其它方式实施。

[0129] 例如,在上述的各实施方式中,也可以采用各半导体部分的导电型反转的构造。也就是,p型的部分也可以为n型、n型的部分也可以为p型。

[0130] 在上述的各实施方式中,对芯片2由硅单晶构成的例子进行了说明。但是,芯片2也可以包含SiC。另外,芯片2也可以由SiC单晶构成。

[0131] 综上所述,本公开的实施方式在所有方面都是例示性的,不应被解释为限定性的,意在所有方面都包含变更。

[0132] 从本说明书以及附图的记载可提取出以下附记的特征。

[0133] [附记1—1]

- [0134] 一种半导体装置1、71、81,包括:
- [0135] 芯片2,其具有形成有在第一方向X上延伸的栅极沟槽12的第一主面3;
- [0136] 第一导电型的主体区域8,其在上述第一主面3的表面部中沿上述栅极沟槽12的侧壁形成;
- [0137] 第二导电型的第一杂质区域25,其在上述主体区域8的表面部中沿上述栅极沟槽12的侧壁形成;
- [0138] 栅极绝缘层13,其形成于上述栅极沟槽12的内壁;
- [0139] 栅极电极14,其埋入于上述栅极沟槽12,隔着上述栅极绝缘层13而与上述主体区域8以及上述第一杂质区域25对置;
- [0140] 上述表面绝缘层41,其以覆盖上述栅极电极14的方式形成在上述第一主面3上,而且具有沿与上述第一方向X交叉的第二方向Y从上述栅极沟槽12上的区域引出到上述栅极沟槽12的外侧的接触孔42;
- [0141] 接触电极51,其经由上述接触孔42而与上述主体区域8以及上述第一杂质区域25电连接,而且从上述栅极沟槽12内经由上述栅极沟槽12的侧壁引出到上述第一主面3的表面部;
- [0142] 覆盖绝缘层16,其在上述栅极沟槽12内覆盖上述栅极电极14,将上述栅极电极14与上述接触电极51之间绝缘;以及
- [0143] 埋入体9,其埋入于上述栅极沟槽12内的上述覆盖绝缘层16上的区域,相对于上述表面绝缘层41具有蚀刻选择比。
- [0144] [附记1—2]
- [0145] 根据附记1—1所记载的半导体装置1、71、81,
- [0146] 上述覆盖绝缘层16包括覆盖上述栅极电极14的上表面的底部23、以及从上述底部23沿上述栅极沟槽12的侧壁向上方延伸的侧部24。
- [0147] [附记1—3]
- [0148] 根据附记1—2所记载的半导体装置1、71、81,
- [0149] 上述覆盖绝缘层16的上述底部23具有150nm以上且300nm以下的厚度。
- [0150] [附记1—4]
- [0151] 根据附记1—2或附记1—3所记载的半导体装置1、71、81,
- [0152] 上述覆盖绝缘层16的上述侧部24在上述栅极沟槽12的深度方向上的下端部47具有第一厚度T1,在上述栅极沟槽12的深度方向上的上端部48具有比上述第一厚度T1薄的第二厚度T2。
- [0153] [附记1—5]
- [0154] 根据附记1—2~附记1—4中任一项所记载的半导体装置1、71、81,
- [0155] 上述覆盖绝缘层16的上述侧部24在剖视时具有以如下方式倾斜的锥形形状:接近上述栅极沟槽12的侧壁的一侧的外侧侧面29和上述外侧侧面29的相反侧的内侧侧面30从上述下端部47朝向上端部48相互接近。
- [0156] [附记1—6]
- [0157] 根据附记1—1~附记1—5中任一项所记载的半导体装置1、71、81,
- [0158] 包括接触沟槽31,该接触沟槽31以沿上述接触孔42延伸的方式形成于上述第一主

面3的表面部,且具有底壁37、38以及侧壁,

[0159] 上述主体区域8至少沿上述接触沟槽31的上述底壁37、38形成,

[0160] 上述第一杂质区域25至少沿上述接触沟槽31的上述侧壁形成,

[0161] 上述接触电极51埋入于上述接触沟槽31,且在上述接触沟槽31的内部与上述主体区域8以及上述第一杂质区域25连接。

[0162] [附记1—7]

[0163] 根据附记1—6所记载的半导体装置1、81,

[0164] 上述接触沟槽31包括与上述栅极沟槽12交叉的交叉区域33、从上述交叉区域33向上述栅极沟槽12的外侧引出且上述主体区域8以及上述第一杂质区域25所露出的接触区域35,

[0165] 上述交叉区域33中的从上述第一主面3至上述栅极电极14的上表面的深度D1比上述接触区域35中的从上述第一主面3至上述接触沟槽31的底壁的深度D2浅。

[0166] [附记1—8]

[0167] 根据附记1—7所记载的半导体装置1、81,

[0168] 在上述交叉区域33中,在上述接触沟槽31的上述底壁37,上述覆盖绝缘层16的上述底部23露出,

[0169] 上述埋入体9包括一对埋入体9,该一对埋入体9相对于上述交叉区域33分别设于上述第一方向X的两侧,从上述第一方向X的两侧的侧方夹住上述接触电极51。

[0170] [附记1—9]

[0171] 根据附记1—7或附记1—8所记载的半导体装置1、81,

[0172] 上述交叉区域33中的从上述第一主面3至上述栅极电极14的上表面的深度D1为 $1\mu\text{m}$ 以下。

[0173] [附记1—10]

[0174] 根据附记1—6所记载的半导体装置71,

[0175] 上述接触沟槽31包括与上述栅极沟槽12交叉的交叉区域33、以及从上述交叉区域33向上述栅极沟槽12的外侧引出且上述主体区域8以及上述第一杂质区域25所露出的接触区域,

[0176] 上述交叉区域33中的从上述第一主面3至上述栅极电极14的上表面的深度D1比上述接触区域中的从上述第一主面3至上述接触沟槽31的底壁的深度D2深。

[0177] [附记1—11]根据附记1—10所记载的半导体装置71,

[0178] 在上述交叉区域33中,在上述接触沟槽31的上述底壁37形成有上述覆盖绝缘层16的上述底部23以及上述埋入体9的层叠构造,

[0179] 上述埋入体9以从上述第一方向X上的上述交叉区域33的一侧向另一侧跨越的方式形成,从上述第一方向X的两侧的侧方以及下方这三个方向包围上述接触电极51。

[0180] [附记1—12]

[0181] 根据附记1—1~附记1—11中任一项所记载的半导体装置1、71、81,

[0182] 上述埋入体9相对于上述表面绝缘层41的蚀刻选择比为1.5以上。

[0183] [附记1—13]

[0184] 根据附记1—1~附记1—12中任一项所记载的半导体装置1、71、81,

- [0185] 上述埋入体9由与上述栅极电极14相同的材料形成。
- [0186] [附记1—14]
- [0187] 根据附记1—1~附记1—12中任一项所记载的半导体装置1、71、81，
- [0188] 上述表面绝缘层41由氧化硅形成，
- [0189] 上述栅极电极14以及上述埋入体9由多晶硅形成。
- [0190] [附记1—15]
- [0191] 一种半导体装置1、71、81的制造方法，包括以下工序：
- [0192] 在半导体晶片26的上述栅极沟槽12的内壁形成栅极绝缘层13的工序，该半导体晶片26具有形成有栅极沟槽12的第一主面3；
- [0193] 在上述栅极绝缘层13形成后，在上述栅极沟槽12埋入栅极电极14的工序；
- [0194] 通过从上表面侧选择性地除去上述栅极电极14，从而在上述栅极沟槽12内形成凹部15的工序；
- [0195] 以覆盖上述栅极电极14的上表面的方式在上述凹部15内形成覆盖绝缘层16的工序；
- [0196] 在上述凹部15内的上述覆盖绝缘层16上的区域埋入埋入体9的工序；
- [0197] 通过选择性地向上述第一主面3的表面部注入第一导电型的杂质，从而沿上述栅极沟槽12的侧壁形成主体区域8的工序；
- [0198] 通过选择性地向上述主体区域8的表面部注入第二导电型的杂质，从而沿上述栅极沟槽12的侧壁形成第一杂质区域25的工序；
- [0199] 以覆盖上述栅极电极14以及上述埋入体9的方式在上述第一主面3上形成表面绝缘层41的工序；
- [0200] 以通过选择性地蚀刻上述表面绝缘层41从而上述埋入体9以及上述第一主面3选择性地露出的方式，形成与上述栅极沟槽12交叉的接触孔42的工序；
- [0201] 以通过经由上述接触孔42的蚀刻从而上述主体区域8以及上述第一杂质区域25露出的方式，在上述第一主面3的表面部形成接触沟槽31的工序；以及
- [0202] 以埋入于上述接触沟槽31的方式形成与上述主体区域8以及上述第一杂质连接的接触电极51的工序，
- [0203] 上述埋入体9由相对于上述表面绝缘层41具有蚀刻选择比的材料形成。
- [0204] 符号说明
- [0205] 1—半导体装置，2—芯片，3—第一主面，4—第二主面，5—集电极区域，6—电荷蓄积区域，7—漂移区域，8—主体区域，9—栅极埋入体，10—沟槽栅极电极构造，11—沟槽发射极电极构造，12—栅极沟槽，13—栅极绝缘层，14—栅极电极层，15—栅极电极凹部，16—栅极覆盖绝缘层，17—发射极沟槽，18—发射极绝缘层，19—发射极电极层，20—发射极电极凹部，21—发射极覆盖绝缘层，22—栅极中间绝缘层，23—底部，24—侧部，25—发射极区域，26—半导体晶片，27—发射极埋入体，28—发射极中间绝缘层，29—外侧侧面，30—内侧侧面，31—接触沟槽，32—引出部，33—第一交叉区域，34—第二交叉区域，35—接触区域，36—接触区域，37—第一底壁，38—第二底壁，39—台阶，40—对置部，41—层间绝缘层，42—接触孔，43—发射极主面电极层，44—第一基体绝缘层，45—第二基体绝缘层，46—通道形成区域，47—下端部，48—上端部，51—发射极接触电极层，61—集电极电极层，71—半

导体装置,81—半导体装置,82—漏极区域,91—半导体装置,92—平行的面,3—台面构造,94—上端部,CH—通道,D1—第一深度,D2—第二深度,P0—沟槽间距,S—台阶,T1—第一厚度,T2—第二厚度,T3—第三厚度,T4—厚度,W1—宽度,W2—宽度,X—第一方向,Y—第二方向,Z—法线方向。

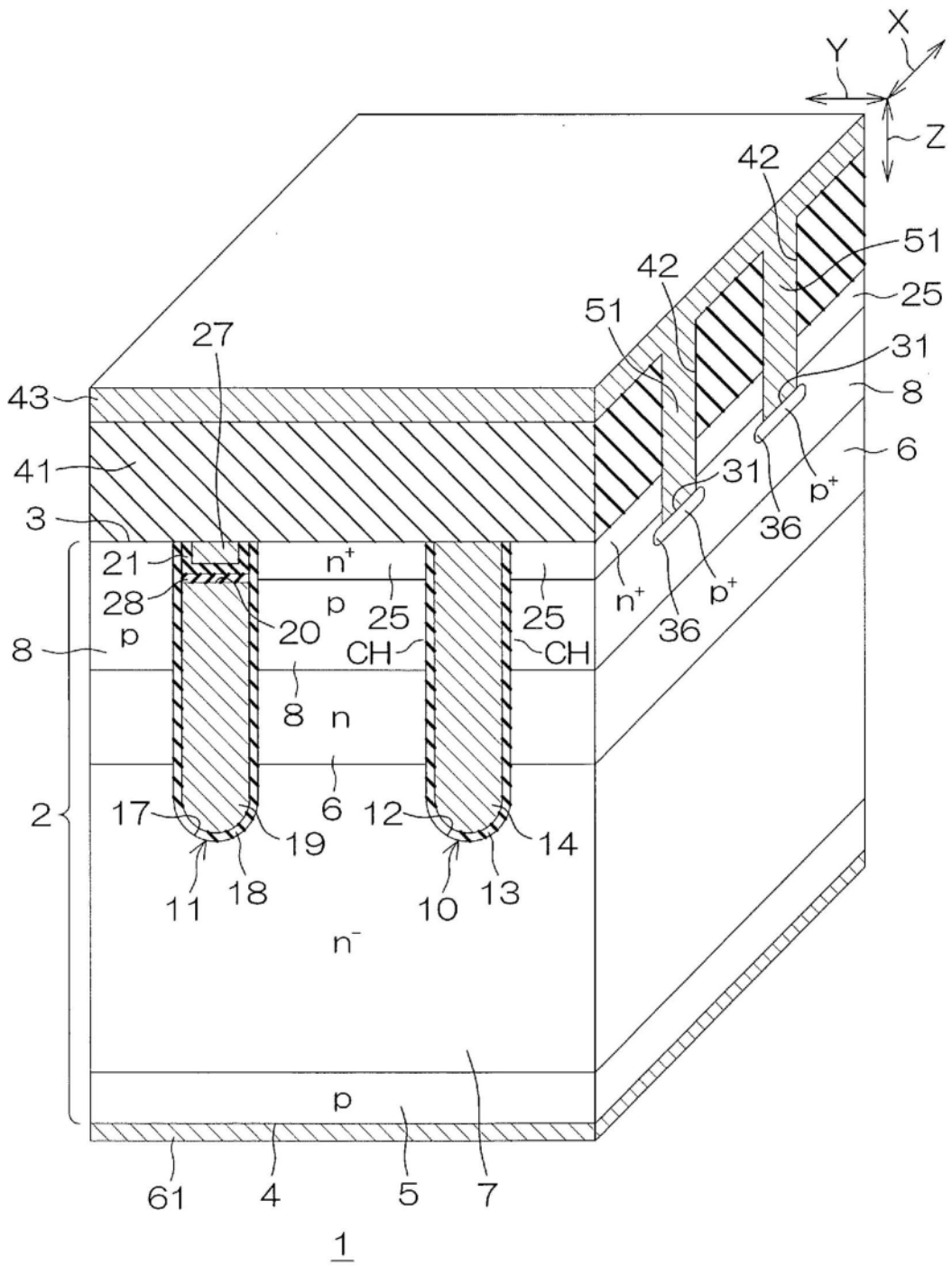


图1

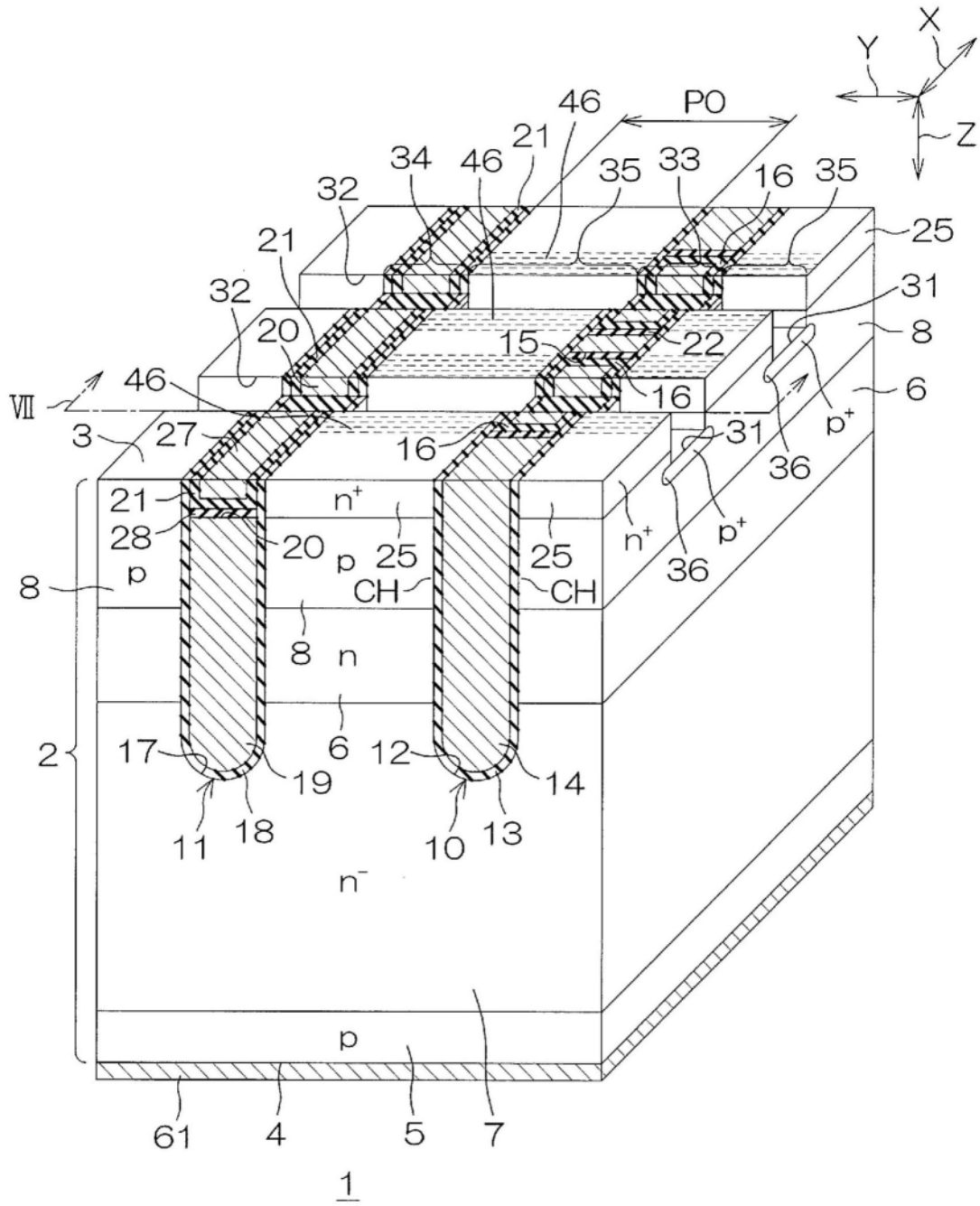
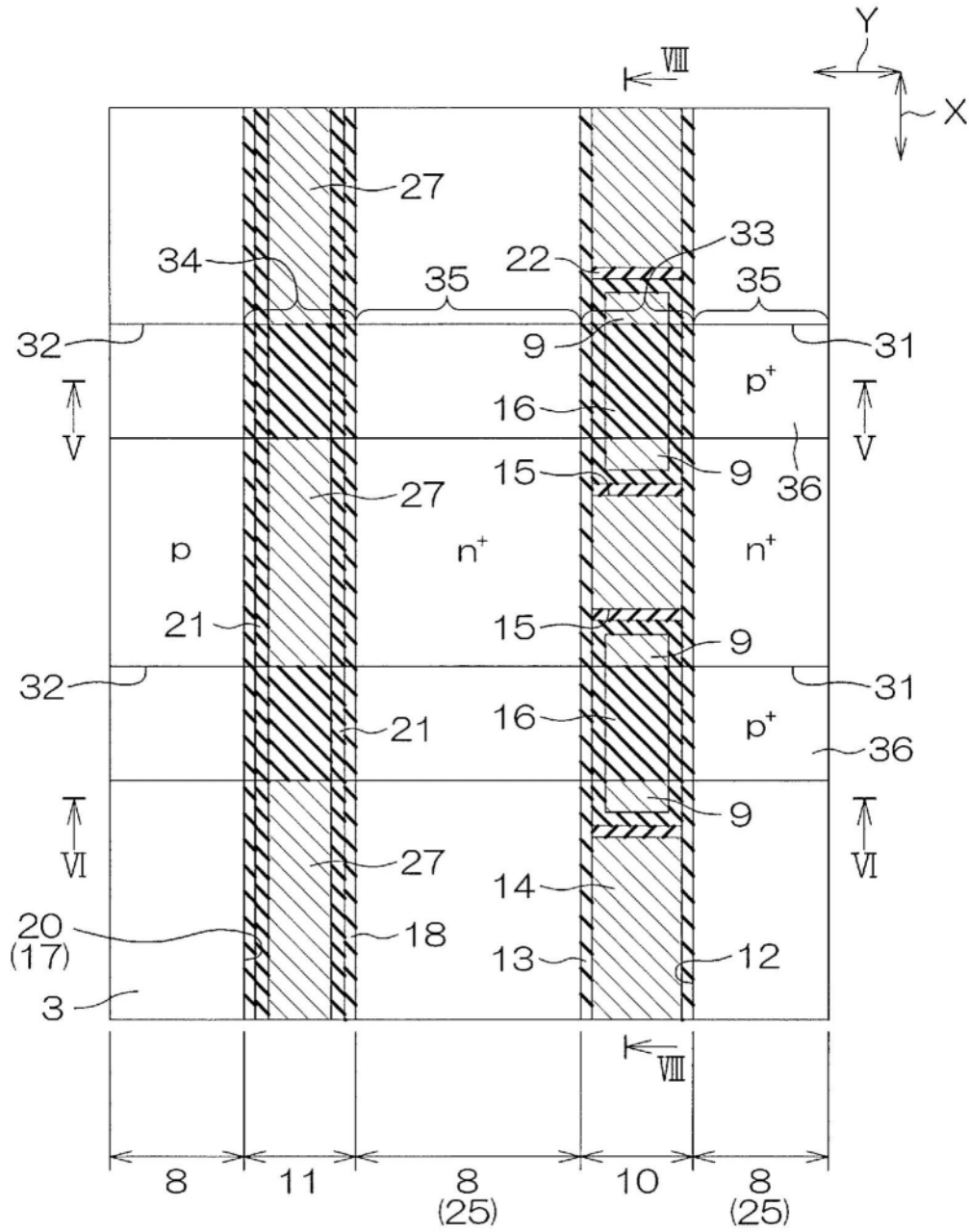


图3



1

图4

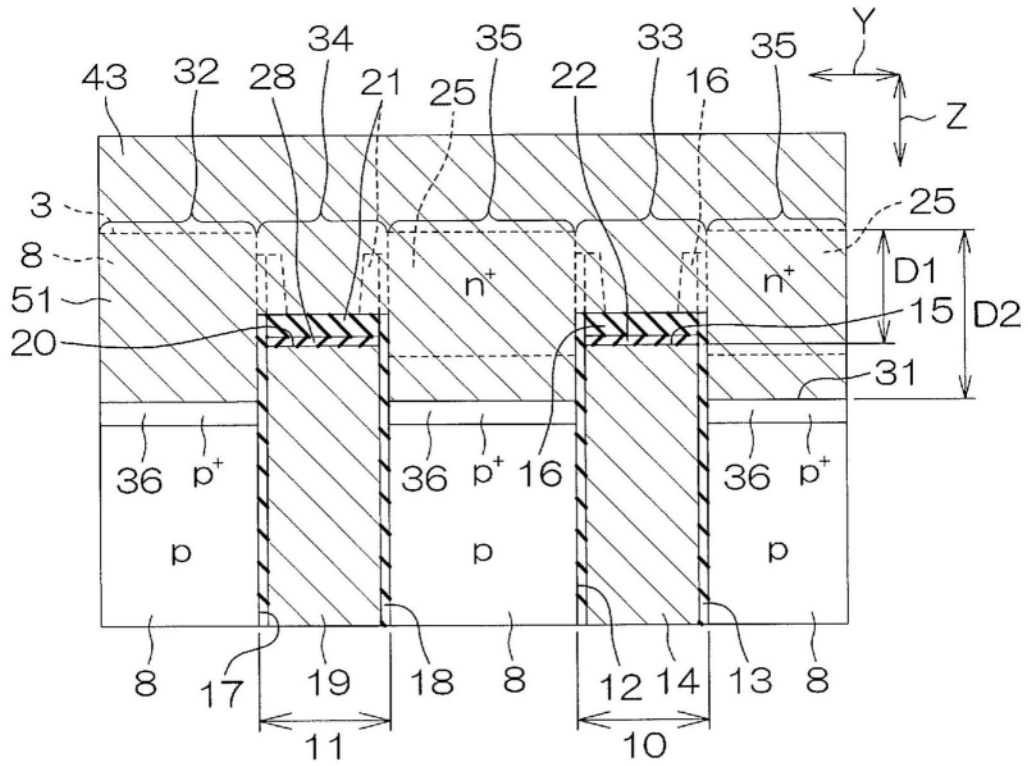


图5

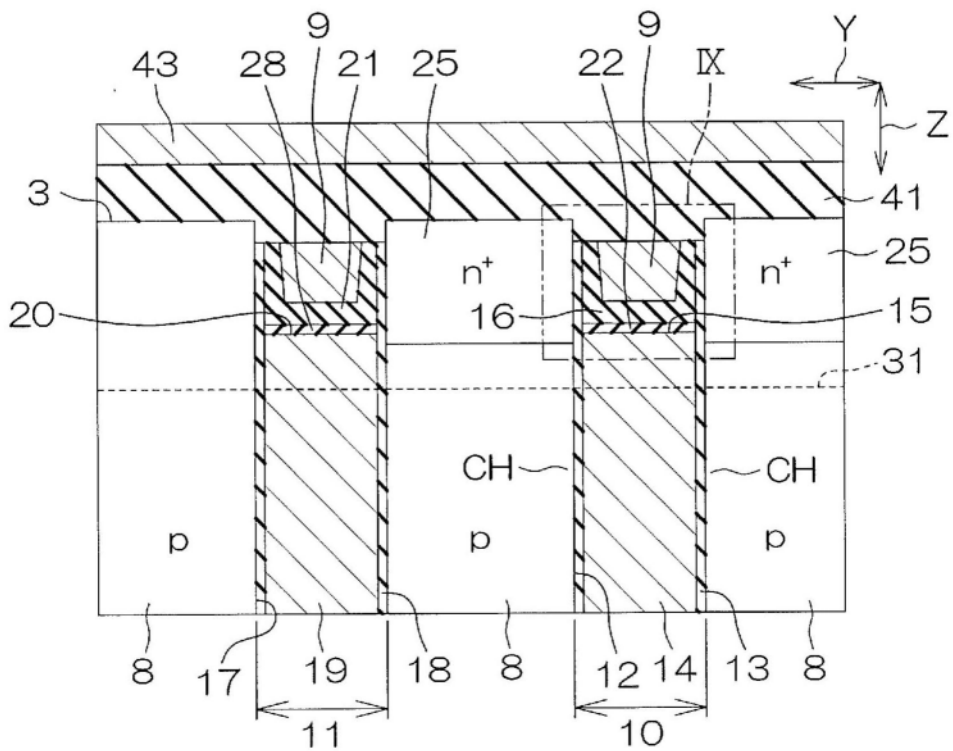


图6

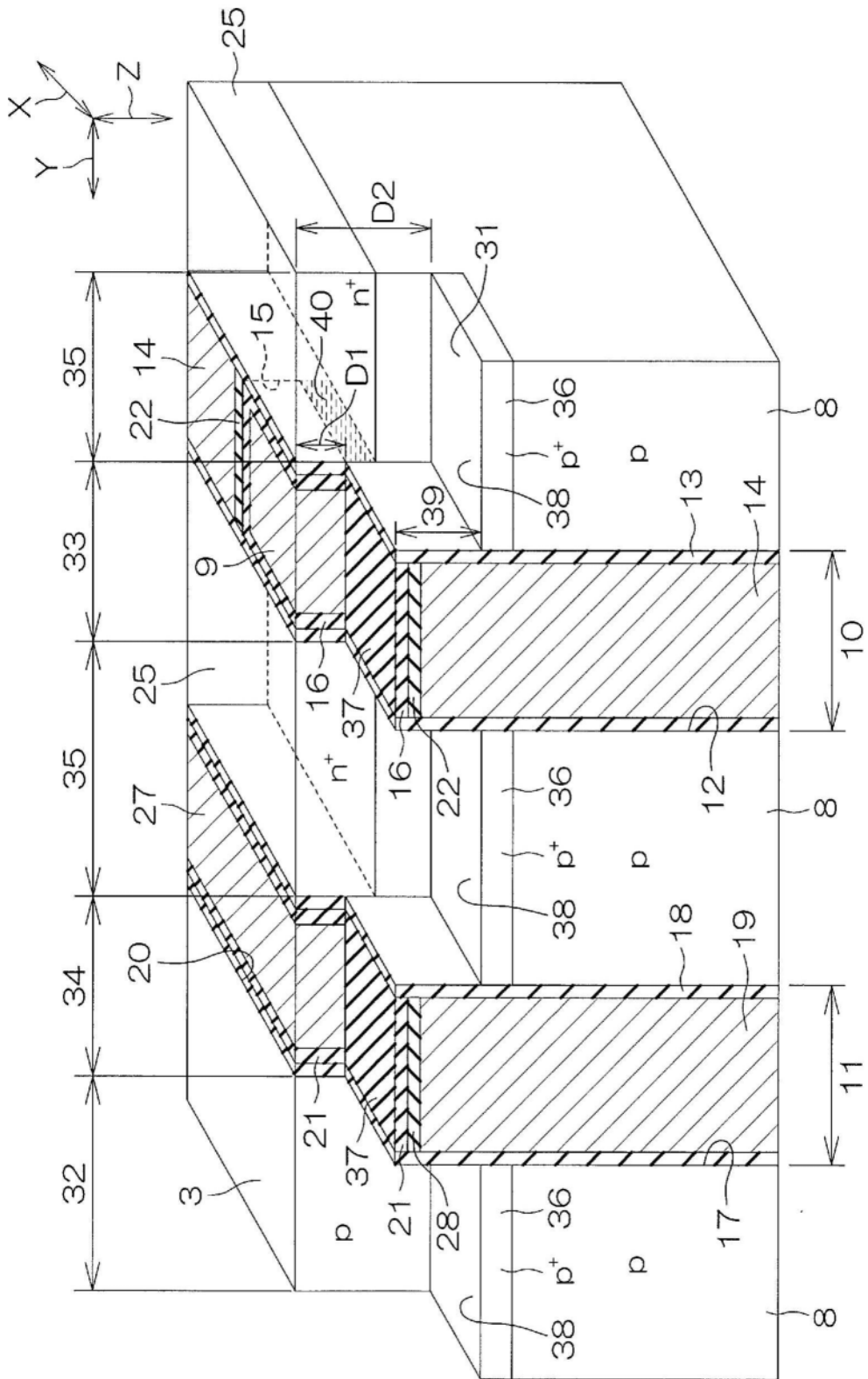


图7

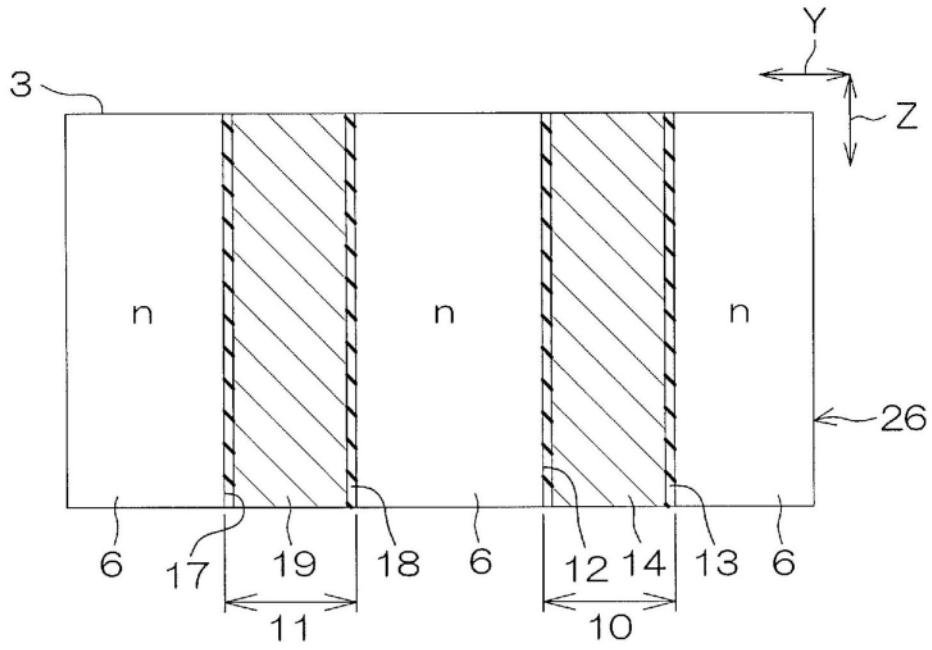


图10A

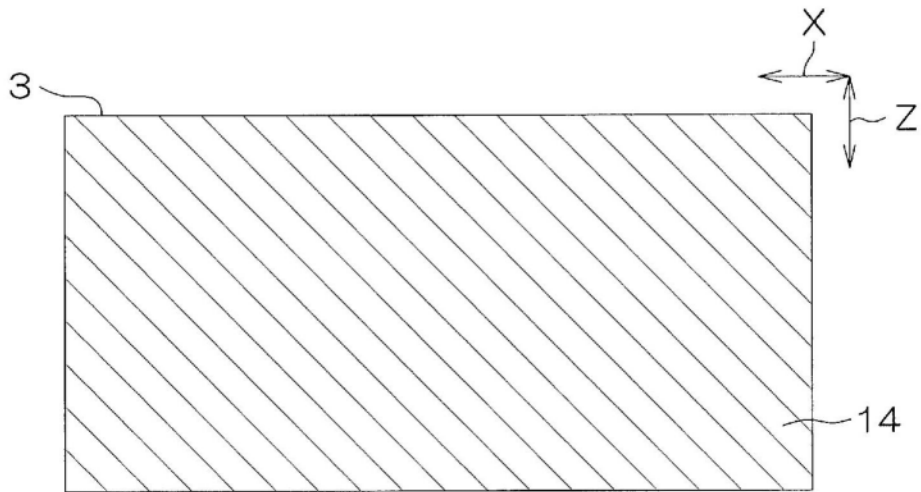


图10B

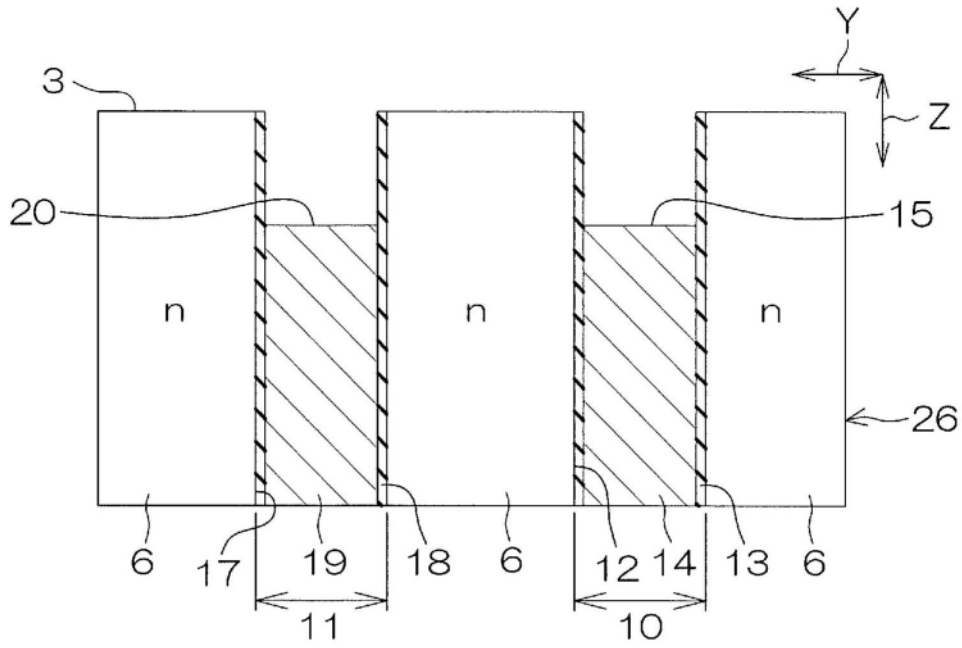


图11A

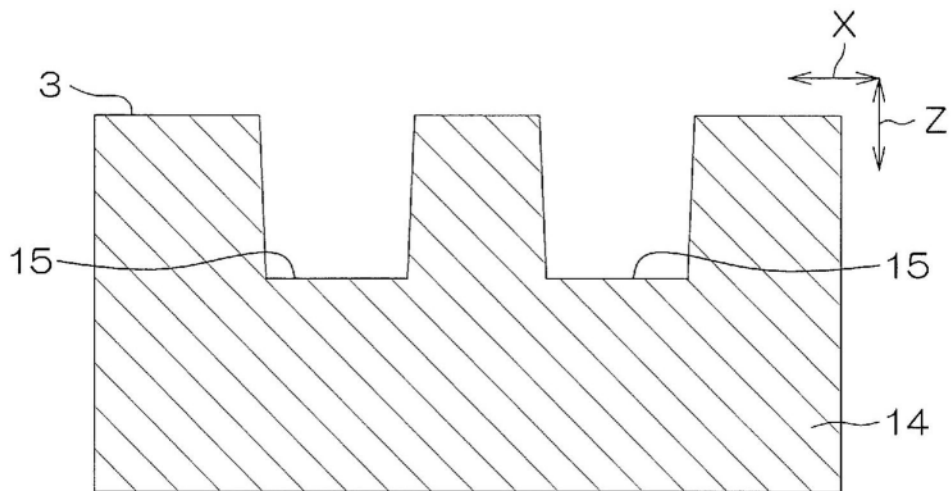


图11B

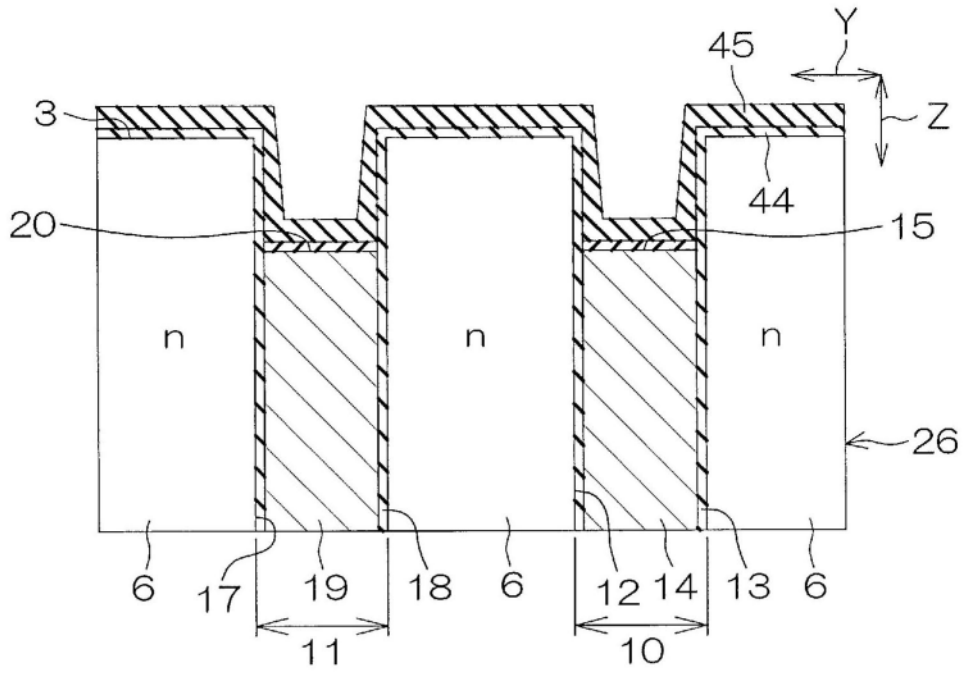


图12A

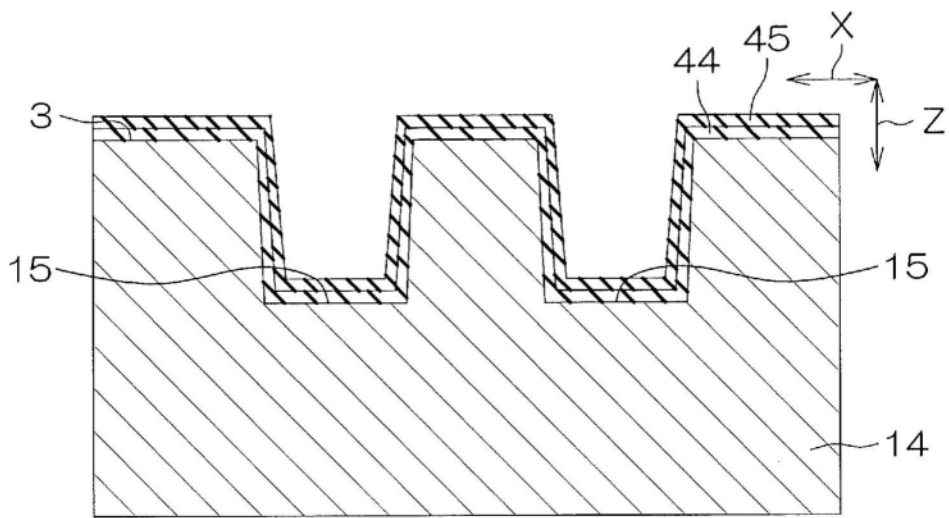


图12B

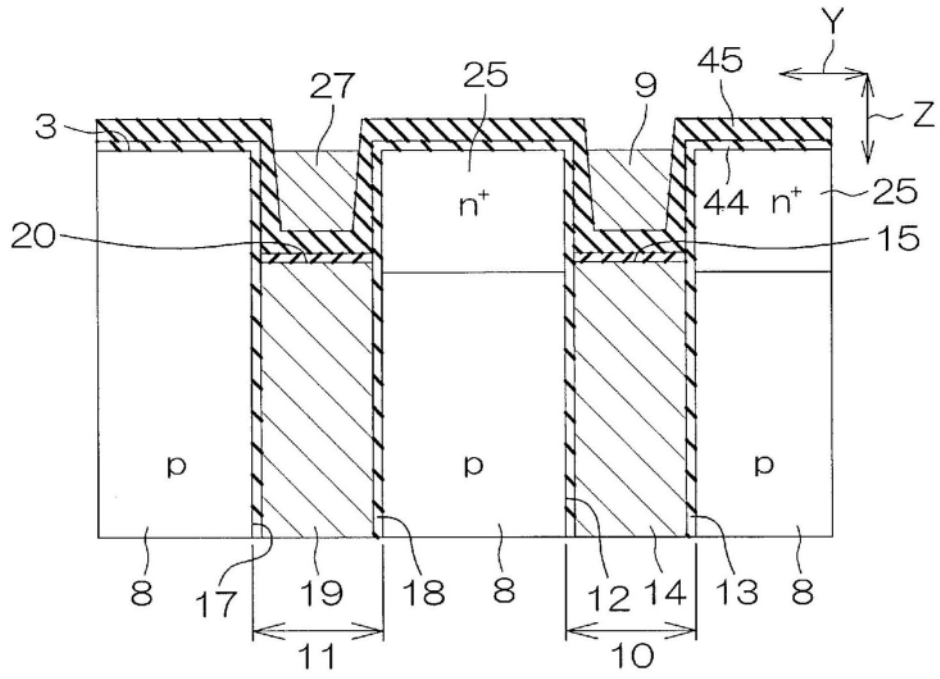


图13A

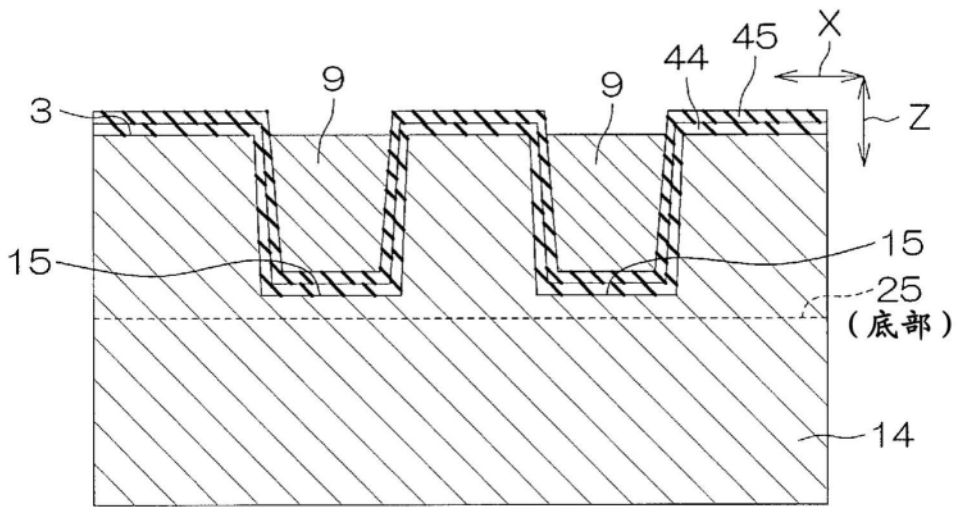


图13B

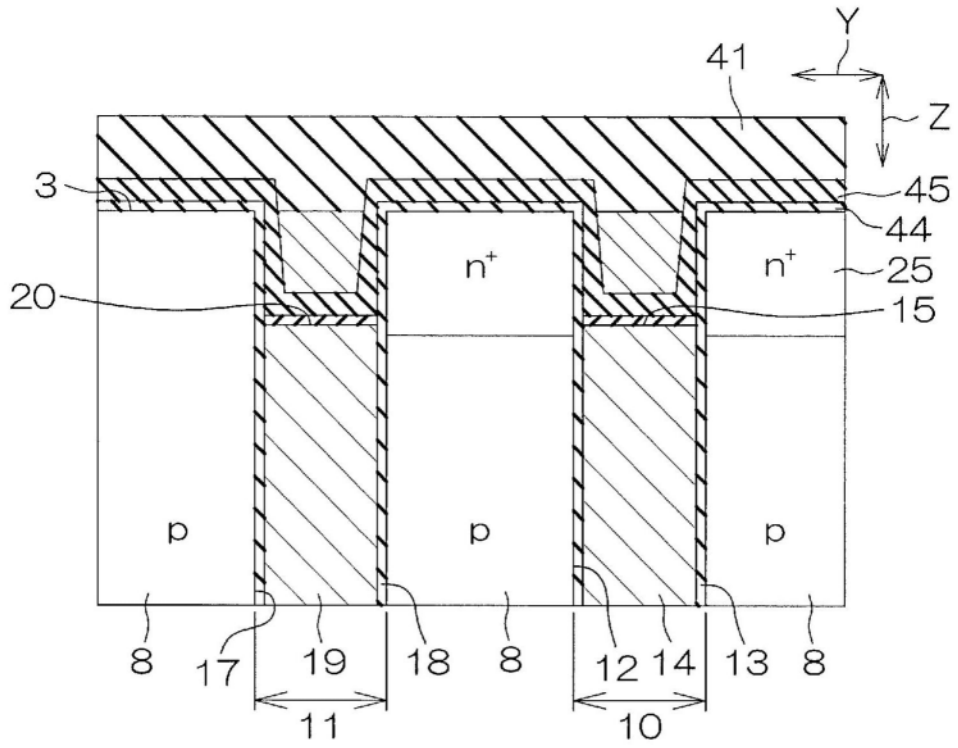


图14A

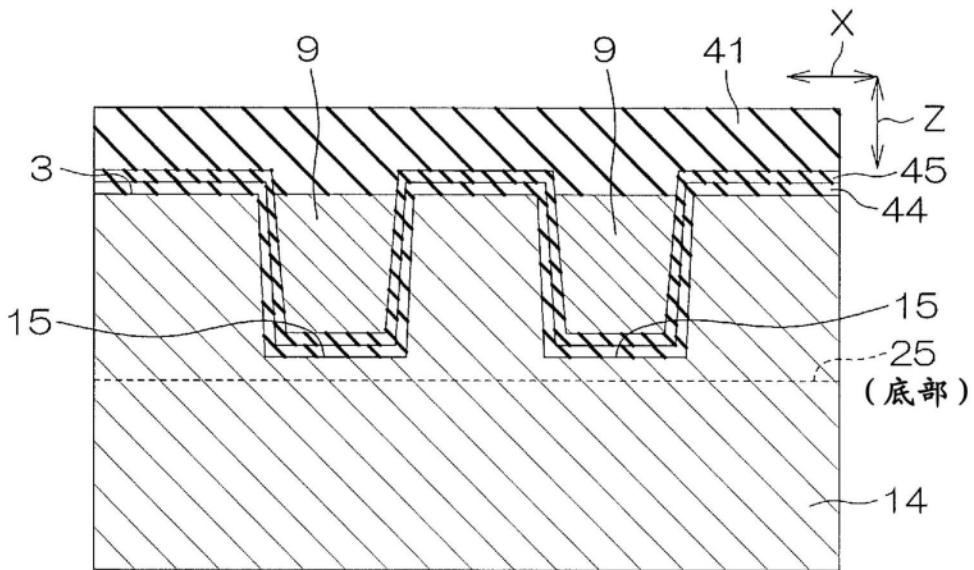


图14B

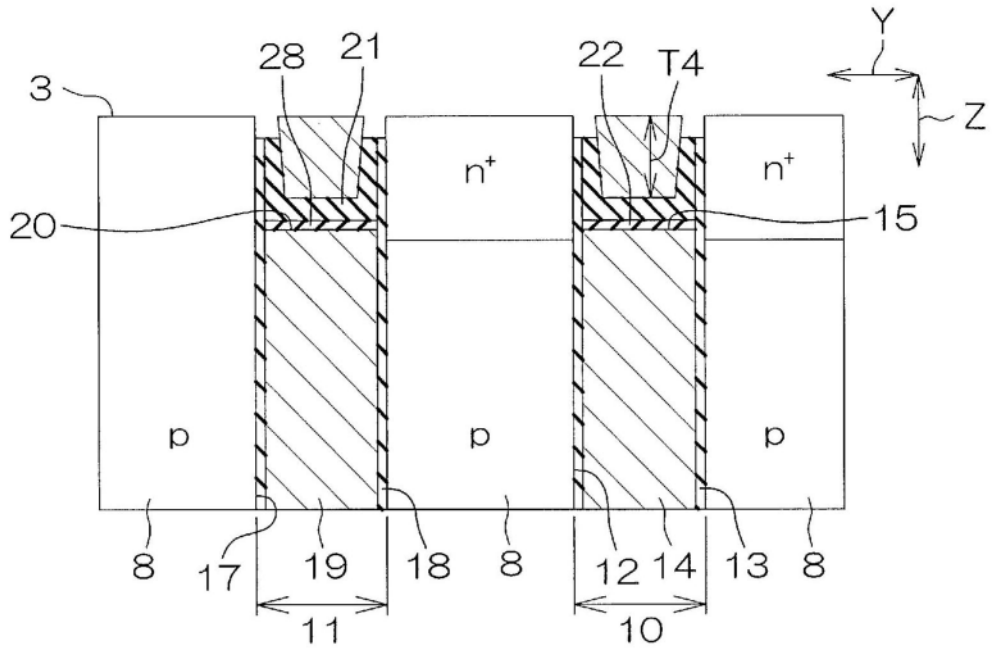


图15A

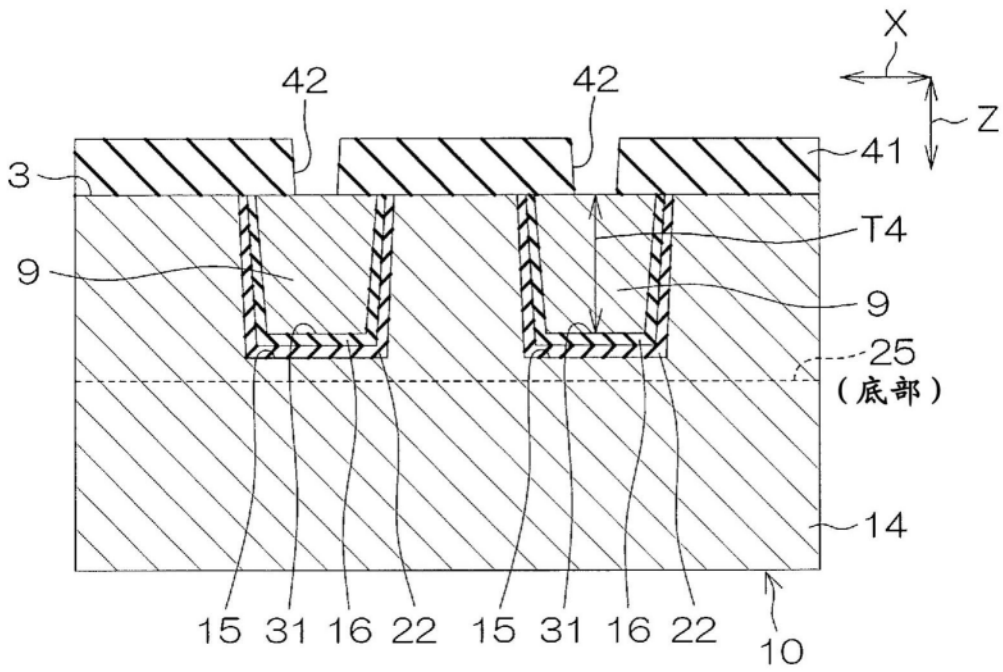


图15B

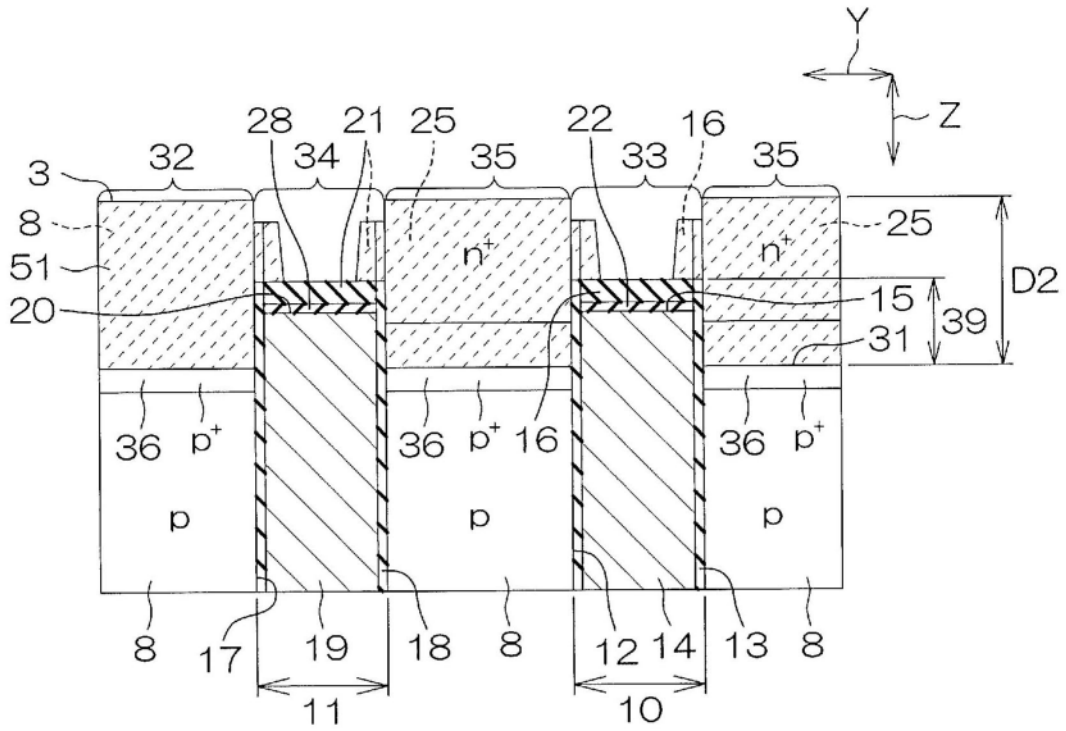


图16A

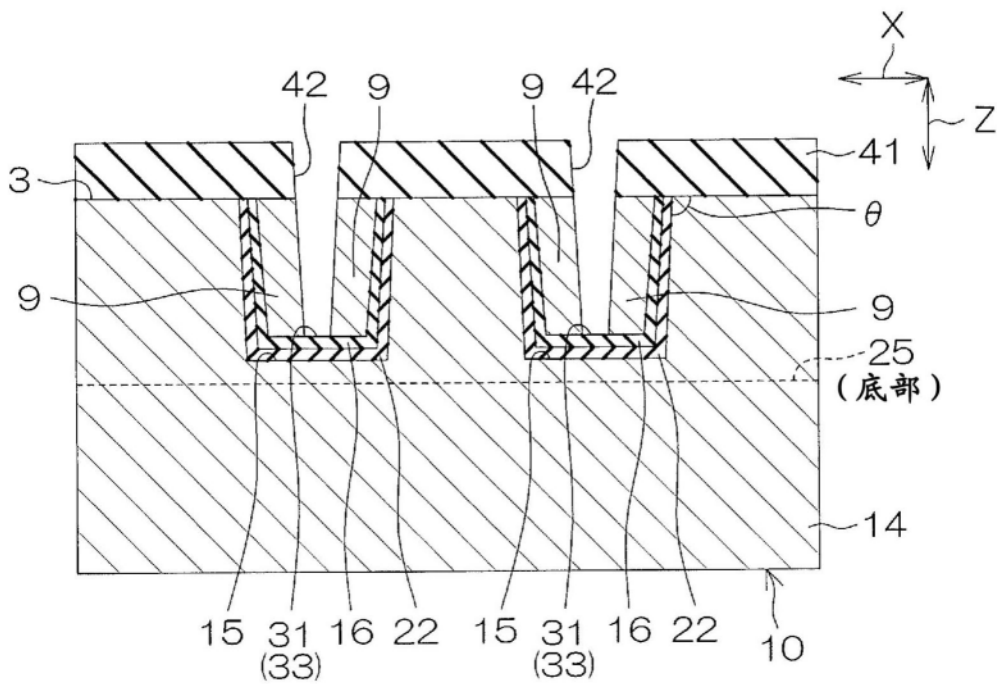


图16B

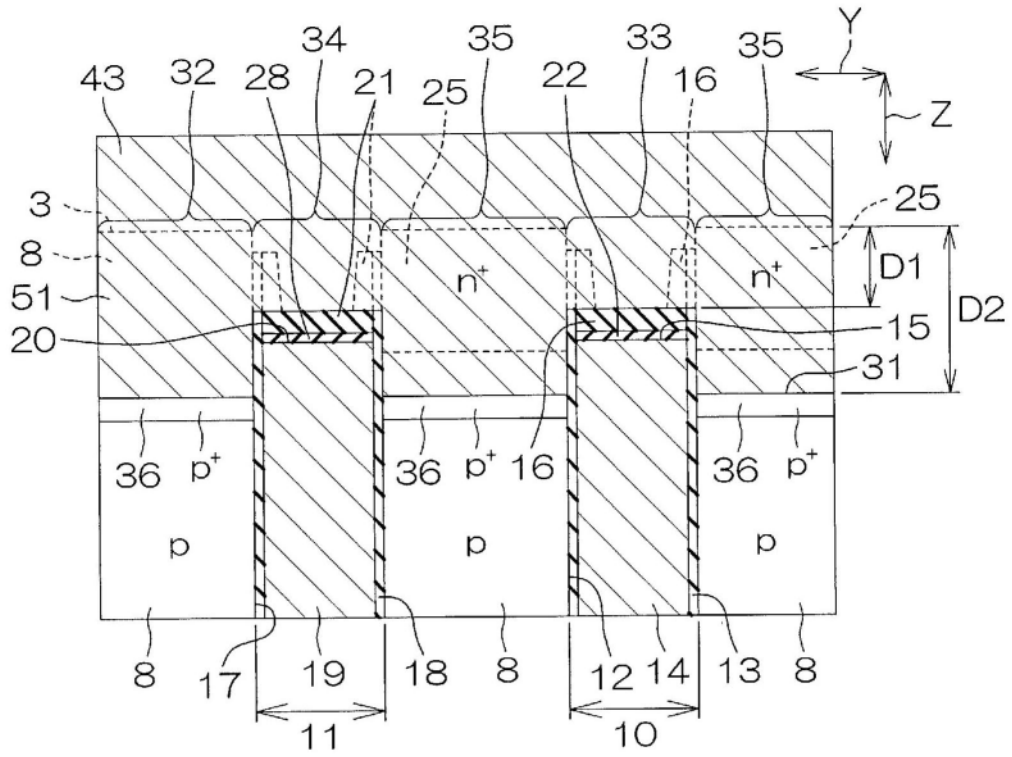


图17A

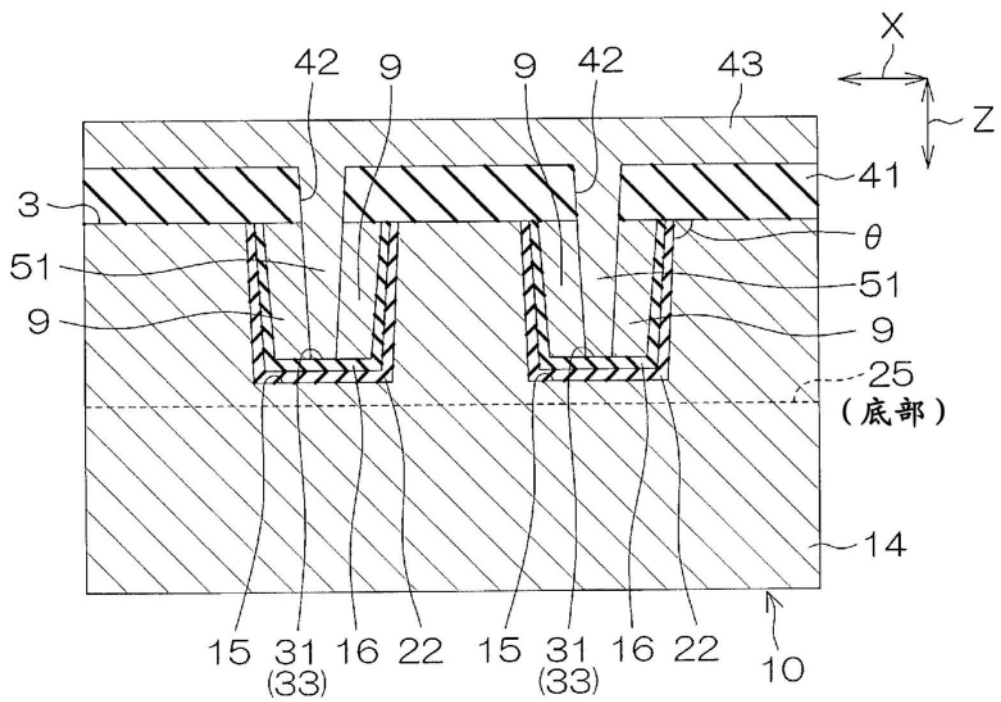


图17B

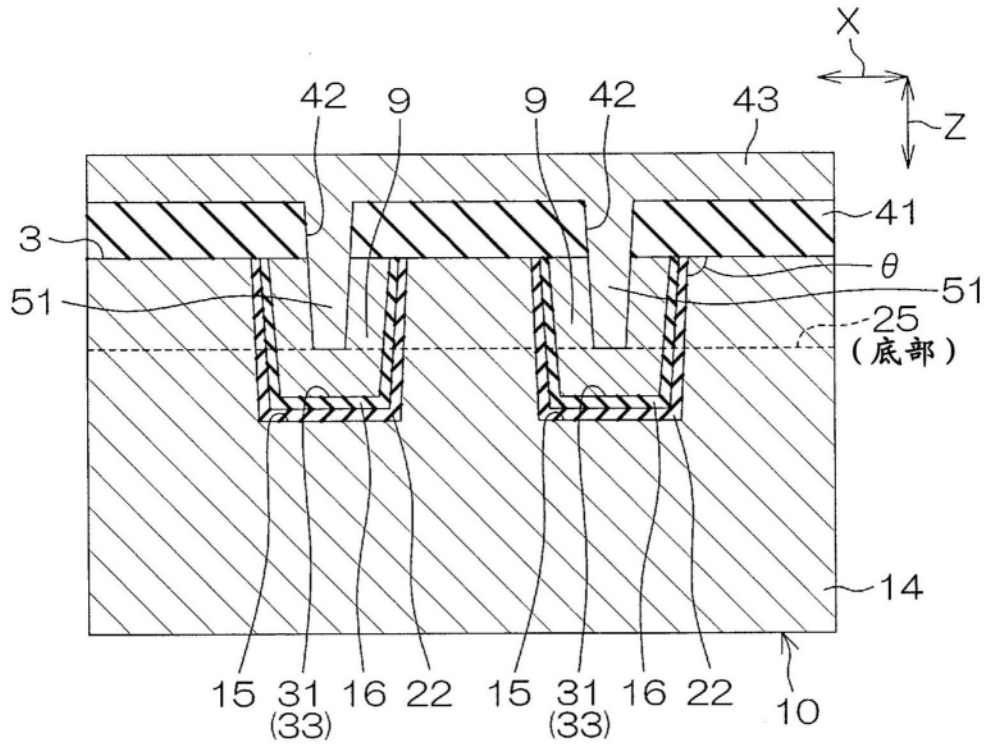


图20

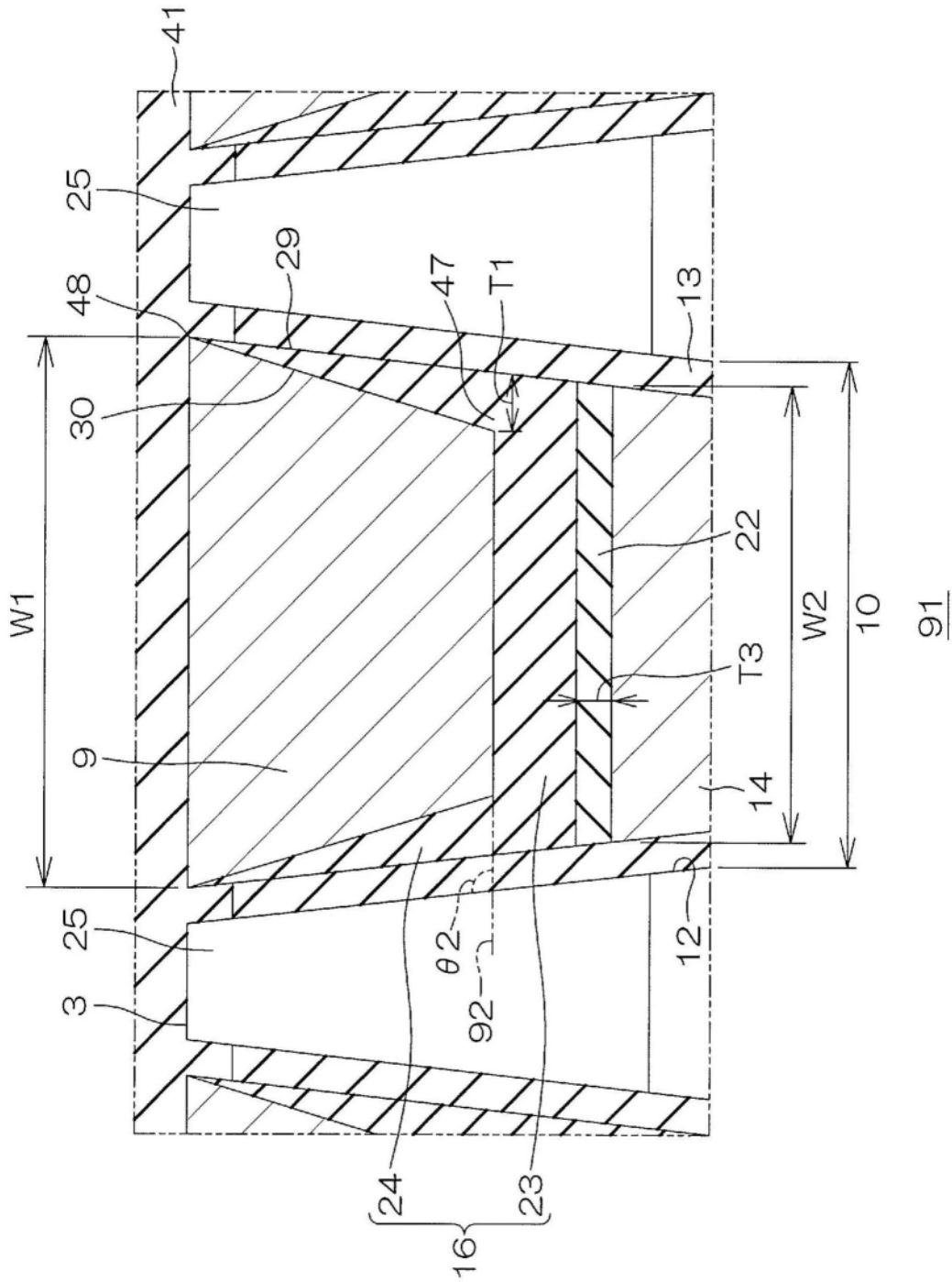


图22

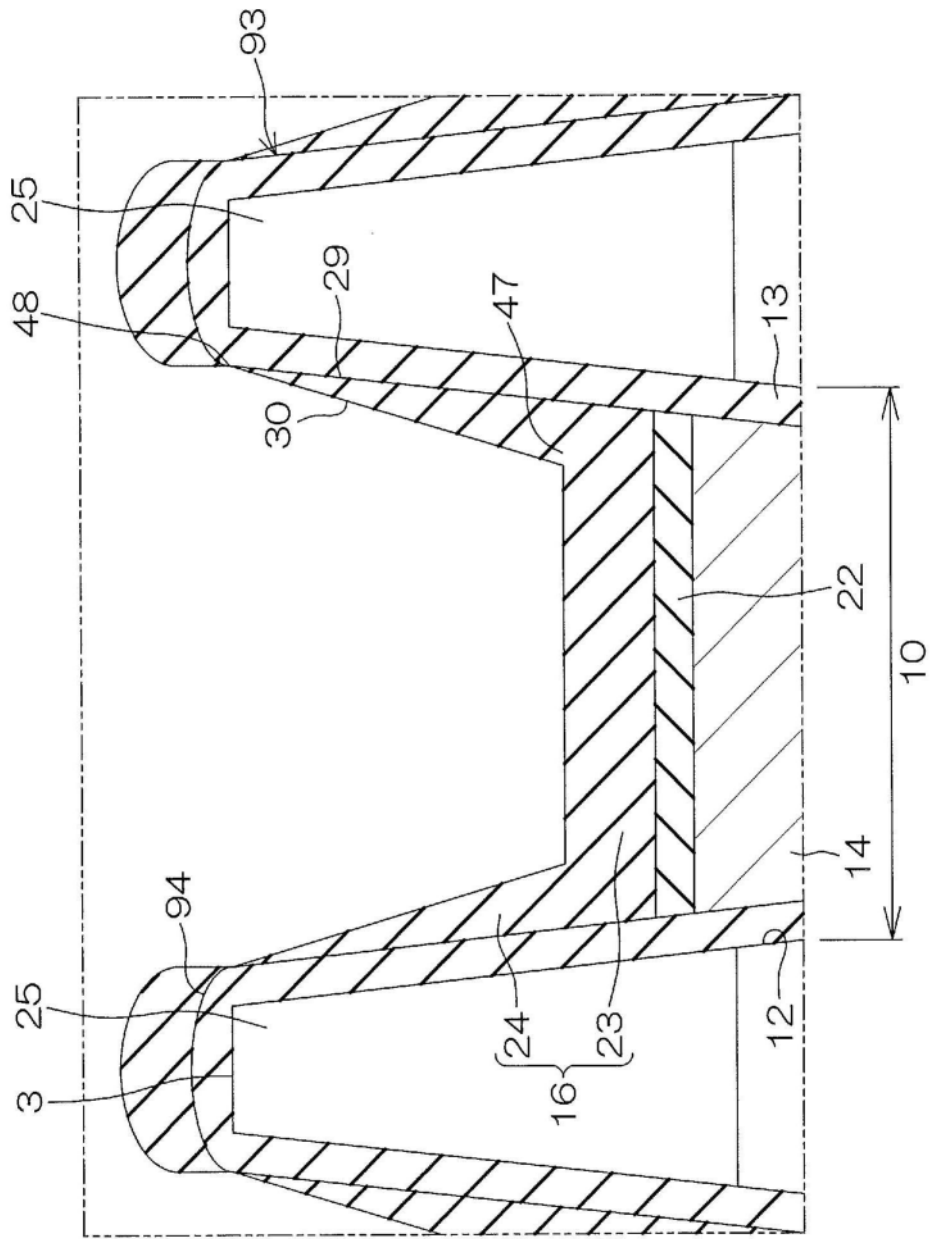


图23