

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月14日(14.07.2022)



(10) 国際公開番号

WO 2022/149228 A1

(51) 国際特許分類:

GIIC 16/04 (2006.01) H01L 27/10 (2006.01)
GIIC 11/401 (2006.01) H01L 27/108 (2006.01)
H01L 21/8242 (2006.01)

(21) 国際出願番号: PCT/JP2021/000281

(22) 国際出願日: 2021年1月7日(07.01.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(USを除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポ
ール プライベート リミテッド(UNISANTIS
ELECTRONICS SINGAPORE PTE. LTD.) [SG/
SG]; 179098 ノースブリッジロード 1
1 1、ペニンシュラ プラザ # 2 3
- 0 5 Singapore (SG).

(72) 発明者; および

(71) 出願人 (US についてのみ): 原田 望(HARADA
Nozomu) [JP/JP]; 〒1020083 東京都千代田区麹

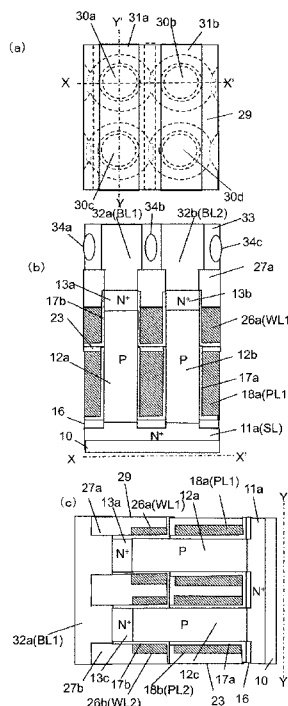
町 1 丁目 3 番 7 号 日月館麹町ビル 5 階 S e
m i c o n C o n s u l t i n g 株式会
社内 Tokyo (JP). 作井 康司(SAKUI Koji) [JP/JP];
〒1020083 東京都千代田区麹町 1 丁目 3 番 7 号
日月館麹町ビル 5 階 S e m i c o n C o n
s u l t i n g 株式会社内 Tokyo (JP).

(74) 代理人: 田中 伸一郎, 外(TANAKA Shinichiro
et al.); 〒1008355 東京都千代田区丸の内 3
丁目 3 番 1 号 新東京ビル 中村合同特
許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: METHOD FOR MANUFACTURING MEMORY DEVICE USING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子を用いたメモリ装置の製造方法



(57) Abstract: In the present invention, the following layers are formed on a substrate 10: an N⁺ layer 11a connected to source lines SL at both ends of Si columns 12a-12d standing in the vertical direction; N⁺ layers 13a, 13c connected to a bit line BL1; N⁺ layers 13b, 13d connected to a bit line BL2; a TiN layer 18a that surrounds a gate HfO₂ layer 17a surrounding the Si columns 12a-12d, and is connected to a plate line PL1 connected between the Si columns 12a and 12b; a TiN layer 18b connected to a plate line PL2 connected between the Si columns 12c and 12d; a TiN layer 26a that surrounds a gate HfO₂ layer 17b surrounding the Si columns 12a-12d, and is connected to a word line WL1 connected between the Si columns 12a and 12b; and a TiN layer 26b connected to a word line WL2 connected between the Si columns 12c and 12d. Voltage applied to the source line SL, plate lines PL1, PL2, word lines WL1, WL2, and bit lines BL1, BL2 is controlled, and a data-holding operation for holding a hole group generated by an impact ion phenomenon within the Si columns 12a-12d, and a data deletion operation for deleting the hole group from within the Si columns 12a-12d, are performed.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 基板10上に、垂直方向に立つSi柱12a~12dの両端にあるソース線SLに繋がるN⁺層11aと、ビット線BL1に繋がるN⁺層13a、13cと、ビット線BL2に繋がるN⁺層13b、13dと、Si柱12a~12dを囲んだゲートHfO₂層17aを囲みSi柱12a、12b間で繋がったプレート線PL1に繋がるTiN層18a、Si柱12c、12d間で繋がったプレート線PL2に繋がるTiN層18bと、Si柱12a~12dを囲んだゲートHfO₂層17bを囲みSi柱12a、12b間で繋がったワード線WL1に繋がるTiN層26a、Si柱12c、12d間で繋がったワード線WL2に繋がるTiN層26bと、を形成し、ソース線SL、プレート線PL1、PL2、ワード線WL1、WL2、ビット線BL1、BL2に印加する電圧を制御して、Si柱12a~12d内にインパクトイオン現象により発生した正孔群を保持するデータ保持動作と、そして、この正孔群を、Si柱12a~12d内から除去するデータ消去動作を行う。

明 細 書

発明の名称：半導体素子を用いたメモリ装置の製造方法

技術分野

[0001] 本発明は、半導体素子を用いたメモリ装置の製造方法に関する。

背景技術

[0002] 近年、L S I (Large Scale Integration)技術開発において、メモリ素子の高集積化と高性能化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGTのチャンネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献1、非特許文献1を参照）。このため、SGTはプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。このSGTを選択トランジスタとして用いて、キャパシタを接続したDRAM (Dynamic Random Access Memory、例えば、非特許文献2を参照)、抵抗変化素子を接続したPCM (Phase Change Memory、例えば、非特許文献3を参照)、RRAM (Resistive Random Access Memory、例えば、非特許文献4、を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるMRAM (Magnetoresistive Random Access Memory、例えば、非特許文献5、を参照) などの高集積化を行うことができる。また、キャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセル（非特許文献7を参照）などがある。本願は、抵抗変化素子やキャパシタを有しない、MOSトランジスタのみで構成可能な、ダイナミック フラッシュ メモリに関する。

[0004] 図7に、前述したキャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセルの書込み動作と、図8に、動作上の問題点と、図9に、読出し動作を示す（非特許文献7～10を参照）。

[0005] 図7にDRAMメモリセルの書込み動作を示す。図7（a）は、“1”書込み状態を示している。ここで、メモリセルは、SOI基板101に形成さ

れ、ソースN⁺層103にはソース線SLが接続され、ドレインN⁺層104にはビット線BLが接続され、ゲート導電層105にはワード線WLが接続され、MOSトランジスタ110aのフローティングボディ（Floating Body）102により構成され、キャパシタを有さず、MOSトランジスタ110aが1個でDRAMのメモリセルが構成されている。なお、フローティングボディ102直下には、SOI基板のSiO₂層101が接している。このMOSトランジスタ110a 1個で構成されたメモリセルの“1”書込みを行う際には、MOSトランジスタ110aを線形領域で動作させる。すなわち、ソースN⁺層103から延びる電子のチャネル107には、ピンチオフ点108があり、ビット線が接続しているドレインN⁺層104までには、到達していない。このようにドレインN⁺層104に接続されたビット線BLとゲート導電層105に接続されたワード線WLを共に高電圧にして、ゲート電圧をドレイン電圧の約1/2程度で、MOSトランジスタ110aを動作させると、ドレインN⁺層104近傍のピンチオフ点108において、電界強度が最大となる。この結果、ソースN⁺層103からドレインN⁺層104に向かって流れる加速された電子は、Siの格子に衝突して、その時に失う運動エネルギーによって、電子・正孔対が生成される。発生した大部分の電子（図示せず）は、ドレインN⁺層104に到達する。また、ごく一部のとても熱い電子は、ゲート酸化膜109を飛び越えて、ゲート導電層105に到達する。そして、同時に発生した正孔106は、フローティングボディ102を充電する。この場合、発生した正孔は、フローティングボディ102は、P型Siのため、多数キャリアの増分として、寄与する。フローティングボディ102は、生成された正孔106で満たされ、フローティングボディ102の電圧がソースN⁺層103よりもV_b以上に高くなると、さらに生成された正孔は、ソースN⁺層103に放電する。ここで、V_bは、ソースN⁺層103とP層のフローティングボディ102との間のPN接合のビルトイン電圧であり、約0.7Vである。図7（b）には、生成された正孔106でフローティングボディ102が飽和充電された様子を示している。

[0006] 次に、図7(c)を用いて、メモリセル110の“0”書込み動作を説明する。共通な選択ワード線WLに対して、ランダムに“1”書込みのメモリセル110aと“0”書込みのメモリセル110bが存在する。図(c)では、“1”書込み状態から“0”書込み状態に書き換わる様子を示している。“0”書込み時には、ビット線BLの電圧を負バイアスにして、ドレインN⁺層104とP層のフローティングボディ102との間のPN接合を順バイアスにする。この結果、フローティングボディ102に予め前サイクルで生成された正孔106は、ビット線BLに接続されたドレインN⁺層104に流れる。書込み動作が終了すると、生成された正孔106で満たされたメモリセル110a(図7(b))と、生成された正孔が吐き出されたメモリセル110b(図7(c))の2つのメモリセルの状態が得られる。正孔106で満たされたメモリセル110aのフローティングボディ102の電位は、生成された正孔がないフローティングボディ102よりも高くなる。したがって、メモリセル110aのしきい値電圧は、メモリセル110bのしきい値電圧よりも低くなる。その様子を図7(d)に示す。

[0007] 次に、この1個のMOSトランジスタで構成されたメモリセルの動作上の問題点を図8を用いて、説明する。図8(a)で示したように、フローティングボディ102の容量 C_{FB} は、ワード線の接続されたゲートとフローティングボディ102間の容量 C_{WL} と、ソース線の接続されたソースN⁺層103とフローティングボディ102との間のPN接合の接合容量 C_{SL} と、ビット線の接続されたドレインN⁺層103とフローティングボディ102との間のPN接合の接合容量 C_{BL} との総和で、

$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad (1)$$

で表される。したがって、書込み時にワード線電圧 V_{WL} が振幅すると、メモリセルの記憶ノード(接点)となるフローティングボディ102の電圧も、その影響を受ける。その様子を図(b)に示している。書込み時にワード線電圧 V_{WL} が0Vから V_{ProgWL} に上昇すると、フローティングボディ102の電圧 V_{FB} は、ワード線電圧が変化する前の初期状態の電圧 V_{FB1} から V_{FB2} へのワード線と

の容量結合によって上昇する。その電圧変化量 ΔV_{FB} は、

$$\begin{aligned}\Delta V_{FB} &= V_{FB1} - V_{FB2} \\ &= C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \times C_{ProgWL} \quad (2)\end{aligned}$$

で表される。

ここで、

$$\beta = C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \quad (3)$$

で表され、 β をカップリング率と呼ぶ。このようなメモリセルにおいて、 C_{WL} の寄与率が大きく、例えば、 $C_{WL} : C_{BL} : C_{SL} = 8 : 1 : 1$ である。この場合、 $\beta = 0.8$ となる。ワード線が、例えば、書込み時の 5 V から、書込み終了後に 0 V になると、ワード線とフローティングボディ 102 との容量結合によって、フローティングボディ 102 が、 $5 V \times \beta = 4 V$ も振幅ノイズを受ける。このため、書込み時のフローティングボディ “1” 電位と “0” 電位との電位差マージンを十分に取れない問題点があった。

図 9 に読出し動作を示す。図 (a) は、“1” 書込み状態を、図 (b) は、“0” 書込み状態を示している。しかし、実際には、“1” 書込みでフローティングボディ 102 に V_b が書き込まれていても、書込み終了でワード線が 0 V に戻ると、フローティングボディ 102 は、負バイアスに引き下げられる。“0” が書かれる際には、さらに深く負バイアスになってしまうため、書込みの際に “1” と “0” との電位差マージンを十分に大きく出来ない。この動作マージンが小さいことが、本 DRAM メモリセルの大きい問題であった。加えて、この DRAM メモリセルを高密度化する課題がある。

先行技術文献

特許文献

[0008] 特許文献1：特開平 2－1 8 8 9 6 6 号公報

特許文献2：特開平 3－1 7 1 7 6 8 号公報

特許文献3：特許第 3 9 5 7 7 7 4 号公報

非特許文献

[0009] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro

Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573–578 (1991)

非特許文献2 : H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: “4F2 DRAM Cell with Vertical Pillar Transistor(VPT),” 2011 Proceeding of the European Solid-State Device Research Conference, (2011)

非特許文献3 : H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: “Phase Change Memory,” Proceeding of IEEE, Vol.98, No 12, December, pp.2201–2227 (2010)

非特許文献4 : T. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama : “Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V,” IEDM (2007)

非特許文献5 : W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: “Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology,” IEEE Transaction on Electron Devices, pp.1–9 (2015)

非特許文献6 : M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat : “Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T 1C1A DRAM) Utilizing Electron,” IEEE Electron Device Letter, Vol. 31, No.5, pp.405–407 (2010)

非特許文献7 : J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: “A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration,” Electron Device Letters, Vol. 35, No.2, pp.179–181 (2012)

非特許文献8 : T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama,

Y. Asao, and K. Sunouchi: "Memory design using a one-transistor gain cell on SOI," IEEE JSSC, vol.37, No.11, pp1510-1522 (2002).

非特許文献9: T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watana be, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K . Inoh, T. Hamamoto, A. Nitayama: "Floating Body RAM Technology and its Scalability to 32nm Node and Beyond," IEEE IEDM (2006).

非特許文献10: E. Yoshida: "A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory," IEEE IEDM (2006).

非特許文献11: J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee, and B-G. Park: "Design Optimization of Gate-All-Around (GAA) MOSFETs," IEEE Trans. Electron Devices, vol. 5, no. 3, pp.186-191, May 2006.

非特許文献12: N. Loubet, et al.: "Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET," 2017 IEEE Symposium on VLSI Technology Digest of Technical Papers, T17-5, T230-T231, June 20 17.

非特許文献13: H. Jiang, N. Xu, B. Chen, L. Zeng1, Y. He, G. Du, X. Li u and X. Zhang: "Experimental investigation of self heating effect (SHE) in multiple-fin SOI FinFETs," Semicond. Sci. Technol. 29 (2014) 115021 (7pp).

非特許文献14: E. Yoshida, and T. Tanaka: "A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory," IEEE Transactions on Electron Devices, Vol. 53, No. 4, pp. 692-697, Apr. 2006.

発明の概要

発明が解決しようとする課題

[0010] SGTを用いたメモリ装置でキャパシタを無くした、1個のトランジスタ型

のDRAM（ゲインセル）では、ワード線とフローティングのSGTのボディとの容量結合カップリングが大きく、データ読み出し時や書き込み時にワード線の電位を振幅させると、直接SGTボディへのノイズとして、伝達されてしまう問題点があった。この結果、誤読み出しや記憶データの誤った書き換えの問題を引き起こし、キャパシタを無くした1トランジス型のDRAM（ゲインセル）の実用化が困難となっていた。そして、上記問題を解決すると共に、DRAMメモリセルを高密度化する必要がある。

課題を解決するための手段

[0011] 上記の課題を解決するために、本発明は、第1のゲート導体層と、第2のゲート導体層と、第3のゲート導体層と、第4のゲート導体層と、第1の不純物領域と、第2の不純物領域と、に印加する電圧を制御して、第1の半導体柱、第2の半導体柱、第3の半導体柱、第4の半導体柱のいずれか、または全ての内部に、インパクトイオン化現象により、またはゲート誘起ドレインリーク電流により形成した正孔群を保持するデータ保持動作と、前記第1のゲート導体層と、前記第2のゲート導体層と、前記第3のゲート導体層と、前記第4のゲート導体層と、前記第1の不純物領域と、前記第2の不純物領域と、に印加する電圧を制御して、前記第1乃至4の半導体柱のいずれか、または全ての内部から前記正孔群を除去するデータ消去動作とを行う柱状半導体素子を用いたメモリ装置の製造方法であって、

前記基板上に垂直方向に立ち、且つ平面視において第1の線上に隣接して配置した前記第1の半導体柱と前記第2の半導体柱と、前記第1の線に並行した第2の線上に隣接して配置した前記第3の半導体柱と前記第4の半導体柱と、を形成する工程と、

前記第1の半導体柱乃至第4の半導体柱を囲んだ第1の絶縁層を形成する工程と、

前記第1の絶縁層を囲み、且つ垂直方向において、上面位置が前記第1の半導体柱乃至第4の半導体柱の下方にあり、且つ前記第1の線上で前記第1の半導体柱と前記第2の半導体柱との間で繋がった前記第1のゲート導体層

と、前記第2の線上的前記第3の半導体柱と前記第4の半導体柱との間で繋がった前記第2のゲート導体層と、を形成する工程と、

垂直方向における前記第1のゲート導体層と、前記第2のゲート導体層より上部の前記第1の絶縁層をエッチングして、前記第1の半導体柱乃至第4の半導体柱の下部に第1のゲート絶縁層を形成する工程と、

垂直方向において、前記第1のゲート絶縁層に接し、且つ第1の半導体柱乃至第4の半導体柱の側面を囲んで第2のゲート絶縁層を形成する工程と、

前記第2のゲート絶縁層を囲み、且つ垂直方向において、上面位置が前記第1の半導体柱乃至第4の半導体柱の頂部下方にあって、前記第1の線上で前記第1の半導体柱と前記第2の半導体柱との間で繋がり、且つ前記第1のゲート導体層と垂直方向に離れた前記第3のゲート導体層と、前記第2の線上的前記第3の半導体柱と前記第4の半導体柱との間で繋がり、前記第2のゲート導体層と垂直方向に離れた前記第4のゲート導体層と、を形成する工程と、

前記第1乃至第4の半導体柱を形成する前に、または後に前記第2の半導体柱と、前記第3の半導体柱と、前記第4の半導体柱との底部に繋がった前記第1の不純物領域を形成する工程と、

前記第1乃至第4の半導体柱を形成する前に、または形成した後に、前記第1乃至第4の半導体柱の頂部のそれぞれに前記第2の不純物領域を形成する工程と、

前記第1の半導体柱と、前記第3の半導体柱と、の頂部の前記第2の不純物領域に繋がった第1の配線導体層と、前記前記第2の半導体柱と、前記第4の半導体柱と、の頂部の前記第2の不純物領域に繋がった第2の配線導体層とを形成する工程と、を有する、

ことを特徴とする。

[0012] 上記の柱状半導体素子を用いたメモリ装置の製造方法において、平面視において、前記第1の半導体柱と、前記第2の半導体柱と、を囲む前記第1のゲート絶縁層の2つの外周線と、前記第1の線と、の交点の内で向かい合っ

た2点間の第1の長さが、前記第1の半導体柱と、前記第3の半導体柱と、を囲む前記第2のゲート絶縁層の2つの外周線と、前記第1の線と直交する第2の線との交点の内の向かい合った2点間の第2の長さより小さく、

前記第2の長さが、前記第2の線上にあって前記第1の半導体柱を囲む前記第1のゲート導体層の厚さの第3の長さの2倍より大きく、

前記第1の長さが前記第3の長さの2倍より小さい、

ことを特徴とする。

[0013] 上記の柱状半導体素子を用いたメモリ装置の製造方法において、さらに、前記第1のゲート絶縁層を形成した後、前記第1のゲート絶縁層の外周部に、その上面位置が、垂直方向にあって、前記第1のゲート導体層と、前記第2のゲート導体層の上端になる第1の導体層を形成する工程と、

前記第1乃至第4の半導体柱と頂部上にある第1のマスク材料層と、前記第1乃至第4の半導体柱と側面を囲み、前記第1の半導体柱と、前記第2の半導体柱と、の間で繋がった第2のマスク材料層と、前記第3の半導体柱と、前記第4の半導体柱と、の間で繋がり、且つ前記第2のマスク材料層と離れた第3のマスク材料層と、を形成する工程と、

前記第1のマスク材料層と、前記第2のマスク材料層と、前記第3のマスク材料層と、をマスクにして前記第1の導体層をエッチングして、前記第1のゲート導体層と、前記第2のゲート導体層とを形成する工程と、

を有することを特徴とする。

[0014] 上記の柱状半導体素子を用いたメモリ装置の製造方法において、さらに、前記第2のゲート絶縁層を形成した後、前記第2のゲート絶縁層の外周部に、その上面位置が、垂直方向にあって、前記第2の不純物領域の下端付近にある第2の導体層を形成する工程と、

前記第2の導体層上にあり、前記第1乃至第4の半導体柱の頂部上にある前記第1のマスク材料層と、前記前記第1乃至第4の半導体柱の側面を囲み、前記第1の半導体柱と、前記第2の半導体柱と、の間で繋がった第4のマスク材料層と、前記第3の半導体柱と、前記第4の半導体柱と、の間で繋が

った第5のマスク材料層と、を互いに離して形成する工程と、

前記第1のマスク材料層と、前記第4のマスク材料層と、前記第5のマスク材料層と、をマスクにして前記第2の導体層をエッチングして、前記第3のゲート導体層と、前記第4のゲート導体層とを形成する工程と、
を有することを特徴とする。

[0015] 上記の柱状半導体素子を用いたメモリ装置の製造方法において、さらに、
前記第1のゲート絶縁層を形成した後、前記第1のゲート絶縁層の外周部に、その上面位置が、垂直方向にあって、前記第1のゲート導体層と、前記第2のゲート導体層の上端にある第3の導体層を形成する工程と、

前記第3の導体層の上に、第2の絶縁層を形成する工程と、

前記第2の絶縁層上に、垂直方向において、その上面が前記第2の不純物領域の下端に近接する第4の導体層を形成する工程と、

前記第4の導体層上にあり、前記第1乃至第4の半導体柱の頂部上にある第4のマスク材料層と、前記第1乃至第4の半導体柱の側面を囲み、前記第1の半導体柱と、前記第2の半導体柱と、の間に繋がった第6のマスク材料層と、前記第3の半導体柱と、前記第4の半導体柱と、の間に繋がった第7のマスク材料層と、を互いに離して形成する工程と、

前記第1のマスク材料層と、前記第6のマスク材料層と、前記第7のマスク材料層と、をマスクにして前記第3の導体層、前記第2の絶縁層、前記第4の導体層をエッチングして、前記第1のゲート導体層と、前記第2のゲート導体層と、前記第3のゲート導体層と、前記第4のゲート導体層と、を形成する工程と、

を有することを特徴とする。

[0016] 上記の柱状半導体素子を用いたメモリ装置の製造方法において、前記第1の不純物領域に繋がる配線は、ソース線であり、前記第2の不純物領域に繋がる配線はビット線であり、前記第1のゲート導体層と前記第2のゲート導体層に繋がる配線と、前記第3のゲート導体層と前記第4のゲート導体層に繋がる配線の一方がワード線であれば、他方が第1の駆動制御線であるよう

に形成し、

前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線とに印加する電圧により、選択的に前記メモリ消去動作および前記メモリ書き込み動作を行う、

ことを特徴とする。

[0017] 上記の柱状半導体素子を用いたメモリ装置の製造方法において、前記第1のゲート導体層と、前記第1乃至第4の半導体柱との間、の第1のゲート容量が、前記第2のゲート導体層と、前記第1乃至第4の半導体柱と、の間の第2のゲート容量よりも大きくなるように形成する、

ことを特徴とする。

[0018] 上記の柱状半導体素子を用いたメモリ装置の製造方法において、平面視において、前記第3のゲート導体層と、前記第4のゲート導体層の間に、第1の空孔を形成する、ことを特徴とする。

[0019] 上記の柱状半導体素子を用いたメモリ装置の製造方法において、前記第1の配線導体層と、前記第2の配線導体層の間に、第2の空孔を形成する、ことを特徴とする。

[0020] 上記の柱状半導体素子を用いたメモリ装置の製造方法において、前記第2の絶縁層が、前記第1乃至第4の半導体柱に繋がった前記第2のゲート絶縁層で形成される、
ことを特徴とする。

図面の簡単な説明

[0021] [図1]第1実施形態に係るSGTを有するメモリ装置の構造図である。

[図2]第1実施形態に係るSGTを有するメモリ装置の消去動作メカニズムを説明するための図である。

[図3]第1実施形態に係るSGTを有するメモリ装置の書き込み動作メカニズムを説明するための図である。

[図4A]第1実施形態に係るSGTを有するメモリ装置の読出し動作メカニズムを説明するための図である。

[図4B]第1実施形態に係るSGTを有するメモリ装置の読出し動作メカニズムを説明するための図である。

[図5A]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5B]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5C]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5D]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5E]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5F]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5G]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5H]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5I]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5J]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図6A]第3実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図6B]第3実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図6C]第3実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図7]従来例のキャパシタを有しない、DRAMメモリセルの動作上の問題点を説明するための図である。

[図8]従来例のキャパシタを有しない、DRAMメモリセルの動作上の問題点を説明するための図である。

[図9]従来例のキャパシタを有しない、DRAMメモリセルの読出し動作を示す図である。

発明を実施するための形態

[0022] 以下、本発明に係る、半導体素子を用いたメモリ装置（以後、ダイナミックフラッシュメモリと呼ぶ）について、図面を参照しながら説明する。

[0023] （第1実施形態）

図1～図5を用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの構造と動作メカニズムを説明する。図1を用いて、ダイナミックフラッシュメモリセルの構造を説明する。そして、図2を用いてデータ消去メカニズムを、図3を用いてデータ書き込みメカニズムを、図4A及び図4Bを用いてデータ書き込みメカニズムを説明する。図5を用いて、ダイナミック・フラッシュ・メモリの製造方法を説明する。

[0024] 図1に、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの構造を示す。基板1上に形成した、P型又はi型（真性型）の導電型を有するSi柱2（以下、シリコン半導体柱を「Si柱」と称する。）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN⁺層3a、3b（以下、ドナー不純物を高濃度で含む半導体領域を「N⁺層」と称する。）が形成されている。このソース、ドレインとなるN⁺層3a、3b間のSi柱2の部分がチャネル領域7となる。このチャネル領域7を囲むように第1のゲート絶縁層4a、第2のゲート絶縁層4bが形成されている。この第1のゲート絶縁層4a、第2のゲート絶縁層4bは、このソース、ドレインとなるN⁺層3a、3bに、それぞれ接する、または近接している。この第1のゲート絶縁層4a、第2のゲート絶縁層4bを囲むように第1のゲート導体層5a、第2のゲート導体層5bがそれぞれ形成されている。そして、第1の

ゲート導体層 5 a、第 2 のゲート導体層 5 b は絶縁層 6 により分離されている。そして、N⁺層 3 a、3 b 間の S i 柱 2 の部分のチャネル領域 7 は、第 1 のゲート絶縁層 4 a で囲まれた第 1 のチャネル S i 層 7 a と、第 2 のゲート絶縁層 4 b で囲まれた第 2 のチャネル S i 層 7 b と、よりなる。これによりソース、ドレインとなる N⁺層 3 a、3 b、チャネル領域 7、第 1 のゲート絶縁層 4 a、第 2 のゲート絶縁層 4 b、第 1 のゲート導体層 5 a、第 2 のゲート導体層 5 b からなるダイナミック フラッシュ メモリセル 9 が形成される。そして、ソースとなる N⁺層 3 a はソース線 S L に、ドレインとなる N⁺層 3 b はビット線 B L に、第 1 のゲート導体層 5 a はプレート線 P L に、第 2 のゲート導体層 5 b はワード線 W L に、それぞれ接続している。プレート線 P L が接続された、第 1 のゲート導体層 5 a のゲート容量は、ワード線 W L が接続された、第 2 のゲート導体層 5 b のゲート容量よりも、大きくなるような構造を有することが望ましい。

[0025] なお、図 1 では、プレート線 P L に接続された第 1 のゲート導体層 5 a のゲート容量が、ワード線 W L が接続された、第 2 のゲート導体層 5 b のゲート容量よりも、大きくなるように第 1 のゲート導体層 5 a のゲート長を、第 2 のゲート導体層 5 b のゲート長よりも長くしている。しかし、その他にも、第 1 のゲート導体層 5 a のゲート長を、第 2 のゲート導体層 5 b のゲート長よりも長くせずに、それぞれのゲート絶縁層の膜厚を変えて、第 1 のゲート絶縁層 4 a のゲート絶縁膜の膜厚を、第 2 のゲート絶縁層 4 b のゲート絶縁膜の膜厚よりも薄くしてもよい。また、それぞれのゲート絶縁層の材料の誘電率を変えて、第 1 のゲート絶縁層 4 a のゲート絶縁膜の誘電率を、第 2 のゲート絶縁層 4 b のゲート絶縁膜の誘電率よりも高くしてもよい。また、ゲート導体層 5 a、5 b の長さ、ゲート絶縁層 4 a、4 b の膜厚、誘電率のいずれかを組み合わせて、プレート線 P L に接続された第 1 のゲート導体層 5 a のゲート容量が、ワード線 W L が接続された、第 2 のゲート導体層 5 b のゲート容量よりも、大きくしてもよい。

[0026] 図 2 を参照して、消去動作メカニズムを説明する。N⁺層 3 a、3 b 間のチ

チャネル領域 7 は、電氣的に基板から分離され、フローティングボディとなっている。図 (a) に消去動作前に、前のサイクルでインパクトイオン化により生成された正孔群 11 がチャネル領域 7 に蓄えられている状態を示す。そして、図 (b) に示すように、消去動作時には、ビット線 BL の電圧を、負電圧 V_{ERA} にする。ここで、 V_{ERA} は、例えば、 -3 V である。その結果、チャネル領域 7 の初期電位の値に関係なく、ソース線 SL が接続されているソースとなる N^+ 層 3 a とチャネル領域 7 の P N 接合が順バイアスとなる。その結果、前のサイクルでインパクトイオン化により生成された、チャネル領域 7 に蓄えられていた、正孔群 11 が、ソース部の N^+ 層 3 a に吸い込まれ、チャネル領域 7 の電位 V_{FB} は、 $V_{FB} = V_{ERA} + V_b$ となる。ここで、 V_b は P N 接合のビルトイン電圧であり、約 0.7 V である。したがって、 $V_{ERA} = -3\text{ V}$ の場合、チャネル領域 7 の電位は、 -2.3 V になる。この値が、消去状態のチャネル領域 7 の電位状態となる。このため、フローティングボディのチャネル領域 7 の電位が負の電圧になると、ダイナミック フラッシュ メモリセル 10 の N チャネル MOS トランジスタのしきい値電圧は、基板バイアス効果によって、高くなる。これにより、図 (c) に示すように、このワード線 WL が接続された第 2 のゲート導体層 5 b のしきい値電圧は高くなる。このチャネル領域 7 の消去状態は論理記憶データ “0” となる。また、“1” 書込みにおいて、〔非特許文献 14〕を参照した GIDL (Gate Induced Drain Leakage) 電流を用いて電子・正孔対を発生させ、生成された正孔群でフローティングボディ FB 内を満たしてもよい。

[0027] 図 3 に、本発明の第 1 実施形態に係るダイナミック フラッシュ メモリセルの書込み動作を示す。図 (a) に示すように、ソース線 SL の接続された N^+ 層 3 a に例えば 0 V を入力し、ビット線 BL の接続された N^+ 層 3 b に例えば 3 V を入力し、プレート線 PL の接続された第 1 のゲート導体層 5 a に、例えば、 2 V を入力し、ワード線 WL の接続された第 2 のゲート導体層 5 b に、例えば、 5 V を入力する。その結果、図 3 (A) で示したように、プレート線 PL の接続された第 1 のゲート導体層 5 a の内周には、反転層 12 a

が形成され、第1のゲート導体層5aを有する第1のNチャネルMOSトランジスタは線形領域で動作させる。この結果、プレート線PLの接続された第2のゲート導体層5bの内周の反転層12aには、ピンチオフ点13が存在する。一方、ワード線WLの接続された第2のゲート導体層12bを有する第2のNチャネルMOSトランジスタは飽和領域で動作させる。この結果、ワード線WLの接続された第2のゲート導体層5bの内周には、ピンチオフ点は存在せずに全面に反転層12bが形成される。このワード線WLの接続された第2のゲート導体層5bの直下に全面に形成された反転層12bは、第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタの実質的なドレインとして働く。この結果、直列接続された第1のゲート導体層5aを有する第1のNチャネルMOSトランジスタと、第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタとの間のチャネル領域7の境界領域で電界は最大となり、この領域でインパクトイオン化現象が生じる。この領域は、ワード線WLの接続された第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタから見たソース側の領域であるため、この現象をソース側インパクトイオン化現象と呼ぶ。このソース側インパクトイオン化現象により、ソース線SLの接続されたN⁺層3aからビット線の接続されたN⁺層3bに向かって電子が流れる。加速された電子が格子Si原子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、第1のゲート導体層5aと第2のゲート導体層5bに流れるが、大半はビット線BLの接続されたN⁺層3bに流れる（図示せず）。

[0028] そして、図3において、図(b)に示すように、生成された正孔群11は、チャネル領域7の多数キャリアであり、チャネル領域102を正バイアスに充電する。ソース線SLの接続されたN⁺層3aは、0Vであるため、チャネル領域7はソース線SLの接続されたN⁺層3aとチャネル領域7との間のPN接合のビルトイン電圧V_b（約0.7V）まで充電される。チャネル領域7が正バイアスに充電されると、第1のNチャネルMOSトランジスタと

第2のNチャネルMOSトランジスタのしきい値電圧は、基板バイアス効果によって、低くなる。これにより、図(c)で示すように、ワード線WLの接続された第2のチャネル領域7bのNチャネルMOSトランジスタのしきい値電圧は、低くなる。このチャネル領域7の書込み状態を論理記憶データ“1”に割り当てる。

[0029] なお、書込み動作時に、上記の第1のゲート導体層5aを有する第1のNチャネルMOSトランジスタと、第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタとの間のチャネル領域7の境界領域に替えて、第1の不純物層と第1のチャネル半導体層との第2の境界領域、または、第2の不純物層と第2のチャネル半導体層との第3の境界領域で、インパクトイオン化現象、またはGIDL電流で、電子・正孔対を発生させ、発生した正孔群11でチャネル領域7を充電しても良い。

[0030] 図4A及び図4Bは、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの読出し動作を説明するための図である。図4Aの(a)に示すように、チャネル領域102がビルトイン電圧 V_b （約0.7V）まで充電されると、NチャネルMOSトランジスタのしきい値電圧が基板バイアス効果によって、低下する。この状態を論理記憶データ“1”に割り当てる。

(b)に示すように、書込みを行う前に選択するメモリブロックは、予め消去状態“0”にある場合は、チャネル領域102がフローティング電圧 V_{FB} は $V_{ERA} + V_b$ となっている。書込み動作によってランダムに書込み状態“1”が記憶される。この結果、ワード線WLに対して、論理“0”と“1”の論理記憶データが作成される。(c)に示すように、このワード線WLに対する2つのしきい値電圧の高低差を利用して、センスアンプで読出しが行われる。

[0031] 図4Bにおいて、(d)は、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの読出し動作時の、2つの第1のゲート導体層5aと第2のゲート導体層5bのゲート容量の大小関係を説明する構造図である。ワード線WLの接続する第2のゲート導体層5bのゲート容量は、プレート線

PLの接続する第1のゲート導体層5aのゲート容量よりも小さく設計することが望ましい。(d)に示すように、プレート線PLの接続する第1のゲート導体層5aの垂直方向の長さを、ワード線WLの接続する第2のゲート導体層5bの垂直方向の長さより長くして、ワード線WLの接続する第2のゲート導体層5bのゲート容量は、プレート線PLの接続する第1のゲート導体層5aのゲート容量よりも小さくする。(e)に(d)のダイナミックフラッシュメモリの1セルの等価回路を示す。そして、(f)にダイナミックフラッシュメモリの結合容量関係を示す。ここで、 C_{WL} は第2のゲート導体層5bの容量であり、 C_{PL} は第1のゲート導体層5aの容量であり、 C_{BL} はドレインとなる N^+ 層3bと第2のチャネル領域7bとの間のPN接合の容量であり、 C_{SL} はソースとなる N^+ 層3aと第1のチャネル領域7aとの間のPN接合の容量である。(g)に示すように、ワード線WLに印加される電圧が変動すると、その動作がチャネル領域7にノイズとして影響を与える。この時のチャネル領域7の電位変動 ΔV_{FB} は、 $\Delta V_{FB} = C_{WL} / (C_{PL} + C_{WL} + C_{BL} + C_{SL}) \times V_{ReadWL}$ となる。ここで、 V_{ReadWL} はワード線WLの読出し時の振幅電位である。(g)に示した式(1)から明らかなようにチャネル領域7の全体の容量 $C_{PL} + C_{WL} + C_{BL} + C_{SL}$ に比べて、 C_{WL} の寄与率を小さくすれば、 ΔV_{FB} は小さくなること分かる。 $C_{BL} + C_{SL}$ はPN接合の容量であり、大きくするためには、例えば、Si柱2の直径を大きくする。しかしこれはメモリセルの微細化に対しては望ましくない。これに対して、プレート線PLに接続する第1のゲート導体層5aの垂直方向の長さを、ワード線WLの接続する第1のゲート導体層5bの垂直方向の長さより更に長くすることによって、平面視におけるメモリセルの集積度を落すことなしに、 ΔV_{FB} を更に小さくできる。

[0032] 図5A～図5Hを用いて、本実施形態のダイナミック・フラッシュ・メモリの製造方法を示す。各図において(a)は平面図、(b)は(a)図のX-X'線に沿った断面図、(c)は(a)のY-Y'線に沿った断面図を示す。

[0033] 図5Aに示すように、基板10(特許請求の範囲の「基板」)の一例である

）上に、下からN⁺層11（特許請求の範囲の「第1の不純物領域」の一例である）、SiよりなるP層12、N⁺層13を形成する。そして、平面視において円形のマスク材料層14a、14b、14c、14d（特許請求の範囲の「第1のマスク材料層」の一例である）を形成する。なお、基板10はSOI（Silicon On Insulator）、単層または複数層よりなるSiまたは他の半導体材料より形成してもよい。また、N層、またはP層の単層、又は複数層よりなるウエル層であってもよい。

[0034] 次に、5Bに示すように、マスク材料層14a～14dをマスクにして、N⁺層13、P層12、そしてN⁺層1の上部をエッチングして、N⁺層1a上にSi柱12a（特許請求の範囲の「第1の半導体柱」の一例である）、12b（特許請求の範囲の「第2の半導体柱」の一例である）、12c（特許請求の範囲の「第3の半導体柱」の一例である）、12d（図示せず、特許請求の範囲の「第4の半導体柱」の一例である）、N⁺層13a、13b、13c、13d（図示せず）（それぞれを持って特許請求の範囲の「第2の不純物領域」の一例である）を形成する。

[0035] 次に、5Cに示すように、全体を覆ってゲート絶縁層HfO₂層17（特許請求の範囲の「第1の絶縁層」の一例である）を、例えばALD（Atomic Layer Deposition）を用いて形成する。そして、全体にゲート導体層となるTiN層（図示せず）を覆って形成する。そして、CMP（Chemical Mechanical Polishing）により、上面位置がマスク材料層14a～14dの上面になるように研磨する。そして、RIE（Reactive Ion Etching）により、TiN層を垂直方向における上面位置がSi柱12a～12dの中間位置付近になるようにエッチングして、TiN層18（特許請求の範囲の「第1の導体層」の一例である）を形成する。なお、HfO₂層17は、ゲート絶縁層として機能するものであれば、単層、又は複数層よりなる他の絶縁層であってもよい。また、TiN層18はゲート導体層の機能を持つものであれば、単層、または複数層よりなる他の導体層を用いてもよい。また、TiN層18の垂直方向における上面位置はSi柱12a～12dの中間位置より上になる

ようにエッチングするのが望ましい。

[0036] 次に、図5Dに示すように、上面位置がN⁺層13a～13dの下端付近にあるSiO₂層20を形成する。そして、全体に窒化シリコン（SiN）層（図示せず）を被覆する。そして、CMP法により、上面位置がマスク材料層14a～14dの上面位置になるように研磨する。そして、RIE法によりSiN層をエッチングすることによりN⁺層13a～13d、マスク材料層14a～14dの側面に、Si柱12a、12b間と、Si柱12c、12d間で繋がり、Si柱12a、12cと、Si柱12b、12d間で離れたSiN層21a（特許請求の範囲の「第2のマスク材料層」の一例である）、21b（特許請求の範囲の「第3のマスク材料層」の一例である）を形成する。SiN層21a、21bは、平面視において、X-X'線方向がX-X'線方向、及びY-Y'線方向に十分に離れている場合は、Si柱12a～12dの周りを等幅で囲んで形成される。この等幅の長さは、図（a）に示すところのL3（特許請求の範囲の「第3の長さ」の一例である）である。図（a）に示すように、Si柱12a、12bを囲むHfO₂層17の外周線と、X-X'線との交点間の長さL1（特許請求の範囲の「第1の長さ」の一例である）がL3の2倍より小さくすることにより、SiN層21aはSi柱12a、12b間で繋がって形成される。同様に、SiN層21bは、Si柱12c、12d間で繋がって形成される。そして、図（a）に示すように、Si柱12a、12cを囲むHfO₂層17の外周線と、Y-Y'線との交点間の長さL2（特許請求の範囲の「第2の長さ」の一例である）がL3の2倍より大きくすることにより、SiN層21a、21bはSi柱12a、12c間、及びSi柱12b、12d間で離れて形成される。

[0037] 次に、図5Eに示すように、SiN層21a、21b、マスク材料層14a～14dをマスクにして、SiO₂層20、TiN層18をエッチングして、Si柱12a、12bを囲んで、SiO₂層20a、TiN層18a（特許請求の範囲の「第1のゲート導体層」の一例である）と、Si柱12c、12dを囲んで、SiO₂層20b、TiN層18b（TiN層18aと共に特

許請求の範囲の「第1のゲート導体層」の一例である)と、を形成する。そして、SiN層21a、21b、SiO₂層20a、20bを除去する。

[0038] 次に、図5Fに示すように、SiO₂層23(特許請求の範囲の「第2の絶縁層」の一例である)を、上面位置がTiN層18a、18bの上面なるように形成する。

[0039] 次に、図5Gに示すように、SiO₂層23より上部のHfO₂層17をエッチングして、HfO₂層17a(特許請求の範囲の「第1のゲート絶縁層」の一例である)を形成する。そして、全体にHfO₂層17b(特許請求の範囲の「第2のゲート絶縁層」の一例である)を形成する。そして、全体にTiN層(図示せず)をCVD法により被覆する。そして、TiN層をCMP法により上面位置がN⁺層13a~13dの下端付近になるようにRIE法によりエッチングする。そして、図5DでSiN層21a、21bを形成したのと同じ方法により、N⁺層13a、13b、マスク材料層14a、14bの側面を囲み、且つ繋がったSiN層27a(特許請求の範囲の「第4のマスク材料層」の一例である)を形成する。同様にN⁺層13c、13d、マスク材料層14c、14dの側面を囲み、且つ繋がったSiN層27b(特許請求の範囲の「第5のマスク材料層」の一例である)を形成する。そして、SiN層27a、27bをマスクにして、TiN層をエッチングして、TiN層26a(特許請求の範囲の「第3のゲート導体層」の一例である)、26b(特許請求の範囲の「第4のゲート導体層」の一例である)を形成する。

[0040] 次に、図5Hに示すように、TiN層26a、26bとSiN層27a、27bの側面間、及び周辺に、空孔31aa、31ab、31ac、31ba、31bb、31bc、31ca、31cb、31cc(特許請求の範囲の「第1の空孔」の一例である)を含んだSiO₂層29を形成する。図(d)は、図(a)のX1-X1'線に沿った断面図である(図5Iにおいても同様)。なお、空孔31aa、31ab、31ac、31ba、31bb、31bc、31ca、31cb、31ccの上端位置は、図(d)の点線で示すTiN層26a、26bの上端位置より低く形成する。

[0041] 次に、図5 Iに示すように、マスク材料層14 a～14 dをエッチングして、コンタクトホール30 a、30 b、30 c、30 dを形成する。

[0042] 次に、図5 Jに示すように、コンタクトホール30 a、30 cを介して、N⁺層13 a、13 cに繋がったビット線BL 1 導体層31 a（特許請求の範囲の「第1の配線導体層」の一例である）と、コンタクトホール30 b、30 dを介して、N⁺層13 b、13 dに繋がったビット線BL 2 導体層31 b（特許請求の範囲の「第2の配線導体層」の一例である）と、を形成する。そして、ビット線BL 1 導体層31 a、ビット線BL 2 導体層31 b間に空孔34 a、34 b、34 c（特許請求の範囲の「第2の空孔」の一例である）を含んだSiO₂層33を形成する。これにより、基板10上にダイナミック・フラッシュ・メモリが形成される。TiN層26 a、26 bはワード線導体層WL 1、WL 2となり、TiN層18 a、18 bはプレート線導体層PL 1、PL 2となり、N⁺層1 aはソース線導体層SLとなる。

[0043] なお、図1において、プレート線PLの接続する第1のゲート導体層5 aの垂直方向の長さを、ワード線WLの接続する第1のゲート導体層5 bの垂直方向の長さより更に長くし、 $C_{PL} > C_{WL}$ とすることが、望ましい。しかし、プレート線PLを付加することだけで、ワード線WLのチャネル領域7に対する、容量結合のカップリング比（ $C_{WL} / (C_{PL} + C_{WL} + C_{BL} + C_{SL})$ ）が小さくなる。その結果、フローティングボディのチャネル領域7の電位変動 ΔV_{FB} は、小さくなる。

[0044] 図2を用いた消去動作、図3を用いた書き込み動作、図4を用いた読み出し動作におけるソース線SL、プレート線PL、ワード線WL、ビット線BLへの印加電圧例を示した。これらソース線SL、プレート線PL、ワード線WL、ビット線への印加電圧は、各消去、書き込み、読み出しの基本動作が得られるならば、変えてもよい。また、図1において、垂直方向において、絶縁層6で囲まれた部分のチャネル領域7では、第1のチャネル領域7 a、第2のチャネル領域7 bの電位分布が繋がって形成されている。これにより、第1のチャネル領域7 a、第2のチャネル領域7 bのチャネル領域7

が、垂直方向において、絶縁層6で囲まれた領域で繋がっている。

[0045] また、図5 Jにおける、N+層11 aは、図5 Aで示したようにSi柱12 a～12 dを形成する工程の前に形成した。これに対して、例えばSi柱12 a～12 dを形成した後などの工程で形成してもよい。同様に、図5 Jにおける、N+層13 a～13 dは、Si柱12 a～12 dを形成する工程の前に形成したN+層13を用いて形成した。これに対して、N+層13 a～13 dは、例えばSi柱TiN層26 a、26 bを形成した後などの工程で形成してもよい。

[0046] また、図5 Iでは、空孔31 a a、31 a b、31 a c、31 b a、31 b b、31 b c、31 c a、31 c b、31 c cは互いに孤立して形成した。これに対し、Si柱12 a、12 c間、Si柱12 b、12 d間の距離を大きくして、空孔31 a a、31 a b、31 a c間を繋げ、31 b a、31 b b、31 b c間を繋げ、31 c a、31 c b、31 c c間を繋げて形成してもよい。

[0047] また、図5 Gに示したように、TiN層18 aとTiN層26 a間の絶縁は、TiN層18 a上を覆ったSiO₂層23と、ゲート絶縁層のHfO₂層17 bによりなされている。これに対し、TiN層18 aとTiN層26 a間絶縁は、HfO₂層17 bだけを行うように形成してもよい。

[0048] 本実施形態は、下記の特徴を供する。

(特徴1)

本実施形態のダイナミック フラッシュ メモリセルでは、ソース、ドレインとなるN⁺層3 a、3 b、チャネル領域7、第1のゲート絶縁層4 a、第2のゲート絶縁層4 b、第1のゲート導体層5 a、第2のゲート導体層5 bが、全体として柱状に形成される。また、ソースとなるN⁺層3 aはソース線SLに、ドレインとなるN⁺層3 bはビット線BLに、第1のゲート導体層5 aはプレート線PLに、第2のゲート導体層5 bはワード線WLに、それぞれ接続している。プレート線PLが接続された、第1のゲート導体層5 aのゲート容量は、ワード線WLが接続された、第2のゲート導体層5 bのゲート

容量よりも、大きくなるような構造を特徴としている。本ダイナミック フラッシュ メモリセルでは、垂直方向に第 1 のゲート導体層と、第 2 のゲート導体層が、積層されている。このため、プレート線 PL が接続された、第 1 のゲート導体層 5 a のゲート容量が、ワード線 WL が接続された、第 2 のゲート導体層 5 b のゲート容量よりも、大きくなるような構造にしても、平面視において、メモリセル面積を大きくさせない。これによりダイナミック フラッシュ メモリセルの高性能化と高集積化が同時に実現できる。

[0049] (特徴 2)

本発明の第 1 実施形態に係るダイナミック フラッシュ メモリセルのプレート線 PL の接続する第 1 のゲート導体層 5 a の役割に注目すると、以下 (1) ~ (5) の 5 つある。

(1) ダイナミック フラッシュ メモリセルが書込み、読出し動作をする際に、ワード線 WL の電圧が上下に振幅する。この際に、プレート線 PL は、ワード線 WL とチャネル領域 7 との間の容量結合比を低減させる役目を担う。この結果、ワード線 WL の電圧が上下に振幅する際の、チャネル領域 7 の電圧変化の影響を著しく抑えることができる。これにより、論理 “0” と “1” を示すワード線 WL の SGT トランジスタのしきい値電圧差を大きくすることが出来る。これは、ダイナミック フラッシュ メモリセルの動作マージンの拡大に繋がる。

(2) ダイナミック フラッシュ メモリセルが消去、書込み、読出し動作をする際に、プレート線 PL が接続された、第 1 のゲート導体層 5 a と、ワード線 WL が接続された第 2 のゲート電極 5 b と、の両者が、SGT トランジスタのゲートとして働く。ビット線 BL からソース線 SL に電流が流れる際に、SGT トランジスタの短チャネル効果 (Short Channel Effect) を抑えることができる。このように、プレート線 PL の接続された第 1 のゲート導体層 5 a により、短チャネル効果が抑止される。これにより、データ保持特性の向上が図られる。

(3) ダイナミック フラッシュ メモリセルの書込み動作が開始される

と、チャネル領域7へ徐々に正孔群が貯まり、プレート線PLを有する、第1のMOSトランジスタと、ワード線WLを有する、第2のMOSトランジスタのしきい値電圧は低下する。この際に、プレート線PLを有する、第1のMOSトランジスタのしきい値電圧が低下することによって、書込み動作時のインパクトイオン化現象を助長する。これにより、プレート線PLは、書込み時に正帰還を働かせて、書込み動作の高速化が図られる。

(4) “1” 書込みを行った、ダイナミック フラッシュ メモリセルにおいて、プレート線PLを有する、第1のMOSトランジスタのしきい値電圧が低下している。この結果、プレート線PLに正バイアスを印加すると、常時、プレート線PLに繋がる第1のゲート導体層5aの内周には、反転層が形成される。この結果、プレート線PLに繋がる第1のゲート導体層5aの内周に形成された、反転層に溜まる電子層が、導体電波シールド層となる。これにより、“1” 書込みを行った、ダイナミック フラッシュ メモリセルは、その周辺からの外乱ノイズから、遮蔽される。

(5) ダイナミック フラッシュ メモリセルの書込み動作時に、インパクトイオン化現象で、フォトンが発生する。発生したフォトン、第1のゲート導体層5aと第2のゲート導体層5bとで反射を繰り返し、Si柱2の垂直方向に進んで行く。この際に、プレート線PLは、書込み時に発生したフォトンが、水平方向にある隣接メモリセルのデータを破壊しないように、フォトンに対して、光遮蔽効果がある。

(特徴3)

図5D、図5Eに示したように、Si柱12a、12bを囲むHfO₂層17の外周線と、X-X'線との交点間の長さL2が、Y-Y'線でのSiN層21a、21bの幅L3の2倍より小さくし、且つSi柱12a、12cを囲むHfO₂層17の外周線と、Y-Y'線との交点間の長さL1がL3の2倍より大きくすることにより、SiN層21aをSi柱12a、12b間で繋がり、且つSi柱12b、12c間で離れて形成することができた。同様に、SiN層21bをSi柱12c、12d間で繋がり、且つSi柱12

a、12c間で離れて形成することができた。SiN層21a、21bは、Si柱12a～12dに対して自己整合で形成される。従って、SiN層21a、21bをエッチングマスクにして形成されるプレート線PLであり、且つゲート導体層であるTiN層18a、18bはSi柱12a～12dに対して、自己整合で形成される。この自己整合により、TiN層18a、18bが形成されることにより、ダイナミック フラッシュ メモリの高集積化が図れる。そして、TiN層18a、18bの形成には、リソグラフィ工程におけるマスクパターンがないので、使用するマスクの低コスト化が図れる。

(特徴4)

図5Gに示したように、ワード線WLであり、且つゲート導体層であるTiN層26aが、TiN層26bと離れて、Si柱12a、12bに対して自己整合により、Si柱12a、12b間で繋がり形成される。同じくTiN層26bが、TiN層26aと離れて、Si柱12c、12dに対して自己整合により、Si柱12c、12d間で繋がり形成される。これにより、ダイナミック フラッシュ メモリの高集積化が図れる。そして、TiN層26a、26bの形成は、TiN層18a、18bの形成と同じく、リソグラフィ工程におけるマスクパターンがないので、使用するマスクの低コスト化が図れる。そして、平面視において、ワード線WLであり、且つゲート導体層であるTiN層26a、26bは、プレート線PLであり、且つゲート導体層であるTiN層18a、18bと、重なって形成される。これにより、ダイナミック フラッシュ メモリの高集積化が図れる。

[0050] 図6A～図6Cを用いて、第2実施形態のダイナミック フラッシュ メモリの製造方法を示す。(a)図は平面図、(b)図は(a)図のX-X'線に沿った断面図、(c)図は(a)図のY-Y'線に沿った断面図を示す。

[0051] 図5A～図5Cに示した工程を行う。そして、図6Aに示すように、垂直方向において、TiN層17a、17bの上面より上のHfO₂層17を除去して、HfO₂層17aを形成する。そして、全体にHfO₂層33を形成する

。そして、全体にTiN層（図示せず）を被覆する。そして、CMP法により、上面がマスク材料層14a～14dの上面になるように研磨する。そして、RIE法により、上面位置がN⁺層13a～13dの下端付近までエッチングしてTiN層33を形成する。

[0052] 次に、図6Bに示すように、全体に窒化シリコン（SiN）層（図示せず）を被覆する。そして、CMP法により、上面位置がマスク材料層14a～14dの上面位置になるように研磨する。そして、RIE法によりSiN層をエッチングすることによりN⁺層13a～13d、マスク材料層14a～14dの側面に、Si柱12a、12b間と、Si柱12c、12d間で繋がり、Si柱12a、12cと、Si柱12b、12dと、間で離れたSiN層36a、36bを形成する。

[0053] 次に、図6Cに示すように、SiN層36a、36b、マスク材料層14a～14dをマスクにして、TiN層34、HfO₂層33、TiN層18をエッチングしてTiN層18c、18d、24a、34b、HfO₂層33a、33bを形成する。この後、図5H、図5Iと同じ工程を行う。これにより、第1実施形態と同じく、基板10上にダイナミックフラッシュメモリが形成される。

[0054] 本実施形態は、下記の特徴を供する。

図5に示したダイナミックフラッシュメモリの製造方法においては、プレート線PLとゲート導体層であるTiN層18a、18bと、ワード線WLとゲート導体層であるTiN層26a、26bとが、別々に形成されていた。これに対し、本実施形態では、図6Cに示すように、SiN層36a、36b、マスク材料層14a～14dをマスクにして、TiN層34、HfO₂層33、TiN層18を一括でエッチングして、プレート線PLとゲート導体層であるTiN層18c、18dと、ワード線WLとゲート導体層であるTiN層34a、34bを形成した。これにより、ダイナミックフラッシュメモリの製造が容易になる。

[0055] （その他の実施形態）

なお、本発明では、 Si 柱2、12a～12dを形成したが、これ以外の半導体材料よりなる半導体柱であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0056] また、第1実施形態における、 N^+ 層3a、3b、11、13は、ドナー不純物を含んだ Si 、または他の半導体材料層より形成されてもよい。また、 N^+ 層3a、3b、11、13は異なる半導体材料層より形成されてもよい。また、それらの形成方法はエピタキシャル結晶成長法、または、他の方法で N^+ 層を形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0057] また、図5(A)に示した、マスク材料層14a～14dは、例えば、 SiO_2 層、酸化アルミニウム(Al_2O_3 、 AlO とも称する)層、 SiN 層などの、本発明の目的に合う材料であれば、単層または複数層よりなる有機材料または無機材料を含む他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0058] また、図5Aに示した、マスク材料層14a～14dの厚さ、及び形状は、CMPによる研磨、及びRIEエッチング、洗浄により変化する。この変化は、本発明の目的に合うもの内であれば、問題ない。このことは、本発明に係るその他の実施形態においても同様である。

[0059] また、第1実施形態では、プレート線PLと、このプレート線PLに繋がるゲート導体層5aとして TiN 層18a、18bを用いた。これに対して、 TiN 層18a、18bに替えて、単層または複数の導体材料層を組み合わせ用いてもよい。同じく、ワード線WLと、このワード線WLに繋がるゲート導体層5aとして TiN 層18a、18bを用いた。これに対して、 TiN 層18a、18bに替えて、単層または複数の導体材料層を組み合わせ用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0060] また、図5Dに示す SiN 層21a、21b、 SiO_2 層20a、20b、図5Gに示す SiN 層27a、27bは、 TiN 層18a、18b、26a

、26bを形成するためのエッチングマスク層である。SiN層21a、21b、27a、27b、SiO₂層20a、20bは、本実施形態におけるエッチングマスクの機能を得るものであれば、単層、または複数層の他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0061] また、第2実施形態で、ゲート絶縁層として、Si柱12a～12dを囲んで、ゲート絶縁層となるHfO₂層17a、26aを形成しているが、それぞれを単層または複数層よりなる他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0062] また、第1実施形態では、Si柱12a～12dの平面視における形状は、円形状であった。そして、Si柱12a～12dの平面視における形状は、円形、楕円、一方方向に長く伸びた形状などであってもよい。そして、ダイナミックフラッシュメモリセル領域から離れて形成されるロジック回路領域においても、ロジック回路設計に応じて、ロジック回路領域に、平面視形状の異なるSi柱を混在して形成することができる。これらのこのことは、本発明に係るその他の実施形態においても同様である。

[0063] また、第1実施形態では、Si柱12a～12d上下に、同じ極性の導電性を有するN⁺層11a、13a～13dを用いて、ソース、ドレインを構成するダイナミックフラッシュメモリセルについて説明したが、極性が異なるソース、ドレインを有するトンネル型デバイスに対しても、本発明が適用できる。このことは、本発明に係るその他の実施形態においても同様である。

[0064] また、第1実施形態および第5実施形態では、消去動作時にソース線SLを負バイアスにして、フローティングボディFBであるチャネル領域7内の正孔群を引き抜いていたが、ソース線SLに代わり、ビット線BLを負バイアスにして、あるいは、ソース線SLとビット線BLを負バイアスにして、消去動作を行ってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0065] また、図 2、図 3、図 4 を用いて説明した動作において、プレート線 P L の電圧 V_{ErasePL} は、各動作モードに関わらず、例えば、2 V の固定電圧を印加しても良い。また、プレート線 P L の電圧 V_{ErasePL} は、消去時のみ、例えば、0 V を印加しても良い。

[0066] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0067] 本発明に係る、S G T を用いたメモリ装置の製造方法によれば、高密度で、かつ高性能の S G T を用いたメモリ装置であるダイナミック フラッシュメモリが得られる。

符号の説明

[0068] 1、10 基板
2、12 a、12 b、12 c、12 d Si 柱
3 a、3 b、11、11 a、13、13 a、13 b、13 c、13 d N^+ 層
4 a 第 1 のゲート絶縁層
4 b 第 2 のゲート絶縁層
5 a 第 1 のゲート導体層
5 b 第 2 のゲート導体層
6 絶縁層
7 チャネル領域
7 a 第 1 のチャネル領域
7 b 第 2 のチャネル領域
S L ソース線

PL プレート線

WL ワード線

12 P層

14a、14b、14c、14d マスク材料層

17、17a、17b、33 HfO₂層

18、18a、18b、26a、26b、34、34a、34b TiN層

20、20a、20b、23 SiO₂層

21a、21b、27a、27b、36a、36b SiN層

30a、30b、30c、30d コンタクトホール

32a、32b ビット線導体層

31aa、31ab、31ac、31ba、31bb、31bc、31ca
、31cb、31cc、34a、34b、34c 空孔

請求の範囲

[請求項1]

第1のゲート導体層と、第2のゲート導体層と、第3のゲート導体層と、第4のゲート導体層と、第1の不純物領域と、第2の不純物領域と、に印加する電圧を制御して、第1の半導体柱、第2の半導体柱、第3の半導体柱、第4の半導体柱のいずれか、または全ての内部に、インパクトイオン化現象により、またはゲート誘起ドレインリーク電流により形成した正孔群を保持するデータ保持動作と、前記第1のゲート導体層と、前記第2のゲート導体層と、前記第3のゲート導体層と、前記第4のゲート導体層と、前記第1の不純物領域と、前記第2の不純物領域と、に印加する電圧を制御して、前記第1乃至4の半導体柱のいずれか、または全ての内部から前記正孔群を除去するデータ消去動作とを行う柱状半導体素子を用いたメモリ装置の製造方法であって、

前記基板上に垂直方向に立ち、且つ平面視において第1の線上に隣接して配置した前記第1の半導体柱と前記第2の半導体柱と、前記第1の線に並行した第2の線上に隣接して配置した前記第3の半導体柱と前記第4の半導体柱と、を形成する工程と、

前記第1の半導体柱乃至第4の半導体柱を囲んだ第1の絶縁層を形成する工程と、

前記第1の絶縁層を囲み、且つ垂直方向において、上面位置が前記第1の半導体柱乃至第4の半導体柱の下方にあり、且つ前記第1の線上で前記第1の半導体柱と前記第2の半導体柱との間で繋がった前記第1のゲート導体層と、前記第2の線上の前記第3の半導体柱と前記第4の半導体柱との間で繋がった前記第2のゲート導体層と、を形成する工程と、

垂直方向における前記第1のゲート導体層と、前記第2のゲート導体層より上部の前記第1の絶縁層をエッチングして、前記第1の半導体柱乃至第4の半導体柱の下部に第1のゲート絶縁層を形成する工程

と、

垂直方向において、前記第1のゲート絶縁層に接し、且つ第1の半導体柱乃至第4の半導体柱の側面を囲んで第2のゲート絶縁層を形成する工程と、

前記第2のゲート絶縁層を囲み、且つ垂直方向において、上面位置が前記第1の半導体柱乃至第4の半導体柱の頂部下方にあって、前記第1の線上で前記第1の半導体柱と前記第2の半導体柱との間で繋がりを、且つ前記第1のゲート導体層と垂直方向に離れた前記第3のゲート導体層と、前記第2の線上の前記第3の半導体柱と前記第4の半導体柱との間で繋がりを、前記第2のゲート導体層と垂直方向に離れた前記第4のゲート導体層と、を形成する工程と、

前記第1乃至第4の半導体柱を形成する前に、または後に前記第2の半導体柱と、前記第3の半導体柱と、前記第4の半導体柱との底部に繋がった前記第1の不純物領域を形成する工程と、

前記第1乃至第4の半導体柱を形成する前に、または形成した後に、前記第1乃至第4の半導体柱の頂部のそれぞれに前記第2の不純物領域を形成する工程と、

前記第1の半導体柱と、前記第3の半導体柱と、の頂部の前記第2の不純物領域に繋がった第1の配線導体層と、前記前記第2の半導体柱と、前記第4の半導体柱と、の頂部の前記第2の不純物領域に繋がった第2の配線導体層とを形成する工程と、を有する、

ことを特徴とする柱状半導体素子を用いたメモリ装置の製造方法。

[請求項2]

平面視において、前記第1の半導体柱と、前記第2の半導体柱と、を囲む前記第1のゲート絶縁層の2つの外周線と、前記第1の線と、の交点の内で向かい合った2点間の第1の長さが、前記第1の半導体柱と、前記第3の半導体柱と、を囲む前記第2のゲート絶縁層の2つの外周線と、前記第1の線と直交する第2の線との交点の内の向かい合った2点間の第2の長さより小さく、

前記第2の長さが、前記第2の線上にあって前記第1の半導体柱を囲む前記第1のゲート導体層の厚さの第3の長さの2倍より大きく、
前記第1の長さが前記第3の長さの2倍より小さい、
ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項3]

前記第1のゲート絶縁層を形成した後、前記第1のゲート絶縁層の外周部に、その上面位置が、垂直方向にあって、前記第1のゲート導体層と、前記第2のゲート導体層の上端になる第1の導体層を形成する工程と、

前記第1乃至第4の半導体柱と頂部上にある第1のマスク材料層と、前記第1乃至第4の半導体柱と側面を囲み、前記第1の半導体柱と、前記第2の半導体柱と、の間で繋がった第2のマスク材料層と、前記第3の半導体柱と、前記第4の半導体柱と、の間で繋がり、且つ前記第2のマスク材料層と離れた第3のマスク材料層と、を形成する工程と、

前記第1のマスク材料層と、前記第2のマスク材料層と、前記第3のマスク材料層と、をマスクにして前記第1の導体層をエッチングして、前記第1のゲート導体層と、前記第2のゲート導体層とを形成する工程と、

を有することを特徴とする請求項2に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項4]

前記第2のゲート絶縁層を形成した後、前記第2のゲート絶縁層の外周部に、その上面位置が、垂直方向にあって、前記第2の不純物領域の下端付近にある第2の導体層を形成する工程と、

前記第2の導体層上にあり、前記第1乃至第4の半導体柱の頂部上にある前記第1のマスク材料層と、前記前記第1乃至第4の半導体柱の側面を囲み、前記第1の半導体柱と、前記第2の半導体柱と、の間で繋がった第4のマスク材料層と、前記第3の半導体柱と、前記第4

の半導体柱と、の間に繋がった第5のマスク材料層と、を互いに離して形成する工程と、

前記第1のマスク材料層と、前記第4のマスク材料層と、前記第5のマスク材料層と、をマスクにして前記第2の導体層をエッチングして、前記第3のゲート導体層と、前記第4のゲート導体層とを形成する工程と、

を有することを特徴とする請求項2に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項5]

前記第1のゲート絶縁層を形成した後、前記第1のゲート絶縁層の外周部に、その上面位置が、垂直方向にあって、前記第1のゲート導体層と、前記第2のゲート導体層の上端にある第3の導体層を形成する工程と、

前記第3の導体層の上に、第2の絶縁層を形成する工程と、

前記第2の絶縁層上に、垂直方向において、その上面が前記第2の不純物領域の下端に近接する第4の導体層を形成する工程と、

前記第4の導体層上にあり、前記第1乃至第4の半導体柱の頂部上にある第4のマスク材料層と、前記第1乃至第4の半導体柱の側面を囲み、前記第1の半導体柱と、前記第2の半導体柱と、の間に繋がった第6のマスク材料層と、前記第3の半導体柱と、前記第4の半導体柱と、の間に繋がった第7のマスク材料層と、を互いに離して形成する工程と、

前記第1のマスク材料層と、前記第6のマスク材料層と、前記第7のマスク材料層と、をマスクにして前記第3の導体層、前記第2の絶縁層、前記第4の導体層をエッチングして、前記第1のゲート導体層と、前記第2のゲート導体層と、前記第3のゲート導体層と、前記第4のゲート導体層と、を形成する工程と、

を有することを特徴とする請求項2に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項6] 前記第1の不純物領域に繋がる配線は、ソース線であり、前記第2の不純物領域に繋がる配線はビット線であり、前記第1のゲート導体層と前記第2のゲート導体層に繋がる配線と、前記第3のゲート導体層と前記第4のゲート導体層に繋がる配線の一方がワード線であれば、他方が第1の駆動制御線であるように形成し、

前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線とに印加する電圧により、選択的に前記メモリ消去動作および前記メモリ書き込み動作を行う、

ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項7] 前記第1のゲート導体層と、前記第1乃至第4の半導体柱との間、の第1のゲート容量が、前記第2のゲート導体層と、前記第1乃至第4の半導体柱と、の間の第2のゲート容量よりも大きくなるように形成する、

ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項8] 平面視において、前記第3のゲート導体層と、前記第4のゲート導体層の間に、第1の空孔を形成する、

ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

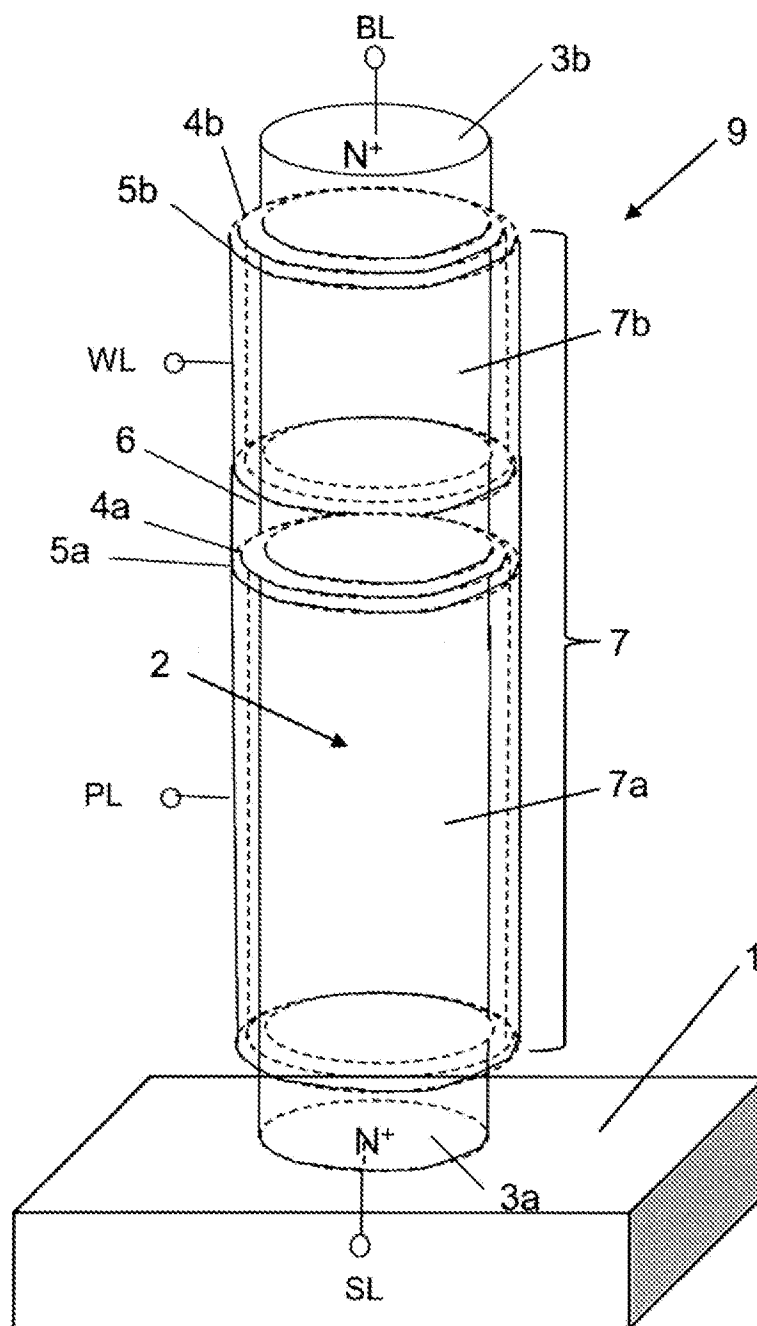
[請求項9] 前記第1の配線導体層と、前記第2の配線導体層の間に、第2の空孔を形成する、

ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項10] 前記第2の絶縁層が、前記第1乃至第4の半導体柱に繋がった前記第2のゲート絶縁層で形成される、

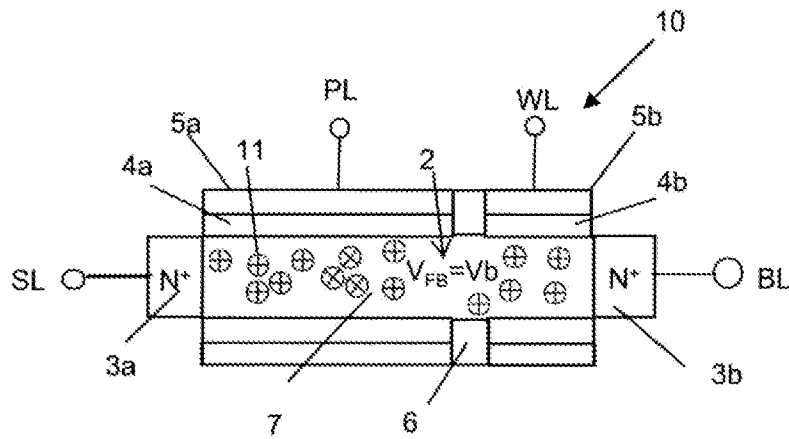
ことを特徴とする請求項5に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[図1]

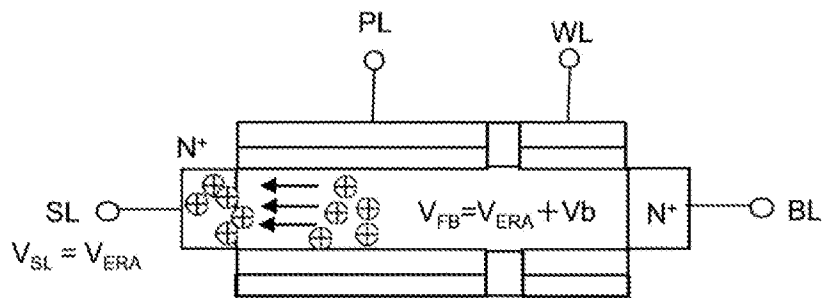


[図2]

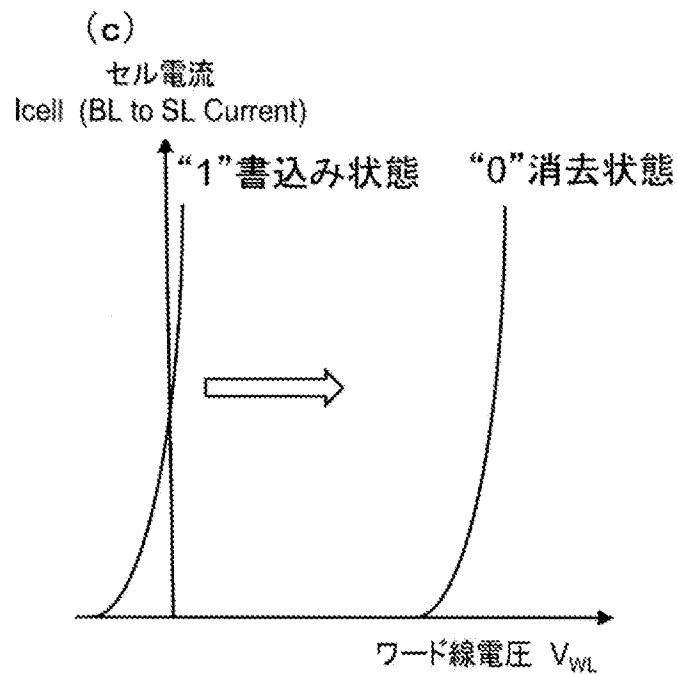
(a) “1” 書込み状態



(b) “0” 消去動作

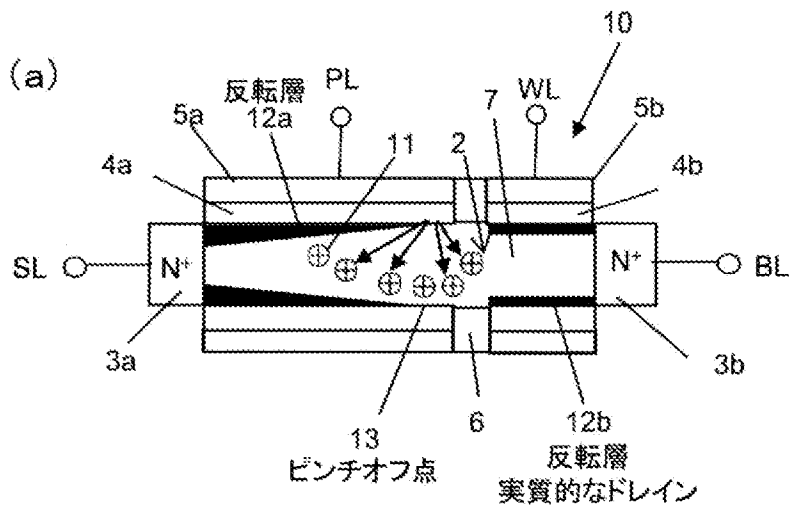


V_b : Built-in Voltage ~0.7V
ビルトイン電圧 ~0.7V

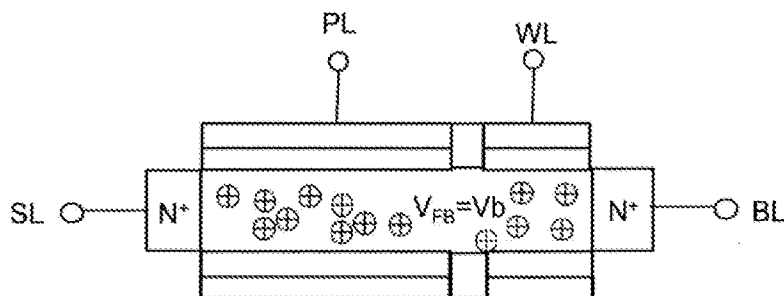


[図3]

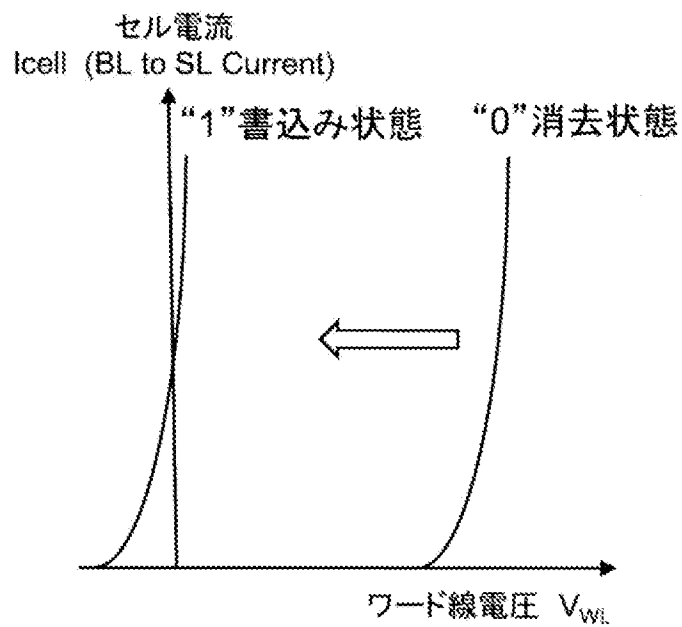
“1” 書込み動作
ソース側インパクトイオン化



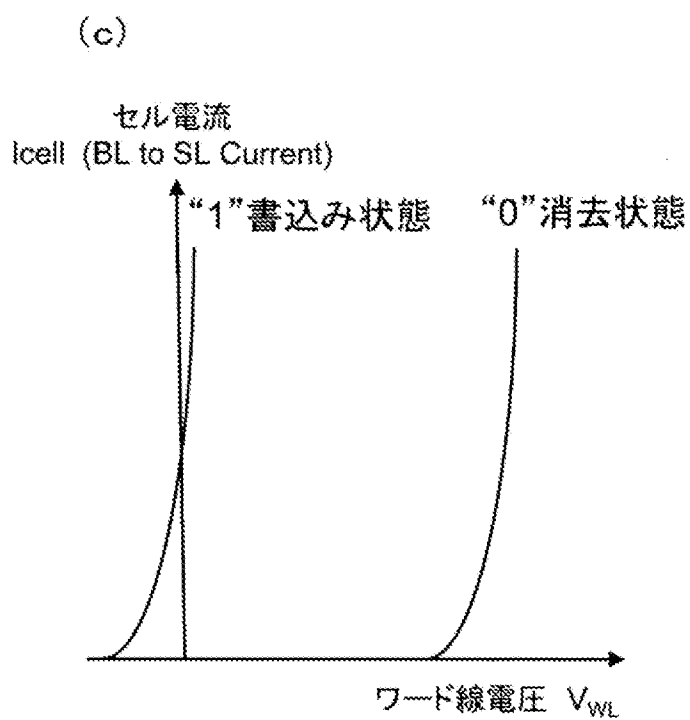
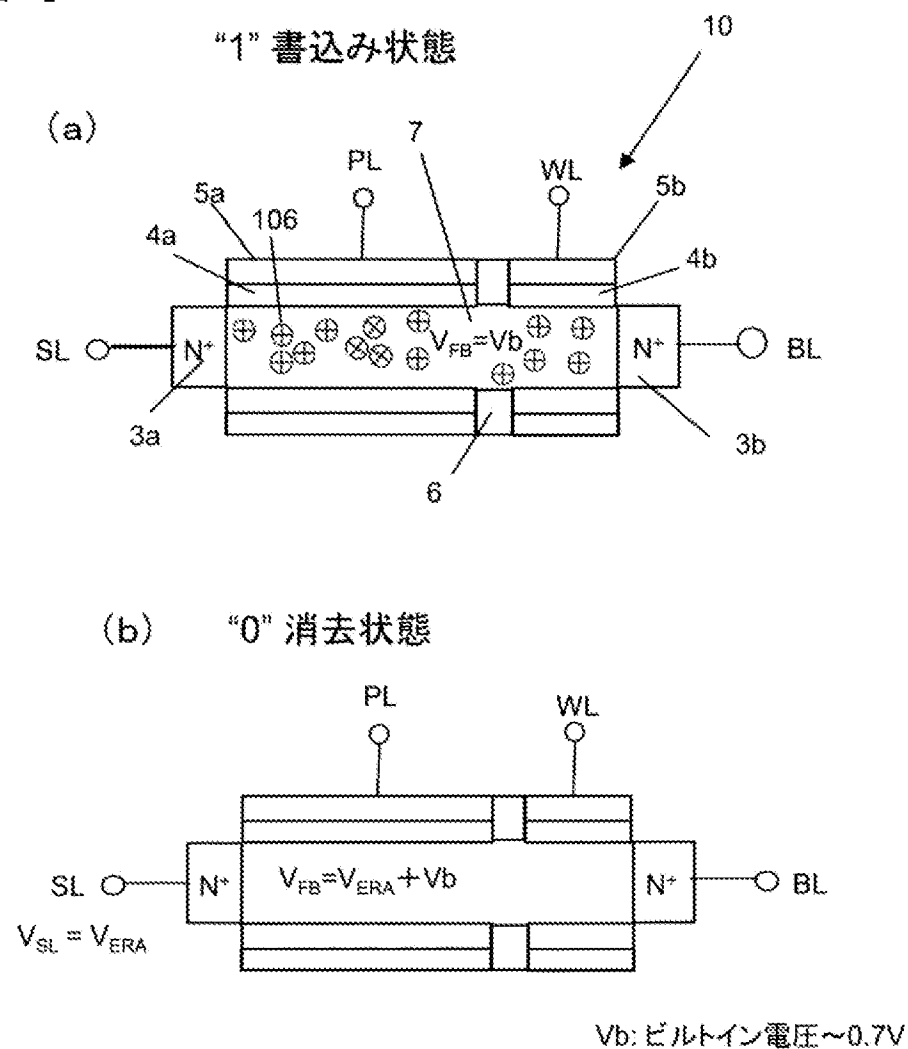
(b) “1” 書込み状態



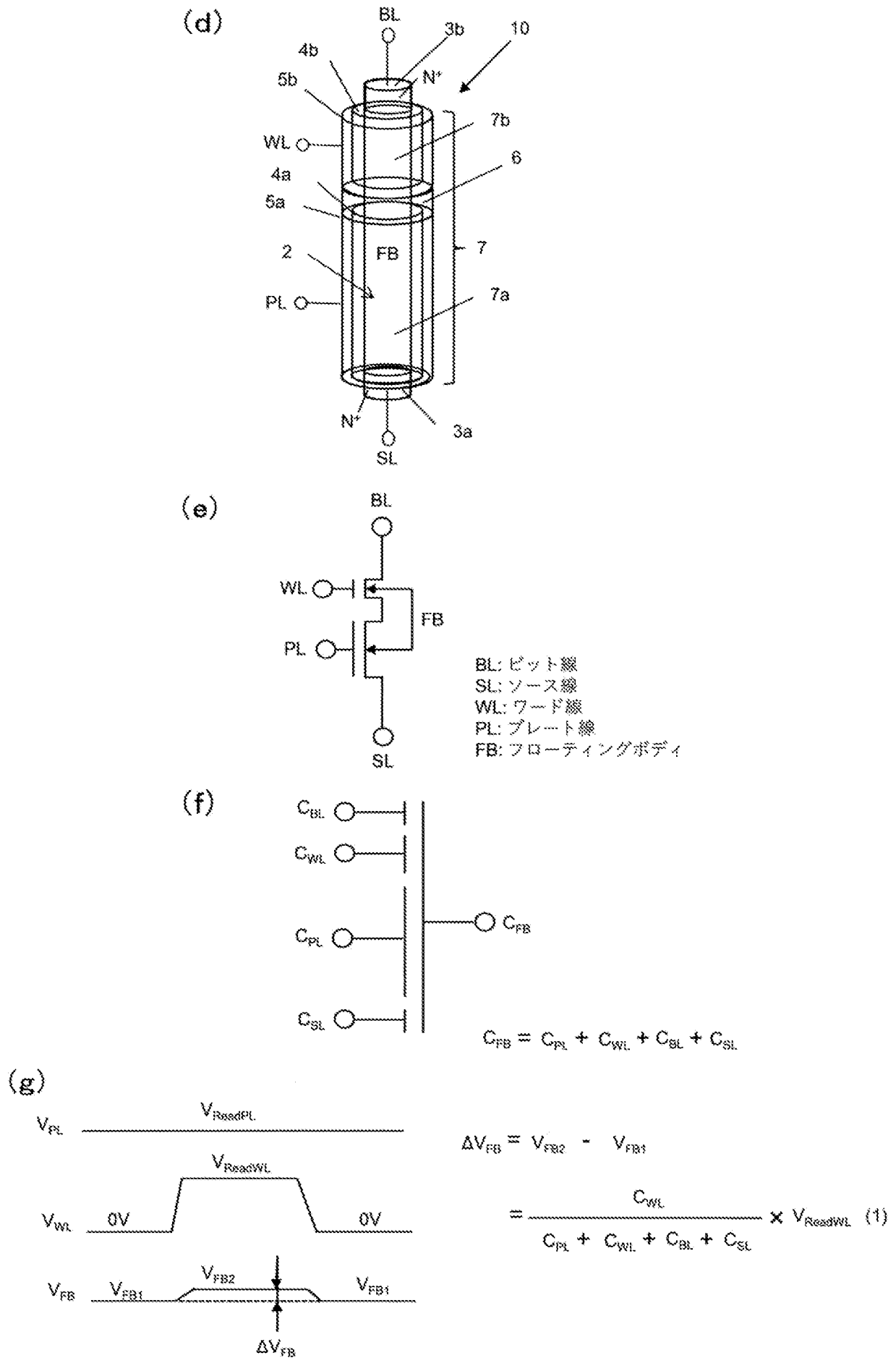
(c)



[図4A]

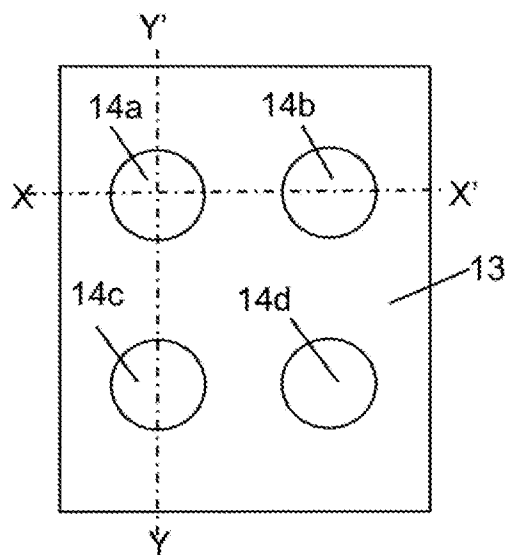


[図4B]

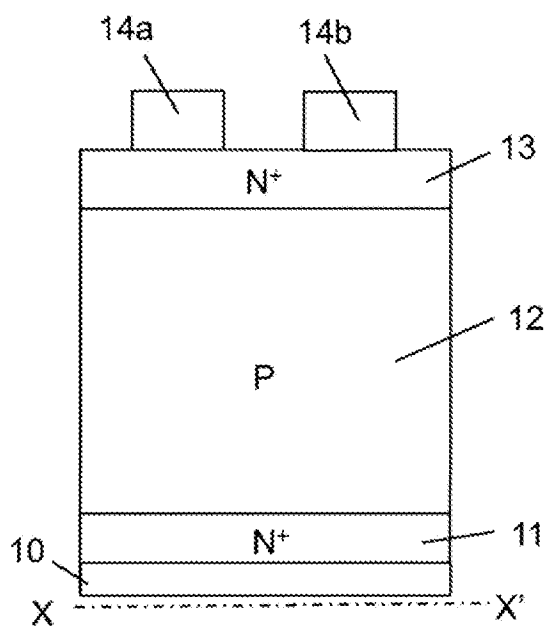


[図5A]

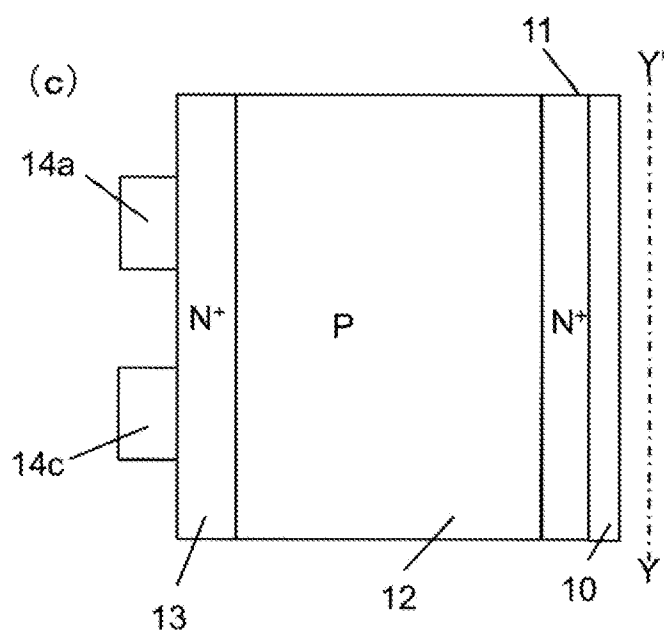
(a)



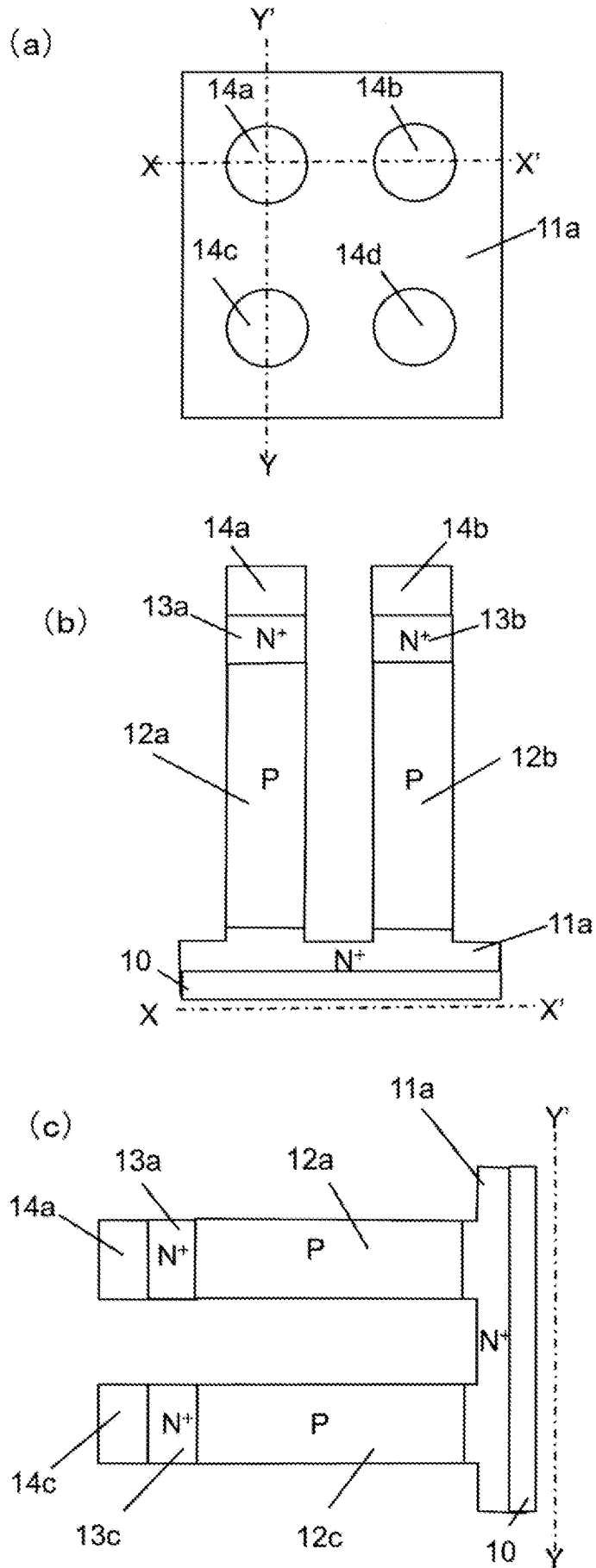
(b)



(c)

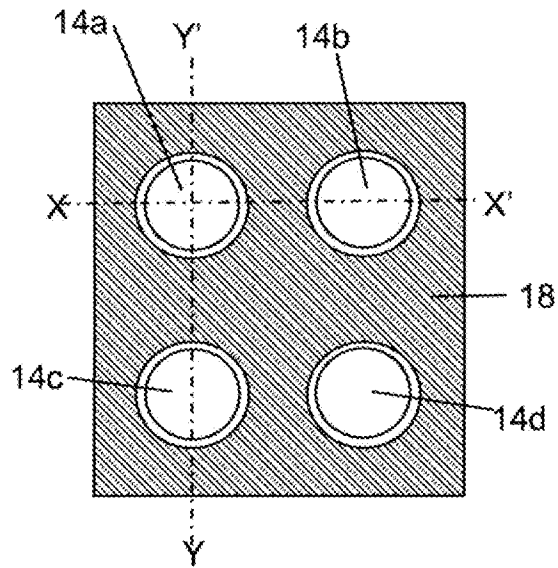


[図5B]

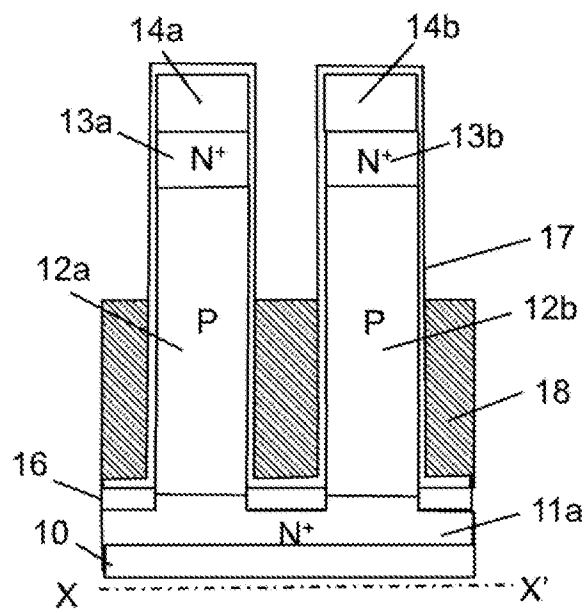


[図5C]

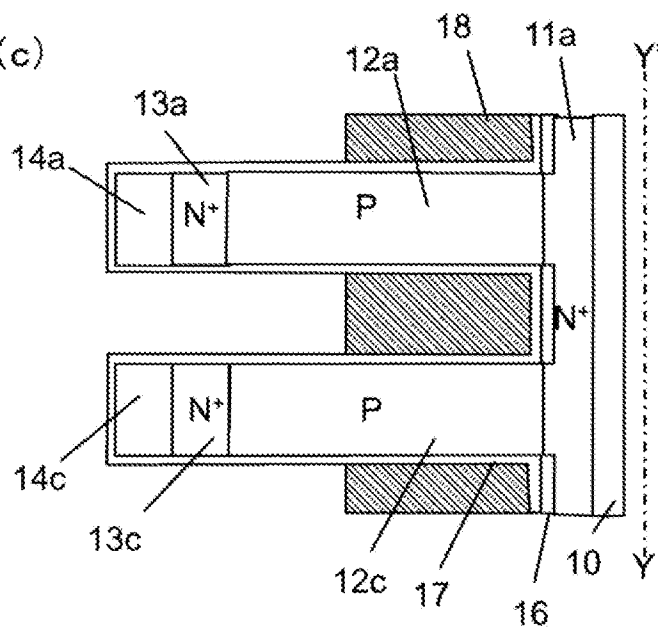
(a)



(b)

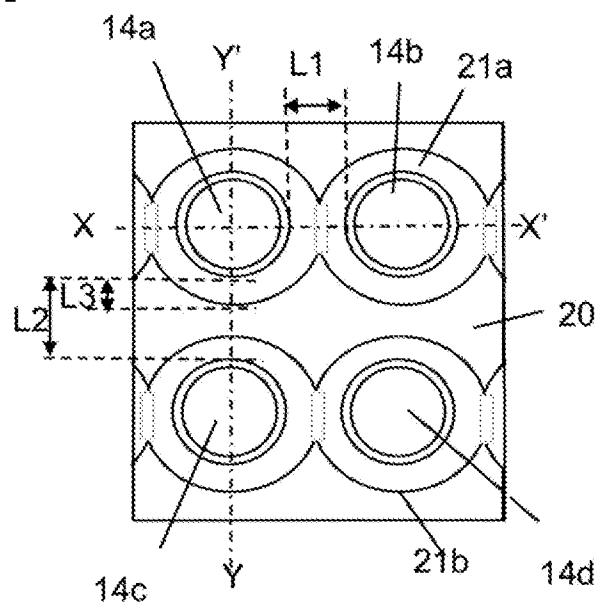


(c)

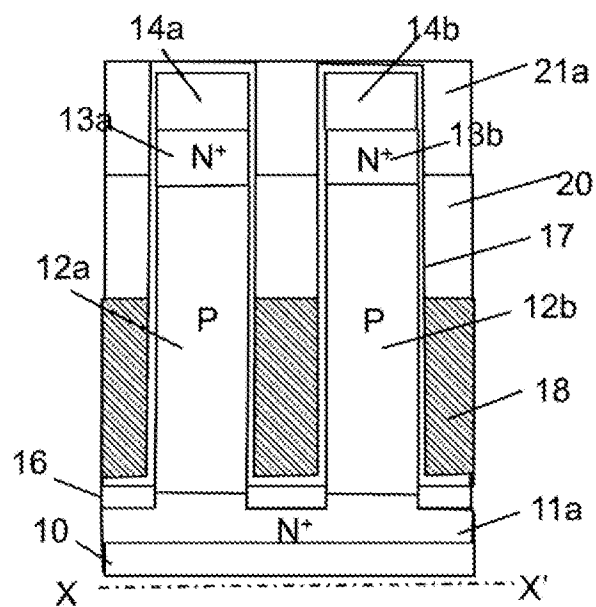


[図5D]

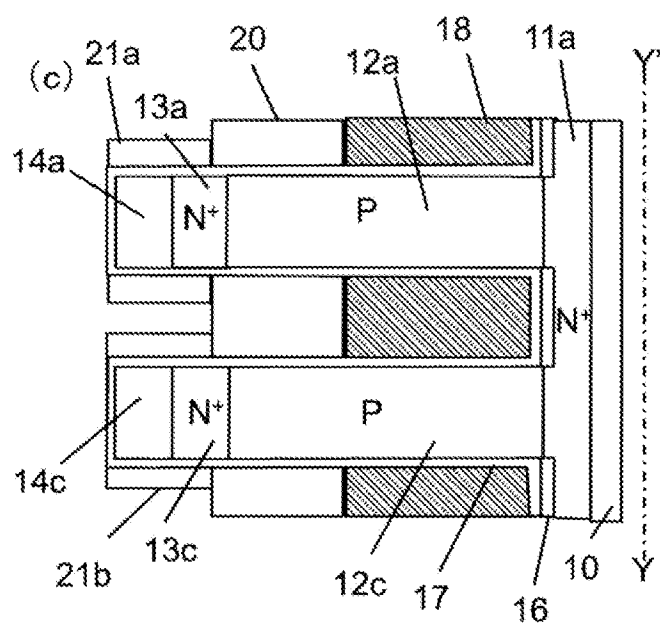
(a)



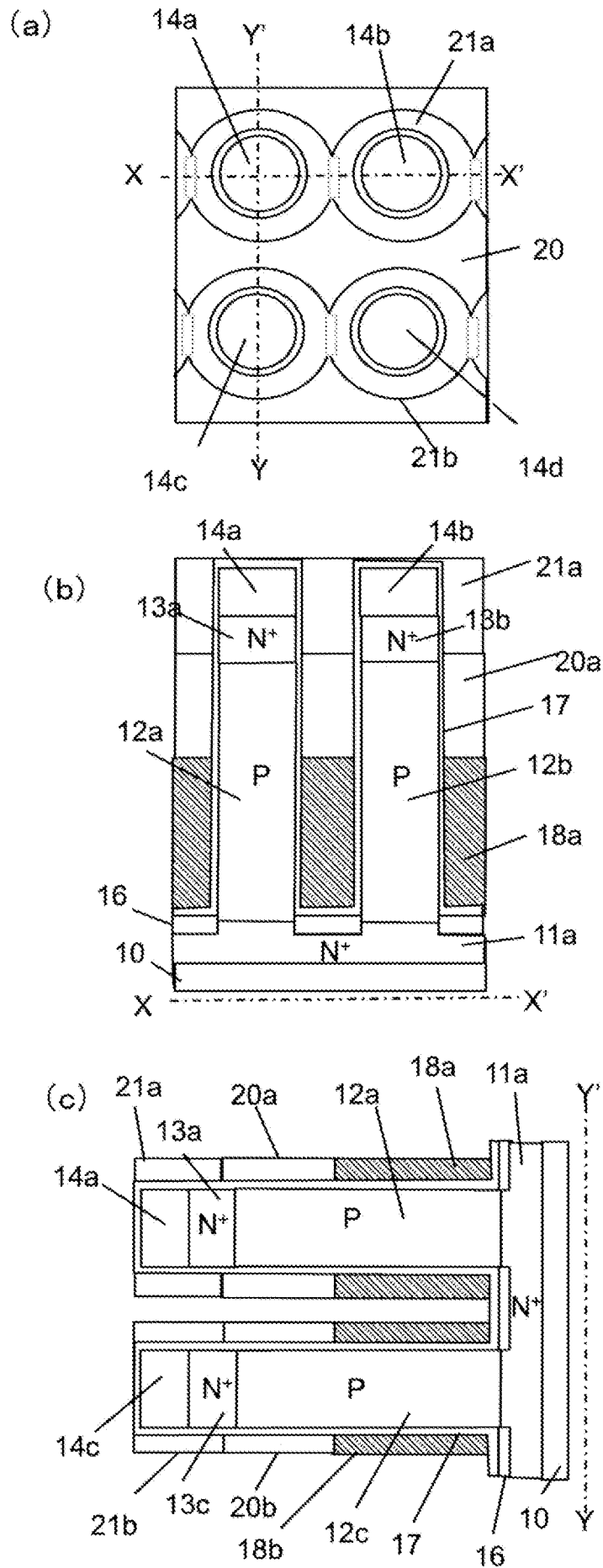
(b)



(c)

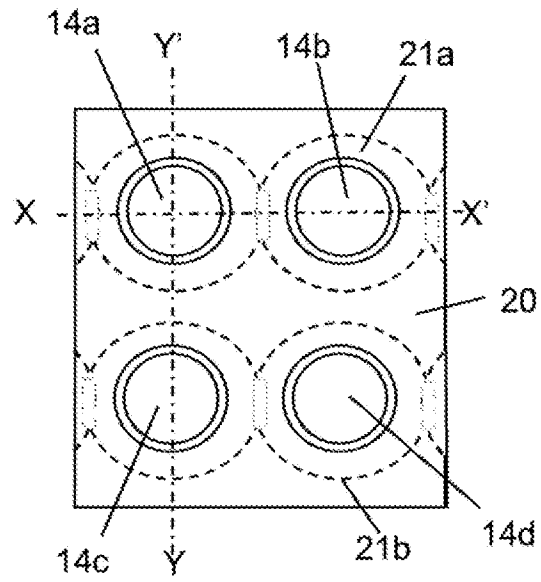


[図5E]

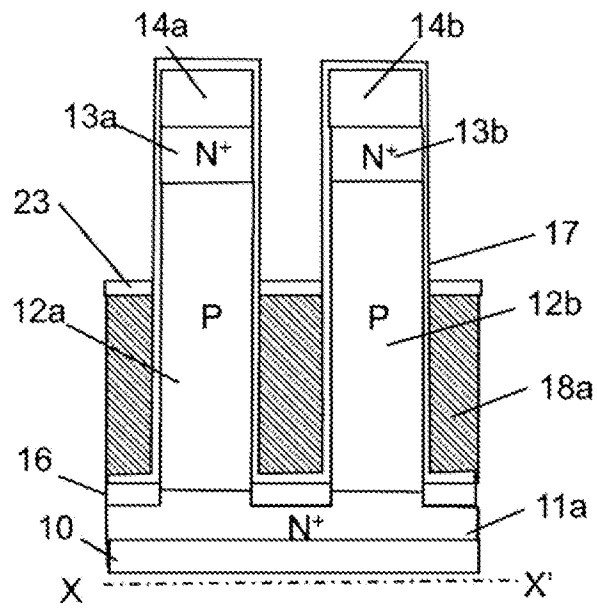


[図5F]

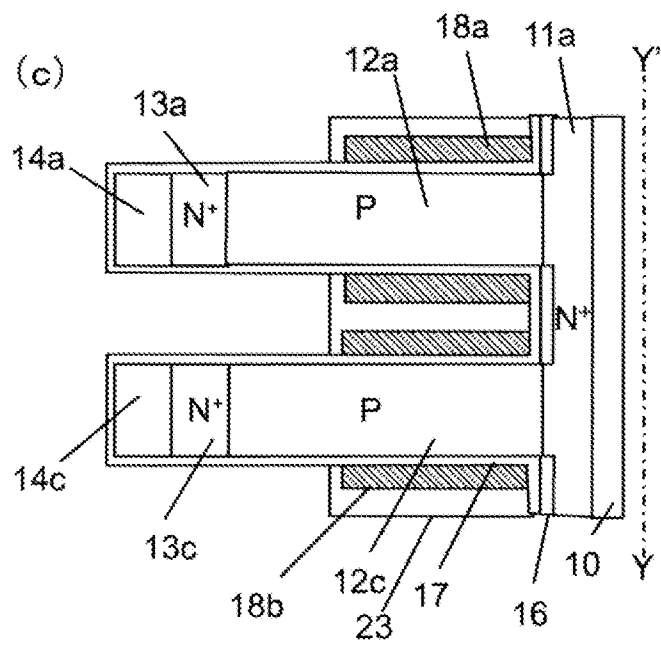
(a)



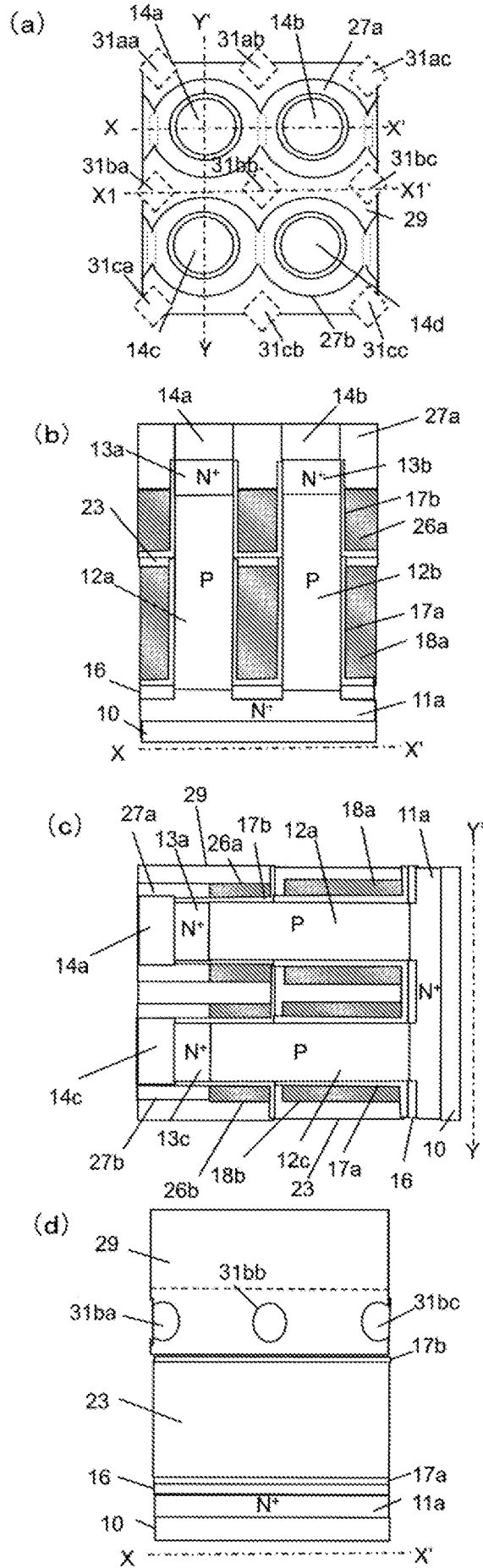
(b)



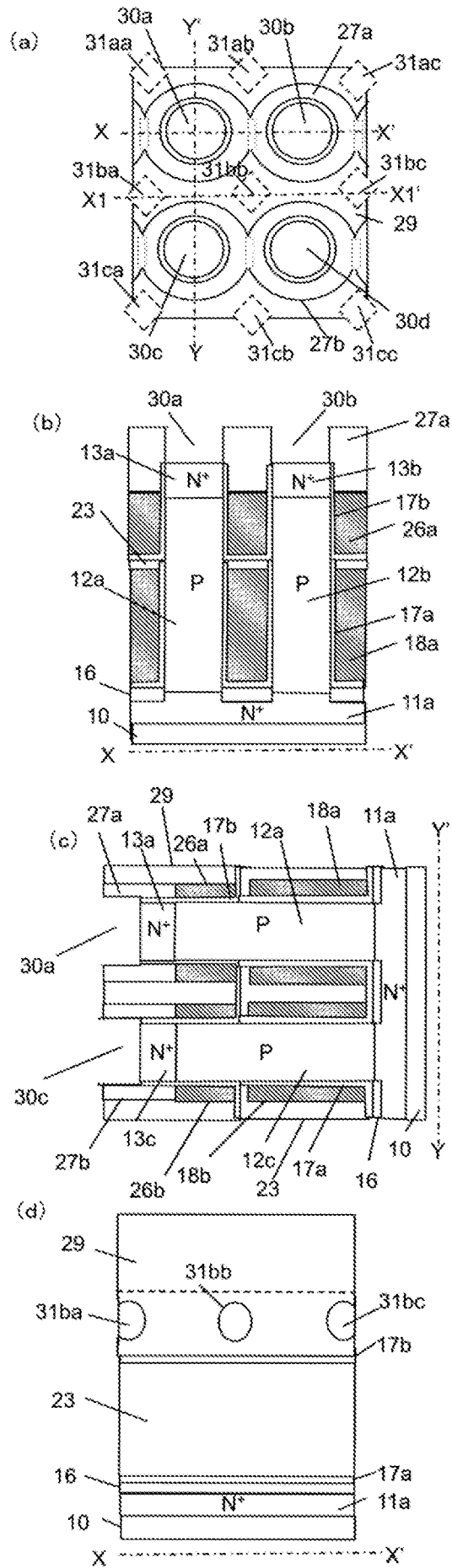
(c)



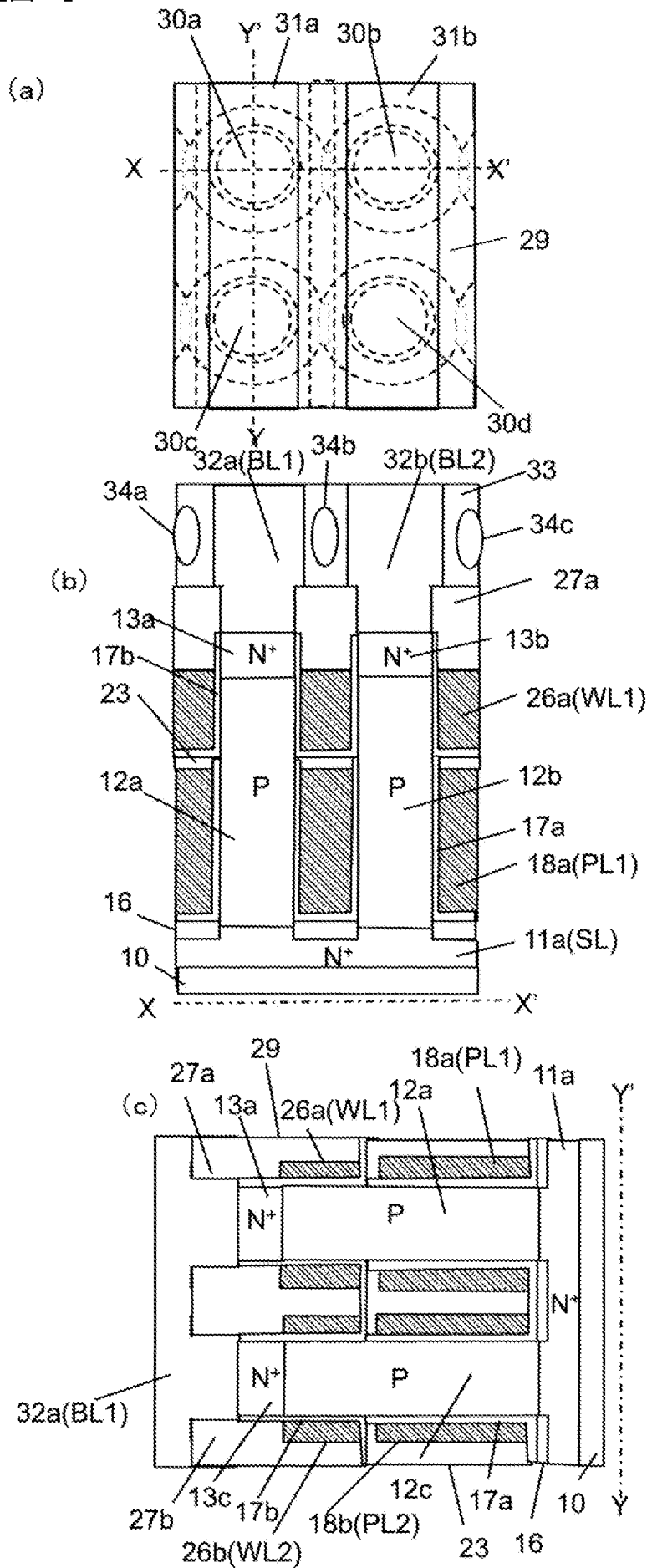
[図5H]



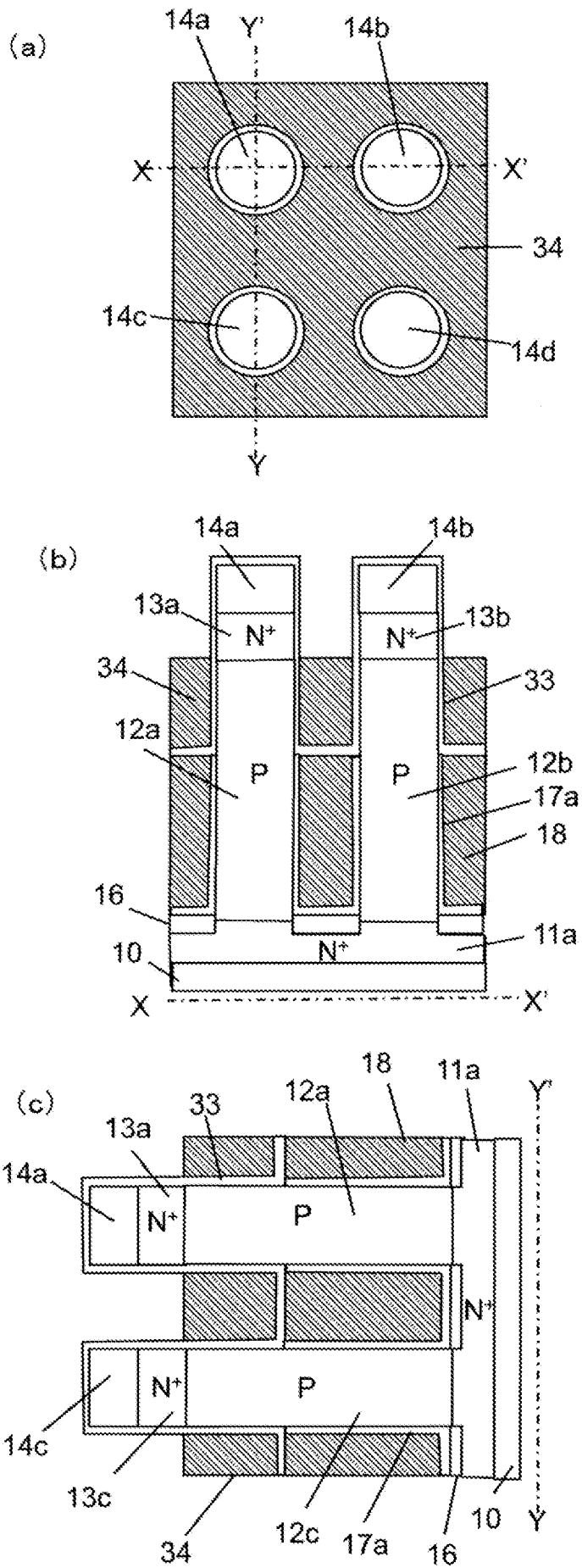
[図5I]



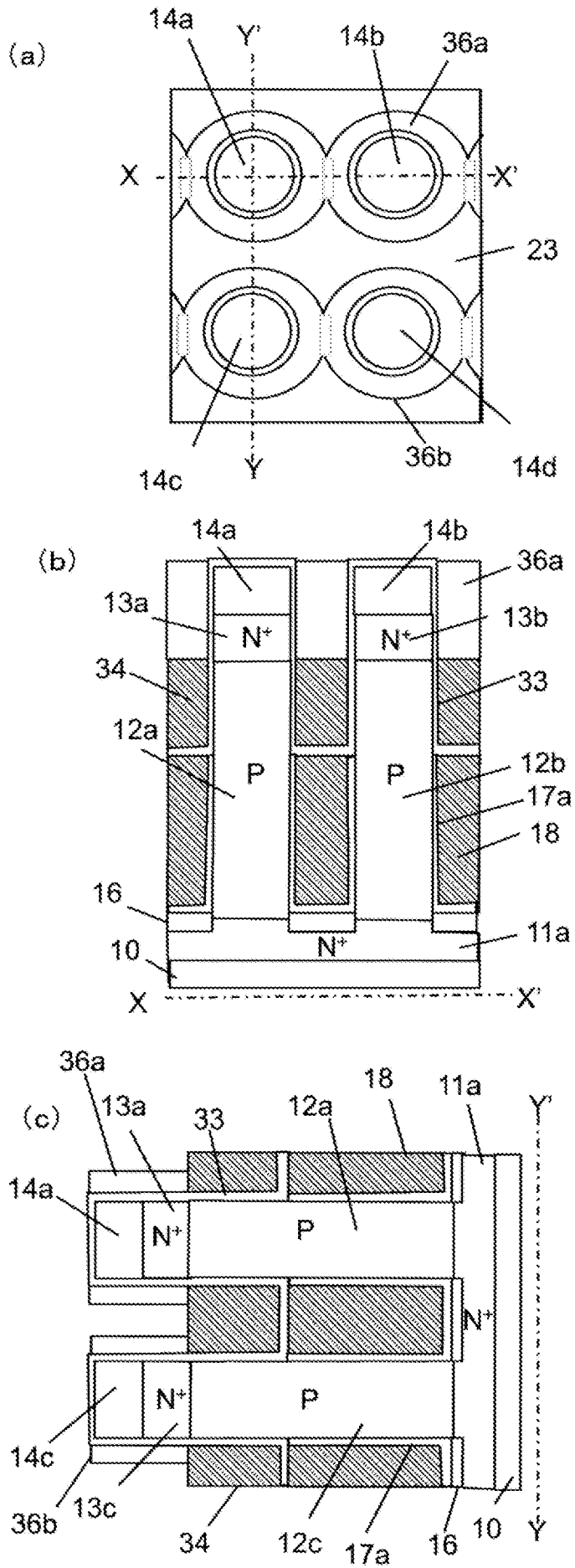
[図5J]



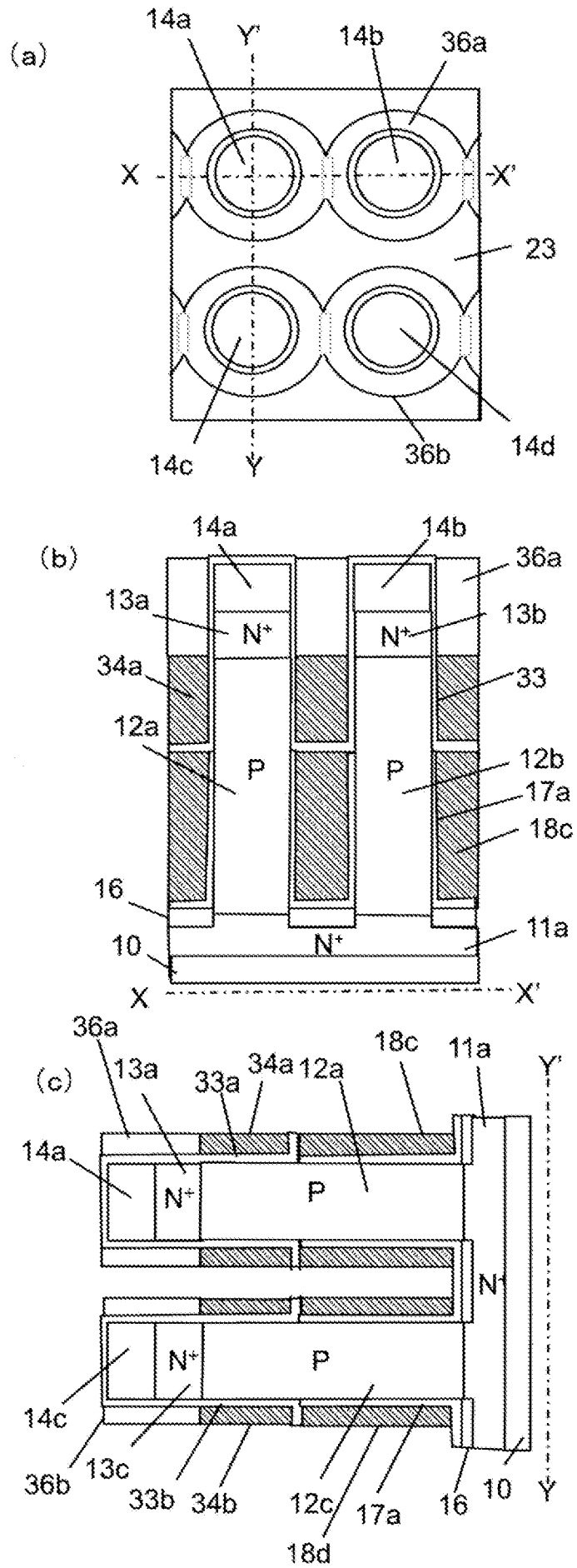
[図6A]



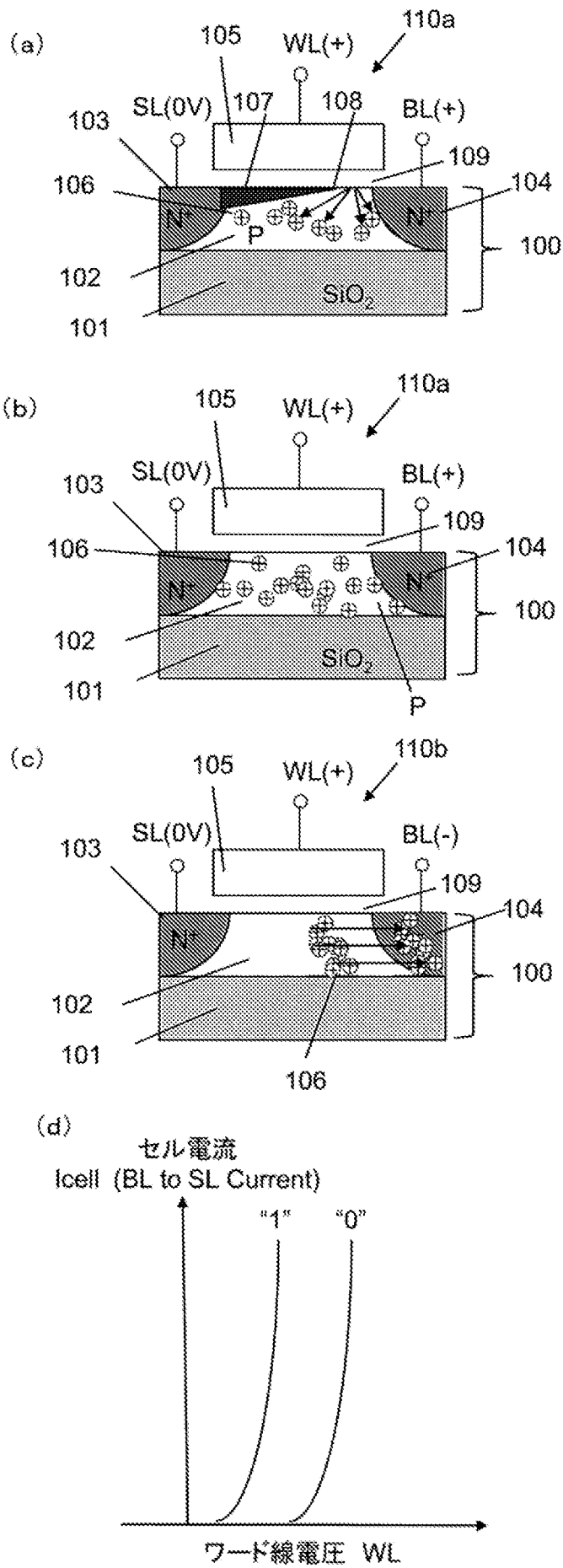
[図6B]



[図6C]

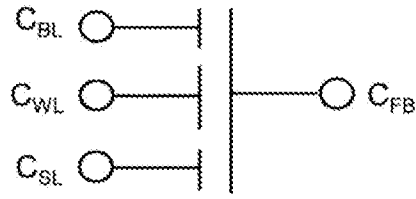


[図7]



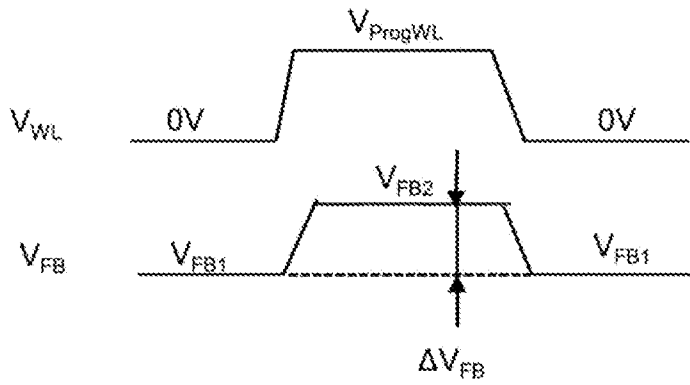
[図8]

(a)



$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad \text{式(1)}$$

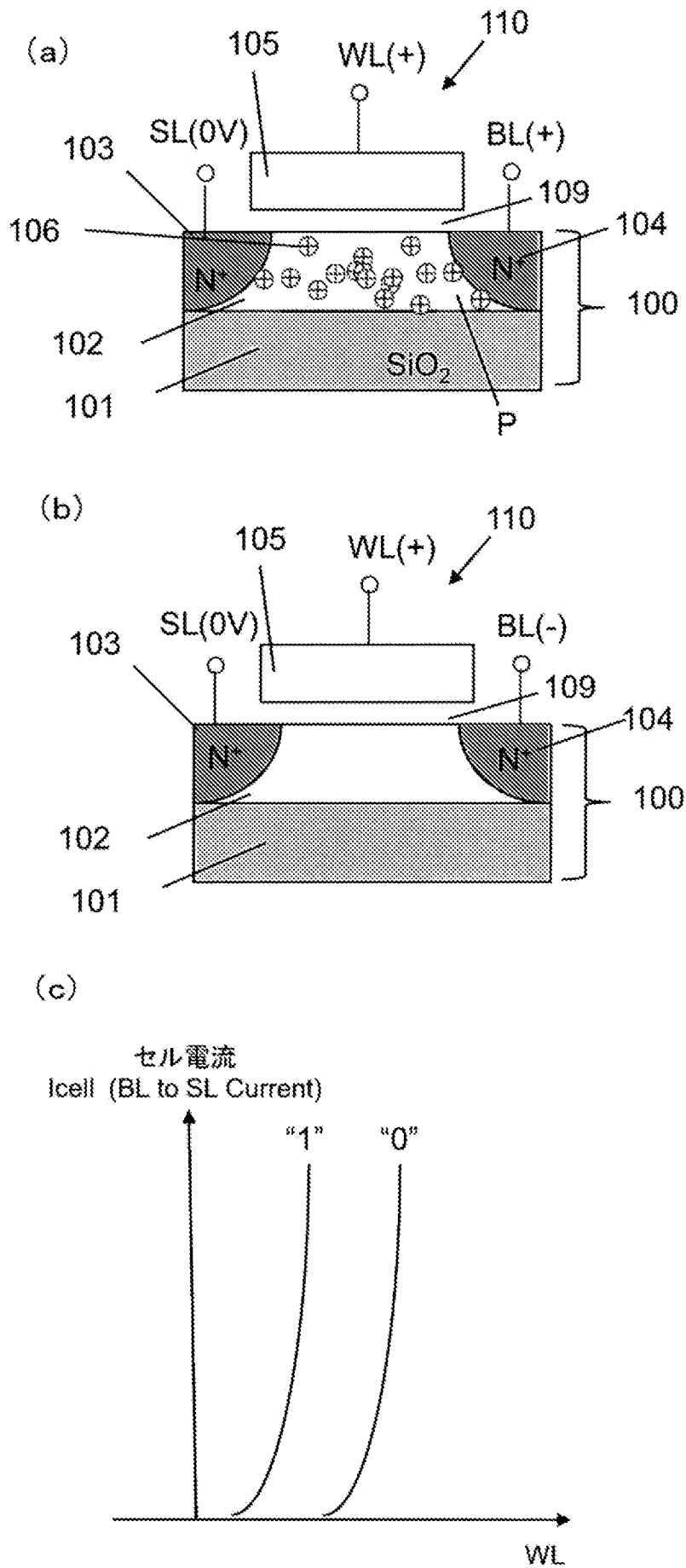
(b)



$$\begin{aligned} \Delta V_{FB} &= V_{FB2} - V_{FB1} \\ &= \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \times V_{ProgWL} \quad \text{式(2)} \end{aligned}$$

$$\beta = \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \quad \text{式(3)}$$

[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/000281

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G11C16/04 (2006.01) i, G11C11/401 (2006.01) i, H01L21/8242 (2006.01) i, H01L27/10 (2006.01) i, H01L27/108 (2006.01) i

FI: G11C16/04, G11C11/401, H01L27/10451, H01L27/108321

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G11C16/04, G11C11/401, H01L21/8242, H01L27/10, H01L27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-218556 A (TOSHIBA CORPORATION) 18 September 2008 (2008-09-18), paragraphs [0026]-[0028], [0032], [0033], fig. 1, 5, 6	1-10
A	JP 2006-80280 A (TOSHIBA CORPORATION) 23 March 2006 (2006-03-23), paragraphs [0028]-[0065], fig. 2-5	1-10

☐	Further documents are listed in the continuation of Box C.	☒	See patent family annex.
--------------------------	--	-------------------------------------	--------------------------

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 February 2021	Date of mailing of the international search report 22 February 2021
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/000281

JP 2008-218556 A	18 September 2008	US 2008/0212366 A1 paragraphs [0042]-[0044], [0048], [0049], fig. 1, 5, 6 KR 10-2008-0080449 A
JP 2006-80280 A	23 March 2006	US 2006/0049444 A1 paragraphs [0158]-[0196], fig. 2-5

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 16/04(2006.01)i; G11C 11/401(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/10(2006.01)i; H01L 27/108(2006.01)i FI: G11C16/04; G11C11/401; H01L27/10 451; H01L27/108 321		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G11C16/04; G11C11/401; H01L21/8242; H01L27/10; H01L27/108		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-218556 A（株式会社東芝）18.09.2008（2008-09-18） 段落[0026]-[0028], [0032], [0033], 図1, 5, 6	1-10
A	JP 2006-80280 A（株式会社東芝）23.03.2006（2006-03-23） 段落[0028]-[0065], 図2-5	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 16.02.2021	国際調査報告の発送日 22.02.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 後藤 彰 5N 4226 電話番号 03-3581-1101 内線 3586	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/000281

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-218556	A	18.09.2008	US 2008/0212366 A1 段落[0042]-[0044], [0048], [0049], 図1, 5, 6 KR 10-2008-0080449 A	
JP	2006-80280	A	23.03.2006	US 2006/0049444 A1 段落[0158]-[0196], 図2-5	