(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H03L 7/00

(11) 공개번호 특1998-077172
(43) 공개일자 1998년11월16일

(21) 출원번호 특1997-014180
(22) 출원일자 1997년04월17일
(30) 우선권주장 60/015,830 1996년04월18일 미국(US)
(71) 출원인 텍사스 인스트루먼츠 인코포레이티드 윌리엄 비. 켐플러
미국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500
(72) 발명자 글로버 케리 씨.
미국 75098 텍사스주 윌리 산타 로사 서클 42
쉐이한 벤자민 제이.
미국 75243 텍사스주 달라스 #912 포레스트 레인 9744
(74) 대리인 장수길, 주성민

심사청구 : 없음

(54) 데이타 채널용의 위상 동기 루프 시스템 및 방법

요약

디스크 드라이브 대용량 기억 시스템(30)의 동기식으로 샘플된 데이타 채널(10)용의 위상 동기 루프 시스템(52) 및 방법이 제공되었다. 이 위상 동기 루프 시스템(52)은 판독 동작 판독 클럭 신호를 판독 채널(18)에 제공하고 기입 혹은 비 판독 동작 동안 기입 클럭 신호를 기입 채널(16)에 제공한다. 위상 동기 루프 시스템(52)은 판독 위상 검출기(80), 기입 위상 검출기(90), 가산기 회로(92), 및 전압 제어식 발진기(94)를 포함한다. 비 판독 동작 동안, 기입 위상 검출기(90)는 기준 클럭 신호 및 전압 제어식 발진기(94)의 출력 클럭 신호를 수신한다. 기입 위상 검출기(90)는 이들 2 신호의 위상차를 결정하여 대응하는 기업 제어 전압을 가산기 회로(92)에 제공한다. 가산기 회로(92)는 이 신호를 기입 클럭 신호로서 작용하는 출력 클럭 신호를 기입 채널(16)에 제공하는 전압 제어식 발진기(94)에 제공한다. 판독 동작 동안, 기입 위상 검출기(90)는 비 판독 동작 동안 제공된 최종 기입 제어 전압을 유지하고 이것을 가산기 회로(92)에 제공한다. 판독 위상 검출기(80)는 판독 채널(18)로부터 에러 신호를 그리고 전압 제어식 발진기(94)의 출력 클럭 신호를 수신한다. 판독 위상 검출기(80)는 이들 2 신호의 위상차를 결정하여 대응하는 판독 제어 전압을 가산기 회로(92)에 제공한다. 가산기 회로(92)는 이들 신호를 가산하고 이들 신호를 전압 제어식 발진기(94)에 제공하여 판독 채널(18)용의 판독 클럭 신호를 생성한다.

대표도

도1

명세서

도면의 간단한 설명

도 1 은 디스크 드라이브 대용량 기억 시스템을 나타내는 블럭도.

도 2 는 디스크 드라이브 대용량 기억 시스템의 데이타 채널을 나타내는 블럭도.

도 3 은 데이타 채널에 사용된 위상 동기 루프 시스템을 나타내는 개관 블럭도.

도 4 는 데이타 채널의 위상 동기 루프 시스템을 나타내는 확대 블럭도.

도면의 주요 부분에 대한 부호의 설명

10:데이타 채널

11:제어 회로

12:디스크/헤드 어셈블리

14:전치 증폭기

16:기입 채널

18:판독 채널

20:서보 제어부

22:파라미터 메모리

24:디스크 제어부

26:RAM

28:마이크로프로세서

29:ROM

30:대용량 기어 시스템

32:호스트

36:데이타 채널

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 일반적으로 정보 기억의 분야에 관한 것으로 보다 구체적으로 판독 클럭 신호 및 기입 클럭 신호를 제공하기 위한 데이타 채널용의 위상 동기 루프 시스템 및 방법에 관한 것이다.

컴퓨터 하드웨어 및 소프트웨어 기술이 계속적으로 발전함에 따라서, 컴퓨터 소프트웨어 및 데이타를 기억시키기 위한 대용량이면서 고속인 대용량 기억 디바이스의 필요성이 계속해서 증가하고 있다. 멀티미디어 응용과 같은 전자 데이타베이스 및 컴퓨터 응용 분야에 대폭적인 디스크 기억 공간이 요구되고 있다. 컴퓨터 산업의 원리에 따르면, 거기에는 메모리 및 디스크 기억 공간이 충분히 확보되어 있지 않다는 것이다.

이러한 끊임없는 요구에 부합하기 위해서 하드 디스크 드라이브가 계속적으로 발달 및 개선되고 있다. 초창기의 일부 디스크 드라이브는 5 메가바이트의 최대 기억 용량을 갖고 14인치 플래터(platter)를 사용했으나, 오늘날의 하드 디스크 드라이브는 공통적으로 1기가 바이트 이상이며 3.5인치 플래터를 사용한다. 이에 대응하여, 단위 면적, 혹은 면적 밀도 당 기억된 데이타 양의 개선이 급속도로 가속화되고 있다. 예를 들면, 1980년도에는 면적 밀도가 해마다 약 30 퍼센트씩 증가했고 1990년도에는 매년 면적 밀도 증가율이 60 퍼센트 정도로 되고 있다. 하드 디스크 드라이브의 메가바이트 당의 비용은 그 면적 밀도에 역비례한다.

대용량 기억 디바이스 제작자들은 보다 낮은 비용으로 대폭적인 데이타 용량을 가진 고속의 하드 디스크 드라이브를 생산해내기 위해 노력하고 있다. 고속의 하드 디스크 드라이브는 고속으로 데이타를 기억 및 검색할 수 있는 것이다. 디스크 드라이브의 속도 및 용량을 증가시키는 하나의 양태는 면적 밀도를 개선 혹은 증가시키는 것이다. 면적 밀도는 데이타를 기억 및 검색하는 방법을 개선시키므로써 증가될 수 있다.

일반적으로, 하드 디스크 드라이브와 같은 대용량 기억 디바이스 및 시스템은 호전 디스크 혹은 플래터와 같은 자기 기억 매체, 스핀들 모터, 판독/기입 헤드, 액츄에이터, 전치 증폭기, 판독 채널, 기입 채널, 서보 콘트롤러, 및 하드 디스크 드라이브의 동작을 제어하고 하드 디스크 드라이브를 적절히 호스트 혹은 시스템 버스에 인터페이스하는 제어 회로를 포함한다. 판독 채널, 기입 채널, 서보 콘트롤러, 및 메모리는 모두 데이타 채널로서 간주되는 하나의 집적 회로에 구성될 수 있다. 통상, 제어 회로는 하드 디스크 드라이브의 동작 동안 제어 프로그램 혹은 명령을 실행하는 마이크로프로세서를 포함한다.

하드 디스크 드라이브(HDD)는 데이타를 기억하고 검색할 때 기입 및 판독 동작을 행한다. 통상적인 HDD는 호스트 인터페이스로부터의 데이타를 그의 제어회로로 전송하므로써 기입 동작을 행한다. 이어서, 제어회로는 이 데이타를 국부 다이내믹 랜덤 액세서 메모리(DRAM)에 기억시킨다. 제어 회로 프로세서는 기입 채널을 통해서 정보가 디스크 플래터로 전송되게끔 일련의 이벤트를 스케쥴(schedule)한다. 제어 회로는 판독기입/헤드를 적절한 트랙으로 이동시켜 트랙의 적절한 섹터에 배치한다. 마지막으로, HDD 제어 회로는 DRAM으로부터의 데이타를 기입 채널을 통해서 디스크 플래터의 위치된 섹터로 전송한다. 기입 클럭은 기입 채널에의 기입 동작의 타이밍을 제어한다. 기입 채널은 데이타가 나중에 보다 신뢰성있게 검색될 수 있도록 데이타를 엔코드할 수 있다. 섹터는 일반적으로 섹터당 유저 데이타인 512 바이트와 같은 일정한 데이타 기억 용량을 갖는다.

판독 동작에서는 판독될 적절한 섹터가 위치 설정되고 미리 디스크에 기입되어 있던 데이타가 판독된다. 판독/기입 헤드는 디스크 플래터의 자속 변화를 감지하여 대응하는 아날로그 판독 신호를 발생한다. 이 판독 채널은 아날로그 판독 신호를 수신해서 이 신호를 조건화하고, 이 신호로부터 “제로(0)들” 및 “일(1)”을 검출한다. 판독 채널은 자동 이득 제어(AGC) 기술을 사용하여 이 신호를 적절한 레벨로 증폭하므로써 신호를 조건화한다. 이어서, 판독 채널은 신호를 필터하여 원치않은 고주파 잡음을 제거하고, 채널을 등화하여 신호들로부터 “제로(0)”및 “일(1)들”을 검출하고 제어 회로용의 2진 데이타를 포맷한다. 이어서, 바이너리 혹은 디지탈 데이타는 판독 채널로부터 제어 회로로 전송되며 제어 회로는 DRAM에 기억된다. 이어서, 프로세서가 전송될 데이타를 기다리고 있는 호스트와 교류한다. 판독 클럭은 판독 채널에의 판독 동작의 타이밍을 제어한다.

디스크 플래터가 이동할 때는 판독/기입 헤드는 특정한 트랙 상에 정렬 혹은 머물러야 한다. 이것은 서보 웨지(servo wedge)라고 불리우는 디스크로부터 정보를 판독해내므로써 달성된다. 일반적으로, 각 섹터는 대응하는 서보 웨지를 갖는다. 서보 웨지는 헤드의 위치를 가리킨다. 데이타 채널은 서보 콘트롤러가 트랙 상에 헤드를 적절히 위치시키기 위해서 이 위치 정보를 수신한다.

종래의 HDD 판독 채널은 자기 매체 상에 기억된 아날로그 정보로부터 디지탈 정보를 추출 또는 검출하기

위해 피크 검출로서 알려진 기술을 사용했다. 이 기술에서는 파형은 단순히 검출된 레벨에 불과하여 파형 레벨의 샘플링 윈도우 동안 임계값 이상이면 데이타는 "1"로서 간주된다. 보다 최근에는 디스크에 기입된 원시 데이타를 재구성하는 개별 시간 신호 프로세싱(DTSP)를 사용한 진보된 기술이 면적 밀도를 향상시키도록 판독 채널 전자 장치에 사용 중에 있다. 이들 기술에서는 데이타가 데이타 회복 클럭을 사용하여 동기식으로 샘플된다. 그 후에 이 샘플은 신호 처리 이론을 사용한 일련의 수학적 처리를 통해서 처리된다.

여러 형태의 동기식으로 샘플된 데이타(SSD) 채널이 있다. 부분 응답 최대확률(PRML), 확장된 PRML(EPRML), 진보되고 확장된 PRML(EEPRML), 고정된 지연 트리 서치(fixed delay tree search; FDTS), 및 판단 궤환 등화(DFE)가 DTSP 기술을 사용하는 SSD 채널의 다른 형태들의 여러가지 예들이다. 다수의 이들 시스템에서 행해지는 최대 확률 검출은 1967년에 이것을 개발한 앤드류 비터비(Andrew viterbi)의 이름을 딴 비터비 알고리즘을 구현하는 비터비 디코더에 의해서 행해진다.

SSD 채널 혹은 판독 채널은 판독 동작을 행하기 위한 혼합 모드 회로를 필요로 한다. 이 외로는 아날로그 신호 증폭, 자동 이득 제어(AGC), 연속 타입 필터링, 신호 샘플링, DTSP 처리, 타이밍 회복, 신호 검출, 및 포맷팅과 같은 기능을 행할 수 있다. 모든 SSD 채널에 있어서, 판독 동작 동안의 주요한 목적은 최고의 잡음 환경 중에서 최저의 비트 에러율(BE)로 정확히 데이타를 검색하는 것이다. 판독 채널 및 기입 채널을 포함하는 데이타 채널 회로는 다수의 입력 및 출력(I/O) 핀을 포함하는 단일의 집적 회로 패키지로 구성될 수 있다.

SSD 채널은 판독 동작을 제어하는 판독 클럭 및 기입 동작과 다른 비 판독 동작을 제어하는 기입 클럭을 사용한다. 기입 동작 동안은, 기입 클럭 혹은 기입 타이밍 신호가 데이타의 기입 혹은 기억을 디스크 플래터에 동기시키도록 기입 채널에 제공된다. 판독 동작 동안은 판독 클럭 또는 데이타 회복 클럭이 디스크 플래터로부터 판독 중인 데이타의 샘플링을 동기시키기 위해서 판독 채널에 제공된다. 판독 및 기입 클럭은 스핀들 모터의 속도가 약간 변동하는 것을 고려해서 다른 주파수로 제공될 수 있다.

분리 판독 및 기입 클럭의 존재가 다수의 단점 및 문제를 발생시킨다. 판독 및 기입 클럭과 같은 유사한 주파수들을 갖는 2개의 고주파수 신호원의 존재가 2신호 간에 간섭을 초래한다. 이러한 간섭에 의해서 시스템 잡음이 커지고 데이타 에러가 발생된다. 개별 판독 및 기입 클럭은 회로 증가, 실리콘 증가, 제조 비용 증가 및 노트북 혹은 랩톱 컴퓨터 등의 휴대용 혹은 배터리 구동식 설비에 특히 중요한 전력 소모 증가 등의 추가의 단점이 있다.

상술한 설명으로부터, 대용량 기억 시스템의 데이타 채널용의 위상 동기 루프 시스템 및 방법의 필요성이 있음을 알 수 있다. 본 발명에 따라, 각각 그 자신의 전압 제어식 발진기를 갖고 판독 클럭 및 기입 클럭을 제공하는 분리 위상 동기 루프를 사용하는 단점 및 문제점을 실질적으로 제거 혹은 감소시킨 위상 동기 루프 시스템이 제공된다. 본 발명의 위상 동기 루프 시스템은 서로 간섭을 일으킬 수 있는 유사한 주파수를 가진 2개의 고주파수 신호의 존재와 관련된 문제점을 제거한다. 이로써 잡음 및 데이타 에러의 가능성이 감소된다. 또한, 위상 동기 루프 시스템은 회로, 제조 비용, 및 전력 소모를 감소시킨다.

발명이 이루고자 하는 기술적 과제

본 발명에 따라, 판독 클럭 및 기입 클럭을 공급하는데 사용되는 위상 동기 루프 시스템이 제공된다. 이 위상 동기 루프 시스템은 동기식으로 샘플된 데이타신호 및 전압 제어식 발진기 출력 클럭 신호를 수신하고 그 응답으로 판독 제어 전압을 발생하는 판독 위상 검출기를 포함한다. 기입 위상 검출기는 기준 클럭 신호 및 전압 제어식 발진기 출력 클럭 신호를 수신하고 비 판독 동작 동안 기입 제어 전압을 발생하도록 제공된다. 판독 동작 동안은 기입 위상 검출기가 비 판독 동작으로부터 판독 동작으로 전이하기 전에 제공된 최종 기입 제어 전압을 제공한다. 가산 회로는 판독 제어 전압 및 기입 제어 전압을 수신하고 전압 제어식 발진기 입력 전압을 발생하도록 제공된다. 마지막으로, 전압 제어식 발진기는 전압 제어식 발진기 입력 전압을 수신하고 전압 제어식 발진기 출력 클럭 신호를 제공하도록 제공된다. 전압 제어식 발진기 출력 클럭 신호는 판독 동작 동안은 판독 클럭으로서 작용하고 비 판독 동작 동안은 기입 클럭으로서 작용한다.

본 발명은 대량 기억 시스템에 사용된 종래 개발된 위상 동기 루프보다 다수의 기술적 장점을 제공한다. 예를 들면, 본 발명의 기술적 장점은 시간 이용 발생 및 판독 동기화를 달성하기 위해서 다수의 위상 동기 루프를 사용하는 대신에 이를 위해서 데이타 채널에 하나의 위상 동기 루프 시스템을 사용하는 것을 포함한다. 이 위상 동기 루프 시스템은 하나의 전압 제어식 발진기만을 필요로 하므로 회로 감소, 실리콘 감소, 제조 비용 감소, 및 전력 소모 감소의 효과를 가져온다. 이 위상 동기 루프 시스템을 사용하는 다른 기술적 장점은 제 2 의 고주파 신호원이 필요없다는 것이다. 제 2 의 고주파수 신호원은 잠재적으로 회로 내에서 잡음 및 간섭을 일으킬 수 있다.

이것은 2개의 고주파 신호원이 데이타 채널의 판독 및 기입 클럭의 경우에서와 같이 동일 주파수에 가깝게 동작할 때 특히 문제가 있다. 다른 기술적 장점은 다음의 도면, 설명, 및 청구 범위로부터 본 기술 분야에 숙련된 자에게 자명하게 될 것이다.

발명의 구성 및 작용

도 1 은 판독 동작 동안 데이타를 검색하고 기입 동작 동안 데이타를 기억시키기 위해 사용되는 디스크 드라이브 대용량 기억 시스템(30)의 블럭도이다, 디스크 드라이브 대용량 기억 시스템(30)은 판독 및 기입 동작 동안 호스트(32)와 데이타를 인터페이스 및 교환한다. 디스크 드라이브 대용량 기억 시스템(30)은 디스크/헤드 어셈블리(12), 전치 증폭기(14), 동기식으로 샘플된 데이타(SSD) 채널(10), 및 제어 회로(11)를 포함한다. 디스크/헤드 어셈블리(12) 및 전치 증폭기(14)는 자기적으로 데이타를 기억시키는데 사용된다. SSD 채널(10) 및 제어 회로(11)는 디스크/헤드 어셈블리(12)로부터 판독되고 이 어셈블리로 기입되는 데이타를 프로세스하고 디스크 드라이브 대용량 기억 시스템(30)의 각종 동작을 제어하는데 사용된다. 호스트(32)는 제어 회로(11)와 디지탈 데이타를 교환한다.

디스크/헤드 어셈블리(12)는 자기 플래터 상에 자기 전이로서 표시되는 데이타를 기억하도록 사용된 다수의 회전형 자기 디스크 혹은 플래터를 포함한다. 디스크/헤드 어셈블리(12)는 판독/기입 헤드는 자기 플래터의 각 측으로부터 데이타를 기억시키고 검색하는데 사용된다. 판독/기입 헤드는 자기 저항 헤드와 같은 몇개의 이용 가능한 판독/기입 헤드일 수 있다. 전치 증폭기(14)는 디스크/헤드 어셈블리(12)의 판독/기입 헤드와 SSD 채널(10) 사이를 인터페이스하고 필요에 따라 파형 데이타 신호에 대한 증폭을 제공한다.

SSD 채널(10)은 판독 및 기입 동작 동안 전치 증폭기(14)를 통해서 디스크/헤드 어셈블리(12)와 아날로그 데이타 신호를 교환하고 데이타/파라미터 경로(13)를 통해서 제어 회로(11)와 디지탈 데이타 신호를 교환하는데 사용된다. SSD 채널(10)은 기입 채널(16), 판독 채널(18), 서보 제어부(20), 및 파라미터 메모리(22)를 포함한다. SSD 채널(10)은 하나의 집적 회로로서 구성될 수 있다. 판독 채널(18) 및 기입 채널(16)을 둘러싸는 가상 박스는 판독 채널(18)과 기입 채널(16)이 결합된 데이타 채널(36)을 나타낸다, 도 2 에 보다 완전하게 표시된 데이타 채널(36)은 하나의 집적 회로로서 구성될 수 있다. 판독 및 기입 동작 동안 데이타 채널(36)의 타이밍은 도 1 에는 도시되어 있지 않지만 이하보다 상세하게 설명되는 위상 동기 루프 시스템에 의해서 제어된다.

기입 동작 동안, 기입 채널(16)은 데이타/파라미터 경로(13)를 통해서 병렬 포맷으로 제어 회로(11)로부터 디지탈 데이타를 수신한다. 디지탈 데이타는 기억을 위해 재포맷되어 디스크/헤드 어셈블리(12)에 제공된다. 기입 채널(16)은 레지스터, 스크램블러, 엔코더, 시리얼라이저, 및 기입 전치 보상 회로를 포함할 수 있다. 기입 채널(16)의 동작 및 타이밍은 이하보다 상세하게 설명되는 위상 동기 루프 시스템에 의해서 제어된다.

판독 동작 동안, 판독 채널(18)은 전치 증폭기(14)를 통해서 디스크/헤드 어셈블리(12)로부터 아날로그 데이타 신호를 수신한다. 판독 채널(18)은 아날로그 데이타 신호를 조건화, 디코드, 및 포맷하고 데이타/파라미터 경로(13)를 통해서 병렬 포맷 형태의 디지탈 데이타 신호를 제어 회로(11)에 제공한다. 판독 채널(18)은 자동 이득 제어 회로와 같은 몇몇의 다양한 회로 모듈, 저역 통과 필터, 샘플러, 유한 임펄스 응답 필터와 같은 등화기, 최대 확률 검출기, 부분 응답 검출기, 디시리얼라이저(deserializer), 및 동기 필드 검출 회롤르 포함한다. 판독 채널(18)의 타이밍 및 동작은 이하 상술되는 위상 동기 루프 시스템에 의해서 제어된다. 판독 채널(18) 및 기입 채널(16)이 도 2 에 보다 상세히 예시되어 있다.

SSD 채널(10)의 각종 회로 모듈은 개선 혹은 최적의 성능을 위한 동작 파라미터를 수신할 수 있다. 일반적으로, 동작 파라미터는 번-인 테스트 동안 계산되지만 다른 시간대에 계산될 수 있다. 동작 파라미터는 SSD 채널(10)의 동작을 향상시키는데 사용된다. 또한, 동작 파라미터는 시스템마다 다양하고 동작 성능에 영향을 주는 디스크 드라이브 대용량 기억 시스템(30)의 각종 물리적 자기적 특성을 계산해 넣어서 설계되었다. 개시 동안, 동작 파라미터는 데이타/파라미터 경로(13)를 통해서 제어 회로(11)로부터 SSD 채널(10)로 제공된다. 파라미터 메모리(22)는 동작 파라미터를 기억한다. 각종 회로 모듈은 파라미터 메모리(22)로부터 동작 파라미터를 액세스한다.

서보 제어부(20)는 판독 및 기입 동작 동안 제어 회로(11)에 위치 에러 신호(PES)를 제공한다. PES는 판독 및 기입 동작 동안 헤드가 적절하게 위치될 수 있게끔 디스크/헤드 어셈블리(12)의 헤드의 위치에 관련되어 있다.

제어 회로(11)는 디스크 드라이브 대용량 기억 시스템(30)의 각종 동작을 제어하고 SSD 채널(10) 및 호스트(32)와 디지탈 데이타를 교환하는데 사용된다. 제어 회로(11)는 마이크로프로세서(28), 디스크 제어부(24), 랜덤 액세스 메모리(RAM)(26), 및 판독 전용 메모리(ROM)(29)를 포함한다. 마이크로프로세서(28), 디스크 제어부(24), RAM(26), 및 ROM(29)은 함께 데이타가 호스트(32)로부터 수신되어 기억되고 향후 검색된 후에 다시 호스트(32)에 제공되도록 디스크 드라이브 대용량 기억 시스템(30)에 제어 및 논리 기능을 제공한다. ROM(29)은 디스크 드라이브 대용량 기억 시스템(30)을 동작 및 제어할 때 마이크로프로세서(28)에 쓰이는 사전로드된 마이크로프로세서 명령을 기억한다. 또한, ROM(29)은 개시 동안 파라미터 메모리(22)에 공급되는 동작 파라미터를 기억할 수 있다. RMA(26)은 기입 동작 동안 디지탈 데이타를 기억하고 판독 동작의 결과로서 발생된 디지탈 데이타를 기억하기 위해 사용된다. 디스크 제어부(24)는 디스크 드라이브 대용량 기억 시스템(30)을 호스트(32)에 적절히 인터페이스하고 제어 회로(11)를 SSD 채널(10)에 내부적으로 인터페이스하는데 사용되는 각종 논리 및 버스 중재 회로를 포함한다. 회로 구성에 따라서는 몇몇의 각종 회로가 디스크 제어부(24) 내에 사용될 수 있다.

동작시, 전원이 투입되면 디스크 드라이브 대용량 기억 시스템(30)이 초기화 혹은 개시 루틴을 행한다. 하나의 이러한 루틴을 ROM(29)에 이전에 기억된 동작 파라미터를 데이타/파라미터 경로(13)를 통해서 파라미터 메모리(22)에 공급하도록 마이크로프로세서(28)에 지시한다. 이어서, 동작 파라미터는 판독 동작 동안 판독 채널(18)에 쓰인 파라미터 메모리(22)의 메모리 레지스터에 기억된다.

초기화 루틴이 완료된 후에 데이타가 디스크/헤드 어셈블리(12)로부터 판독되거나 혹은 이에 기입된다. 서보 제어부(20)는 판독/기입 헤드가 데이타를 판독 및 기입하도록 디스크 상에 적절하게 위치될 수 있도록 위치 정보를 제공한다. 일반적으로, 디스크 드라이브 대용량 기억 시스템(30)의 동작은 판독 동작 및 비 판독 동작으로 분리될 수 있다. 판독 동작은 디스크 헤드 어셈블리(12)의 디스크로부터의 데이타의 판독을 포함하고 비 판독 동작은 기입 동작, 서보 동작, 및 시스템이 휴지상태일 때를 포함한다. 클럭 신호는 판독 동작 및 비 판독 동작을 제어하도록 위상 동기 루프 시스템으로부터 제공된다.

판독 동작 동안, 호스트(32)는 데이타 요구를 개시한다. 디스크/헤드 어셈블리(12)의 판독/기입 헤드가 적절히 위치된 후에 아날로그 데이타 신호가 전치 증폭기(14)에 제공된다. 판독 채널(18)은 전치 증폭기(14)로부터 아날로그 데이타 신호를 수신하고 아날로그 데이타 신호를 처리해서 대응하는 디지탈 데이타 신호를 제공한다. 이것은 아날로그 데이타 신호를 동기식으로 샘플링하여 디지탈 신호를 검출하는 각종 회로 모듈과 기술을 사용하는 것을 포함한다. 이 위상 동기 루프 시스템은 데이타 신호를 올바른 방식으로 동기식으로 샘플링하여 판독 클럭 신호를 제공한다. 판독 채널(18)은 데이타/파라미터 경로(13)를 통해서 디지탈 데이타 신호를 디스크 제어부(24)에 제공한다. 디스크 제어부(24)는 판독 및 기입 동작 동안 SSD 채널(10), 호스트(32), RMA(26), 마이크로프로세서(28), 및 ROM(29) 간에 각종 디지탈 논리 제어 및

중재 회로를 제공한다. 이어서, 디지탈 데이타는 마이크로프로세서(28)가 전송될 데이타를 기다리는 호스트(32)와 교류할 때까지 RMA(26)에 기억된다. 호스트(32)는 퍼스널 컴퓨터의 시스템 버스와 같은 시스템 버스일 수 있다.

기입 동작 동안, 디지탈 데이타 신호는 호스트(32)로부터 수신되며 최정적으로 디스크/헤드 어셈블리(22)에 기억된다. 디지탈 데이타는호스트(32)로부터 제어 회로(11)로 초기에 제공된다. 제어 회로(11)는 이 디지탈 데이타를 RMA(26)에 기억시킨다. 마이크로프로세서(28)는 데이타가 RMA(26)에서 기입 채널(16)을 통해서 디스크/헤드 어셈블리(12)로 전송되도록 일련의 이벤트를 스케줄한다. 이러한 데이타 교환은 데이타/파라미터 경로(13)를 통해서 발생된다. 기입 채널(16)은 디지탈 데이타를 엔코드하고 직렬 포맷으로 데이타를 배치한다. 이어서, 기입 채널(16)은 디스크/헤드 어셈블리(12)은 헤드가 디스크 상의 적절한 위치에 데이타를 기입 또는 기억시키도록 적절히 위치된 후에 이 데이타를 디스크/헤드 어셈블리(12)에 제공한다. 기입 채널(16)의 동작 및 타이밍은 위상 동기 루프 시스템에 의해서 제공된 기입 클럭 신호에 의해서 제어된다.

도 2 는 데이타 채널(36)의 블럭도이다. 데이타 채널(36)은 도 1 에 예시된 바와 같이 판독 채널(18) 및 기입 채널(16)을 포함한다. 데이타 채널(36)은 판독 동작 및 기입 동작을 행하기 위해 사용된다.

판독 동작 동안, 데이타 채널(36)은 가변 이득 증폭기(VGA)(40)에서 디스크/헤드 어셈블리(12)로부터 아날로그 판독 신호를 수신한다. 데이타 채널(36)은 판독 신호를 동기식으로 샘플해서 처리하여 디시리얼라이저(60)로부터 대응하는 디지탈 데이타 출력 신호를 제공한다. 기입 동작 동안, 기입 채널(16)은 디지탈 데이타 신호를 수신해서 처리하여 이 신호를 코드화하여 자기 기억을 위해 디스크/헤드 어셈블리(12)로 데이타 신호를 제공한다. 위상 동기 루프 시스템(PLL)(52)은 판독 및 기입 동작의 타이밍을 제어하는 판독 클럭 및 기입 클럭을 제공한다.

도 1 에 블럭으로서 도시된 판독 채널(18)은 판독 동작 동안 아날로그 판독 신호를 동기식으로 샘플해서 처리하여 조건화하는데 사용되는 각종 회로 모듈을 포함한다. 판독 채널(18)은 VGA(40), 자동 이득 제어 회로(AGC)(44), 저역 통과 필터(LPF)(42), PLL(52), 샘플러(46), 등화기(48), 에러 회로(50), 검출기(54), 동기화 검출회로(sync detect)(62), 및 디시리얼라이저(60)를 포함한다. 이들 회로 모듈 모두는 판독 동작 동안 대응하는 디지탈 데이타 신호를 제공하기 위해서 아날로그 판독 신호를 조건화하여 분석하는데 사용된다. 이들 모든 회로 모듈의 결합 혹은 세부 결합은 판독 채널 처리 회로로서 칭해질 수 있다. 판독 동작은 판독 동작이 행해질 예정이라는 것을 나타내는 의미로서 READ 신호가 인에이블될 때 행해진다.

VGA(40)는 디스크/헤드 어셈블리(12)로부터 아날로그 판독 신호를 수신해서 전치 증폭기(14)를 통해서 증폭한다. VGA(40)는, AGC(44)와 함께 아날로그 판독 신호에 대한 적절한 증폭을 제공하도록 함께 작동한다. AGC(44)는 VGA(40)에 의해서 아날로그 판독 신호로 제공된 증폭 혹은 이득에 있어서 적절한 조정이 이루어질 수 있도록 에러 회로(50)로부터 궤환 신호를 수신한다.

증폭된 아날로그 판독 신호는 양후 처리를 위해 VGA(40)에 의해서 LPF(42)로 제공된다. LPF(42)는 증폭돤 아날로그 판독 신호를 수신해서 이 신호를 필터해서 원치않는 고주파 잡음을 제거한다. 또한, LPF(42)는 크기 승압에 의해서 파형 모양을 제공한다. LPF(42)는 Gm/c 컴퍼넌트를 사용해서 설계된 연속 타임 7차 필터이다. LPF(42)의 차단 주파수 및 승압은 프로그램 가능할 수 있다. LPF(42)의 필터된 출력 신호는 샘플러(46)에 제공된다.

샘플러(46)는 LPF(42)로부터 필터된 출력 신호를 샘플해서 개별값을 갖는 개별 아날로그 출력 신호를 제공한다. 샘플러(46)는 필터된 출력 신호를 연속 시간으로부터 개별 시간으로 변환한다. 필터된 출력 신호는 디스크/헤드 어셈블리(12)에 기억된 각종 자기 전이에 대응하는 시간으로 동기식으로 샘플된다. 이들 자기 전이는 디스크/헤드 어셈블리(12)에 기억된 데이타에 대응된다. 샘플러(46)는 이 신호를 샘플하고, 다음 샘플이 발생될 때까지 이 값을 유지한다. PLL(52)는 샘플러(46)가 필터된 출력 신호를 샘플하고 유지할 때를 표시하는 샘플러(46)에 판독 클럭 신호를 제공하므로써 샘플들이 샘플러(46)에서 발생될 때를 제어한다. 개별 아날로그 출력 신호의 각 개별값은 신호가 샘플러(46)에 의해서 샘플되었을 때에 필터된 출력 신호의 값 및 크기에 대응한다. 샘플러(46)는 올바른 시간 순차된 값이 등화기(48)에 제공되도록 등화기(48)에 시간 순차 다중되는 원형 샘플 및 홀드 회로와 같은 샘플 및 홀드 회로일 수 있다.

등화기(48)은 샘플러(46)로부터 개별 아날로그 출력 신호를 수신하여 디스크/헤드 어셈블리(12) 상의 자기 전이에 대응하는 개별 레벨들을 갖는 개별, 등화된 판독 신호를 제공한다. 등화기(48)는 복수의 필터 계수 혹은 탭을 수신하여 신호를 등화하고, 이것을 신호를 등화하거나 필터하는데 사용한다. 개별 아날로그 출력 신호는 검출기(54)의 타겟 함수로 등화된다.

등화기(48)는 복수의 승산기를 포함한다. 각 승산기는 복수의 필터 계수 중 하나와 개별 아날로그 출력 신호의 연속 개별값을 수신한다. 이어서, 각 승산기의 출력들이 입력을 합산하여 개별 등화된 판독 신호를 제공하는 아날로그 합산기와 같은 가산기에 입력들로서 제공된다. 개별 아날로그 출력 신호가 변함에 따라서, 각 승산기에 제공된 개별 아날로그 출력 신호의 연속 개별값이, 새로운 개별값이 제 1 승산기에 제공되고 가장 오래된 개별값이 최종 승산기에 표시되지 않도록 다음 승산기로 이동된다.

등화기(48)는 프로그램 가능한 디지탈 회로에 의해서 세트된 계수를 가진 5탭 필터를 가진 유한 임펄스 응답 필터일 수 있다. 등화기(48)는 디지탈 대 아날로그 변환기를통해서 아날로그값으로 변환된 5개의 디지탈 계수 혹은 필터 탭 웨이트를 수신한다. 이어서, 각 계수가 개별 승산기에 제공된다. 5개의 승산기 모두의 출력은 개별 등화된 판독 신호를 제공하도록 아날로그 합산기에 제공된다. 5개의 계수 혹은 탭을 설명하지만, 계수 혹은 탭의 수 및 대응하는 승산기의 수가 변화될 수 있다.

검출기(54)는 등화기(48)로부터 개별 등화된 판독 신호를 수신한다. 검출기(54)는 신호를 분석해서 디스크/헤드 어셈블리(12)에 기억된 데이타에 대응하는 디지탈 데이타 출력 신호를 발생한다.
일실시예에서는, 검출기(54)는 비터비 알고리즘을 구현하는 최대 확률 검출기 혹은 비터비 검출기일 수 있다.

검출기(54)가 비터비 검출기로 구현되었다고 가정하면, 검출기(54)는 메트릭회로, 및 신호를 분석하기 위한 트렐리스 회로(trellis circuit)를 포함한다. 메트릭 회로는 등화기(48)로부터 개별 등화된 판독 신호를 수신하고, 자기 전이가 디스크상에 발생되어야 하는지의 여부를 결정하도록 가산, 비교, 및 선택 기능을 행한다. 메트릭 회로의 출력은 순차 디코딩을 위한 판단 트리(decision tree)로서 작용하는 트렐리스 회로에 제공된다. 트렐리스 회로는 검출기(54)의 출력으로서 작용하는 디지탈 데이타 출력 신호를 발생한다.

동기 검출기(sync detect; 62)는 디지탈 데이타 출력 신호를 수신하고 동기 검출 신호를 제공한다. 동기 검출기(62)는 디지탈 데이타 출력 신호 내에 동기 필드 혹은 바이트가 존재하는지를 서치하여 동기 바이트가 검출될 때 동기 검출 신호를 인에이블한다. 동기 검출기(62)는 동기 바이트가 존재해야 하는 시간의 소정의 주기 혹은 윈도우 "window"에 걸쳐서 동기 바이트에 대해서 서치할 수 있다. 동기 검출기(62)는 디지탈 데이타 출력과 소정의 동기 바이트를 비교하기 위한 디지탈 논리 회로 및 소정의 동기 바이트를 기억하기 위한 레지스터를 포함할 수 있다.

디시리얼라이저(60)는 디지탈 데이타 출력 신호 및 동기 검출 신호를 수신한다. 디지탈 데이타 출력 신호는 동기 검출 신호가 동기 검출기(62)에 의해서 인에이블될 때 병렬 포맷으로 출력으로서 제공된다. 디시리얼라이저(60)는 8 또는 9 비트 포맷 등의 적절한 병렬 포맷으로 디지탈 데이타 출력 신호을 배치한다.

에러 회로(50)는 등화기(48)로부터 개별 등화된 판독 신호를 수신하고 그 응답으로 에러 신호를 발생한다. 에러 신호는 PLL(52) 및 AGC(44)에 입력으로서 작용한다. 에러 신호는 개별 등화된 판독 신호의 개별값이 어느 정도 이상적 타겟값과 차이가 있는지를 표시하다. 에러 신호는 2개의 신호로서 제공될 수 있는데, 첫번째 신호는 개별 등화된 판독 신호가 어느 대역에 위치해 있는지를 나타내는 레벨 혹은 대역 신호로서 제공되고, 제 2 신호는 개별 등화된 판독 신호와 신호가 위치해 있는 밴드의 타겟값 간의 차이를 나타내는 차 신호로서 제공될 수 있다.

포지티브 및 네가티브 타겟값, 및 포지티브 및 네가티브 임계값이 에러 신호 계산을 위해서 에러 회로(50)에 제공될 수 있다. 에러 회로(50)는 에러 신호를 제공하기 위해서 몇몇의 회로를 채용할 수 있다. 이러한 회로는 개별 등화된 신호의 개별값을 임계값과 비교되는 비교기를 포함한다. 샘플/홀드 회로 및 가산기 회로는 개별 등화된 신호를 샘플하고 샘플된 값을 타겟값에 가산 혹은 감산하는데 사용될 수 있다.

PLL(52)은 판독 동작 동안에는 판독 클럭 신호로서, 비 판독 동작 동안에는 기입 클럭 신호로서 작용하는 출력 클럭 신호를 제공한다. 판독 동작 동안에는 PLL(52)이 샘플러(46)가 LPF(42)에 의해서 제공된 필터된 출력 신호를 샘플할 때를 제어한다. PLL(52)은 에러 신호, 크리스탈 클럭 신호(XTAL), 판독 인에이블 신호, 및 LPF(42)의 필터된 출력 신호를 수신하고 판독 동작 동안 판독 채널(18)을 통해서 판독 클럭 신호를 제공한다. 도 3 및 도 4 에 도시된 PLL(52)은 판독 동작 동안에는 판독 클럭 신호를 제공하고 기입 동작 동안에는 기입 클럭 신호를 제공한다.

기입 채널(16)은 디지탈 데이타 신호를 처리하는 각종 회로를 포함한다. 기입 동작은 기입 혹은 비 판독 동작이 행해질 예정이라는 것을 표시하는 의미로서 READ 신호가 인에이블되지 않을 때 기입 채널(16)에서 행해진다. 판독 채널(18)에서의 판독 동작에서와 같이, 기입 동작의 타이밍이 PLL(52)에 의해서 제공된 출력 클럭 신호에 의해서 제어된다. 기입 클럭 신호는 기입 혹은 비 판독 동작 동안 PLL(52)의 출력으로서 제공된다.

기입 채널(16)은 디지탈 데이타 신호를 처리하는 몇개의 회로 모듈 또는 소자를 포함할 수 있다. 이러한 회로는 데이타, 엔코더, 시리얼라이저, 및 기입 전치 보상 회로를 무작위화하는 스크램블러 회로를 포함할 수 있다. 예를 들면, 기입 채널(16)은 정상적으로 디지탈 데이타 신호를 엔코드하는 회로를 포함한다. 디지탈 데이타 신호는(0, 4, 4) 조건을 시행해서 디지탈 데이타 신호를 기억되기 전에 8 비트에서 9 비트로 변환되는 런-랭스 리미티트(RLL) 엔코더를 사용해서 엔코드될 수 있다. 시리얼라이저는 병렬 데이타를 직렬 포맷으로 배치하여 이 직렬 데이타를 데이타 지연을 제공할 수 있는 기입 전치 보상 회로에 제공한다. 기입 전치 보상 회로는 기입 동작 동안 이 데이타를 적절하게 디스크/헤드 어셈블리(12)에 제공하기 위해서 PLL(52)에 의해서 제공된 기입 클럭 신호를 사용한다.

도 3 은 PLL(52)의 개관 블럭도이다. PLL(52)은 판독 동작 동안에는 판독 클럭 신호를 판독 채널(18)에 제공하고 비 판독 동작 동안에는 기입 클럭 신호를 기입 채널(16)에 제공한다. PLL(52)은 판독 위상 회로(110), 기입 위상 회로(112), 제로 위상 재개 회로(ZPR; 96), 가산 회로(92), 및 전압 제어식 발진기(VCO; 94)를 포함한다. PLL(52)은 READ로서 표시된 판독 인에이블 신호, XTAL로 표시된 기준 클럭 신호, 에러 회로(50)로부터의 에러 신호, 및 LPF(42)로부터의 필터된 출력 신호를 수신한다. PLL(52)의 출력 클럭 신호는 VCO(94)의 출력을 통해서 제공된다.

기입 위상 회로(112)는 판독 인에이블 신호, 기준 클럭 신호, 및 VCO(94)의 출력 클럭 신호를 수신하여 비 판독 동작 동안 기입 제어 전압을 발생한다. 기입 위상 회로(112)는 기준 클럭 신호와 출력 클럭 신호 간의 위상차를 결정하여 기입 제어 전압을 발생한다. 기입 제어 전압은 가산 회로(92)에 제공된다. 판독 동작 동안, 기입 위상 회로(112)는 판독 동작으로부터 비 판독 동작으로의 전이 전에 제공된 최종 기입 제어 전압을 유지한다. 이 값은 가산 회로(92)에도 제공된다.

판독 위상 회로(110)는 판독 인에이블 신호, 에러 신호, 및 VCO(94)의 출력 클럭 신호를 수신하여 그 응답으로 판독 제어 전압을 발생한다. 판독 위상 회로(110)는 에러 신호와 출력 클럭 신호 간의 위상차를 결정하여 판독 제어 신호를 발생한다. 판독 제어 전압은 판독 동작 동안 가산 회로(92)에 제공된다.

ZPR(96)은 판독 동작으로부터 비 판독 동작으로 그리고 비 판독 동작으로부터 판독 동작으로의 전이가 발생할 때 출력 클럭 신호를 리세트한다.

ZPR(96)은 출력 클럭 신호와 다른 신호 간의 위상차를 최소화하기 위해서 VCO(94)를 중지시키고 재개시킨다. 출력 클럭 신호와 LPF(42)로부터의 필터된 출력 신호 간의 위상차는 판독 동작으로부터 비 판독 동작으로의 전이가 발생될 때 최소화된다. 전압 제어식 발진기의 출력 클럭 신호와 기준 클럭 신호 간의 위상

차는 비 판독 동작으로부터 판독 동작으로의 전이가 발생될 때 최소화된다.

동작에 있어서, 가산기 회로(92)는 판독 동작 동안 판독 제어 전압 및 최종 기입 제어 전압을 수신해서 이들 두 전압의 합에 대응하는 출력 전압을 발생한다. 상술한 바와 같이, 최종 기입 제어 전압은 최종 비 판독 동작 후에 기입 위상 회로(12)에 의해서 유지된다. 가산기 회로(92)는 그 출력을 그 출력에 응답하여 출력 클럭 신호의 주파수를 발생하여 조정하는 VCO(94)에 제공한다. 출력 클럭 신호는 판독 동작 동안 판독 클럭 신호로서 작용한다.

기입 동작과 같이, 비 판독 동작 동안, 가산기 회로(92)는 기입 제어 전압을 수신하고 이 전압을 이 전압에 응답해서 출력 클럭 신호를 발생해서 조정하는 VCO(94)에 제공한다. 이 출력 클럭 신호는 비 판독 동작 동안 기입 클럭 신호로서 작용한다.

도 4 는 위상 동기 루프 시스템의 일실시예를 나타내는 PLL(52)의 확대 블럭도이다. PLL(52)은 판독 동작 동안에는 판독 클럭 신호를 판독 채널(18)에 제공하고 비 판독 동작 동안에는 기입 클럭 신호를 기입 채널(16)에 제공한다. 동일한 기입 클럭 신호는 서보 동작과 같은 다른 비 판독 동작 동안 및 휴지 시간 동안 제공된다. PLL(52)는 판독 위상 검출기(80), 판독 제어 전압 회로(82), 기입 위상 검출기(90), 기입 제어 전압 회로(93), ZPR(96), 가산기 회로(92), 및 VCO(94)를 포함한다. 판독 스위치(83), 기입 스위치(81), 판독 인에이블 인버터(84), M 분할 회로(86), N 분할 회로(88)는 판독 및 비 판독 동작 동안 올바른 전압이 VCO(94)에 인가되도록 PLL(52)에 사용된다. VCO(94)는 PLL(52)의 출력으로서 작용하는 출력 클럭 신호를 제공한다. 출력 클럭 신호는 판독 동작 동안에는 판독 클럭 신호로서 비 판독 동작 동안에는 기입 클럭 신호로서 작용한다.

PLL(52)이 판독 동작으로부터 비 판독 동작으로 전이할 때, 판독 인에이블 신호는 인에이블된 상태로부터 비-인에이블된 상태로 전이한다. 이러한 전이의 결과로서, ZPR(96)이 기입 위상 검출기(90)에 대한 입력에서의 위상 에러가 최소화되도록 VCO(94)를 중지 및 재개한다. 또한, 전이의 결과로서 판독 인에이블 인버터(84)의 출력에 제공 중인 인에이블링 신호로 인해서 판독 스위치(83)가 개방되고 기입 스위치(81)가 폐쇄된다. 결국, 기입 제어 전압 회로(93)의 출력만이 가산기 회로(92)에 대한 입력으로서 제공된다. 판독 제어 전압 회로(82)의 출력은 판독 스위치(83)에서의 개방 회로 조건 때문에 가산기 회로(92)에 제공되지 않는다. 기입 위상 검출기(90)의 출력은 기입 스위치(81)의 폐쇄 회로 조건 때문에 기입 제어 전압 회로(93)에 대한 입력으로서 제공된다.

기입 동작, 혹은 임의의 다른 비-판독 동작 동안, 기준 클럭 신호는 M 분할회로(86)에 제공된다. VCO(94)의 출력 클러 신호는 N 분할 회로(88)에 제공된다. M 분할 회로(86) 및 N 분할 회로(88)는 입력 주파수로 입력 신호를 수신하고 입력 주파수의 일부 정약수와 같은 출력 주파수로 출력 신호를 제공하는 주파수 분할 회로이다. M 분할 회로(86) 및 N 분할 회로(88)는 분할 양을 결정하는 무작위 순차 발생기를 사용한다. N 및 M은 프로그램 가능한 메모리 레지스터에 기억 및 제공될 수 있는 정수값이다. 기입 위상 검출기(90)는 M 분할 회로(86) 및 N 분할 회로(88)의 출력 신호를 수신하고 이들 두 신호를 비교하여 이들 두 입력 신호 간의 위상차에 대응하는 출력 신호를 생성한다. M분할 회로(86) 및 N 분할 회로(88)로부터 입력을 수신한 결과로서, 기입 위상 검출기(90)에 의해서 발생된 출력 신호의 주파수 다음 식에 의해서 결정된다.

$$f_{90} = \frac{N}{M} \times f_{XTAL}$$

여기서, f_{90}은 기입 위상 검출기(90)의 출력 신호의 주파수이고, N 및 M은 정수값, 그리고 f_{XTAL}은 기준 클럭 신호의 주파수이다.

기입 위상 검출기(90)의 출력 신호는 기입 스위치(81)가 폐쇄될 때 기입 동작 동안 기입 제어 전압 회로(93)에 제공된다. 기입 제어 전압 회로(93)는 이에 응답하여 기입 제어 제어 전압을 발생 혹은 조정하고 가산기 회로(92)에 이 전압을 제공한다. 기입 제어 전압 회로(93)는 기입 제어 전압을 발생시키고 정확히 유지하는데 사용되는 2차 루프 필터 커패시터일 수 있다.

기입 제어 전압은 기입 동작 동안 가산기 회로(92)에 입력으로서 제공된다. 가산기 회로(92)는 이 전압을 VCO(94)에 대한 입력으로서 제공한다. 이렇게 기입 동작 동안 VCO(94)로 제공된 입력 전압을 기입 위상 검출기(90)에 제공된 2 신호간의 위상차에 대응한다. VCO(94)는 이 입력 전압에 기초하여 그 출력 클럭 신호의 주파수를 조정한다. 출력 클럭 신호는 기입 채널(16)에 제공되며 기입 동작 동안 기입 클럭 신호로서 작용한다. 이 신호는 위상차가 기입 위상 검출기(90)에 의해서 기입 동작 전체에 걸쳐서 기입 클럭 신호에 대한 조정을 제공하도록 연속적으로 발생될 수 있도록 N 분할 회로(88)에 대한 궤환 신호로서 제공된다.

PLL(52)이 기입 동작으로부터 판독 동작으로 전이될 때 판독 인에이블 신호는 비 인에이블된 상태로부터 인에이블된 상태로 전이된다. 이러한 전이의 결과로서, ZPR(96)이 VCO(94)에 제로 위상 재개를 개시한다. ZPR(96)은 판독 위상 검출기(80)에 대한 입력에서의 위상 에러가 최소화되도록 VCO(94)를 중지 및 재개한다. LPF(42)는 VCO(94)가 판독 위상 검출기(80)의 입력에서의 위상 에러를 최소화하는 데 사용하는 제로 재개 회로(96)에 신호를 제공한다. 이러한 전이의 결과로 판독 제어 전압 회로(82)의 출력 및 기입 제어 전압 회로(93)의 출력이 가산기 회로(92)에 결합되도록 기입 스위치(81)가 개방되고 판독 스위치(83)가 폐쇄된다.

기입 스위치(81)의 개방은 기입 제어 전압 회로(93)로부터 기입 위상 검출기(90)을 결합 해제시킨다. 기입 제어 전압 회로(93)가 판독 동작 동안 기입 위상 검출기(90)에 계속해서 결합되지 않지만, 기입 제어 전압 회로(93)는 기입 스위치(81)가 개방되기 전에 발생된 최정 기입 제어 전압을 정확하게 유지된다.

판독 동작 동안, 판독 위상 검출기(80)는 에러 회로(50) 및 VCO(94)의 출력 클럭 신호에 의해서 제공된 에러 신호를 수신한다. 판독 위상 검출기(80)는 이들 2신호를 비교해서 이들 2 신호 간의 위상차에 대응

하는 출력 신호를 발생한다. 에러 신호는 정확하게 동기식으로 샘플된 데이타값과 이상적 혹은 타겟값 간의 차이에 관련된 정보를 포함한다. 판독 채널(18)로부터의 다른 동기식으로 샘플된 데이타 신호는 에러 신호 대신에 제공될 수 있다.

판독 위상 검출기(80)의 출력 신호는 판독 제어 전압 회로(82)에 제공된다. 판독 제어 전압 회로(82)는 이에 응답하여 판독 제어 전압을 발생하거나 조정하여 이 전압을 가산기 회로(92)에 제공한다. 판독 제어 전압 회로(82)는 출력 신호를 유지 및 제공하는 RC 회로와 같은 루프 필터를 사용할 수 있다.

판독 동작 동안, 판독 제어 전압은 기록 제어 전압 회로(93)에 의해서 제공된 유지된 최종 기입 제어 전압과 함께 가산기 회로(92)에 제공된다. 최종 기입 제어 전압은 판독 동작 동안 일정하게 유지된다. 가산기 회로(92)는 2 전압의 합을 계산하여 VCO(94)에 이에 따른 출력 전압을 제공한다. VCO(94)는 이 출력 전압을 수신하여 이 출력 전압의 값에 대응하는 양으로 그 출력 신호의 주파수를 조정한다. VCO(94)의 출력 신호는 판독 클럭 신호로서 작용하여 판독 채널(18)에 제공된다. 판독 클럭 신호는 판독 신호의 동기식 샘플링을 제어하도록 판독 채널(18)에 제공된다. VCO(94)의 출력은 이 신호와 에러 신호 간의 위상차가 판독 동작 내내 판독 클럭 신호의 조정을 제공하도록 계속적으로 계산될 수 있도록 판독 위상 검출기(80)에 다시 제공된다.

발명의 효과

이상과 같이, 본 발명에 따라서 상술한 장점을 만족시키는 대용량 기억 시스템의 데이타 채널용 위상 동기 루프 시스템 및 방법이 제공되어 있음이 명백하다.

본 발명이 상세히 기술되어 있지만 각종 변화, 대체, 및 변경이 이루어질 수 있음을 이해해야 한다. 예컨대, 각종 기술 및 회로가 판독 및 기입 동작 동안 디지탈 신호를 처리하는 대용량 기억 시스템의 데이타 채널에 사용될 수 있다. 게다가 본 발명은 상기한 임의의 데이타 채널에 판독 클럭 신호 및 기입 클럭 신호를 제공하는데 사용될 수 있다. 또한, 본 발명에 개시된 직접 접속은 본 발명에 의해서 구체적으로 설명된 소망의 결과를 달성하면서 직접적인 접속없이 중간 장치 혹은 장치들을 통해서 2개의 장치가 서로 단순히 결합되도록 본 기술 분야에 숙련된 자에 의해서 변경될 수 있다. 본 기술 분야에 숙련된 자에 의해서, 다른 변화, 대체 및 변경이 용이하게 달성될 수 있으며 본 발명의 정식 및 영역을 벗어남이 없이 이루어질 수 있다. 본 발명이 상술한 설명에 의해서 특정하게 설명되었지만 본 기술 분야에 숙련된 자는 다음의 청구항에 한정된 본 발명의 정신 및 영역을 벗어남이 없이 각종의 다른 형태의 변화가 있을 수 있음을 알 수 있을 것이다.

(57) 청구의 범위

청구항 1

판독 클럭을 판독 채널에 제공하고 기입 클럭을 기입 채널에 제공하기 위한 위상 동기 루프 시스템에 있어서,

판독 채널로부터의 동기식으로 샘플된 데이타 신호 및 전압 제어식 발진기 출력 클럭 신호를 수신하고, 이에 응답하여 판독 제어 전압을 발생하며, 판독 동작 동안 판독 제어 전압을 제공하도록 동작하는 판독 위상 검출기,

기준 클럭 신호 및 전압 제어식 발진기 출력 클럭 신호를 수신하고, 비 판독 동작 동안 기입 제어 전압을 발생하여 제공하며 비 판독 동작 동안 발생된 최종 기입 제어 전압을 유지하고 판독 동작 동안 최종 기입 제어 전압을 제공하도록 동작하는 기입 위상 검출기,

판독 제어 전압 및 기입 제어 전압을 수신하고 이에 응답하여 전압 제어식 발진기 입력 전압을 발생하도록 동작하는 가산기 회로, 및

전압 제어식 발진기 입력 전압을 수신하고 이에 응답하여 전압 제어식 발진기 출력 클럭 신호를 발생하도록 동작하는 전압 제어식 발진기

를 구비하며, 상기 전압 제어식 발진기의 출력 클럭 신호는 판독 동작 동안에는 판독 클럭으로서 비 판독 동작 동안에는 기입 클럭으로서 작용하는 것을 특징으로 하는 위상 동기 루프 시스템.

청구항 2

제 1 항에 있어서, 상기 동기식으로 샘플된 데이타 신호는 데이타 에러 신호인 것을 특징으로 하는 위상 동기 루프 시스템.

청구항 3

제 2 항에 있어서, 상기 데이타 에러 신호는 샘플된 판독 신호와 타겟값 간의 차에 대응하는 값을 포함하는 것을 특징으로 하는 위상 동기 루프 시스템.

청구항 4

제 1 항에 있어서, 상기 판독 위상 검출기로부터 상기 판독 제어 전압을 수신해서 이 판독 제어 전압을 판독 동작 동안 가산기 회로에 제공하도록 동작하는 판독 제어 전압 회로를 더 구비하는 것을 특징으로 하는 위상 동기 루프 시스템.

청구항 5

제 4 항에 있어서, 상기 판독 제어 전압 회로 및 가산기 회로는 판독 동작 동안에는 결합되고 비 판독 동작 동안에는 결합 해제되는 것을 특징으로 하는 위상 동기 루프 시스템.

청구항 6

제 1 항에 있어서, 상기 기입 위상 검출기로부터 기입 제어 전압을 수신해서 이 기입 제어 전압을 비 판독 동작 동안 가산기 회로에 제공하고, 비 판독 동작 동안 상기 기입 위상 검출기에 의해서 제공된 최종 기입 제어 전압을 유지해서 이 최종 기입 제어 전압을 판독 동작 동안 가신기 회로에 제공하도록 동작하는 기입 제어 전압 회로를 더 구비하는 것을 특징으로 하는 위상 동기 루프 시스템.

청구항 7

제 6 항에 있어서, 상기 기입 제어 전압 회로 및 기입 위상 검출기는 비 판독 동작 동안에는 결합되고 판독 동작 동안에는 결합 해제되는 것을 특징으로 하는 위상 동기 루프 시스템.

청구항 8

제 7 항에 있어서, 상기 기준 클럭 신호를 수신해서 주파수 조정된 기준 클럭 신호를 상기 기입 위상 검출기에 제공하도록 동작하는 M 분할 회로, 및

상기 전압 제어식 발진기 출력 클럭 신호를 수신해서 주파수 조정된 전압 제어식 발진기 출력 클럭 신호를 상기 기입 위상 검출기에 제공하도록 동작하는 N 분할 회로

를 더 구비하는 것을 특징으로 하는 위상 동기 루프 시스템.

청구항 9

제 6 항에 있어서, 상기 기입 제어 전압 회로는 상기 기입 제어 전압을 기억 및 유지하기 위한 루프 필터 커패시터를 포함하는 것을 특징으로 하는 위상 동기 루프 시스템.

청구항 10

제 1 항에 있어서, 상기 기준 클럭 신호 및 판독 인에이블 신호를 수신하고, 판독 동작으로부터 비 판독 동작으로 전이가 발생될 때 상기 전압 제어식 발진기 출력 클럭 신호의 위상을 상기 기준 클럭 신호의 위상으로 리세트하도록 동작하는 제로 위상 재개 회로를 더 구비하는 것을 특징으로 하는 위상 동기 루프 시스템.

청구항 11

데이타 기억 매체 및 제어 회로를 가진 대용량 기억 시스템용의 데이타 채널에 있어서,

비 판독 동작 동안 상기 제어 회로로부터 제공된 디지탈 데이타 신호를 수신해서 처리하고, 이에 응답해서 대응하는 기입 신호를 상기 데이타 기억 매체에 제공하고 기입 클럭 신호에 의해서 제어를 받도록 동작하는 기입 채널,

판독 동작 동안 상기 데이타 기억 매체로부터 수신된 판독 신호를 수신해서 처리하고, 이에 응답해서 대응하는 디지탈 데이타 신호를 상기 제어 회로에 제공하고 판독 클럭 신호에 의해서 제어를 받도록 동작하는 판독 채널, 및

판독 위상 검출기, 기입 위상 검출기, 가산기 회로, 및 전압 제어식 발진기를 가지며, 상기 기입 클럭 신호를 발생해서 이 기입 클럭 신호를 비 판독 동작 동안 전압 제어식 발진기의 출력에서 상기 기입 채널에 제공하고, 상기 판독 클럭 신호를 발생해서 이 판독 클럭 신호를 판독 동작 동안 전압 제어식 발진기의 출력에서 상기 판독 채널에 제공하도록 동작하는 위상 동기 루프 시스템

을 구비하는 것을 특징으로 하는 대용량 기억 시스템용의 데이타 채널.

청구항 12

제 11 항에 있어서, 상기 위상 동기 루프 시스템은,

판독 채널로부터의 동기식으로 샘플된 데이타 신호 및 전압 제어식 발진기 출력 클럭 신호를 수신하고, 이에 응답하여 판독 제어 전압을 발생하며, 판독 동작 동안 판독 제어 전압을 제공하도록 동작하는 판독 위상 검출기,

기준 클럭 신호 및 전압 제어식 발진기 출력 클럭 신호를 수신하고, 비 판독 동작 동안 기입 제어 전압을 발생하여 제공하며 비 판독 동작 동안 발생된 최종 기입 제어 전압을 유지하고 판독 동작 동안 상기 최종 기입 제어 전압을 제공하도록 동작하는 기입 위상 검출기,

판독 제어 전압 및 기입 제어 전압을 수신하여 이에 응답하여 전압 제어식 발진기 입력 전압을 발생하도록 동작하는 가산기 회로, 및

전압 제어식 발진기 입력 전압을 수신하고 이에 응답하여 전압 제어식 발진기 출력 클럭 신호를 발생하도록 동작하는 전압 제어식 발진기

를 구비하며, 상기 전압 제어식 발진기의 출력 클럭 신호는 판독 동작 동안에는 판독 클럭 신호로서 비 판독 동작 동안에는 기입 클럭 신호로서 작용하는 것을 특징으로 하는 대용량 기억 시스템용의 데이타 채널.

청구항 13

제 12 항에 있어서, 상기 위상 동기 루프 시스템의 상기 판독 제어 전압회로 및 가산기 회로는 판독 동작 동안에는 결합되고 비 판독 동작 동안에는 결합 해제되는 것을 특징으로 하는 대용량 기억 시스템용의 데이타 채널.

청구항 14

제 13 항에 있어서, 상기 위상 동기 루프 시스템은 상기 기입 위상 검출기로부터 기입 제어 전압을 수신해서 이 기입 제어 전압을 비 판독 동작 동안 상기 가산기 회로에 제공하도록 동작하는 기입 제어 전압 회로를 포함하고, 상기 기입 제어 전압 회로는 비 판독 동작 동안 상기 기입 위상 검출기에 의해서 제공된 최종 기입 제어 전압을 유지해서 이 최종 기입 제어 전압을 판독 동작 동안 상기 가산기 회로에 제공하도록 더 동작하는 것을 특징으로 하는 대용량 기억 시스템용의 데이타 채널.

청구항 15

제 14 항에 있어서, 상기 기입 제어 전압 회로 및 기입 위상 검출기는 비 판독 동작 동안에는 결합되고 판독 동작 동안에는 결합 해제되는 것을 특징으로 하는 대용량 기억 시스템용의 데이타 채널.

청구항 16

제 15 항에 있어서, 상기 기준 클럭 신호를 수신해서 주파수 조정된 기준 클럭 신호를 상기 기입 위상 검출기에 제공하도록 동작하는 M 분할 회로, 및

상기 전압 제어식 발진기 출력 클럭 신호를 수신해서 주파수 조정된 전압 제어식 발진기 출력 클럭 신호를 상기 기입 위상 검출기에 제공하도록 동작하는 N 분할 회로

를 더 구비하는 것을 특징으로 하는 대용량 기억 시스템의 데이타 채널.

청구항 17

비 판독 동작 동안 기입 클럭 신호를 기입 채널에 제공하고 판독 동작 동안 판독 클럭 신호를 판독 채널에 제공하는 방법에 있어서,

기준 클럭 신호 및 동기식으로 샘플된 데이타 신호를 수신하는 단계,

상기 기준 클럭 신호와 비 판독 동작 동안 전압 제어식 발진기의 출력으로서 제공된 기입 클럭 신호 간의 위상차에 대응하는 기입 제어 전압을 비 판독 동작 동안 발생하는 단계,

비 판독 동작 동안 기입 제어 전압을 전압 제어식 발진기에 제공하는 단계,

비 판동 동작 동안 상기 전압 제어식 발진기의 출력으로서 기입 클럭 신호를 발생하는 단계,

비 판독 동작으로부터 판독 동작으로 전이하는 단계,

비 판독 동작으로부터 판독 동작으로 전이하기 전에 발생된 최종 기입 제어 전압을 유지하는 단계,

판독 동작 동안 전압 제어식 발진기의 출력으로서 제공된 판독 클럭 신호와 동기식으로 샘플된 데이타 신호 간의 위상차에 대응하는 판독 제어 전압을 판독 동작 동안 발생하는 단계,

상기 유지된 최종 기입 제어 전압 및 판독 제어 전압을 전압 제어식 발진기에 제공하는 단계, 및

판독 동작 동안 상기 전압 제어식 발진기의 출력으로서 판독 클럭 신호를 발생하는 단계

를 포함하는 것을 특징으로 하는 방법.

청구항 18

제 17 항에 있어서, 상기 기입 제어 전압을 발생하는 단계 전에 상기 기준 클럭 신호를 정수 M으로 분할하는 단계, 및

상기 기입 제어 전압을 발생하는 단계 전에 상기 기입 클럭 신호를 정수 N으로 분할하는 단계

를 더 포함하는 것을 특징으로 하는 방법.

청구항 19

제 17 항에 있어서, 비 판독 동작으로부터 판독 동작 단계로의 전이 후에 판독 클럭 신호에 대한 제로 위상 재개를 행하는 단계

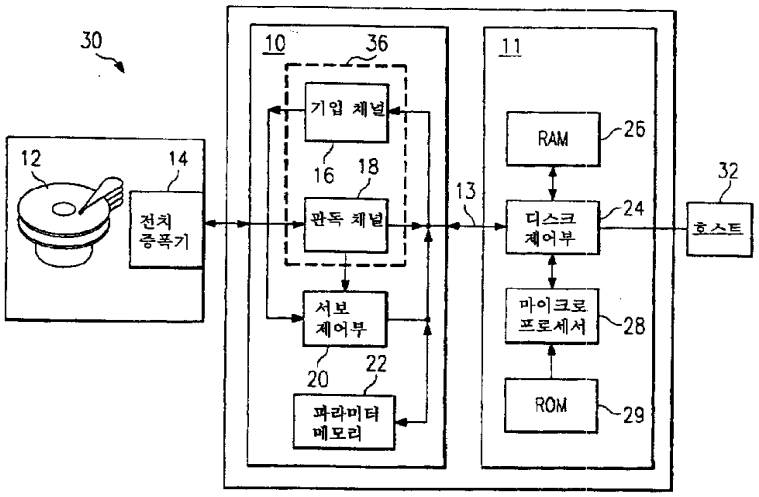
를 더 포함하는 것을 특징으로 하는 방법.

청구항 20

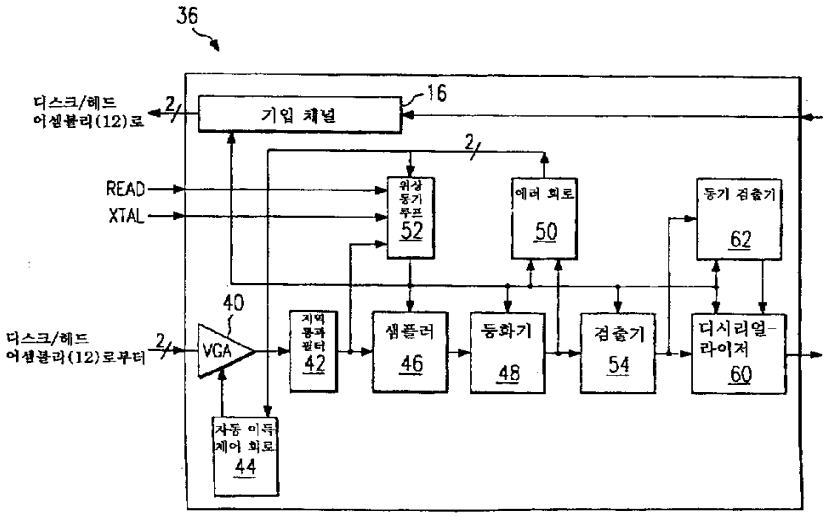
제 17 항에 있어서, 상기 비 판독 동작으로부터 판독 동작 단계로의 전이는 판독 클럭 신호에 대한 제로 위상 재개를 행하는 단계를 포함하는 것을 특징으로 하는 방법.

도면

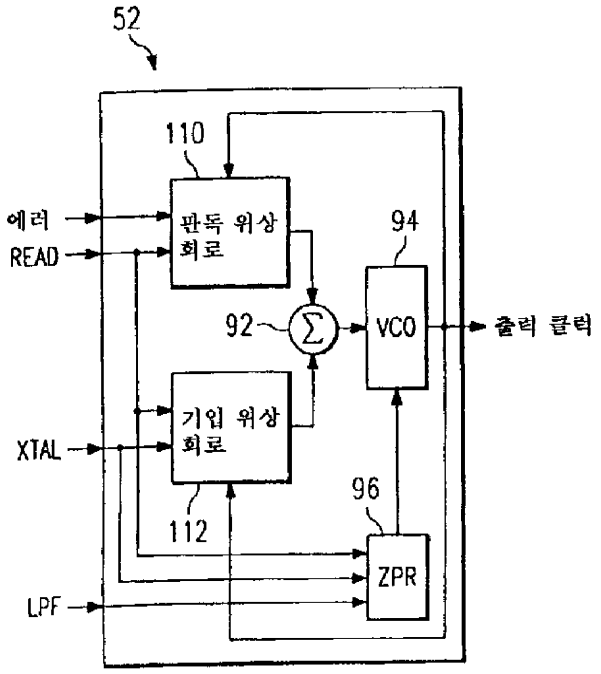
도면1


30
10
36
11
기입 채널
RAM
25
12
14
16
18
13
32
전치
증폭기
판독 채널
디스크
제어부
24
호스트
서보
제어부
마이크로
프로세서
28
20
22
ROM
29
파라미터
메모리

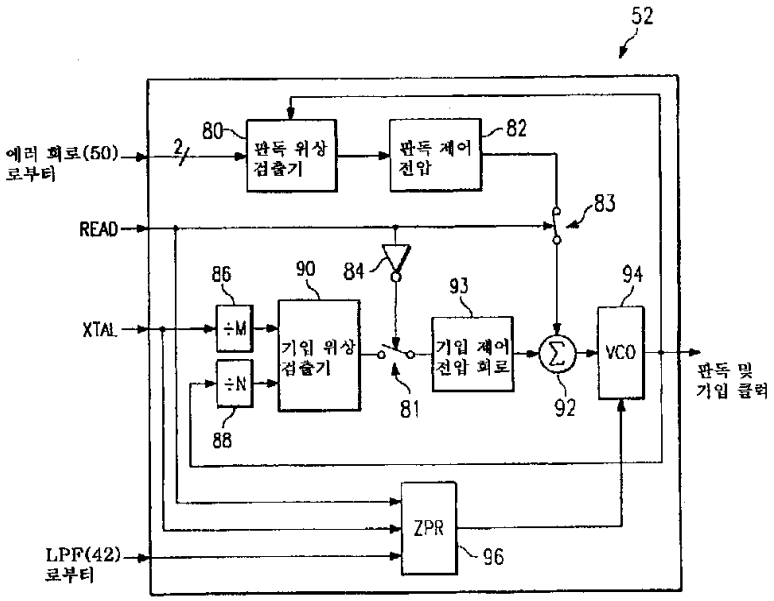
도면2


36
디스크/헤드
어셈블리(12)로
2
기입 채널
16
READ
XTAL
위상
동기
루프
52
에러 회로
50
동기 검출기
62
40
디스크/헤드
어셈블리(12)로부터
VGA
지역
통과
필터
42
샘플러
46
등화기
48
검출기
54
디시리얼-
라이저
60
자동 이득
제어 회로
44

도면3


52
110
판독 위상 회로
에러
READ
94
VCO
92
출력 클럭
기입 위상 회로
XTAL
96
112
ZPR
LPF

도면4


52
에러 회로(50) 로부터
80
판독 위상 검출기
2
판독 제어 전압
82
83
READ
86
90
84
93
94
XTAL
÷M
기입 위상 검출기
기입 제어 전압 회로
VCO
판독 및 기입 클럭
÷N
88
81
92
ZPR
96
LPF(42) 로부터