

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016年9月9日(09.09.2016)



(10) 国際公開番号  
WO 2016/140281 A1

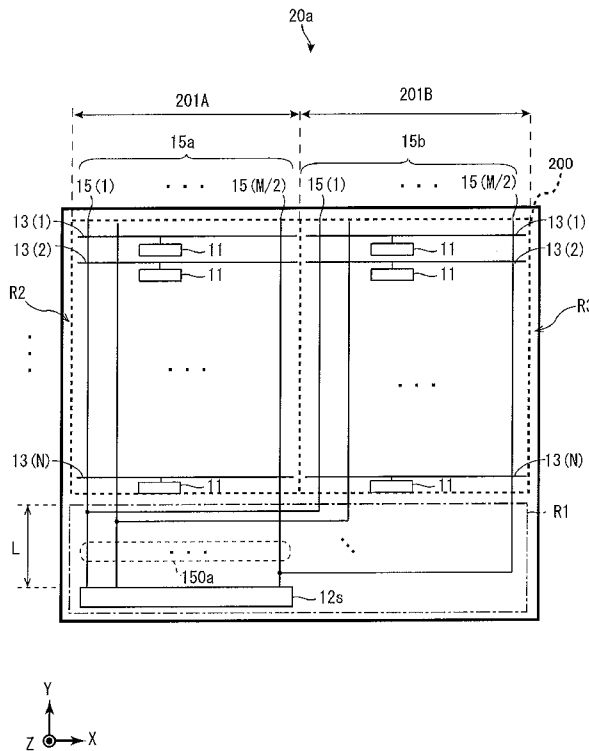
- (51) 国際特許分類:  
G09F 9/30 (2006.01) G09F 9/302 (2006.01)  
G02F 1/133 (2006.01) G09G 3/20 (2006.01)  
G02F 1/1343 (2006.01) G09G 3/36 (2006.01)  
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2016/056476
- (22) 国際出願日: 2016年3月2日(02.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2015-040127 2015年3月2日(02.03.2015) JP
- (71) 出願人: シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 田中 耕平(TANAKA Kohhei), 野間 健史(NOMA Takeshi), 西山 隆之(NISHIYAMA Takayuki), 米林 諒(YONEBAYASHI Ryo).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300047 大阪府大阪市北区西天満2-6-8 堂島ビルディング4階 川上特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: ACTIVE MATRIX SUBSTRATE AND DISPLAY DEVICE PROVIDED THEREWITH

(54) 発明の名称: アクティブマトリクス基板、及びそれを備えた表示装置

[図2]



タ線 15 a と接続されている。

(57) Abstract: The purpose of the present invention is to narrow a frame region in an active matrix substrate having a display region in which a plurality of pixel regions respectively provided with pixel groups independent of each other are arranged along gate lines. An active matrix substrate 20a has a display region 200 in which a pixel region 201A and a pixel region 201B that are each provided with a gate line group and a source line group are arranged along the extension direction of gate lines. In the pixel region 201A and the pixel region 201B, gate drivers 11 for driving gate lines 13 in the pixel regions are provided. In a frame region R1, a terminal part 12s for supplying a data signal to data lines is provided. One ends of data lines 15a in the pixel region 201A are routed from the terminal part 12s, and data lines 15b in the pixel region 201B are connected to the data lines 15a in the pixel region 201A.

(57) 要約: 互いに独立した画素群をそれぞれ備える複数の画素領域がゲート線に沿って並列された表示領域を有するアクティブマトリクス基板における額縁領域の狭額縁化を図る。アクティブマトリクス基板 20a は、ゲート線群とソース線群とをそれぞれ備える画素領域 201A と画素領域 201B がゲート線の延伸方向に沿って配列された表示領域 200 を有する。画素領域 201A と画素領域 201B には、当該画素領域におけるゲート線 13 を駆動するゲートドライバ 11 が設けられている。額縁領域 R1 には、ゲータ線にデータ信号を供給する端子部 12s が設けられている。画素領域 201A のデータ線 15a の一方の端部は端子部 12s から引き回され、画素領域 201B のデータ線 15b は、画素領域 201A のデー

WO 2016/140281 A1

MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:  
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 國際調查報告 (條約第 21 條(3))  
KM, ML, MR, NE, SN, TD, TG).

## 明 細 書

発明の名称：

アクティブマトリクス基板、及びそれを備えた表示装置

技術分野

[0001] 本発明は、アクティブマトリクス基板及びそれを備えた表示装置に関する。

背景技術

[0002] 下記特許文献1には、複数のゲート線と複数のデータ線とで規定される画素群をそれぞれ備える2つの画素領域がゲート線の延伸方向に沿って並列して形成された表示パネルが開示されている。各画素領域におけるデータ線は、データ線の一方の端部付近における額縁領域において互いに接続されている。また、表示パネルの左右の額縁領域には各画素領域に対するゲートドライバが配置されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許8659583号明細書

発明の概要

発明が解決しようとする課題

[0004] ゲート線に沿って複数の画素領域が並列された表示パネルの場合、各画素領域のゲート線を駆動する駆動回路を、上記特許文献1のように、表示パネルにおける左右の額縁領域に配置すると、表示パネルにおける左右の額縁領域の狭額縁化を図ることができない。

[0005] 本発明は、互いに独立した画素群をそれぞれ備える複数の画素領域がゲート線に沿って並列された表示領域を有するアクティブマトリクス基板における額縁領域の狭額縁化を図る技術を提供することを目的とする。

課題を解決するための手段

[0006] 本発明に係るアクティブマトリクス基板は、データ線群とゲート線群とを備える画素領域がゲート線の延伸方向に沿って複数配列された表示領域と、前記表示領域の外側であって、データ線の一方の端部近傍の第1額縁領域に設けられ、データ信号を供給する端子部と、各画素領域に設けられ、当該画素領域におけるゲート線を選択又は非選択の状態に切り替える駆動回路と、を備え、複数の画素領域の少なくとも一の画素領域におけるデータ線は、前記端子部と接続され、他の画素領域におけるデータ線は、前記一の画素領域におけるデータ線と接続されている。

### 発明の効果

[0007] 本発明の構成によれば、互いに独立した画素群をそれぞれ備える複数の画素領域がゲート線に沿って並列された表示領域を有するアクティブマトリクス基板における額縁領域の狭額縁化を図ることができる。

### 図面の簡単な説明

[0008] [図1]図1は、第1実施形態に係る液晶表示装置の概略構成を示した図である。

[図2]図2は、図1に示すアクティブマトリクス基板におけるソース線の配置例を示す模式図である。

[図3]図3は、図2に示すソース線の図示を省略したアクティブマトリクス基板の概略構成を示す模式図である。

[図4]図4は、図3に示すゲートドライバの等価回路を示す図である。

[図5A]図5Aは、図4に示すゲートドライバの配置レイアウトを示す模式図である。

[図5B]図5Bは、図4に示すゲートドライバの配置レイアウトを示す模式図である。

[図6]図6は、図4に示すゲートドライバがゲート線を駆動する際のタイミングチャートを示す図である。

[図7]図7は、第1実施形態におけるデータ信号の書き込み処理のタイミングチャートを示す図である。

[図8]図8は、第1実施形態におけるアクティブマトリクス基板の比較例を示す図である。

[図9]図9は、第2実施形態におけるアクティブマトリクス基板のソース線の配置例を示す模式図である。

[図10A]図10Aは、図9に示す額縁領域におけるソース線部分とソース線との接続部分を拡大した模式図である。

[図10B]図10Bは、図13Aに示すソース線及び引き回し配線部と接続用配線との接続部分をI-I線で切断した断面図である。

[図11]図11は、第2実施形態におけるデータ信号の書き込み処理のタイミングチャートを示す図である。

[図12]図12は、第3実施形態におけるアクティブマトリクス基板のソース線の配置例を示す模式図である。

[図13]図13は、第3実施形態におけるデータ信号の書き込み処理のタイミングチャートを示す図である。

[図14]図14は、第4実施形態におけるアクティブマトリクス基板のソース線の接続例を示す模式図である。

[図15]図15は、第4実施形態におけるデータ信号の書き込み処理のタイミングチャートを示す図である。

[図16A]図16Aは、図14に示す破線枠Pにおけるソース線を拡大した模式図である。

[図16B]図16Bは、図16Aに示すソース線をI-I線で切断した断面図である。

[図16C]図16Cは、図16Aに示すソース線をII-II線で切断した断面図である。

[図17A]図17Aは、第5実施形態における額縁領域のソース線部分とソース線との接続部分を拡大した模式図である。

[図17B]図17Bは、図17Aに示す接続部分をIII-III線で切断した断面図を示している。

[図18]図18は、第6実施形態におけるアクティブマトリクス基板の概略構成を示す模式図である。

[図19]図19は、第6実施形態におけるデータ信号の書き込み処理のタイミングチャートを示す図である。

[図20]図20は、第7実施形態におけるアクティブマトリクス基板の概略構成を示す模式図である。

[図21]図21は、第7実施形態におけるゲートドライバの等価回路図である。

[図22A]図22Aは、図21に示すゲートドライバの配置レイアウトを示す模式図である。

[図22B]図22Bは、図21に示すゲートドライバの配置レイアウトを示す模式図である。

[図22C]図22Cは、図21に示すゲートドライバの配置レイアウトを示す模式図である。

[図22D]図22Dは、図21に示すゲートドライバの配置レイアウトを示す模式図である。

[図22E]図22Eは、図21に示すゲートドライバの配置レイアウトを示す模式図である。

[図23]図23は、図21に示すゲートドライバが一部のゲート線を駆動する際のタイミングチャートを示す図である。

[図24A]図24Aは、第7実施形態における1フレーム目のデータ信号の書き込み処理を示すタイミングチャートである。

[図24B]図24Bは、第7実施形態における2～60フレーム目までの各フレーム期間におけるデータ信号の書き込み処理のタイミングチャートを示す図である。

[図25]図25は、第8実施形態におけるアクティブマトリクス基板の概略構成を示す模式図である。

[図26]図26は、変形例(1)におけるアクティブマトリクス基板のソース

線の接続例を示す模式図である。

### 発明を実施するための形態

- [0009] 本発明の一実施形態に係るアクティブマトリクス基板は、データ線群とゲート線群とを備える画素領域がゲート線の延伸方向に沿って複数配列された表示領域と、前記表示領域の外側であって、データ線の一方の端部近傍の第1額縁領域に設けられ、データ信号を供給する端子部と、各画素領域に設けられ、当該画素領域におけるゲート線を選択又は非選択の状態に切り替える駆動回路と、を備え、複数の画素領域の少なくとも一の画素領域におけるデータ線は、前記端子部と接続され、他の画素領域におけるデータ線は、前記一の画素領域におけるデータ線と接続されている（第1の構成）。
- [0010] 第1の構成によれば、アクティブマトリクス基板は、ゲート線の延伸方向に沿って配列された複数の画素領域からなる表示領域を有する。アクティブマトリクス基板は、第1額縁領域に、データ線にデータ信号を供給するための端子部を備える。さらに、アクティブマトリクス基板は、画素領域ごとに、当該画素領域におけるゲート線を選択又は非選択の状態に切り替える駆動回路を当該画素領域内に備える。少なくとも一の画素領域におけるデータ線は端子部と接続されており、他の画素領域におけるデータ線は当該一の画素領域におけるデータ線と接続されている。
- [0011] 上記第1の構成では、各画素領域内に駆動回路が設けられるため、ゲート線の端部近傍の額縁領域の狭額縁化を図ることができる。また、各画素領域内に駆動回路が設けられることにより、アクティブマトリクス基板において、ゲート線の延伸方向に沿って3つ以上の画素領域が並列された表示領域を形成することができる。また、端子部と接続されるデータ線は、全ての画素領域のデータ線の総数よりも少ない。つまり、端子部から第1額縁領域に引き回すデータ線の本数を減らすことができるので、全てのデータ線を端子部から第1額縁領域に引き回す場合と比べて第1額縁領域を狭額縁化できる。
- [0012] 第2の構成は、第1の構成において、前記一の画素領域と前記他の画素領域におけるデータ線は、前記第1額縁領域において互いに接続されているこ

ととしてもよい。

- [0013] 第2の構成によれば、一の画素領域のデータ線は第1額縁領域において他の画素領域のデータ線と接続されるので、全てのデータ線を端子部と接続する場合と比べ、第1額縁領域の狭額縁化を図ることができる。
- [0014] 第3の構成は、第2の構成において、前記一の画素領域と前記他の画素領域のデータ線のうち、前記データ信号を入力するための1つの画素領域のデータ線を選択的に切り替えるスイッチング部をさらに備えることとしてもよい。
- [0015] 第3の構成によれば、データ信号を入力する1つの画素領域のデータ線を選択的に切り替えることができるので、データ信号を入力する際の消費電力を軽減することができる。
- [0016] 第4の構成は、第2又は第3の構成において、前記アクティブマトリクス基板は、第1の金属層と、前記第1の金属層とは異なる第2の金属層とを含む積層構造を有し、前記ゲート線は、前記第1の金属層に形成され、前記データ線は、前記第2の金属層に形成され、前記第1の金属層又は前記第2の金属層に形成され、前記他の画素領域のデータ線のうち、当該データ線を延長した延長線と前記一の画素領域のデータ線とが前記第1額縁領域において交差するデータ線と、前記一の画素領域のデータ線との間を接続する接続用配線をさらに備えることとしてもよい。
- [0017] 第4の構成によれば、接続用配線によって、一の画素領域のデータ線と他の画素領域のデータ線とを交差させることなく接続することができる。
- [0018] 第5の構成は、第2又は第3の構成において、前記アクティブマトリクス基板は、第1の金属層と、前記第1の金属層とは異なる第2の金属層とを含む積層構造を有し、前記ゲート線は、前記第1の金属層に形成され、前記他の画素領域におけるデータ線は、前記第2の金属層に形成され、前記一の画素領域におけるデータ線は、当該一の画素領域内に配置されるデータ線の部分が前記第2の金属層に形成され、前記第1額縁領域に配置されるデータ線の部分が前記第1の金属層に形成され、前記第2の金属層に形成され、前記



他の画素領域のデータ線と、前記一の画素領域のデータ線との間を接続する接続用配線をさらに備えることとしてもよい。

[0019] 第5の構成によれば、接続用配線によって、一の画素領域のデータ線と他の画素領域のデータ線とを交差させることなく接続することができる。

[0020] 第6の構成は、第2の構成において、前記アクティブマトリクス基板は、第1の金属層と、前記第1の金属層とは異なる第2の金属層と、前記第1の金属層及び前記第2の金属層とは異なる第3の金属層を含む積層構造を有し、前記ゲート線は、前記第1の金属層に形成され、前記他の画素領域におけるデータ線は、前記第2の金属層に形成され、前記一の画素領域におけるデータ線は、当該一の画素領域内に配置されるデータ線の部分が前記第2の金属層に形成され、前記第1額縁領域に配置されるデータ線の部分が前記第1の金属層又は前記第2の金属層に形成され、前記第3の金属層に形成され、前記一の画素領域のデータ線と前記他の画素領域のデータ線との間を接続する接続用配線をさらに備えることとしてもよい。

[0021] 第6の構成によれば、接続用配線により、一の画素領域と他の画素領域のデータ線を交差させることなく接続することができる。また、第1額縁領域に配置される他の画素領域のデータ線の部分が第1の金属層と第2の金属層の一方に形成されるため、同じ金属層にデータ線を形成する場合と比べ、第1額縁領域に配置されるデータ線の間隔を狭めることができる。その結果、第1額縁領域をさらに狭額縁化することができる。

[0022] 第7の構成は、第1の構成において、前記他の画素領域におけるデータ線は、前記一の画素領域におけるデータ線が前記第1額縁領域と対向する第2額縁領域を通して前記他の画素領域に延伸されることにより形成されていることとしてもよい。

[0023] 第7の構成によれば、一の画素領域のデータ線が他の画素領域のデータ線を兼ねる。そのため、第1額縁領域には、一の画素領域のデータ線の本数分だけデータ線を配置すればよく、第1額縁領域の狭額縁化を図ることができる。

- [0024] 第8の構成は、第1の構成において、前記一の画素領域におけるデータ線と前記他の画素領域におけるデータ線は、前記表示領域において互いに接続されていることとしてもよい。
- [0025] 第8の構成によれば、一の画素領域のデータ線は表示領域内において他の画素領域のデータ線と接続されるので、全てのデータ線を端子部と接続する場合と比べ、第1額縁領域の狭額縁化を図ることができる。
- [0026] 第9の構成は、第1から第7のいずれかの構成において、前記複数の画素領域のうち少なくとも一の画素領域における一部の画素に前記データ信号を書き込むフレーム周波数は、当該画素領域における他の画素に前記データ信号を書き込むフレーム周波数よりも低いこととしてもよい。
- [0027] 第9の構成によれば、一部の画素に静止画を表示させ、他の画素に動画を表示させることができ、データ信号を書き込む際の消費電力を低減することができる。
- [0028] 第10の構成は、第1から第9のいずれかの構成において、前記表示領域は、非矩形の形状を有することとしてもよい。
- [0029] 本発明の一実施形態に係る表示装置は、第1から第10のいずれかの構成のアクティブマトリクス基板と、前記アクティブマトリクス基板における各画素に対応する位置に設けられたカラーフィルタを備える対向基板と、を備える（第11の構成）。
- [0030] 第12の構成は、第11の構成において、前記カラーフィルタは、R（赤）、G（緑）、B（青）の各カラーフィルタを含み、前記R（赤）、G（緑）、B（青）の各カラーフィルタは、前記アクティブマトリクス基板におけるデータ線の延伸方向に沿って、R（赤）、G（緑）、B（青）の順となるように配列されている、こととしてもよい。
- [0031] 第12の構成によれば、カラーフィルタのR（赤）、G（緑）、B（青）に対応する各画素が、ゲート線の延伸方向に沿ってR（赤）、G（緑）、B（青）の順に配置されている場合と比べ、データ線の本数を減らすことができる。その結果、端子部から第1額縁領域に引き回すデータ線の本数が減り

、第1額縁領域をさらに狭額縁化することができる。

[0032] 以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0033] <第1実施形態>

(液晶表示装置の構成)

図1は、本実施形態に係る液晶表示装置の概略構成を示した上面図である。液晶表示装置1は、表示パネル2、ソースドライバ3、表示制御回路4、及び電源5を有する。表示パネル2は、アクティブマトリクス基板20aと、対向基板20bと、これら基板に挟持された液晶層(図示略)とを有する。図1において図示を省略しているが、アクティブマトリクス基板20aと対向基板20bとを挟んで、一对の偏光板が設けられている。対向基板20bには、ブラックマトリクスと、赤(R)、緑(G)、青(B)の3色のカラーフィルタと、共通電極(いずれも図示略)が形成されている。

[0034] 図1に示すように、アクティブマトリクス基板20aは、フレキシブル基板に形成されたソースドライバ3と電氣的に接続されている。表示制御回路4は、表示パネル2、ソースドライバ3、及び電源5と電氣的に接続されている。表示制御回路4は、ソースドライバ3と、アクティブマトリクス基板20aに形成されている後述の駆動回路(以下、ゲートドライバと称する)とに制御信号を出力する。電源5は、表示パネル2、ソースドライバ3、及び表示制御回路4と電氣的に接続されており、各々に電源電圧信号を供給する。

[0035] (アクティブマトリクス基板の構成)

図2は、アクティブマトリクス基板20aの概略構成を示す模式図である。アクティブマトリクス基板20aは、独立した画素群をそれぞれ備える領域201Aと領域201BがX軸方向に沿って配置された矩形形状の表示領域200を有する。

[0036] 領域201Aと領域201Bには、領域ごとに独立して駆動されるN本のゲート線13(13(1)~13(N))が形成されている。

- [0037] 領域201Aには、 $M/2$ 本 ( $M$ : 偶数) のソース線 (データ線) 15a (15(1) ~ 15( $M/2$ )) が形成されている。領域201Aのデータ線15aは、一方の端部が端子部12sと接続され、端子部12sから、表示領域200の外側であって、ゲート線13に平行な一の辺の額縁領域R1、及び領域201Aに亘って、ゲート線13に対して略垂直に延伸されている。
- [0038] 領域201Bには、 $M/2$ 本のソース線15b (15(1) ~ 15( $M/2$ )) が形成されている。領域201Bのデータ線15bは、一方の端部が、領域201Aにおける一のソース線15a額縁領域R1において接続され、その接続位置からゲート線13と略平行に額縁領域R1における所定の位置まで延伸し、所定の位置からゲート線13と略垂直に領域201B内を延伸されている。以下、領域201Aと領域201Bのソース線を区別しないときは、ソース線15と称する。
- [0039] つまり、この例では、アクティブマトリクス基板20aにおける領域201A、201Bに対して計 $M$ 本のソース線15が設けられている。
- [0040] また、アクティブマトリクス基板20aにおいて、額縁領域R1には、端子部12sが設けられている。端子部12sは、ソースドライバ3から供給されるデータ信号を受け取る。
- [0041] 本実施形態では、端子部12sに一方の領域201Aのソース線15aが接続され、他方の領域201Bのソース線15bは、額縁領域R1において領域201Aのソース線15aと接続されている。そのため、端子部12sから額縁領域R1に引き回されるソース線15の本数は、 $M/2$ 本で済む。よって、額縁領域R1におけるソース線15の延伸方向の幅 $L$ は、領域201Bの $M/2$ 本のソース線15を並列して配置するための長さがあればよい。
- [0042] なお、この例では、領域201Aのソース線15aが端子部12sと接続されているが、領域201Bのソース線15bと端子部12sとを接続し、領域201Aのソース線15aが、額縁領域R1において、領域201Bの

ソース線 15 b と接続されていてもよい。

[0043] 領域 201 A と領域 201 B の各画素は、カラーフィルタの R, G, B のいずれかの色に対応している。対向基板 20 b における R, G, B の各色のカラーフィルタは、ゲート線 13 の延伸方向に沿って、R, G, B の順となるように配列されている。

[0044] また、各画素における一のゲート線 13 と一のソース線 15 とが交差する近傍には、ゲート線 13 とソース線 15 とに接続された画素用 T F T (Thin Film Transistor) 17 (図 5 A、5 B 等参照) が配置されている、各画素には、画素電極 (図示略) が配置されており、画素用 T F T のドレイン端子に画素電極が接続されている。

[0045] 領域 201 A、201 B の各々には、当該領域におけるゲート線 13 を選択又は非選択の状態に切り替える複数のゲートドライバ 11 が設けられている。図 3 は、ソース線 15 及び端子部 12 s の図示を省略したアクティブマトリクス基板 20 a の概略構成を示す模式図である。図 3 に示すように、額縁領域 R1 には、端子部 12 g が配置されている。端子部 12 g は、表示制御回路 4 (図 1 参照) と接続され、表示制御回路 4 から供給される制御信号を、制御配線 16 を介して各ゲートドライバ 11 に供給する。

[0046] 次に、ゲートドライバ 11 について説明する。図 4 は、本実施形態における一のゲートドライバ 11 の等価回路を示す図である。なお、図 4 の例では、ゲート線 13 (n) (n : 整数、 $1 \leq n \leq N$ ) を駆動するゲートドライバ 11 (n) の等価回路を示している。

[0047] 図 4 に示すように、ゲートドライバ 11 (n) は、アルファベット A ~ L で示す T F T (以下、T F T - A ~ T F T - L) と、キャパシタ C b s t とを有する。

[0048] 図 4 において、T F T - B のソース端子と、T F T - A、T F T - C、及び T F T - K のドレイン端子と、T F T - F のゲート端子と、キャパシタ C b s t の一方の電極とが接続されている内部配線を n e t A と称する。また、T F T - G のソース端子と、T F T - H、T F T - I、及び T F T - J の

ドレイン端子と、TFT-Cのゲート端子とが接続されている内部配線をnet Bと称する。

[0049] ゲートドライバ11は、領域201A又は領域201Bに設けられるため、net Aとnet Bは、ソース線15（図2参照）や画素に設けられる他の素子との間で寄生容量Cpa、Cpbを各々有する。

[0050] TFT-Aのドレイン端子はnet Aと接続され、ゲート端子にリセット信号CLRが供給され、ソース端子に電源電圧信号VSSが供給される。TFT-Aは、リセット信号CLRの電位に応じて、net A(n)をLレベル(VSS)に引き下げる。

[0051] TFT-Bのゲート端子には、ゲート線13(n-2)を駆動するゲートドライバ11(n-2)におけるnet A(以下、net A(n-2))が接続され、ドレイン端子は、ゲート線13(n-1)と接続され、ソース端子は、ゲートドライバ11(n)におけるnet A(以下、net A(n))と接続されている。

[0052] なお、ゲート線13(1)を駆動するゲートドライバ11(1)におけるTFT-Bのゲート端子とドレイン端子には、セット信号Sとして、所定のタイミングで、表示制御回路4からスタートパルス信号が供給される。

[0053] TFT-Cは、ゲート端子がnet B(n)と接続され、ドレイン端子がnet A(n)と接続され、ソース端子に電源電圧信号VSSが供給される。

[0054] TFT-Kは、ゲート端子が、ゲート線13(n+2)と接続され、ドレイン端子はnet A(n)と接続され、ソース端子に電源電圧信号VSSが供給される。

[0055] TFT-Fは、ゲート端子がnet A(n)と接続され、ソース端子がゲート線13(n)に接続され、ドレイン端子にクロック信号CKAが供給される。なお、TFT-Fは、比較的負荷の重いゲート線13を駆動するため、チャンネル幅を大きくする必要がある。図5に示す等価回路においては、TFT-Fを1つのTFTで表しているが、TFT-Fは、複数のTFTを並

列に接続して構成される。

- [0056] キャパシタ  $C_{bst}$  は、一方の電極が  $net A(n)$  と接続され、他方の電極がゲート線  $13(n)$  と接続されている。
- [0057]  $TFT-E$  は、ドレイン端子がゲート線  $13(n)$  と接続され、ゲート端子にリセット信号  $CLR$  が供給され、ソース端子に電源電圧信号  $VSS$  が供給される。
- [0058]  $TFT-D$  は、ドレイン端子がゲート線  $13(n)$  と接続され、ゲート端子にクロック信号  $CKB$  が供給され、ソース端子に電源電圧信号  $VSS$  が供給される。
- [0059]  $TFT-L$  は、ドレイン端子がゲート線  $13(n)$  と接続され、ゲート端子がゲート線  $13(n+2)$  と接続され、ソース端子に電源電圧信号  $VSS$  が供給される。
- [0060]  $TFT-G$  は、ゲート端子とドレイン端子とが接続され、ゲート端子とドレイン端子にクロック信号  $CKD$  が供給され、ソース端子が  $net B(n)$  に接続されている。
- [0061]  $TFT-H$  は、ドレイン端子が  $net B(n)$  に接続され、ゲート端子にクロック信号  $CKC$  が供給され、ソース端子に電源電圧信号  $VSS$  が供給される。
- [0062]  $TFT-I$  は、ドレイン端子が  $net B(n)$  と接続され、ゲート端子にリセット信号  $CLR$  が供給され、ソース端子に電源電圧信号  $VSS$  が供給される。
- [0063]  $TFT-J$  は、ドレイン端子が  $net B(n)$  と接続され、ゲート端子がゲート線  $13(n-1)$  と接続され、ソース端子に電源電圧信号  $VSS$  が供給される。なお、ゲートドライバ  $11(1)$  における  $TFT-J$  のゲート端子は、セット信号  $S$  として、表示制御回路  $4$  からスタートパルス信号が供給される。
- [0064] 次に、ゲートドライバ  $11$  の各素子の配置例について説明する。図  $5A$  及び図  $5B$  は、例えば領域  $201A$  に配置される、ゲートドライバ  $11(n)$

と、ゲート線13 (n-2) を駆動するゲートドライバ11 (n-2) の各素子の配置レイアウトを示す模式図である。図5 A及び図5 Bは、図5 Aに示す列P 1と図5 Bに示す列P 2とが隣接し、連続しているものとする。

[0065] なお、この図では、ゲートドライバ11 (n-1) とゲートドライバ11 (n+1) の配置レイアウトの図示を省略するが、これらゲートドライバは、ゲートドライバ11 (n) とゲートドライバ11 (n-2) が配置されている列と異なる列において、ゲートドライバ11 (n) 及びゲートドライバ11 (n-2) と同様に配置される。また、ここでは、図示を省略するが、領域201 Bにおいても、領域201 Aと同様にゲートドライバ11の各素子が配置されている。

[0066] 図5 A及び図5 Bに示すように、ゲートドライバ11 (n-2) のTFT-A~TFT-L及びキャパシタCbst、net A (n-2)、net B (n-2) は、ゲート線13 (n-2) とゲート線13 (n-1) の間に配置されている。また、ゲートドライバ11 (n) のTFT-A~TFT-L及びキャパシタCbst、net A (n)、net B (n) は、ゲート線13 (n) とゲート線13 (n+1) の間に配置されている。

[0067] 図5 A及び図5 Bに示すように、クロック信号CKA~CKD、リセット信号CLR、電源電圧信号VSSをそれぞれ供給する制御配線16は、端子部12g (図3参照) から引き出され、当該制御配線16が供給する制御信号が入力されるTFTと接続されている。

[0068] 次に、ゲートドライバ11の動作について説明する。図6は、クロック信号CKA~CKDの波形例と、ゲートドライバ11 (n) がゲート線13 (n) を駆動する際のタイミングチャートを示す図である。

[0069] 図6に示すように、クロック信号CKA、CKB、CKC、及びCKDは、2水平走査期間(2H)ごとに、信号の電位がH (High) レベル又はL (Low) レベルに変動する制御信号である。

[0070] クロック信号CKAとCKBは、互いに逆位相となり、クロック信号CKCとCKDは、互いに逆位相となる。また、クロック信号CKAとCKCは



位相が1/4周期ずれており、クロック信号CKCとCKBは位相が1/4周期ずれている。また、クロック信号CKBとCKDは位相が1/4周期ずれており、クロック信号CKDとCKAは、位相が1/4周期ずれている。

[0071] なお、前述の図5A及び図5Bに示すように、ゲートドライバ11(n)のTF T-D、F、G、Hは、クロック信号CKB、CKA、CKD、CKCが各々供給されるが、ゲートドライバ11(n-2)のTF T-D、F、G、Hは、クロック信号CKA、CKB、CKC、CKDが各々供給される。つまり、ゲートドライバ11(n)とゲートドライバ11(n-2)には、互いに逆位相となるクロック信号が供給される。

[0072] また、図6において、リセット信号CLRの図示を省略しているが、リセット信号CLRは、1垂直走査期間毎に一定期間Hレベルとなる制御信号である。リセット信号CLRがゲートドライバ11に入力されると、ゲートドライバ11におけるnet A、net B、及び、ゲートドライバ11によって駆動されるゲート線13の電位はLレベルに遷移する。以下、図4及び図6を参照し、ゲートドライバ11(n)の動作を説明する。

[0073] 図6における時刻t1のタイミングで、ゲート線13(n-1)が選択状態に切り替えられ、ゲートドライバ11(n)のTF T-Bのドレイン端子に、セット信号Sとして、ゲート線13(n-1)のHレベルの電圧が入力される。また、TF T-Bのゲート端子には、net A(n-2)の電圧が入力される。net A(n-2)の電位は、時刻t1より前にHレベルとなっており、TF T-Bは、時刻t1においてオンになっている。TF T-Bは、net A(n-2)の電位がLレベルに遷移する時刻t2までオン状態となり、時刻t1からt2の間、net A(n)は、ゲート線13(n-1)のHレベルの電位にプリチャージされる。

[0074] TF T-Fのゲート端子は、net A(n)のHレベルの電圧が入力されるため、オンになる。時刻t1において、TF T-Dのゲート端子にはクロック信号CKBのHレベルの電圧が入力されるため、TF T-Dはオンになり、ゲート線13(n)にLレベルの電圧(VSS)が入力される。

- [0075] また、時刻  $t_1$  において、クロック信号  $CKD$  の電位は  $H$  レベルであり、クロック信号  $CKC$  の電位は  $L$  レベルである。これにより、 $TFT-G$  はオン、 $TFT-H$  はオフとなる。 $TFT-J$  のゲート端子に、セット信号  $S$  として、ゲート線  $13(n-1)$  の  $H$  レベルの電圧が入力され、 $TFT-J$  はオンになる。そのため、 $netB(n)$  は  $L$  レベルの電位に維持され、 $TFT-C$  はオフになる。
- [0076] 時刻  $t_2$  において、クロック信号  $CKA$  の電位が  $H$  レベルとなり、 $TFT-F$  を介してクロック信号  $CKA$  の  $H$  レベルの電圧がゲート線  $13(n)$  に入力される。ゲート線  $13(n)$  の電位の上昇に伴って、 $netA(n)$  とゲート線  $13(n)$  の間に接続されたキャパシタ  $C_{bst}$  により、 $netA(n)$  は、クロック信号  $CKA$  の  $H$  レベルの電位よりも高い電位まで充電される。
- [0077] 時刻  $t_2$  において、ゲート線  $13(n-1)$  の電位は  $H$  レベルであり、 $TFT-J$  はオンのままである。時刻  $t_3$  において、クロック信号  $CKC$  の電位が  $H$  レベルに遷移し、時刻  $t_4$  まで  $H$  レベルのままである。この間、 $TFT-H$  はオンになり、 $netB(n)$  は  $L$  レベルの電位に維持される。
- [0078] また、時刻  $t_2$  において、クロック信号  $CKB$  の電位が  $H$  レベルから  $L$  レベルに遷移し、 $TFT-D$  はオフになる。これにより、時刻  $t_2$  から  $t_4$  において、ゲート線  $13(n)$  に、クロック信号  $CKA$  の  $H$  レベルの電位（選択電圧）が出力されてゲート線  $13(n)$  が選択状態に切り替えられる。
- [0079] なお、ゲート線  $13(n+1)$  を駆動するゲートドライバ  $11(n+1)$  は、ゲート線  $13(n)$  の電位をセット信号  $S$  として、ゲートドライバ  $11(n)$  と同様に動作し、ゲート線  $13(n+2)$  を駆動するゲートドライバ  $11(n+2)$  は、ゲート線  $13(n+1)$  をセット信号  $S$  として、ゲートドライバ  $11(n)$  と同様に動作する。その結果、ゲート線  $13(n+1)$  は、時刻  $t_3$  のタイミングで選択状態に切り替えられ、ゲート線  $13(n+2)$  は、時刻  $t_4$  のタイミングで選択状態に切り替えられる。
- [0080] 時刻  $t_4$  において、クロック信号  $CKB$  の電位が  $H$  レベルに遷移し、 $TFT$

T-Dはオンになる。また、時刻 $t_4$ において、ゲート線13 ( $n+2$ )の電位がHレベルに遷移するため、TFT-KとTFT-Lもオンになる。これにより、TFT-D及びTFT-Lを介してゲート線13 ( $n$ )にLレベルの電圧が入力され、ゲート線13 ( $n$ )は非選択状態に切り替えられる。また、TFT-Kを介して $net A (n)$ にはLレベルの電圧が入力される。このとき、クロック信号CKCの電位はHレベルであり、TFT-Hはオンのため、 $net B (n)$ の電位はLレベルに維持される。

[0081] 続いて、時刻 $t_5$ において、クロック信号CKDの電位がHレベル、クロック信号CKCの電位がLレベルに遷移すると、TFT-Hはオフ、TFT-Gはオンになる。これにより、 $net B (n)$ は、クロック信号CKDのHレベルの電位よりTFT-Gの閾値電圧分小さい電位に充電される。このとき、TFT-K及びTFT-Lはオンであり、TFT-Cはオンになるため、 $net A (n)$ とゲート線13 ( $n$ )はLレベルの電位に維持される。

[0082] 時刻 $t_6$ 以降、クロック信号CKBがHレベルの電位となるタイミングで、ゲート線13 ( $n$ )は、TFT-Dを介してLレベルの電位に維持される。

[0083] また、時刻 $t_6$ 以降、クロック信号CKDがHレベルの電位となるタイミングで、 $net B (n)$ はHレベルの電位に充電され、 $net A (n)$ は、TFT-Cを介してLレベルの電位を維持する。

[0084] 続いて、領域201Aと領域201Bにおける各画素にデータ信号を書き込む処理について説明する。図7は、領域201Aと領域201Bにデータ信号を書き込む際のタイミングチャートを示す図である。なお、この図におけるゲート線13 (1) ~ 13 (N)の波形は、ゲート線13がHレベルの電位となる2水平走査期間(2H)のうち後半の1水平走査期間(1H)を表している。つまり、図7におけるゲート線13 ( $n$ )の波形は、図6に示すゲート線13 ( $n$ )の時刻 $t_3$  ~  $t_4$ の1水平走査期間の波形を表している。

[0085] 表示制御回路4は、端子部12gにリセット信号CLRを供給した後、領

領域201Aにおけるゲートドライバ11(1)に対するセット信号Sとして、スタートパルス信号SPaを端子部12gに供給するとともに、制御信号(クロック信号CKA~CKD)を端子部12gに供給する。これにより、領域201Aにおけるゲートドライバ11によって、領域201Aのゲート線13(1)~13(N)が順次駆動される。

[0086] ソースドライバ3は、領域201Aのゲート線13(1)~13(N)が順次駆動され、駆動開始から1水平走査期間(1H)が経過するタイミングで、領域201Aの各行の画素に書き込むべきデータ信号を端子部12sに供給する。

[0087] これにより、領域201Aのソース線15a(j)(j:整数、 $1 \leq j \leq M$ )には、端子部12sからデータ信号Da(1,j)、Da(2,j)・・・Da(N,j)が供給される。また、領域201Bのソース線15b(j)にも、ソース線15a(j)を介して、データ信号Da(1,j)、Da(2,j)・・・Da(N,j)が供給される。

[0088] その結果、ソース線15a(j)と接続された画素用TFTに接続された画素電極に対し、領域201Aのゲート線13(1)~13(N)の駆動開始から1水平走査期間(1H)が経過するタイミングで、データ信号Da(1,j)、Da(2,j)・・・Da(N,j)が順次入力され、領域201Aの全画素にデータ信号が書き込まれる。なお、このとき、領域201Bにおける全てのゲート線13の電位はLレベルであるため、ソース線15b(j)に供給されたデータ信号は領域201Bの画素に書き込まれない。

[0089] 続いて、表示制御回路4は、領域201Bにおけるゲートドライバ11(1)に対するセット信号Sとして、スタートパルス信号SPbを端子部12gに供給するとともに、制御信号(クロック信号CKA~CKD)を端子部12gに供給する。これにより、領域201Bにおけるゲートドライバ11によって、ゲート線13b(1)~13b(N)が順次駆動される。

[0090] ソースドライバ3は、領域201Bのゲート線13(1)~13(N)が順次駆動され、駆動開始から1水平走査期間(1H)が経過するタイミング

で、領域201Bの各行の画素に書き込むべきデータ信号を端子部12sに供給する。これにより、ソース線15a(j)に、端子部12sからデータ信号Db(1,j)、Db(2,j)・・・Db(N,j)が供給される。また、ソース線15a(j)を介して、ソース線15b(j)に、データ信号Db(1,j)、Db(2,j)・・・Db(N,j)が供給される。

[0091] その結果、領域201Bのゲート線13(1)～13(N)の駆動開始から1水平走査期間(1H)が経過するタイミングで、ソース線15b(j)にデータ信号Db(1,j)、Db(2,j)・・・Db(N,j)が入力され、領域201Bの全画素にデータ信号が書き込まれる。なお、このとき、領域201Aにおける全てのゲート線13の電位はLレベルであるため、ソース線15a(j)に供給されたデータ信号は領域201Aの画素に書き込まれない。

[0092] このように、領域201Aにおけるゲート線13を駆動した後、領域201Bにおけるゲート線13を駆動することにより、領域201Aと領域201Bの全画素にデータ信号を書き込むことができる。

[0093] なお、上記の例では、領域201Bにおけるゲートドライバ11(1)に対し、セット信号Sとして、表示制御回路4からスタートパルス信号SPbを供給したが、領域201Aにおけるゲート線13(N)の電位が供給されるようにしてもよい。

[0094] ここで、比較例として、本実施形態のアクティブマトリクス基板20aの端子部12s、ゲート線13、及びソース線15を仮に図8のように配置したアクティブマトリクス基板50について説明する。アクティブマトリクス基板50の左右の額縁領域R2、R3には、領域201A、201Bのゲート線13を駆動するためのゲートドライバ100が各々設けられている。この場合、額縁領域R2、R3におけるゲート線13の延伸方向の幅L11は、ゲートドライバ100を配置するための長さが必要となる。一方、上述の第1実施形態では、領域201A、201Bのゲート線13を駆動するためのゲートドライバ11は、それぞれの領域内に配置されている(図2、3参

照)。そのため、アクティブマトリクス基板20aにおける左右の額縁領域R1、R2におけるゲート線13の延伸方向の幅は、図8に示す額縁領域R1、R2よりも狭くすることができる。

[0095] また、図8に示すアクティブマトリクス基板50は、端子部12sから領域201A、201Bの各々にM/2本分のソース線15を引き回すため、額縁領域R1は、端子部12sからM本分のソース線15を引き回すための幅Lが必要となる。一方、上述の第1実施形態では、図2に示すように、ソース線15aは、端子部12sから領域201Aに向かって折り曲げることなく引き回され、ソース線15bは、額縁領域R1におけるソース線15aの部分150aにその一端が接続され、領域201Bまで引き回されている。そのため、第1実施形態では、額縁領域R1は、端子部12sからM/2本分のソース線15aを引き回すための幅Lがあればよく、図8に示す額縁領域R1の幅よりも狭くすることができる。

[0096] <第2実施形態>

本実施形態におけるアクティブマトリクス基板20aの表示領域200は、独立した画素群をそれぞれ有する4つの画素領域が並列されている点で第1実施形態と異なる。以下、第1実施形態と異なる構成について説明する。

[0097] 図9は、本実施形態におけるアクティブマトリクス基板20aのソース線の配置例を示す模式図である。図9に示すように、本実施形態では、4つの領域201A、201B、201C、201Dの各々に、N本のゲート線13と、M/4本のソース線15(15a、15b、15c、15d)が形成されている。つまり、アクティブマトリクス基板20aは、第1実施形態と同様、全体で計M本のソース線15を備える。以下、各領域のソース線を区別しないときはソース線15と称する。

[0098] なお、図9では図示を省略するが、第1実施形態と同様、各領域におけるゲート線13を駆動するためのゲートドライバ11が、それぞれの領域内に設けられている。また、額縁領域R1には、端子部12sが設けられている。

- [0099] 図9に示すように、領域201Aのソース線15aと領域201Dのソース線15dは、各々、端子部12sから引き回されている。ソース線15aとソース線15dは、領域201Bと領域201Cの境界を挟んで略左右対称となるように配置されている。領域201Bのソース線15bは、接続用配線131を介して、ソース線15aにおける額縁領域R1に配置された部分150aと接続されている。また、領域201Cのソース線15cは、接続用配線131を介して、ソース線15dにおける額縁領域R1に配置された部分150dと接続されている。
- [0100] 図10Aは、接続用配線131を介して接続されたソース線15dとソース線15cの接続部分を拡大した模式図である。図10Aに示すように、ソース線15dにおいて額縁領域R1に配置された部分150d（以下、ソース線部分150d）は、接続用配線131と一定の角度を成して略平行に配置されている。接続用配線131は、領域201Cに配置されているソース線15cの端部から、当該ソース線15cと対応する一のソース線15dのソース線部分150dまで略直線状に延伸している。
- [0101] 図10Bは、図10Aに示すソース線15c及びソース線部分150dと接続用配線131との接続部分をI-I線で切断した断面図である。図10Bに示すように、アクティブマトリクス基板20aを構成する基板1000の上に形成された第1メタル層1300に接続用配線131が形成されている。なお、この図では図示されていないが、第1メタル層1300にゲート線13が形成されている。
- [0102] 図10Bにおいて、接続用配線131を覆うように絶縁膜1100が設けられ、絶縁膜1100の上に第2メタル層1500が形成されている。第2メタル層1500には、ソース線15cと、ソース線部分150dが形成されている。ソース線15cとソース線部分150dは、絶縁膜1100に設けられたコンタクトホールCHを介して接続用配線131と接続されている。
- [0103] このように、接続用配線131は、ソース線部分150d及びソース線1

5cが形成された第2メタル層1500とは異なる第1メタル層1300に形成されている。そのため、ソース線部分150dとソース線15cとを交差させることなく、ソース線15dとソース線15cとを接続することができる。

[0104] なお、上記の例では、ソース線15cとソース線部分150dの接続構造について説明したが、ソース線15bと、ソース線15aにおいて額縁領域R1に配置された部分150a（以下、ソース線部分150a）の接続構造も同様である。

[0105] 次に、本実施形態におけるデータ信号の書き込み処理について説明する。図11は、本実施形態におけるデータ信号の書き込み処理を示すタイミングチャートである。なお、上述した図7と同様、この図におけるゲート線13(1)～13(N)の波形は、ゲート線13がHレベルの電位となる2水平走査期間(2H)のうち後半の1水平走査期間(1H)を表している。つまり、図11におけるゲート線13(n)の波形は、図6に示すゲート線13(n)の時刻 $t_3 \sim t_4$ の1水平走査期間の波形を表している。

[0106] 表示制御回路4は、端子部12gにリセット信号CLRを供給した後、領域201Aと領域201Cにおけるゲートドライバ11(1)に対するセット信号Sとして、スタートパルス信号SPa、SPcを端子部12gに供給するとともに、制御信号(クロック信号CKA～CKD)を端子部12gに供給する。

[0107] これにより、領域201Aと領域201Cにおけるゲートドライバ11によって、領域201Aのゲート線13(1)～13(N)と、領域201Cのゲート線13(1)～13(N)が同じタイミングで順次駆動される。

[0108] 領域201Aと領域201Cのそれぞれのゲート線13が順次駆動され、駆動開始から1水平走査期間(1H)が経過するタイミングで、領域201Aの各行の画素に書き込むべきデータ信号Da(Da(1,j)、Da(2,j)・・・Da(N,j))と、領域201Cの各行の画素に書き込むべきデータ信号Dc(Dc(1,j)、Dc(2,j)・・・Dc(N,j))



) ( $j$  : 整数、 $1 \leq j \leq M/4$ ) が、ソースドライバ3から端子部12sに供給される。

[0109] これにより、領域201Aのゲート線13(1)~13(N)の駆動開始から1水平走査期間(1H)が経過するタイミングで、ソース線15a(j)に、データ信号Da(1, j)、Da(2, j)・・・Da(N, j)が順次入力され、領域201Aの全画素にデータ信号が書き込まれる。また、領域201Cのゲート線13(1)~13(N)の駆動開始から1水平走査期間(1H)が経過するタイミングで、接続用配線131を介して、ソース線15c(j)に、データ信号Dc(1, j)、Dc(2, j)・・・Dc(N, j)が順次入力され、領域201Cの全画素にデータ信号が書き込まれる。なお、このとき、ソース線15b(j)、15d(j)にもデータ信号が供給されるが、領域201B、201Dにおける全てのゲート線13の電位はLレベルであるため、領域201B、201Dの画素に書き込まれない。

[0110] 次に、表示制御回路4は、領域201Bと領域201Dにおけるゲートドライバ11(1)に対するセット信号Sとして、スタートパルス信号SPb、SPdを端子部12gに供給するとともに、制御信号(クロック信号CKA~CKD)を端子部12gに供給する。

[0111] これにより、領域201Bと領域201Dにおけるゲートドライバ11によって、領域201Bと領域201Dのそれぞれのゲート線13(1)~13(N)が同じタイミングで順次駆動される。

[0112] 領域201Bと領域201Dのゲート線13が順次駆動され、駆動開始から1水平走査期間(1H)が経過するタイミングで、領域201Bの各行の画素に書き込むべきデータ信号Db(Db(1, j)、Db(2, j)・・・Db(N, j))と、領域201Dの各行の画素に書き込むべきデータ信号Dd(Dd(1, j)、Dd(2, j)・・・Dd(N, j))が、ソースドライバ3から端子部12sに供給される。

[0113] これにより、領域201Bのゲート線13(1)~13(N)の駆動開始

から1水平走査期間(1H)が経過するタイミングで、接続用配線131を介して、ソース線15b(j)に、データ信号Db(1,j)、Db(2,j)・・・Db(N,j)が順次入力され、領域201Bの全画素にデータ信号が書き込まれる。また、領域201Dのゲート線13(1)～13(N)の駆動開始から1水平走査期間(1H)が経過するタイミングで、ソース線15d(j)に、データ信号Dd(1,j)、Dd(2,j)・・・Dd(N,j)が順次入力され、領域201Dの全画素にデータ信号が書き込まれる。なお、このとき、ソース線15a(j)、15c(j)にもデータ信号が供給されるが、領域201Aと領域201Cにおける全てのゲート線13の電位はLレベルであるため、領域201A、201Cの画素に書き込まれない。

[0114] 上述の第2実施形態では、まず、領域201Aと201Cにおけるゲート線13を駆動して、これら領域の画素にデータ信号を書き込む。そして、領域201Aと201Cのデータ信号の書き込みの終了後、領域201Bと201Dにおけるゲート線13を駆動して、これら領域の画素にデータ信号を書き込む。これにより、アクティブマトリクス基板20aにおける全画素にデータ信号を書き込むことができる。

[0115] また、第2実施形態では、領域201AのM/4本分のソース線15aと領域201DのM/4本分のソース線15dを合わせた計M/2本のソース線15が端子部12sから引き回されるが、ソース線15aとソース線15dは、領域201Bと領域201Cの境界を挟んで略左右対称に引き回されている。そのため、額縁領域R1の幅Lは、端子部12sからM/4本分のソース線15を引き回すための幅があればよい。よって、全ての領域のソース線15が端子部12sから引き回される場合と比べ、額縁領域R1の幅Lを小さくすることができる。

[0116] なお、上述の第2実施形態において、全てのソース線15b、15cを、接続用配線131を介してソース線15a、15dとそれぞれ接続する例を説明したが、以下のように構成してもよい。例えば、領域201B、201

Cに配置されたソース線15b、15cのうち、ソース線15b、15cを延長した延長線がソース線15b、15cと交差するソース線15b、15cを、接続用配線131を介してソース線15a、15dと接続し、残りのソース線15b、15cは対応するソース線15a、15dと直接接続するようにしてもよい。

[0117] また、上述の第2実施形態では、接続用配線131が第1メタル層1300に形成される例を説明したが、第2メタル層1500に形成されてもよい。但し、この場合、ソース線部分150a、150dを第1メタル層1300に形成し、ソース線部分150a、150dとソース線15a、15dとをコンタクトを介して接続する。そして、ソース線15b、15cを接続用配線131を介してソース線部分150a、150dと接続してもよい。

[0118] <第3実施形態>

本実施形態では、領域201Aのソース線15aと領域201Bのソース線15bを、スイッチング素子を介して接続するとともに、領域201Cのソース線15cと領域201Dのソース線15dを、スイッチング素子を介して接続する点において上述の第2実施形態と異なる。

[0119] 図12は、本実施形態における領域201A~201Dのソース線15a~15dの接続例を示す模式図である。この図において、ゲートドライバ11及び端子部12gの図示は省略されている。以下、第2実施形態と異なる構成について説明する。

[0120] 図12に示すように、ソース線15aとソース線15cは、それぞれ、額縁領域R1においてスイッチング素子SW1と接続され、ソース線15bとソース線15dは、それぞれ、額縁領域R1においてスイッチング素子SW2と接続されている。

[0121] ソース線15aは、スイッチング素子SW1を介して端子部12sと接続される。ソース線15bは、スイッチング素子SW2を介して、端子部12sと接続されたソース線部分150aと接続される。また、ソース線15dは、スイッチング素子SW2を介して端子部12sと接続される。ソース線

15cは、スイッチング素子SW1を介して、端子部12sと接続されたソース線部分150dと接続される。

[0122] ソース線15aは、スイッチング素子SW1がオンのときに端子部12sと導通する。ソース線15dは、スイッチング素子SW2がオンのときに端子部12sと導通する。ソース線15bは、スイッチング素子SW2がオンのときにソース線部分150aを介して端子部12sと導通する。ソース線15cは、スイッチング素子SW1がオンのときにソース線部分150dを介して端子部12sと導通する。

[0123] スwitching素子SW1とSW2は、表示制御回路4（図2参照）と接続されている。スイッチング素子SW1とSW2の各ゲート端子には、表示制御回路4からHレベル又はLレベルの電圧が供給される。

[0124] 図13は、本実施形態におけるデータ信号の書き込み処理を示すタイミングチャートである。本実施形態では、領域201Aと201Cにおけるデータ信号の書き込みの後、領域201Bと201Dにおけるデータ信号の書き込みを行う点で第2実施形態と共通するが、以下の点で第2実施形態と異なる。なお、上述した図7と同様、この図におけるゲート線13(1)～13(N)の波形は、ゲート線13がHレベルの電位となる2水平走査期間(2H)のうち後半の1水平走査期間(1H)を表している。つまり、図13におけるゲート線13(n)の波形は、図6に示すゲート線13(n)の時刻 $t_3 \sim t_4$ の1水平走査期間の波形を表している。

[0125] 図13に示すように、表示制御回路4は、領域201Aと201Cのゲート線13の駆動開始から1水平走査期間(1H)が経過するタイミングで、領域201Aと201Cに対するデータ信号を端子部12sに入力するとともに、スイッチング素子SW1のゲート端子にHレベルの電圧を供給し、スイッチング素子SW2のゲート端子にLレベルの電圧を供給する。これにより、スイッチング素子SW1がオン、スイッチング素子SW2がオフの状態になる。その結果、ソース線15a(j)は端子部12sと導通する。また、ソース線15c(j)は、ソース線部分150dを介して端子部12sと

導通する。これにより、ソース線15a(j)とソース線15c(j)に、端子部12sから、領域201Aと201Cに対するデータ信号が各々入力される。この間、領域201Bと201Dのソース線15b(j)、15d(j)は導通しないため、ソース線15a(j)、15c(j)には、領域201Aと201Cに対するデータ信号が各々入力されない。

[0126] 領域201Aと201Cのデータ信号の書き込み終了後、表示制御回路4は、領域201Bと201Dに対するデータ信号を端子部12sに入力するとともに、スイッチング素子SW1のゲート端子にLレベルの電圧を供給し、スイッチング素子SW2のゲート端子にHレベルの電圧を供給する。これにより、スイッチング素子SW1がオフ、スイッチング素子SW2がオンの状態に遷移し、ソース線15b(j)は、ソース線部分150aを介して端子部12sと導通する。また、ソース線15d(j)は端子部12sと導通する。その結果、ソース線15b(j)には、端子部12sから領域201Bに対するデータ信号が入力され、ソース線15d(j)には、端子部12sから領域201Dに対するデータ信号が入力される。この間、ソース線15a(j)、15c(j)は導通しないため、ソース線15a(j)、15c(j)には、領域201Aと201Cに対するデータ信号は入力されない。

[0127] 第3実施形態では、スイッチング素子SW1とSW2のオンオフを制御することにより、データ信号を書き込む領域のソース線のみを端子部12sと導通させ、他の領域のソース線にはデータ信号を入力しないようにする。そのため、データ信号の書き込みを行わない領域のソース線15の充放電を行う必要がなくなり、ソース線15にデータ信号を入力するための消費電力を低減することができる。

[0128] <第4実施形態>

図14は、本実施形態におけるソース線15の配置例を示す模式図である。本実施形態

では、領域201A～201Dにおけるソース線の配置例が上述した第2実

施形態と異なる。

る。以下、第2実施形態と異なる構成について説明する。

[0129] 図14に示すように、端子部12sから領域201Bに引き回されたソース線15は、額縁領域R1に対向する額縁領域R4（第2額縁領域）を通り、領域201A内に引き回されている。また、端子部12sから領域201Cに引き回されたソース線15は、額縁領域R4を通過して、領域201D内に引き回されている。この例において、ソース線15は同じメタル層に形成されている。つまり、本実施形態では、領域201Aのソース線15aと領域201Bのソース線15bとがつながっており、領域201Cのソース線15cと領域201Dのソース線15dとがつながっている。

[0130] 各領域内に配置されるソース線の本数は、第2実施形態と同様、 $M/4$ 本である。また、この図では図示を省略するが、各領域内には、当該領域におけるゲート線13を駆動するためのゲートドライバ11が配置され、額縁領域R1には端子部12gが配置されている。

[0131] 次に、本実施形態におけるデータ信号の書き込み処理について説明する。図15は、本実施形態におけるデータ信号の書き込み処理を示すタイミングチャートである。なお、上述した図7と同様、この図におけるゲート線13(1)～13(N)の波形は、ゲート線13がHレベルの電位となる2水平走査期間(2H)のうち後半の1水平走査期間(1H)を表している。つまり、図15におけるゲート線13(n)の波形は、図6に示すゲート線13(n)の時刻 $t_3 \sim t_4$ の1水平走査期間の波形を表している。

[0132] 本実施形態では、領域201Aと201Cにおけるデータ信号の書き込みの後、領域201Bと201Dにおけるデータ信号の書き込みを行う点で第2実施形態と共通するが、以下の点で第2実施形態と異なる。

[0133] 図15に示すように、領域201Aにおけるゲート線13が順次駆動し、駆動開始から1水平走査期間(1H)が経過するタイミングで、端子部12sを介して、領域201Bにおけるソース線15b(h)（但し、 $h = M/4 - j + 1$ 、 $j$ ：整数、 $1 \leq j \leq M/4$ ）に、領域201Aに対するデータ

信号  $D_a(1, j) \dots D_a(N, j)$  が入力される。これにより、領域 201A におけるソース線 15a(j) にデータ信号  $D_a(1, j) \dots D_a(N, j)$  が入力され、領域 201A の全画素にデータ信号が書き込まれる。

[0134] 同様に、領域 201C におけるゲート線 13 が順次駆動し、駆動開始から 1 水平走査期間 (1H) が経過するタイミングで、端子部 12s を介して、領域 201C におけるソース線 15c(j) に、領域 201C に対するデータ信号  $D_c(1, j) \dots D_c(N, j)$  が入力され、領域 201C の全画素にデータ信号が書き込まれる。

[0135] 次に、領域 201A と 201C のデータ信号の書き込み後、領域 201B と領域 201D におけるゲート線 13 が順次駆動される。領域 201B におけるゲート線 13 の駆動開始から 1 水平走査期間 (1H) が経過するタイミングで、端子部 12s を介して、ソース線 15b(h) に、領域 201B に対するデータ信号  $D_b(D_b(1, h) \dots D_b(N, h))$  が入力される。これにより、領域 201B の全画素にデータ信号が書き込まれる。

[0136] 同様に、領域 201D におけるゲート線 13 が順次駆動し、駆動開始から 1 水平走査期間 (1H) が経過するタイミングで、端子部 12s を介して、領域 201D におけるソース線 15d(h) に、領域 201D に対するデータ信号  $D_d(D_d(1, h) \dots D_d(N, h))$  が入力され、領域 201D の全画素にデータ信号が書き込まれる。

[0137] なお、本実施形態において、領域 201B におけるゲートドライバ 11(1) のセット信号 S として、スタートパルス信号 SPb に替えて、領域 201A におけるゲート線 13(N) の電圧を入力してもよい。また、領域 201D におけるゲートドライバ(1) のセット信号 S として、スタートパルス信号 SPd に替えて、領域 201C のゲート線 13(N) の電圧を入力してもよい。又は、領域 201A と 201C のゲートドライバ 11(1) に供給するスタートパルス信号を共通化してもよいし、領域 201C と 201D のゲートドライバ 11(1) に供給するスタートパルス信号を共通化してもよい。

- [0138] 各ソース線15は同じメタル層に形成されていてもよいし、以下のようにして形成されていてもよい。図16Aは、図14に示す破線枠Pにおけるソース線15の部分の模式図を示している。図16Bは、図16Aに示すソース線15の部分をI-I線で切断した断面図である。図16A及び図16Bに示すように、アクティブマトリクス基板20aを構成する基板1000の上の第1メタル層1300にソース線15が一定の間隔を空けて形成されている。第1メタル層1300の上に形成された絶縁膜1100の上には第2メタル層1500が形成され、第2メタル層1500において、第1メタル層1300におけるソース線15とソース線15の間の位置に、ソース線15が形成されている。このように、額縁領域R1には、第1メタル層1300に形成されたソース線15と、第2メタル層1500に形成されたソース線15とが交互に配置される。
- [0139] なお、領域201A~201D及び額縁領域R4に配置されるソース線15は、第2メタル層1500に形成されている。そのため、第1メタル層1300に形成されたソース線15は、絶縁膜1100に形成されたコンタクトホールを介して、領域201A~201Dに配置されたソース線15と接続される。
- [0140] 第4実施形態では、額縁領域R1においてソース線15が交差しない。そのため、図16A及び16Bのように、額縁領域R1に配置されるソース線15の部分が第1メタル層1300と第2メタル層1500に交互に形成されることにより、額縁領域R1に配置されるソース線15の間隔を小さくすることができる。その結果、額縁領域R1に配置されるソース線15の部分を同層に形成する場合と比べ、ソース線15を引き回すための額縁領域R1の幅Lを狭くすることができる。
- [0141] 図16Bの例では、第2メタル層1500に形成されたソース線15と第1メタル層1300に形成されたソース線15とがアクティブマトリクス基板20aの水平方向において互いに隣接して配置される例であるが、例えば、額縁領域R1に配置されるソース線15が、図16Cのように構成されて



いてもよい。つまり、図16Cに示すように、第1メタル層1300に形成されたソース線15の上に、絶縁膜1100を介して重なるように、第2メタル層1500に形成されたソース線15が配置されていてもよい。

[0142] <第5実施形態>

本実施形態では、図9に示すソース線部分150dとソース線15cとを接続する構成が第2実施形態と異なる。以下、第2実施形態と異なる構成について説明する。

[0143] 図17Aは、図9に示すソース線部分150dとソース線15cとの接続部分を拡大した模式図である。図17Bは、図17Aに示すソース線部分150dとソース線15cとの接続部分を||||線で切断した断面図を示している。

[0144] 図17Aに示すように、ソース線部分150dは、接続用配線161と接続され、接続用配線161を介してソース線15cと接続されている。具体的には、図17Bに示すように、基板1000の上の第1メタル層1300において、ソース線部分150dが互いに一定の間隔を隔てて形成され、ソース線部分150dを覆うように絶縁膜1100が形成されている。絶縁膜1100の上の第2メタル層1500において、第1メタル層1300に形成されたソース線部分150dの間の位置に、ソース線部分150dが形成されている。そして、第2メタル層1500に形成されたソース線部分150dを覆うように絶縁膜1200が形成され、絶縁膜1200の上の第3メタル層1600に接続用配線161が形成されている。接続用配線161は、絶縁膜1200に設けられたコンタクトホールを介して、第2メタル層1500に形成されたソース線部分150d及びソース線15cと接続されている。

[0145] なお、図示を省略するが、第1メタル層1300に形成されたソース線部分150dは、絶縁膜1200及び絶縁膜1100に設けられたコンタクトホールを介して接続用配線161と接続されている。また、第1メタル層1300に形成されたソース線部分150dは、絶縁膜1200及び1100

に設けられたコンタクトホールを介して、領域 201D 内のソース線 15d と接続されている。

[0146] 上記の例では、ソース線部分 150d とソース線 15c との接続構造を説明したが、領域 201B のソース線 15b と、額縁領域 R1 におけるソース線部分 150a との接続構造も上記と同様である。

[0147] 上述した第 5 実施形態では、額縁領域 R1 における一の領域のソース線部分を、第 1 メタル層 1300 と第 2 メタル層 1500 に交互に形成し、第 3 メタル層 1600 に形成された接続用配線 161 を介して、当該ソース線部分と、他の領域のソース線 15 とを互いに接続する。そのため、額縁領域 R1 における全てのソース線部分を同層に形成する場合と比べ、ソース線部分の間隔を小さくすることができ、額縁領域 R1 にソース線を引き回すための幅 L を第 2 実施形態よりも小さくすることができる。

[0148] <第 6 実施形態>

上述した第 2 実施形態では、カラーフィルタの R、G、B に対応する画素が、ゲート線 13 の延伸方向に沿って、R、G、B の順となるように配置されている例を説明した。本実施形態では、カラーフィルタの R、G、B に対応する画素が、ソース線 15 の延伸方向に沿って、R、G、B の順となるように配置されている例について説明する。

[0149] 図 18 は、本実施形態におけるアクティブマトリクス基板 20a の概略構成を示す模式図である。図 18 に示すように、アクティブマトリクス基板 20a の各領域 201A ~ 201D には、3N 本のゲート線 13 (13(1) ~ 13(3N)) と、M/12 本のソース線 15 (15(1) ~ 15(M/12)) が配置されている。つまり、本実施形態における各領域 201A ~ 201D は、第 2 実施形態の 3 倍の本数のゲート線 13 と、第 2 実施形態の 1/3 の本数のソース線 15 とを備える。なお、図 18 では図示を省略するが、各領域の画素内には、当該領域のゲート線 13 を駆動するためのゲートドライバ 11 が設けられ、額縁領域 R1 には、端子部 12g が設けられている。

[0150] 図 19 は、本実施形態におけるデータ信号の書き込み処理を示すタイミン

グチャートである。なお、上述した図7と同様、この図におけるゲート線13(1)～13(N)の波形は、ゲート線13がHレベルの電位となる2水平走査期間(2H)のうち後半の1水平走査期間(1H)を表している。つまり、図19におけるゲート線13(n)の波形は、図6に示すゲート線13(n)の時刻 $t_3 \sim t_4$ の1水平走査期間の波形を表している。本実施形態においても、第2実施形態と同様、領域201A、201Cにデータ信号を書き込んだ後、領域201B、201Dのゲート線13を駆動して領域201B、201Dにデータ信号の書き込みを行う。

[0151] 図19に示すタイミングチャートにおいて、図10に示す第2実施形態のタイミングチャートと異なる点は、各領域において、3N本のゲート線13(1)～13(3N)が順次駆動され、ゲート線13(1)～13(3N)が順次駆動されるタイミングで、当該領域における1～3K行目の画素に対するデータ信号が当該領域のソース線15に供給される点である。

[0152] 例えば、領域201Aにおけるゲート線13(1)～13(3N)が順次駆動され、駆動開始から1水平走査期間(1H)が経過するタイミングで、表示制御回路4は、領域201Aにおける1～3N行目の画素に対するデータ信号 $D_a(1, j) \dots D_a(3N, j)$ を端子部12sに供給する。但し、本実施形態において、 $j$ は、 $1 \leq j \leq M/12$ を満たす。これにより、領域201Aにおけるソース線15(1)～15( $M/12$ )にデータ信号 $D_a(1, j) \dots D_a(3N, j)$ が入力され、領域201Aの全画素にデータ信号が書き込まれる。他の領域201B～201Dにおけるデータ信号の書き込み処理も、領域201Aにおけるデータ信号の書き込み処理と同様である。

[0153] 上述の第2実施形態では、端子部12sから額縁領域R1に引き回すソース線15は $M/2$ 本であるのに対し、上述の第6実施形態では $M/6$ 本である。そのため、第6実施形態では、第2実施形態よりも、端子部12sから額縁領域R1にソース線15を引き回すための幅Lをさらに小さくすることができる。

[0154] <第7実施形態>

本実施形態では、第2実施形態の一部の領域における特定の画素のデータ信号の書き込みを例えば60Hzのフレーム周波数で行い、他の画素のデータ信号の書き込みを例えば1Hzのフレーム周波数で行う例について説明する。

[0155] 図20は、本実施形態におけるアクティブマトリクス基板20aの概略構成を示す模式図である。図20に示すアクティブマトリクス基板20aは、図9と同様、領域201A~201Dの各々に、N本のゲート線13(1)~13(N)が設けられ、端子部12sからM/2本のソース線15が引き回されている。

[0156] 本実施形態では、図20における一点鎖線枠Q内の領域201Bと201Cの一部の画素に対するデータ信号の書き込みを60Hzのフレーム周波数で行い、他の画素に対するデータ信号の書き込みを1Hzのフレーム周波数で行う。

[0157] なお、図20では図示を省略しているが、各領域におけるゲート線13を駆動するためのゲートドライバは当該領域の画素内に配置され、額縁領域R1には端子部12gが配置されている。

[0158] 図21は、本実施形態におけるゲートドライバの等価回路図である。本実施形態におけるゲートドライバ110は、以下の点において、第2実施形態におけるゲートドライバ11と構成が異なる。

[0159] ゲートドライバ110(n)は、TFT-A~TFT-M、及びTFT-Pと、内部配線net A(n)、net B(n)、及びnet C(n)とを備える。

[0160] ゲートドライバ110(n)におけるnet A(n)は、TFT-Bのソース端子と、TFT-A、TFT-C、TFT-Kのドレイン端子と、TFT-F及びTFT-Pのゲート端子と、キャパシタCbstの一方の電極とが接続されている。

[0161] net B(n)は、TFT-Gのソース端子と、TFT-H、TFT-I

、及びTFT-Jのドレイン端子と、TFT-C及びTFT-Mのゲート端子とが接続されている。

[0162] net C (n) は、TFT-Fのソース端子、キャパシタCbst、TFT-Eのドレイン端子、TFT-Dのドレイン端子が接続されており、net C (n) の電圧R (n) は、ゲート線13 (n-2) を駆動するゲートドライバ110 (n-2) のTFT-Lのゲート端子に入力される。

[0163] TFT-Fのゲート端子は、net A (n) と接続され、ドレイン端子にはクロック信号CKAが供給され、ソース端子はnet C (n) に接続されている。

[0164] TFT-Eのゲート端子はリセット信号CLRが供給され、ドレイン端子はnet C (n) に接続され、ソース端子には電源電圧信号VSSが供給される。

[0165] TFT-Dのゲート端子はクロック信号CKBが供給され、ドレイン端子はnet C (n) に接続され、ソース端子には電源電圧信号VSSが供給される。

[0166] TFT-Lのゲート端子は、ゲート線13 (n+2) を駆動するゲートドライバ110 (n+2) におけるnet C (n+2) と接続され、ドレイン端子はゲート線13 (n) と接続され、ソース端子には電源電圧信号VSSが供給される。

[0167] TFT-Nのゲート端子にはリセット信号CLRが供給され、ドレイン端子はゲート線13 (n) と接続され、ソース端子には電源電圧信号VSSが供給される。

[0168] TFT-Mのゲート端子はnet B (n) と接続され、ドレイン端子はゲート線13 (n) と接続され、ソース端子には電源電圧信号VSSが供給される。

[0169] TFT-Pのゲート端子はnet A (n) と接続され、ドレイン端子には、後述する行選択信号ENAが供給され、ソース端子はゲート線13 (n) と接続されている。

- [0170] T F T - K のゲート端子は  $net A (n + 2)$  と接続され、ドレイン端子にはクロック信号  $CK A$  が供給され、ソース端子は  $net A (n)$  と接続されている。
- [0171] T F T - J のゲート端子は  $net A (n)$  と接続され、ドレイン端子は  $net B (n)$  と接続され、ソース端子には電源電圧信号  $VSS$  が供給される。
- [0172] なお、上述した第2実施形態では、T F T - J のゲート端子に、隣接するゲート線  $13 (n - 1)$  が接続されていたが、本実施形態では、隣接するゲート線  $13 (n - 1)$  が駆動されない場合がある。そのため、本実施形態では、ゲートドライバ  $110 (n)$  に、隣接するゲート線  $13$  の電圧が入力されないように構成している。
- [0173] 行選択信号は、Hレベル ( $VDD$ ) 又はLレベル ( $VSS$ ) の電位を示す信号である。表示制御回路4は、制御信号として、クロック信号に加え、行選択信号  $ENA$ 、 $ENB$ 、 $ENC$ 、 $END$  のいずれかを各ゲートドライバ  $110$  における T F T - P のドレイン端子に供給する。
- [0174] 次に、図22A~22Eを用い、ゲートドライバ  $110$  を構成する素子の配置レイアウトについて説明する。図22A~22Eは、ゲートドライバ  $110 (n)$  と、ゲート線  $13 (n - 2)$  を駆動するゲートドライバ  $110 (n - 2)$  における各素子の配置例を示す模式図である。
- [0175] 図22A~22Eにおいて、便宜上、“T F T -”の表記を省略しているが、各図においてアルファベットを付した T F T は、図21において同じアルファベットが付された T F T に対応している。なお、図22Aと22Bは、各図の列S1において連続し、図22Bと22Cは、各図の列S2において連続している。また、図22Cと22Dは、各図の列S3において連続し、図22Dと22Eは、各図の列S4において連続している。
- [0176] 図22A~22Eに示すように、ゲートドライバ  $110 (n)$  の T F T - A ~ T F T - M、及び T F T - P、 $net A (n)$ 、 $net B (n)$ 、 $net C (n)$  は、ゲート線  $13 (n)$  からゲート線  $13 (n + 2)$  の間に配置

されている。また、ゲートドライバ110 (n-2) のTFT-A~TFT-M、及びTFT-P、net A (n-2)、net B (n-2)、net C (n-2) は、ゲート線13 (n-2) からゲート線13 (n) の間に配置されている。

[0177] 図22Cに示すように、TFT-Pは、3つのTFT-Pを並列に接続して構成されている。この例では、TFT-Pを3つのTFTを並列に接続する例であるが、TFTの数はこれに限定されない。ゲートドライバ110 (n) における各TFT-Pのドレイン端子は、行選択信号ENAが供給される制御配線16に接続されている。一方、ゲートドライバ110 (n-2) における各TFT-Pのドレイン端子は、行選択信号ENBが供給される制御配線16と接続されている。

[0178] なお、図示を省略するが、ゲート線13 (n-1) を駆動するゲートドライバ110 (n-1) におけるTFT-Pのドレイン端子は、行選択信号ENDが供給される制御配線16と接続されている。また、ゲート線13 (n+1) を駆動するゲートドライバ110 (n+1) におけるTFT-Pのドレイン端子は、行選択信号ENCが供給される制御配線16と接続されている。また、ゲート線13 (n+2) を駆動するゲートドライバ110 (n+2) における各TFT-Pのドレイン端子は、行選択信号ENBが供給される制御配線16と接続されている。

[0179] また、図22Dに示すように、TFT-Lは、3つのTFT-Lを並列に接続して構成される。この例では、TFT-Lを3つのTFTを並列に接続する例であるが、TFTの数はこれに限定されない。ゲートドライバ110 (n) における各TFT-Lのゲート端子は、ゲートドライバ110 (n+2) におけるnet C (n+2) と接続され、net C (n+2) の電圧R (n+2) が入力される。また、ゲートドライバ110 (n-2) における各TFT-Lのゲート端子は、net C (n) と接続され、net C (n) の電位R (n) が入力される。図22Dにおいて、Lレベル (VSS) の直流電圧信号を供給する制御配線16は、ゲートドライバ110 (n) 及びゲ

ートドライバ110 (n-2) における各TFT-Lのソース端子と接続されている。

[0180] 図22Eにおいて、ゲートドライバ110 (n) におけるnetC (n) は、図22Dに示すゲートドライバ110 (n-2) におけるTFT-Lのゲート端子に接続されている。また、ゲートドライバ110 (n-2) におけるnetC (n-2) は、図示しないゲートドライバ110 (n-4) におけるTFT-Lのゲート端子に接続される

[0181] 次に、本実施形態におけるゲートドライバ110 (n) の動作について説明する。図23は、一のフレームにおいて、一の領域における任意のゲート線13 (13 (n-1) ~ 13 (n+1)) が駆動され、他のゲート線13 (13 (n-2)、13 (n+2)) の駆動が停止される場合のタイミングチャートである。

[0182] 表示制御回路4は、netA (n-1)、netA (n)、netA (n+1) がそれぞれHレベルの電位となるタイミングで、ゲートドライバ110 (n-1)、ゲートドライバ110 (n)、ゲートドライバ110 (n+1) に対し、Hレベルの電圧の行選択信号END、ENA、ENCを供給する。また、表示制御回路4は、ゲートドライバ110 (n-2) とゲートドライバ110 (n+2) に対しては、1フレームの間、Lレベルの電圧の行選択信号ENBを供給する。

[0183] 図21及び23を参照して、時刻t1において、クロック信号CKDとnetA (n-2) の電位はHレベルである。そのため、時刻t1において、ゲートドライバ110 (n) のTFT-Bはオン状態であり、TFT-Bを介してnetA (n) にクロック信号CKDのHレベル (VDD) の電位がプリチャージされる。これにより、ゲートドライバ110 (n) のTFT-Pはオンになる。時刻t1において、行選択信号ENAの電位はHレベルであるため、TFT-Pを介して、ゲート線13 (n) は、(VDD-TFT-Pの閾値電圧) の電位に充電される。また、このとき、TFT-Fもオン状態となるが、クロック信号CKAの電位はLレベルであるため、netC



(n) の電位  $R(n)$  は L レベルに維持される。

[0184] 時刻  $t_2$  において、クロック信号  $CKA$  の電位が H レベルとなる。ゲートドライバ  $110(n)$  の  $TFT-F$  は、オン状態のため、 $netC(n)$  に、 $TFT-F$  を介してクロック信号  $CKA$  の H レベルの電圧が入力される。 $netC(n)$  の電位の上昇に伴い、 $netA(n)$  の電位は、キャパシタ  $Cbst$  を介して突き上げられ、 $(VDD + TFT-P$  の閾値電圧) よりも大きい電位に充電される (以下、本チャージ) される。このとき、ゲートドライバ  $110(n)$  の  $TFT-P$  はオン状態であり、行選択信号  $ENA$  の電位は H レベルのため、ゲート線  $13(n)$  は、H レベルの電圧が入力されて選択状態となる。

[0185] 時刻  $t_3$  において、クロック信号  $CKA$  の電位は H レベル、 $netA(n)$  は H レベルの電位を維持し、 $TFT-F$  及び  $TFT-P$  はオン状態であるため、ゲート線  $13(n)$  は選択状態のままである。

[0186] 時刻  $t_4$  から  $t_5$  において、クロック信号  $CKA$  と行選択信号  $ENA$  の電位が L レベル、クロック信号  $CKB$  の電位が H レベルとなり、ゲートドライバ  $110(n+2)$  における  $netA(n+2)$  が本チャージされ、 $netC(n+2)$  の電位  $R(n+2)$  が H レベルになる。これにより、ゲートドライバ  $110(n)$  における  $TFT-K$  及び  $TFT-L$  はオンになる。その結果、 $netA(n)$  の電位は、 $TFT-K$  を介して L レベル ( $VSS$ ) に引き下げられ、ゲート線  $13(n)$  に、 $TFT-L$  を介して L レベル ( $VSS$ ) の電圧が印加される。このとき、ゲートドライバ  $110(n+2)$  の  $TFT-P$  はオン状態であるが、行選択信号  $ENB$  の電位が L レベルのため、ゲート線  $13(n+2)$  の電位は L レベルのままである。

[0187] 時刻  $t_6$  以降は、 $netC(n+2)$  の電位  $R(n+2)$  及び  $netA(n+2)$  が L レベルとなるため、ゲートドライバ  $110(n)$  の  $TFT-K$  及び  $TFT-L$  はオフ状態となるが、クロック信号  $CKD$  の電位が H レベルとなるタイミングで、 $netB(n)$  は H レベルの電圧が入力され、 $TFT-C$  及び  $TFT-M$  がオンになる。 $netA(n)$  は、 $TFT-C$  を介して

Lレベルの電位に維持され、ゲート線13(n)は、TFT-Mを介してLレベルの電位に維持される。

[0188] なお、ゲートドライバ110(n-2)、ゲートドライバ110(n-1)、ゲートドライバ110(n+1)についてもゲートドライバ110(n)と同様に駆動される。つまり、時刻t0からt2において、ゲートドライバ110(n-2)におけるnetA(n-2)は、netC(n-2)の電位R(n-2)の上昇に伴って本チャージされるが、行選択信号ENBの電位はLレベルのため、ゲート線13(n-2)の電位はLレベルのままである。時刻t1からt3において、ゲートドライバ110(n-1)におけるnetA(n-1)は、netC(n-1)の電位R(n-1)の上昇に伴って本チャージされる。このとき、行選択信号ENDの電位はHレベルとなっているため、ゲート線13(n-1)は選択状態となる。時刻t3からt5において、ゲートドライバ110(n+1)におけるnetA(n+1)は、netC(n+1)の電位R(n+1)の上昇に伴って本チャージされる。このとき、行選択信号ENCの電位はHレベルのため、ゲート線13(n+1)は選択状態となる。

[0189] このように、駆動させるゲート線13に対応するゲートドライバ110に対し、当該ゲート線13を駆動させる期間の間、Hレベルの電圧の行選択信号を供給し、駆動させないゲート線13に対応するゲートドライバ110に対しては、1フレームの間、Lレベルの電圧の行選択信号を供給する。これにより、1フレーム期間において任意のゲート線13のみを駆動させることができる。

[0190] 次に、本実施形態におけるデータ信号の書き込み処理について説明する。図24Aは、60フレームのうちの1フレーム目のデータ信号の書き込み処理を示すタイミングチャートである。なお、上述した図7と同様、この図におけるゲート線13(1)~13(N)の波形は、ゲート線13がHレベルの電位となる2水平走査期間(2H)のうち後半の1水平走査期間(1H)を表している。つまり、図24Aにおけるゲート線13(n)の波形は、図

6に示すゲート線13 (n)の時刻 $t_3 \sim t_4$ の1水平走査期間の波形を表している。また、図24Aでは、便宜上、領域201A、201B、201C、201Dのゲートドライバ110に対して供給される行選択信号(ENA~END)を総称して、それぞれ、EN1、EN2、EN3、EN4と表している。

[0191] 本実施形態では、1フレーム目は、上述した第2実施形態と同様、領域201Aと201Cの全てのゲート線13を順次駆動して、領域201Aと201Cにデータ信号の書き込みを行った後、領域201Bと201Dの全てのゲート線13を順次駆動して、領域201Bと201Dにデータ信号の書き込みを行う。

[0192] 表示制御回路4は、1フレーム目において、領域201A~201Dにおける各ゲートドライバ110に対し、クロック信号CKA~CKDの供給を開始するとともに、図24Aに示すように、Hレベルの電圧の行選択信号EN1~EN4を供給する。これにより、領域201Aと201Cの全てのゲート線13が順次駆動され、領域201Aと201Cのゲート線13の駆動開始から1水平走査期間(1H)が経過するタイミングで、ソース線15a(j)とソース線15c(j)に、領域201Aに対するデータ信号Da(Da(1,j)~Da(N,j))と、領域201Cに対するデータ信号Dc(Dc(1,j)~Dc(N,j))が各々供給される。その結果、領域201Aと201Cの全画素にデータ信号が書き込まれる。

[0193] 領域201Aと201Cに対するデータ信号の書き込み後、表示制御回路4から領域201Bと201Dのゲートドライバ110(1)に対し、スタートパルス信号SPb、SPdが供給され、領域201Aと201Cの全てのゲート線13が順次駆動される。領域201Bと201Dのゲート線13の駆動開始から1水平走査期間(1H)が経過するタイミングで、ソース線15b(j)とソース線15d(j)に、領域201Bに対するデータ信号Db(Db(1,j)~Db(N,j))と、領域201Dに対するデータ信号Dd(Dd(1,j)~Dd(N,j))が各々供給される。その結果

、領域201Bと201Dの全画素にデータ信号が書き込まれる。

[0194] 続いて、2フレーム目から60フレーム目までのデータ信号の書き込み処理について説明する。図24Bは、2～60フレーム目までの各フレーム期間におけるデータ信号の書き込み処理のタイミングチャートを示す図である。なお、この図においても、図24Aと同様、ゲート線13(1)～13(N)の波形は、ゲート線13がHレベルの電位となる2水平走査期間(2H)のうち後半の1水平走査期間(1H)を表している。

[0195] 図20に示す領域201Bと201Cに配置された一点鎖線枠Q内には、 $(s+1)$ 本のゲート線13(k)～ゲート線13(k+s) ( $k, s$ : 整数、 $1 \leq k < N$ ,  $1 \leq s < N-2$ )が配置されている。この例では、領域201Bと201Cに配置されたゲート線13(k)～ゲート線13(k+s)を60Hzで駆動し、他のゲート線13を1Hzで駆動する。

[0196] 表示制御回路4は、図24Bに示すように、各フレームの開始時に、領域201Aと201Cのゲートドライバ110(1)に対してスタートパルス信号SPa、SPcを供給するとともに、領域201Aにおけるゲートドライバ110に対し、各フレーム期間において、Lレベルの電位の行選択信号EN1を供給し、領域201Aにおけるソース線15a(j)にはデータ信号を供給しない。

[0197] また、表示制御回路4は、図24Bに示すように、領域201Cにおけるゲートドライバ110に対し、各フレーム期間において、領域201Cのゲート線13(k)～ゲート線13(k+s)を駆動するタイミングでHレベルの電位の行選択信号EN3を供給する。さらに、表示制御回路4は、ソース線15d(j)に対し、ゲート線13(k)～ゲート線13(k+s)の各ゲート線の駆動開始から1水平走査期間(1H)が経過するタイミングで、ゲート線13(k)～ゲート線13(k+s)によって構成される各画素に対するデータ信号Dc( $Dc(k, j) \dots Dc(k+s, j)$ )を供給する。

[0198] これにより、2～60フレームの各フレーム期間において、領域201A

における全てのゲート線13の電位はLレベルとなり、領域201Aの全画素にデータ信号は書き込まれない。また、領域201Cにおいて、ゲート線13(k)～ゲート線13(k+s)を除くゲート線13の電位はLレベルとなり、ゲート線13(k)～ゲート線13(k+s)のみが駆動される。その結果、ソース線15d(j)を介してソース線15c(j)にデータ信号Dcが入力され、領域201Cにおいて、ゲート線13(k)～ゲート線13

(k+s)によって構成される各画素にデータ信号が書き込まれる。

[0199] 領域201Cのデータ信号の書き込み後、表示制御回路4は、図24Bに示すように、領域201Bと201Dのゲートドライバ110(1)に対してスタートパルス信号SPb、SPdを供給するとともに、領域201Dにおけるゲートドライバ110に対し、Lレベルの電圧の行選択信号EN4を供給し、領域201Dにおけるソース線15d(j)にはデータ信号を供給しない。

[0200] また、表示制御回路4は、図24Bに示すように、領域201Bにおけるゲートドライバ110に対し、領域201Bのゲート線13(k)～ゲート線13(k+s)を駆動するタイミングでHレベルの電圧の行選択信号EN2を供給する。さらに、表示制御回路4は、ソース線15a(j)に対し、ゲート線13(k)～ゲート線13(k+s)の各ゲート線の駆動開始から1水平走査期間(1H)が経過するタイミングで、領域201Bのゲート線13(k)～ゲート線13(k+s)によって構成される各画素に対するデータ信号Db(Db(k,j)…Db(k+s,j))を供給する。

[0201] これにより、2～60フレームの各フレーム期間において、領域201Dにおける全てのゲート線13の電位はLレベルとなり、領域201Dの全画素にデータ信号は書き込まれない。また、領域201Bにおいて、ゲート線13(k)～ゲート線13(k+s)を除くゲート線13の電位はLレベルとなり、ゲート線13(k)～ゲート線13(k+s)のみが駆動される。その結果、領域201Bにおいて、ソース線15a(j)を介してソース線

15b(j) にデータ信号Dbが入力され、ゲート線13(k)～ゲート線13(k+s)によって構成される画素部分に、各フレームのデータ信号が書き込まれる。

[0202] このように、上述した第7実施形態では、任意のゲート線13を一定のフレーム周波数で駆動し、他のゲート線13をそのフレーム周波数よりも低いフレーム周波数で駆動させることができる。そのため、例えば、静止画を表示させる画素部分のゲート線13を低フレーム周波数（例えば1Hz）で駆動し、動画を表示させる画素部分のゲート線13を高フレーム周波数（例えば60Hz）で駆動することにより、データ信号の書き込み処理に要する消費電力を低減することができる。

[0203] <第8実施形態>

上述した第1実施形態から第7実施形態では、アクティブマトリクス基板20aは、略矩形形状の表示領域200を有する例を説明したが、表示領域の形状は矩形形状に限らない。

[0204] 例えば、図25に示すように、アクティブマトリクス基板20aは、非矩形形状の領域201A～201Dに形成された画素群からなる円形形状の表示領域200を有していてもよい。領域201A～201Dの各々には複数のゲート線13と複数のソース線15とが配置されている。

[0205] 図25において図示を省略するが、各領域におけるゲート線13を駆動するためのゲートドライバ11は、上述した第1実施形態から第7実施形態と同様、各領域内に配置されている。但し、図25の例では、各領域における各列の画素数が均一ではなく、ゲート線13の長さが均一ではない。そのため、この場合には、各領域における列のうち、画素数が最も多い列に設けられた各ゲート線13に対してゲートドライバ11を設けるように構成する。

[0206] また、図25に示すように、額縁領域R1には、各領域におけるソース線15にデータ信号を供給する端子部12sが配置されている。上述した第2実施形態と同様、領域201Aと201Dのソース線15は、領域201Bと201Cの境界を挟んで略左右対称に端子部12sから引き回されている

。額縁領域 R 1 において、領域 2 0 1 B と 2 0 1 C のソース線 1 5 b、1 5 c は、額縁領域 R 1 におけるソース線部分 1 5 0 a、1 5 0 d とそれぞれ接続されている。

[0207] 本実施形態においても、第 2 実施形態と同様、額縁領域 R 1 に引き回されるソース線の本数は  $M/4$  本分で済むため、第 1 実施形態の場合よりも額縁領域 R 1 の幅 L を小さくすることができる。また、ゲートドライバ 1 1 を各領域内に配置することにより、額縁領域 R 1 だけでなく、表示領域 2 0 0 の外縁部における額縁領域の狭額縁化を図ることができるので、非矩形形状の表示パネルを作製することが可能となる。

[0208] 以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。以下、本発明の変形例について説明する。

[0209] <変形例>

(1) 上述した第 1 実施形態から第 8 実施形態では、隣接する一方の領域におけるソース線 1 5 を端子部 1 2 s から引き回し、他方の領域におけるソース線 1 5 を、端子部 1 2 s が設けられた額縁領域 R 1 において、一方のソース線 1 5 と接続する例を説明したが、以下のように接続してもよい。

[0210] 図 2 6 は、本変形例におけるアクティブマトリクス基板のソース線の接続例を示す模式図である。第 2 実施形態と同様に、領域 2 0 1 A ~ 2 0 1 D は、領域ごとの独立したゲート線 1 3 (1) ~ 1 3 (N) が形成されている。

[0211] 図 2 6 に示すように、本変形例では、端子部 1 2 s から領域 2 0 1 B と領域 2 0 1 C にソース線 1 5 b、1 5 c が各々引き回されている。領域 2 0 1 A と領域 2 0 1 D には、それぞれ、当該領域に設けられている全てのゲート線 1 3 (1 3 (1) ~ 1 3 (N)) (例えば図 1 0 参照) と交差するソース線 1 5 a、1 5 d が設けられている。そして、領域 2 0 1 A と領域 2 0 1 B

には、一のソース線15aと、当該ソース線15aに対応する一のソース線15bとを接続するための接続用配線151が設けられている。また、領域201Cと領域201Dには、一のソース線15cと、当該ソース線15cに対応する一のソース線15dとを接続するための接続用配線152が設けられている。接続用配線151、152は、ゲート線13と同層に形成される。

[0212] 領域201Aの各ソース線15aは、接続用配線151を介して領域201Bの各ソース線15bとそれぞれ接続されるため、端子部12sから供給される領域201Aに対するデータ信号をソース線15b及び接続用配線151を介して受け取ることができる。また、領域201Dの各ソース線15dは、接続用配線152を介して領域201Cの各ソース線15cとそれぞれ接続されるため、端子部12sからの領域201Dに対するデータ信号をソース線15c及び接続用配線152を介して受け取ることができる。

[0213] なお、この例では、領域201Bと領域201Cにおけるゲートドライバ11によって領域201Bと領域201Cにおけるゲート線13を駆動し、領域201Bと領域201Cにデータ信号の書き込みを行う。この間は、領域201Aと領域201Dにおけるゲート線13を駆動させない。これにより、領域201Aと領域201Dのソース線15a、15dには、接続用配線151、152を介して領域201Bと領域201Cのデータ信号が入力されるが、領域201Aと領域201Dにデータ信号は書き込まれない。

[0214] また、領域201Bと領域201Cにデータ信号を書き込み後、領域201Aと領域201Dにおけるゲートドライバ11によって領域201Aと領域201Dにおけるゲート線13を駆動させ、領域201Aと領域201Dにデータ信号の書き込みを行う。この間は、領域201Bと領域201Cにおけるゲート線13を駆動させない。これにより、領域201Bと領域201Cのソース線15b、15cは、領域201Aと領域201Dのデータ信号が入力されるが領域201Bと領域201Cにデータ信号は書き込まれない。



[0215] なお、額縁領域 R 1 に配置されたソース線 1 5 b、1 5 c の部分は、上述した第 5 実施形態と同様、第 1 メタル層 1 3 0 0 と第 2 メタル層 1 5 0 0 に交互に形成されていてもよい。このように構成することにより、さらに、額縁領域 R 1 の幅 L 1 を狭めることができる。

[0216] (2) 上述した第 1、第 3、第 6、第 7 及び第 8 実施形態において、額縁領域 R 1 に配置された一の領域のソース線部分と、当該一の領域に隣接する他の領域のソース線とを、第 2 実施形態と同様に接続用配線 1 3 1 を用いて接続してもよい。または、額縁領域 R 1 に配置された一の領域のソース線部分を、第 5 実施形態と同様、第 1 メタル層 1 3 0 0 と第 2 メタル層 1 5 0 0 に交互に形成し、第 3 メタル層 1 6 0 0 に形成された接続用配線 1 6 1 を用いて他の領域のソース線と接続してもよい。

[0217] (3) 上述した第 1～第 8 実施形態では、端子部 1 2 s に接続された一の領域のソース線 1 5 に、当該一の領域に隣接する一の領域のソース線 1 5 を接続する例を説明したが、以下のように構成してもよい。例えば、アクティブマトリクス基板 2 0 a において、独立した画素群を備える 3 つの領域からなる表示領域 2 0 0 を備える場合、端子部 1 2 s に接続された一の領域のソース線 1 5 に、他の 2 つの領域のソース線 1 5 を各々接続してもよい。この場合には、予め定めた 3 つの領域のゲート線の駆動順序に従って、領域ごとに、ゲート線 1 3 を駆動し、当該領域に書き込むべきデータ信号を供給するように制御する。

### 符号の説明

[0218] 1…液晶表示装置 1、2…表示パネル、3…ソースドライバ、4…表示制御回路、5…電源 5、1 1、1 1 0…ゲートドライバ、1 2 g、1 2 s…端子部、1 3…ゲート線、1 5…ソース線、1 6…制御配線、2 0 a…アクティブマトリクス基板、2 0 b…対向基板、1 3 1、1 5 1、1 5 2、1 6 1…接続用配線、1 5 0、1 5 0 a～1 5 0 d…ソース線部分、2 0 0…表示領域、2 0 1 A～2 0 1 D…領域、1 3 0 0…第 1 メタル層、1 5 0 0…第 2 メタル層、1 6 0 0…第 3 メタル層、R 1～R 4…額縁領域、SW 1、S

W2…スイッチング素子

## 請求の範囲

- [請求項1] データ線群とゲート線群とを備える画素領域がゲート線の延伸方向に沿って複数配列された表示領域と、  
前記表示領域の外側であって、データ線の一方の端部近傍の第1額縁領域に設けられ、データ信号を供給する端子部と、  
各画素領域に設けられ、当該画素領域におけるゲート線を選択又は非選択の状態に切り替える駆動回路と、を備え、  
複数の画素領域の少なくとも一の画素領域におけるデータ線は、前記端子部と接続され、他の画素領域におけるデータ線は、前記一の画素領域におけるデータ線と接続されている、アクティブマトリクス基板。
- [請求項2] 前記一の画素領域と前記他の画素領域におけるデータ線は、前記第1額縁領域において互いに接続されている、請求項1に記載のアクティブマトリクス基板。
- [請求項3] 前記一の画素領域と前記他の画素領域のデータ線のうち、前記データ信号を入力するための1つの画素領域のデータ線を選択的に切り替えるスイッチング部をさらに備える、請求項2に記載のアクティブマトリクス基板。
- [請求項4] 前記アクティブマトリクス基板は、第1の金属層と、前記第1の金属層とは異なる第2の金属層とを含む積層構造を有し、  
前記ゲート線は、前記第1の金属層に形成され、  
前記データ線は、前記第2の金属層に形成され、  
前記第1の金属層又は前記第2の金属層に形成され、前記他の画素領域のデータ線のうち、当該データ線を延長した延長線と前記一の画素領域のデータ線とが前記第1額縁領域において交差するデータ線と、前記一の画素領域のデータ線との間を接続する接続用配線をさらに備える、請求項2又は3に記載のアクティブマトリクス基板。
- [請求項5] 前記アクティブマトリクス基板は、第1の金属層と、前記第1の金

属層とは異なる第2の金属層とを含む積層構造を有し、

前記ゲート線は、前記第1の金属層に形成され、

前記他の画素領域におけるデータ線は、前記第2の金属層に形成され、

前記一の画素領域におけるデータ線は、当該一の画素領域内に配置されるデータ線の部分が前記第2の金属層に形成され、前記第1額縁領域に配置されるデータ線の部分が前記第1の金属層に形成され、

前記第2の金属層に形成され、前記他の画素領域のデータ線と、前記一の画素領域のデータ線との間を接続する接続用配線をさらに備える、請求項2又は3に記載のアクティブマトリクス基板。

[請求項6]

前記アクティブマトリクス基板は、第1の金属層と、前記第1の金属層とは異なる第2の金属層と、前記第1の金属層及び前記第2の金属層とは異なる第3の金属層を含む積層構造を有し、

前記ゲート線は、前記第1の金属層に形成され、

前記他の画素領域におけるデータ線は、前記第2の金属層に形成され、

前記一の画素領域におけるデータ線は、当該一の画素領域内に配置されるデータ線の部分が前記第2の金属層に形成され、前記第1額縁領域に配置されるデータ線の部分が前記第1の金属層又は前記第2の金属層に形成され、

前記第3の金属層に形成され、前記一の画素領域のデータ線と前記他の画素領域のデータ線との間を接続する接続用配線をさらに備える、請求項2に記載のアクティブマトリクス基板。

[請求項7]

前記他の画素領域におけるデータ線は、前記一の画素領域におけるデータ線が前記第1額縁領域と対向する第2額縁領域を通過して前記他の画素領域に延伸されることにより形成されている、請求項1に記載のアクティブマトリクス基板。

[請求項8]

前記一の画素領域におけるデータ線と前記他の画素領域におけるデ

ータ線は、前記表示領域において互いに接続されている、請求項 1 に記載のアクティブマトリクス基板。

[請求項9] 前記複数の画素領域のうち少なくとも一の画素領域における一部の画素に前記データ信号を書き込むフレーム周波数は、当該画素領域における他の画素に前記データ信号を書き込むフレーム周波数よりも低い、請求項 1 から 8 のいずれか一項に記載のアクティブマトリクス基板。

[請求項10] 前記表示領域は、非矩形の形状を有する、請求項 1 から 9 のいずれか一項に記載のアクティブマトリクス基板。

[請求項11] 請求項 1 から 10 のいずれか一項に記載のアクティブマトリクス基板と、

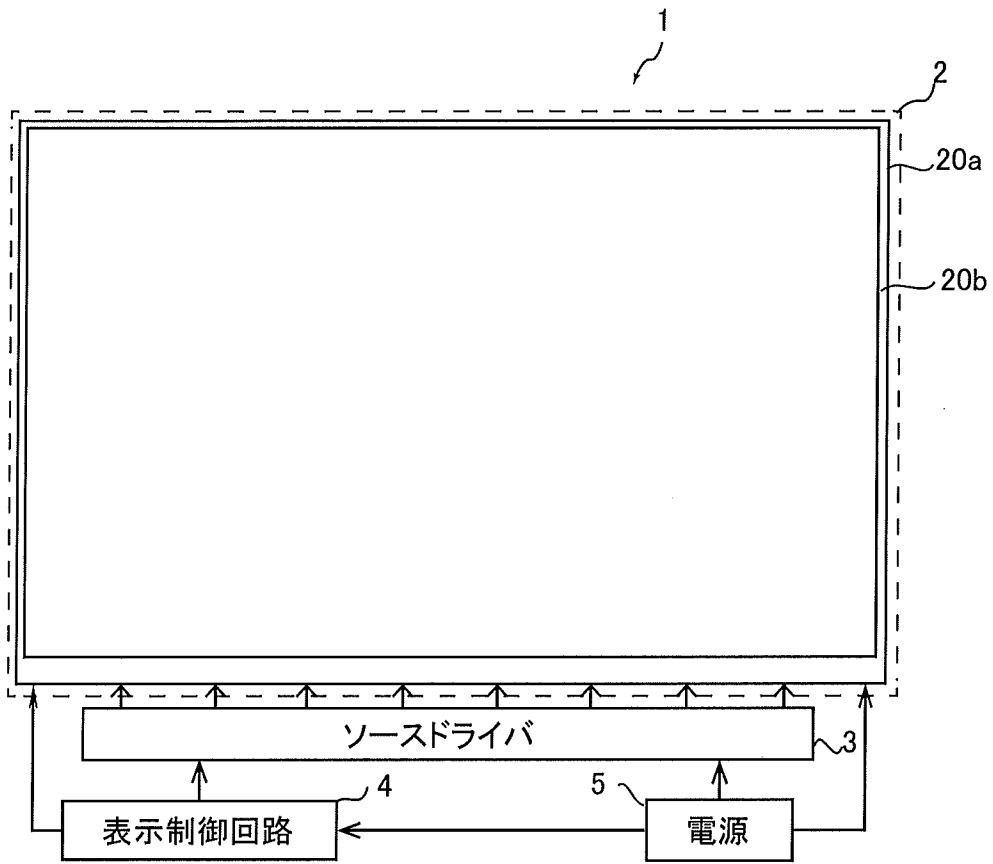
前記アクティブマトリクス基板における各画素に対応する位置に設けられたカラーフィルタを備える対向基板と、

を備える表示装置。

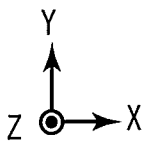
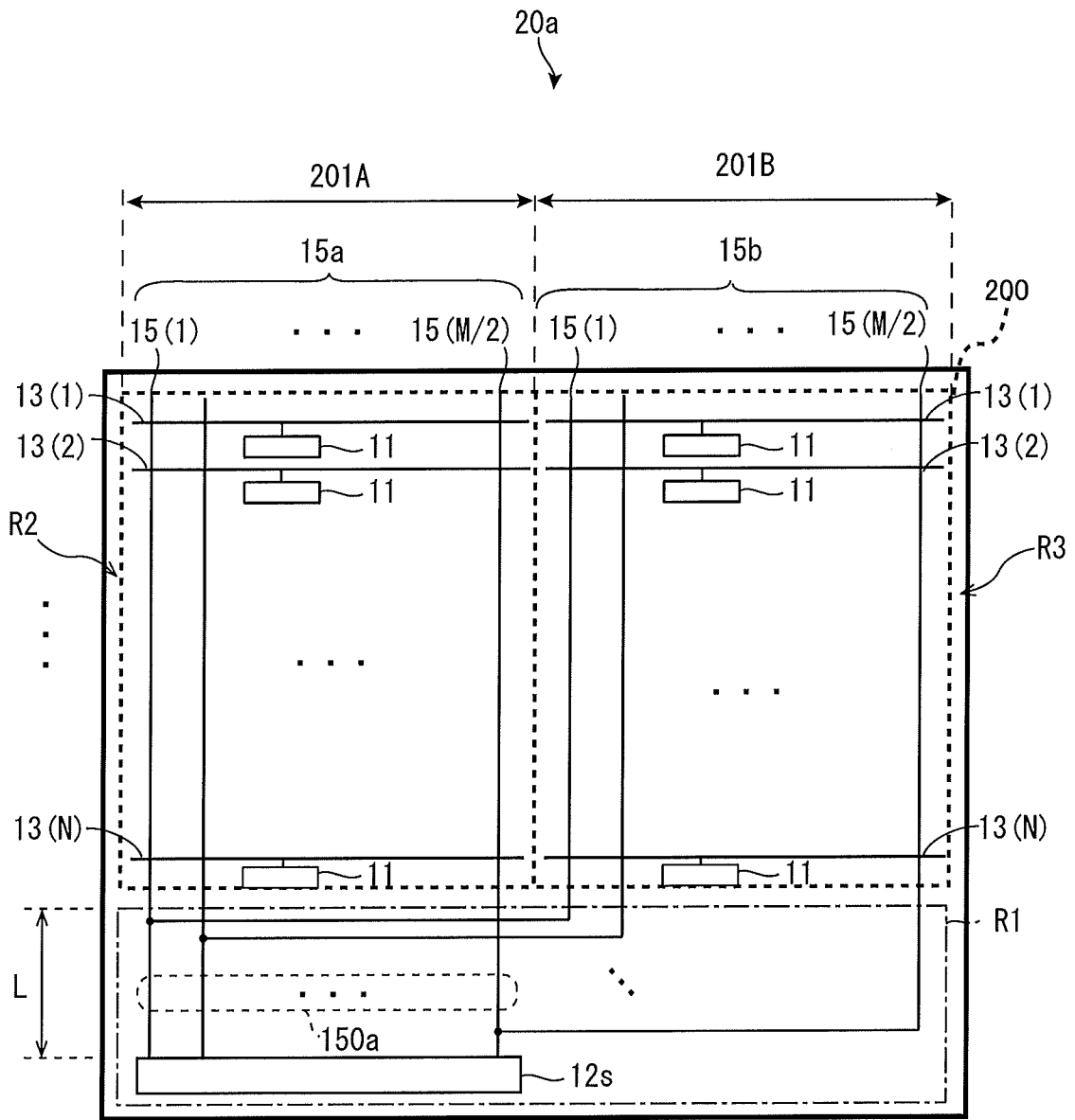
[請求項12] 前記カラーフィルタは、R（赤）、G（緑）、B（青）の各カラーフィルタを含み、

前記R（赤）、G（緑）、B（青）の各カラーフィルタは、前記アクティブマトリクス基板におけるデータ線の延伸方向に沿って、R（赤）、G（緑）、B（青）の順となるように配列されている、請求項 11 に記載の表示装置。

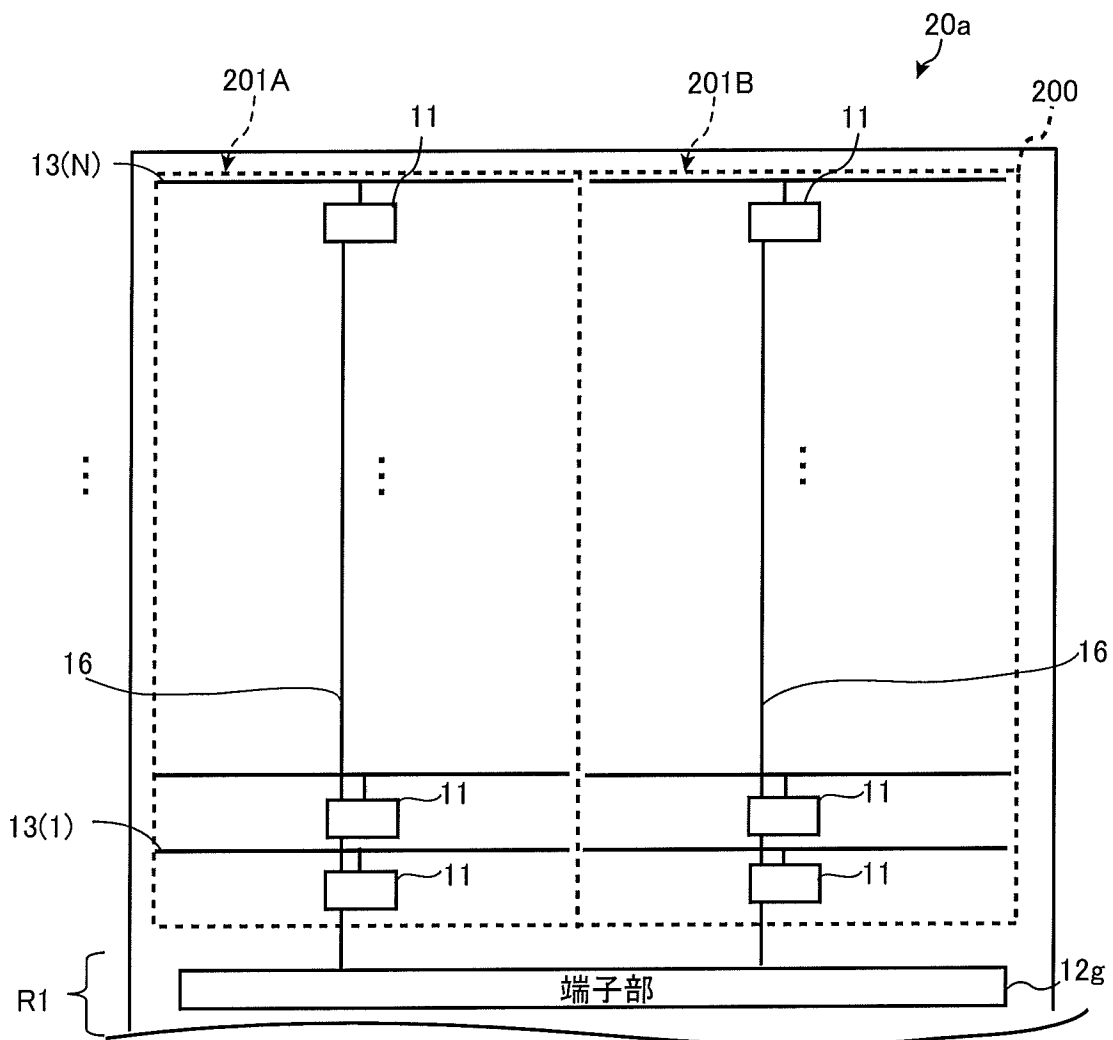
[図1]



[図2]



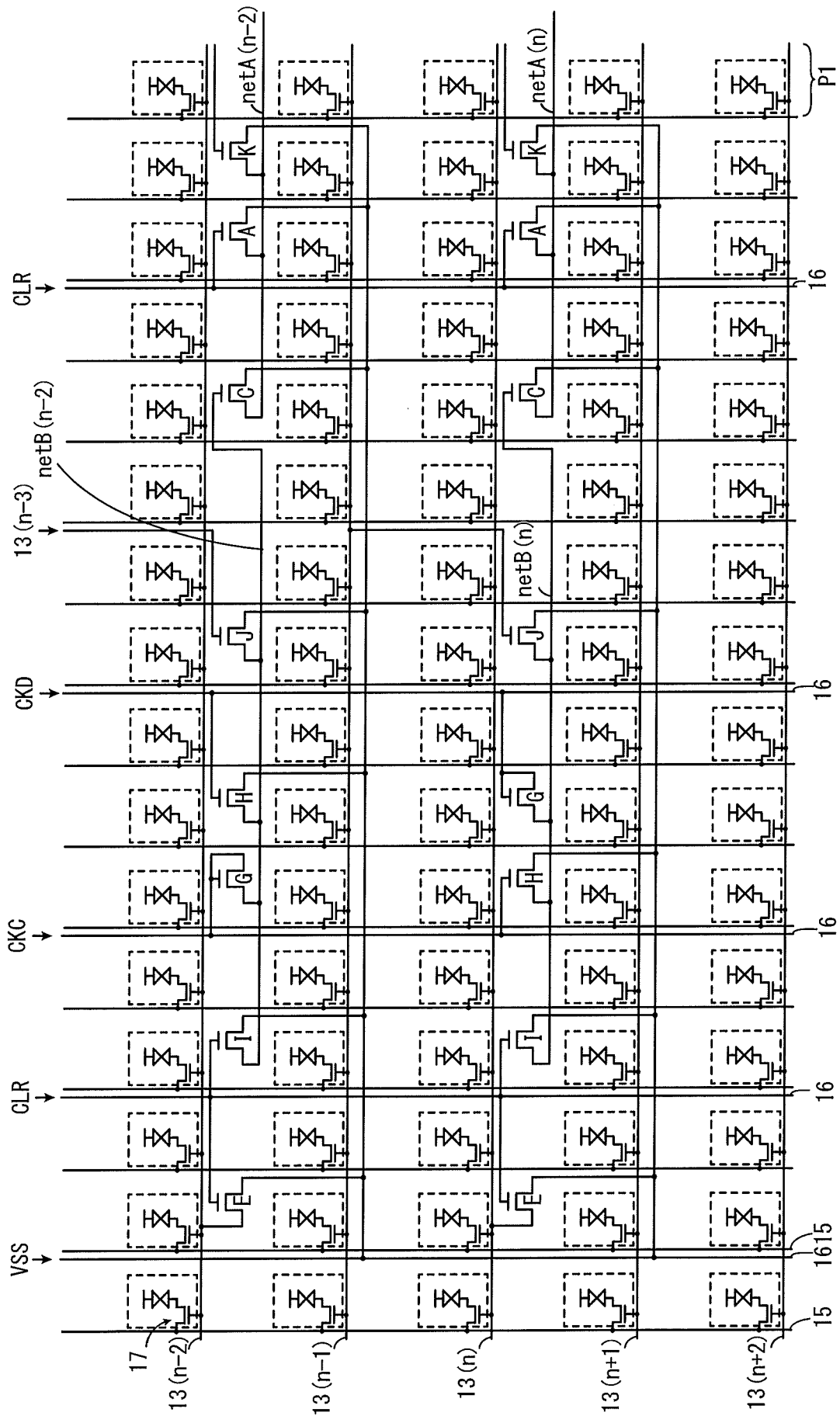
[図3]



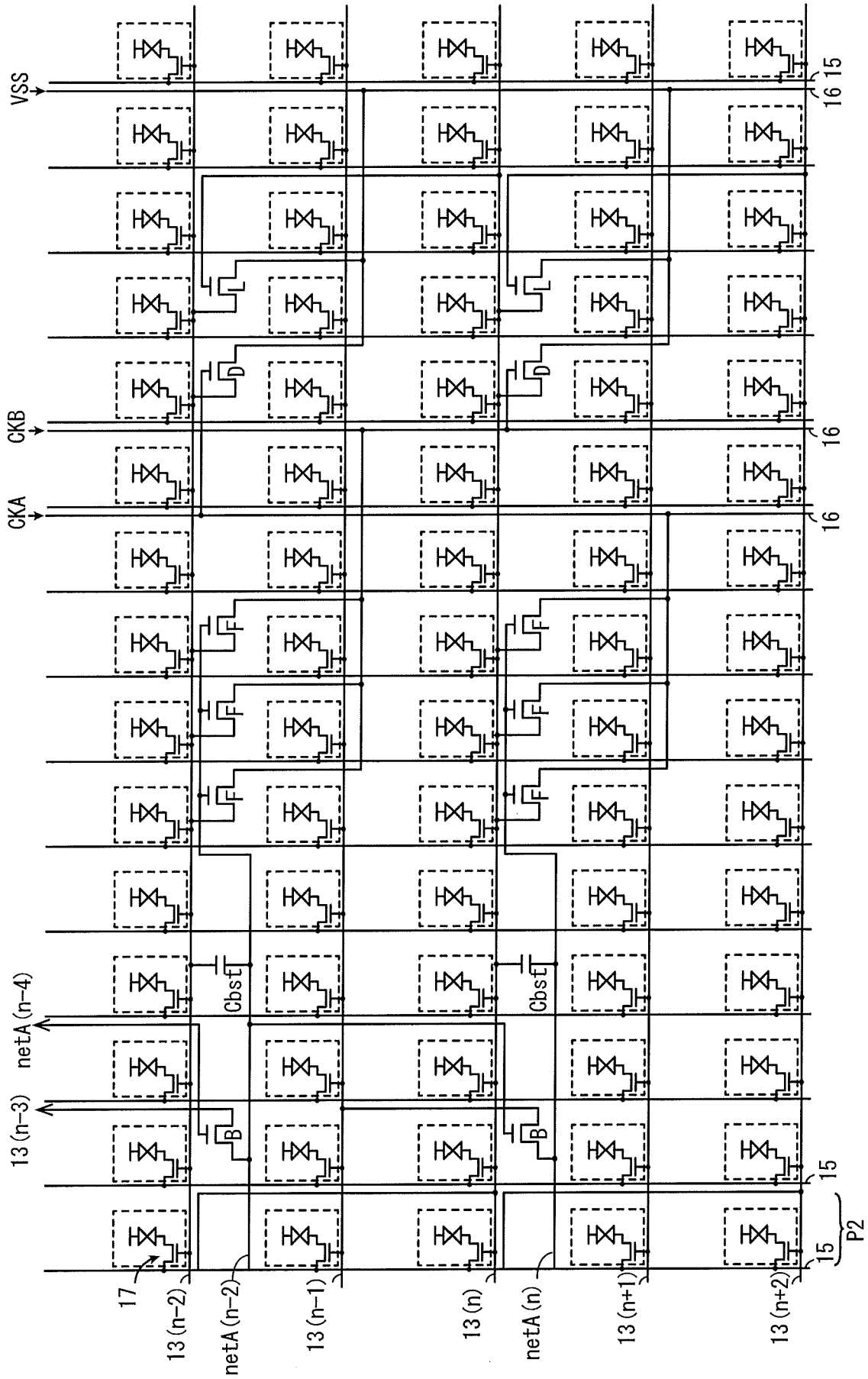




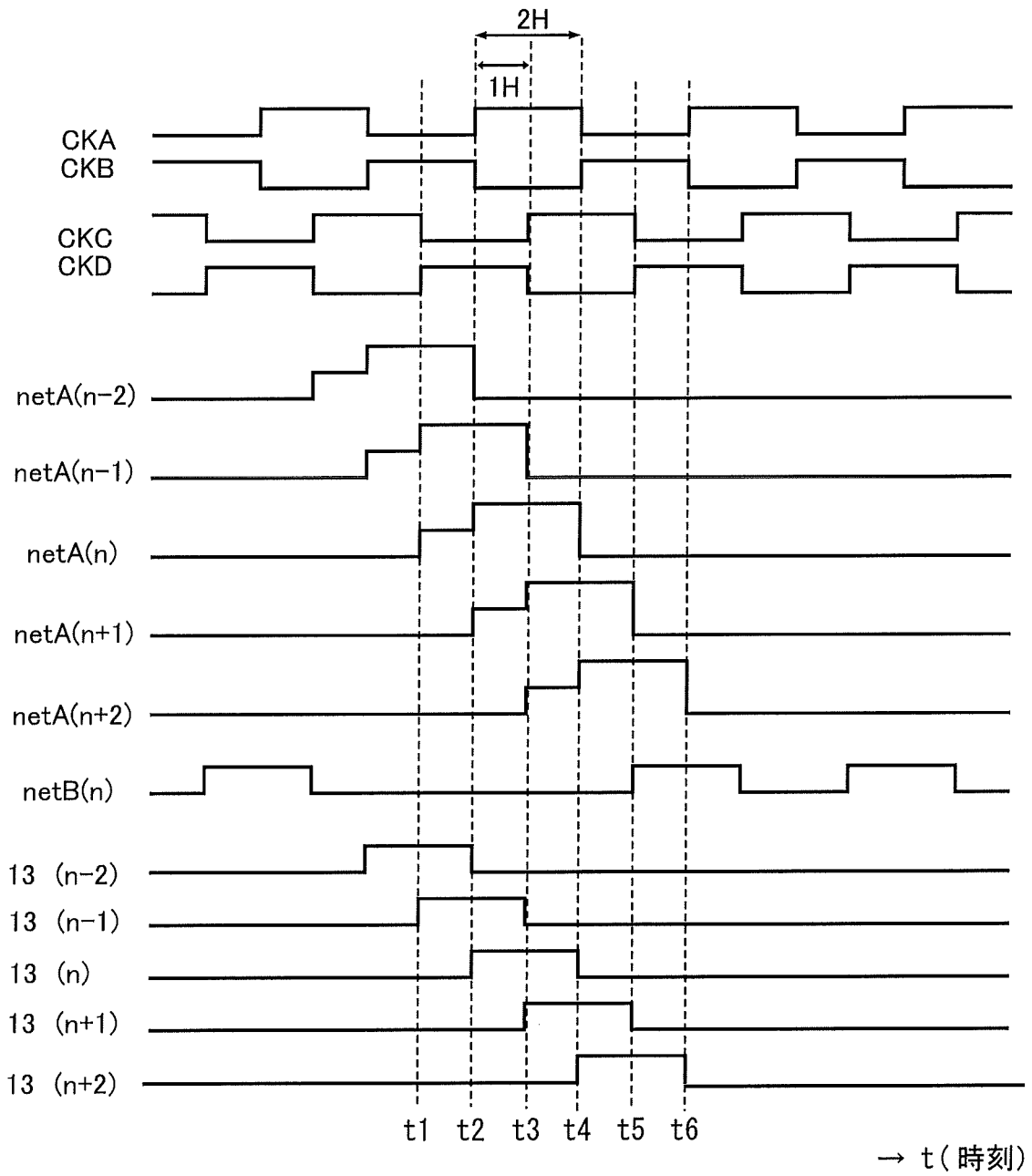
[図5A]



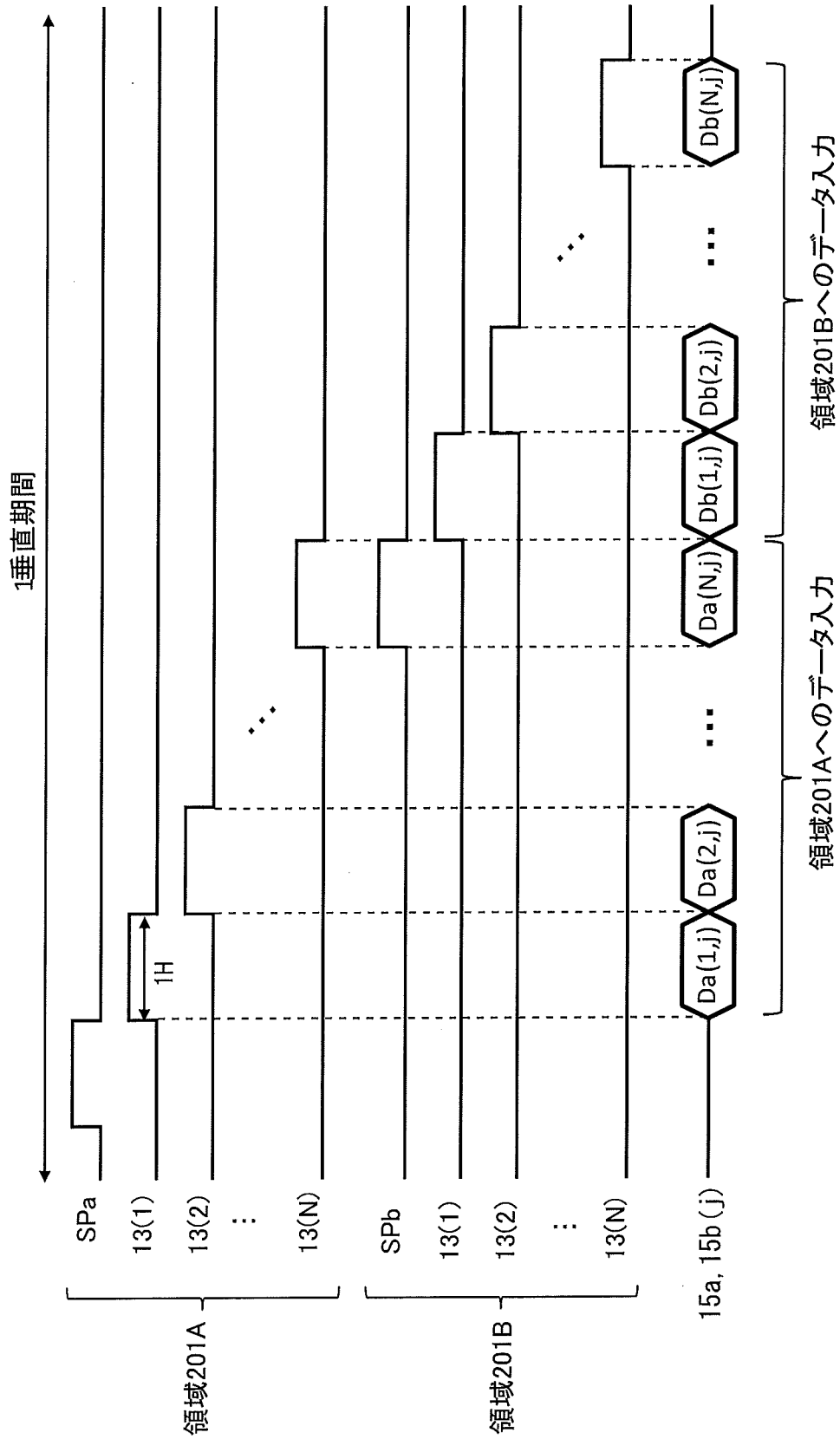
[5B]



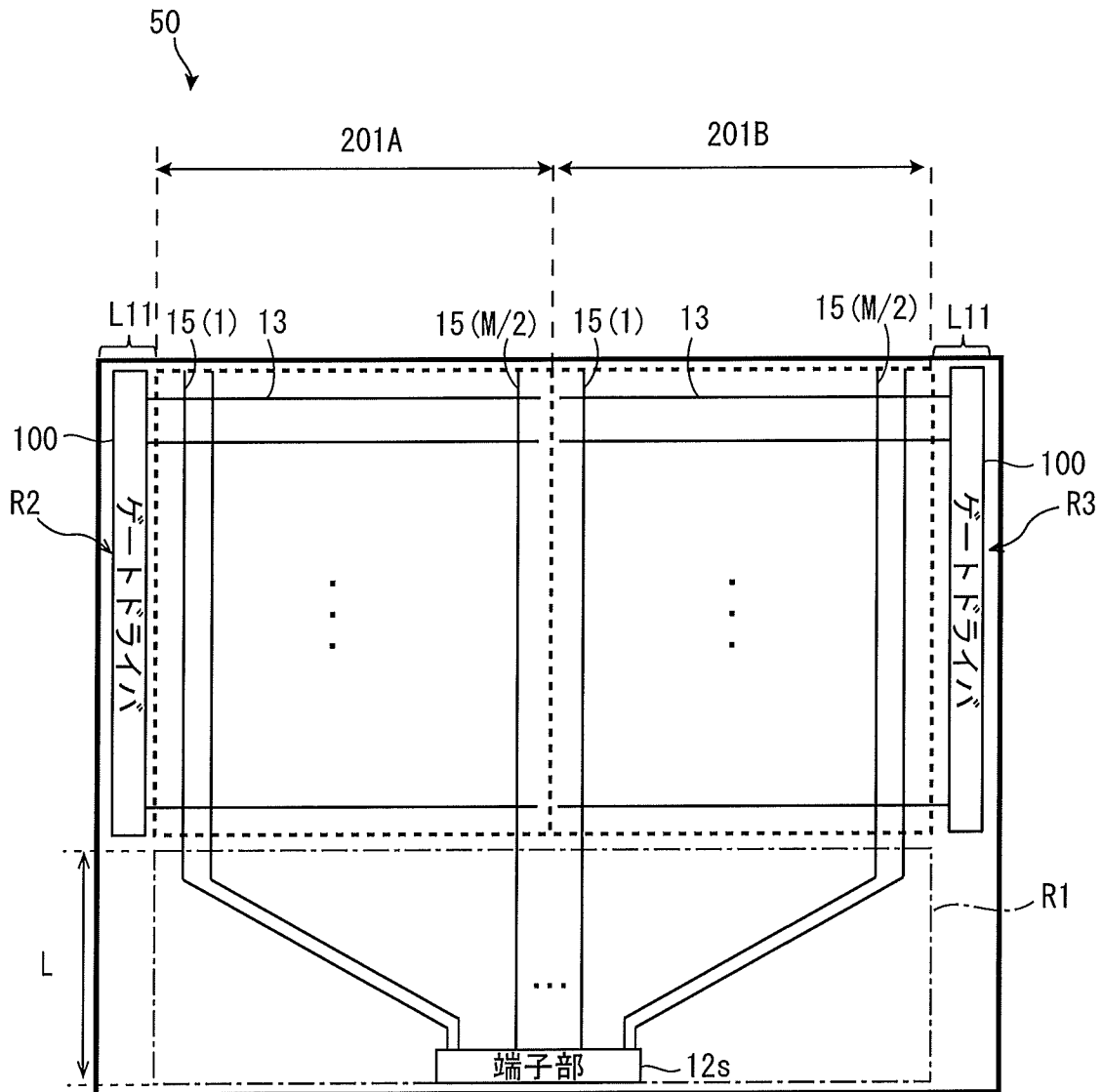
[図6]



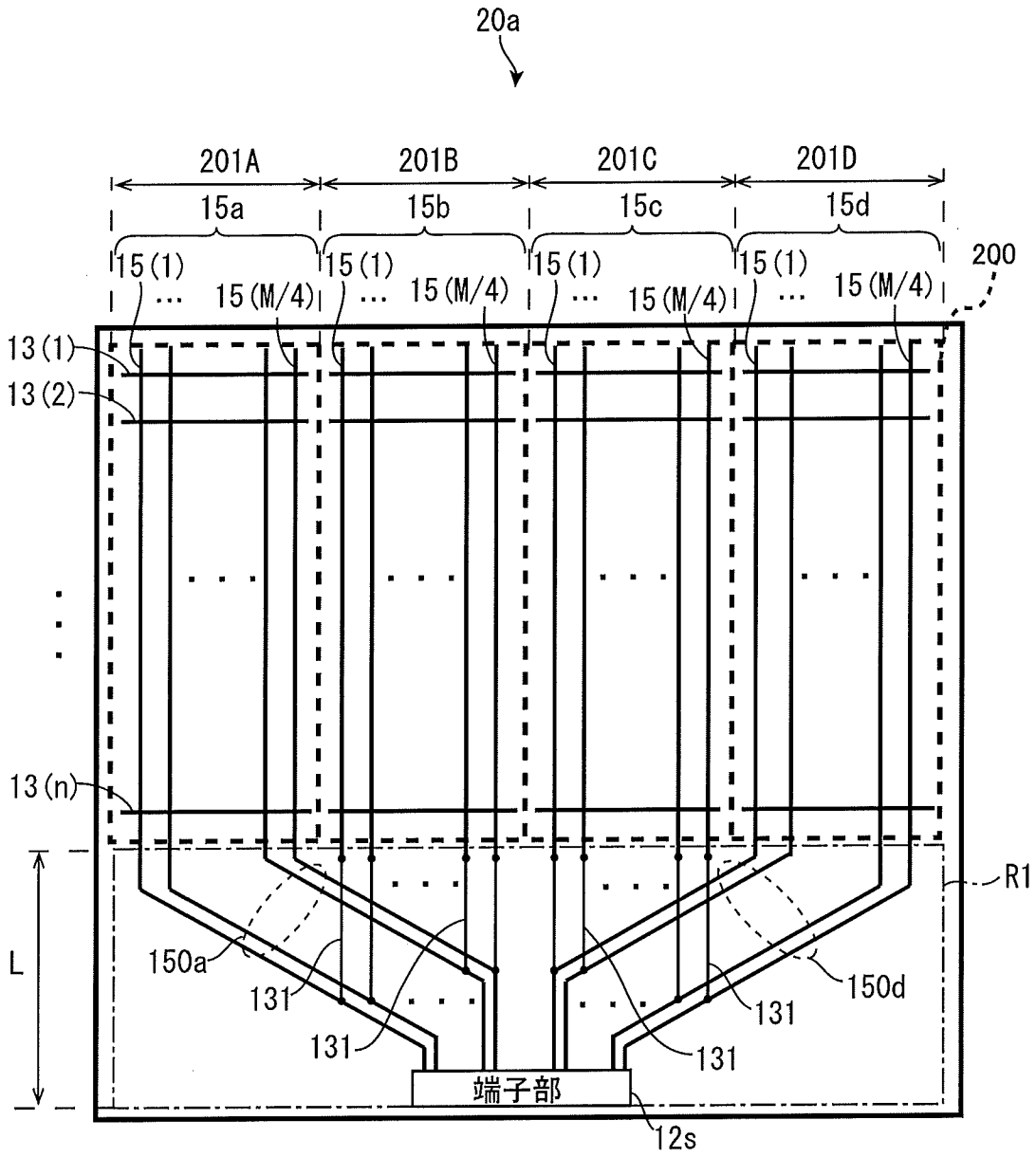
[図7]



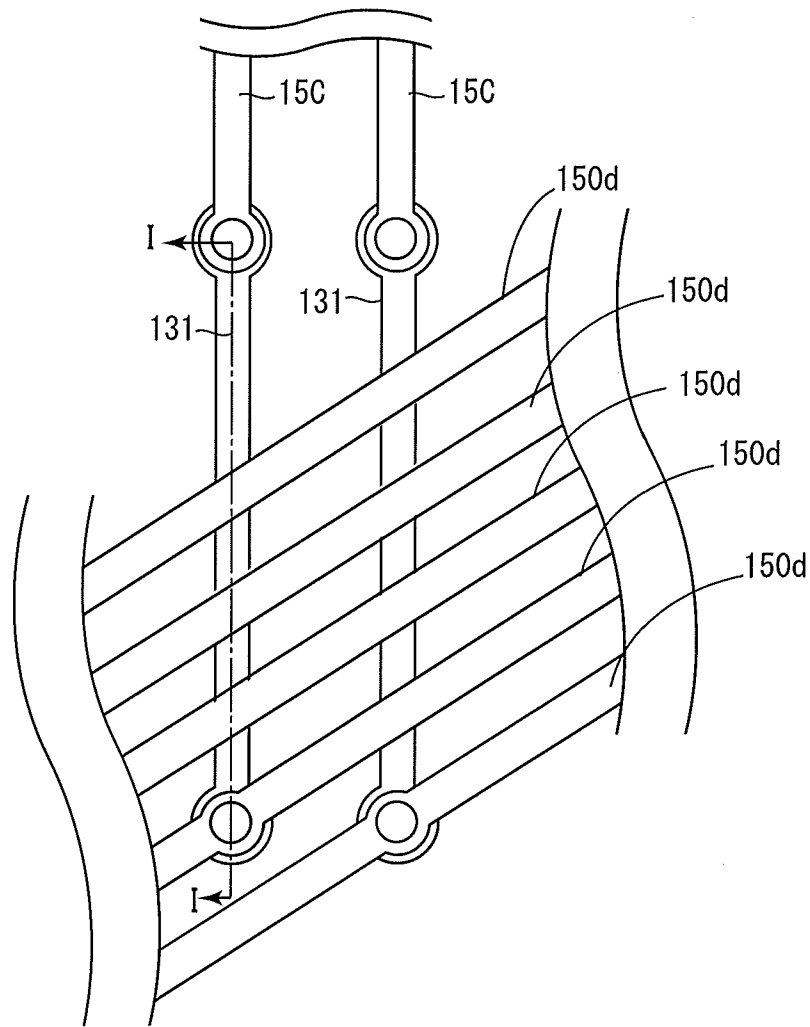
[図8]



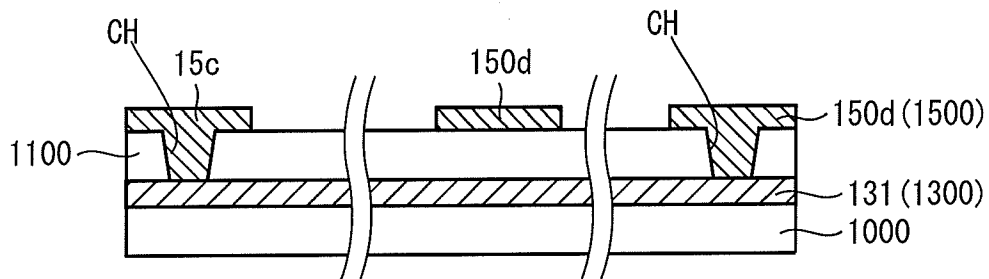
[図9]



[図10A]

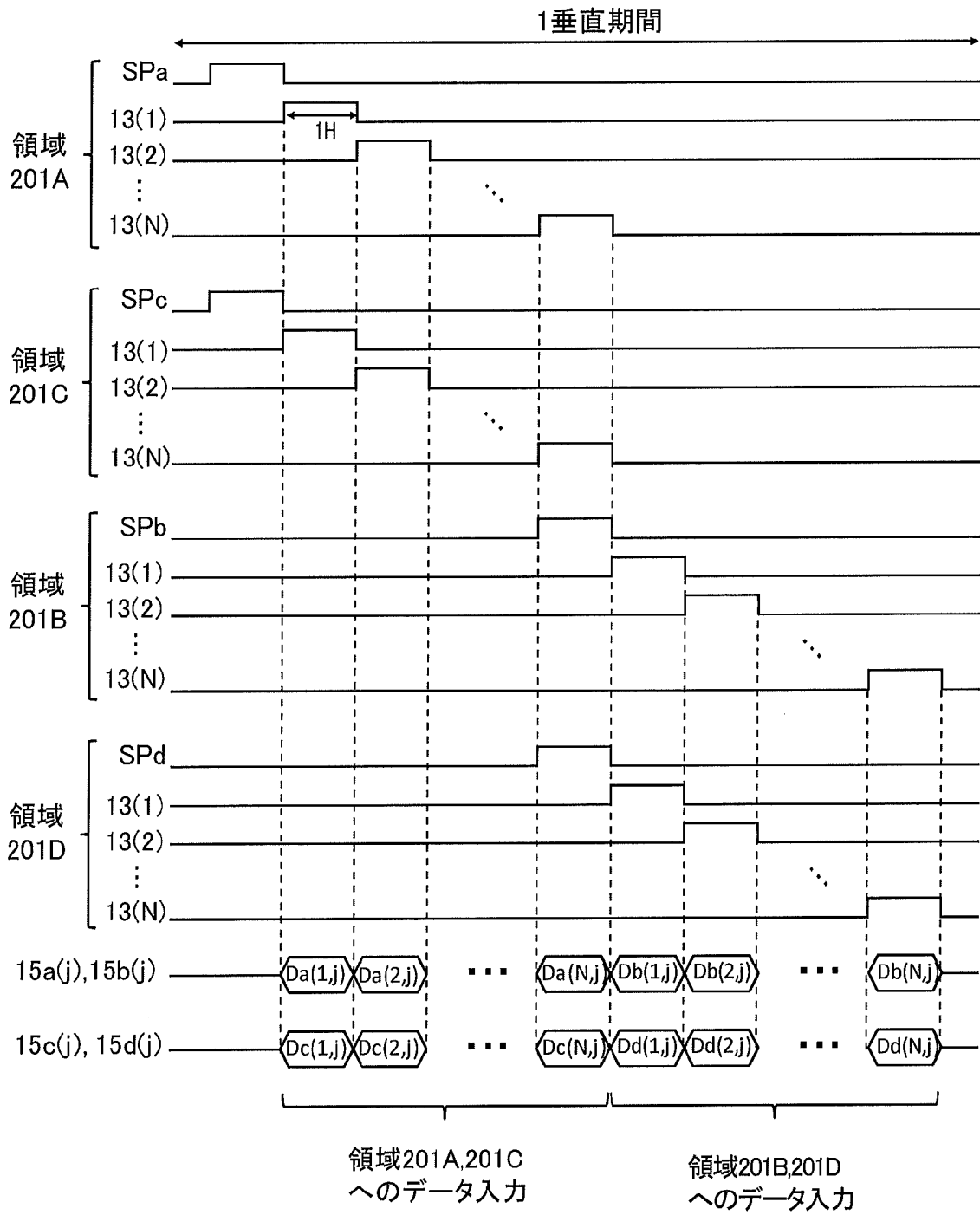


[図10B]

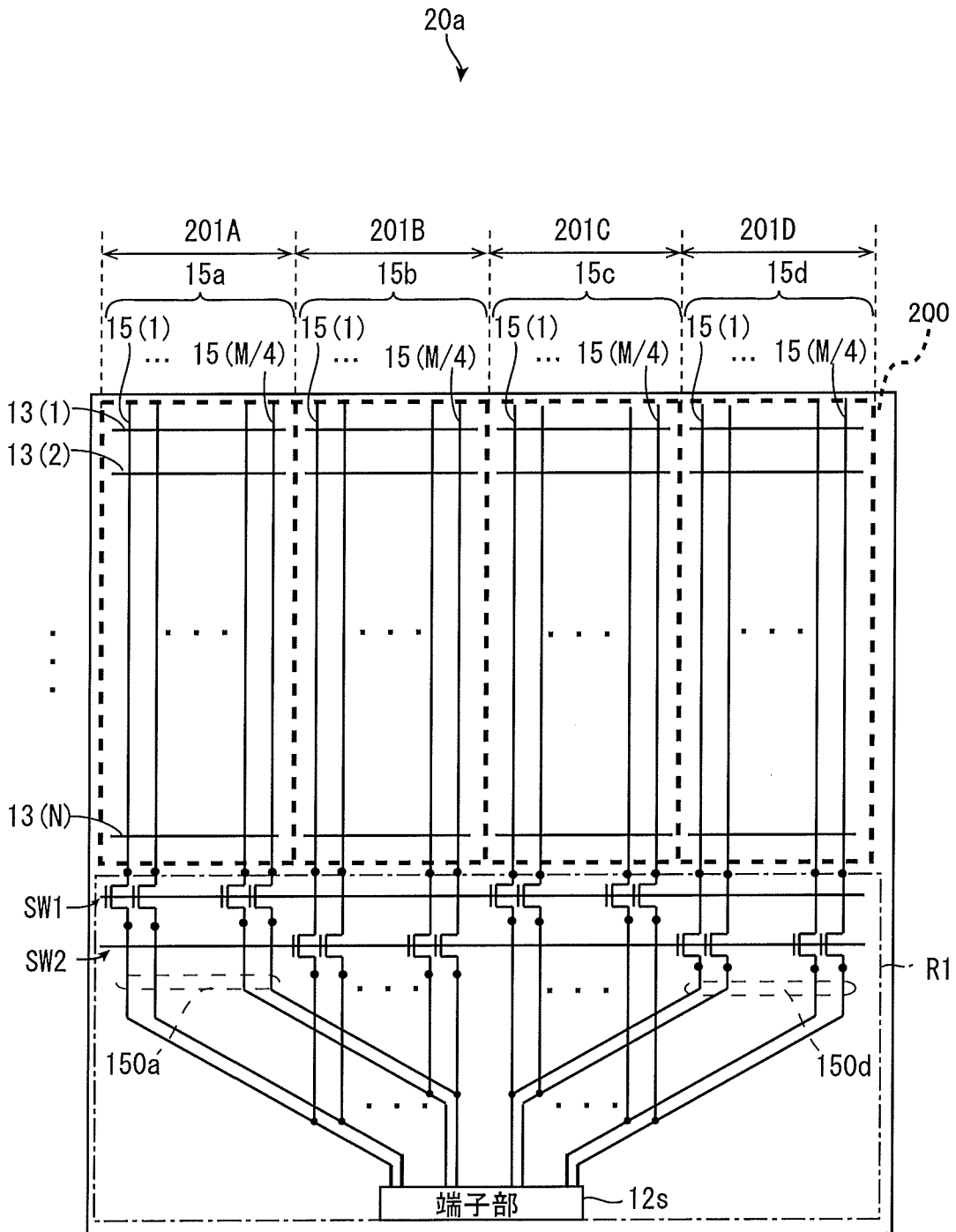




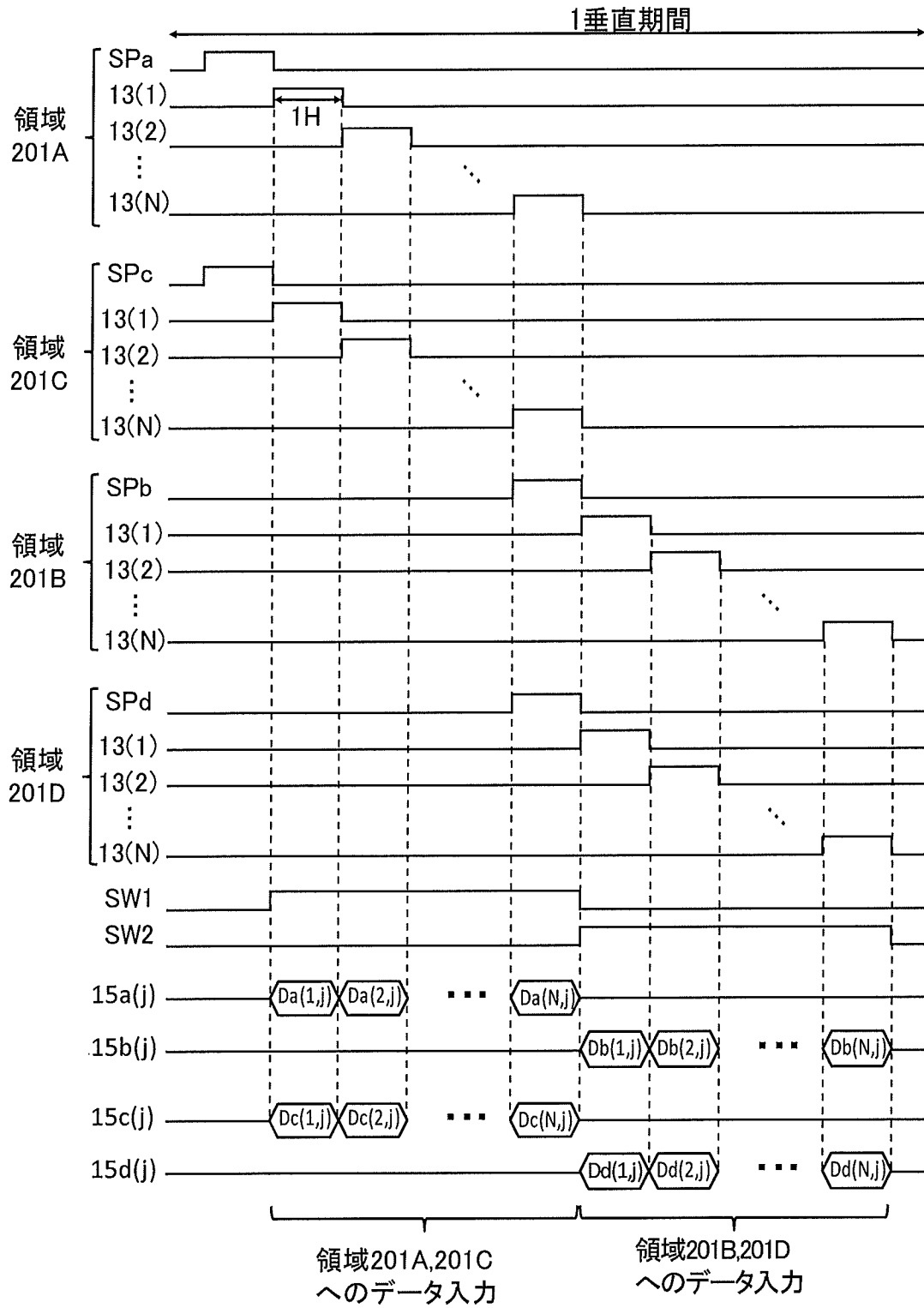
[図11]



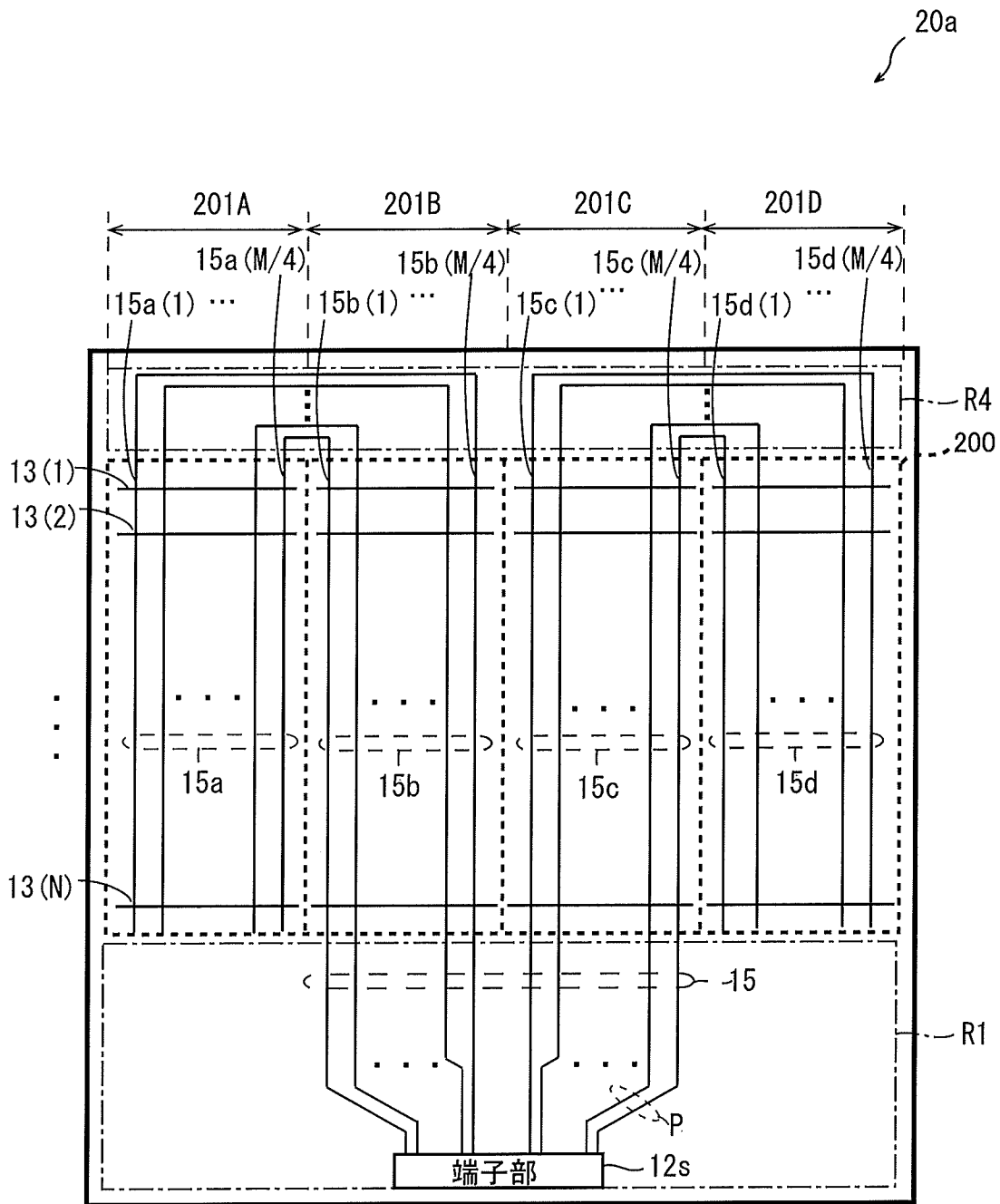
[図12]



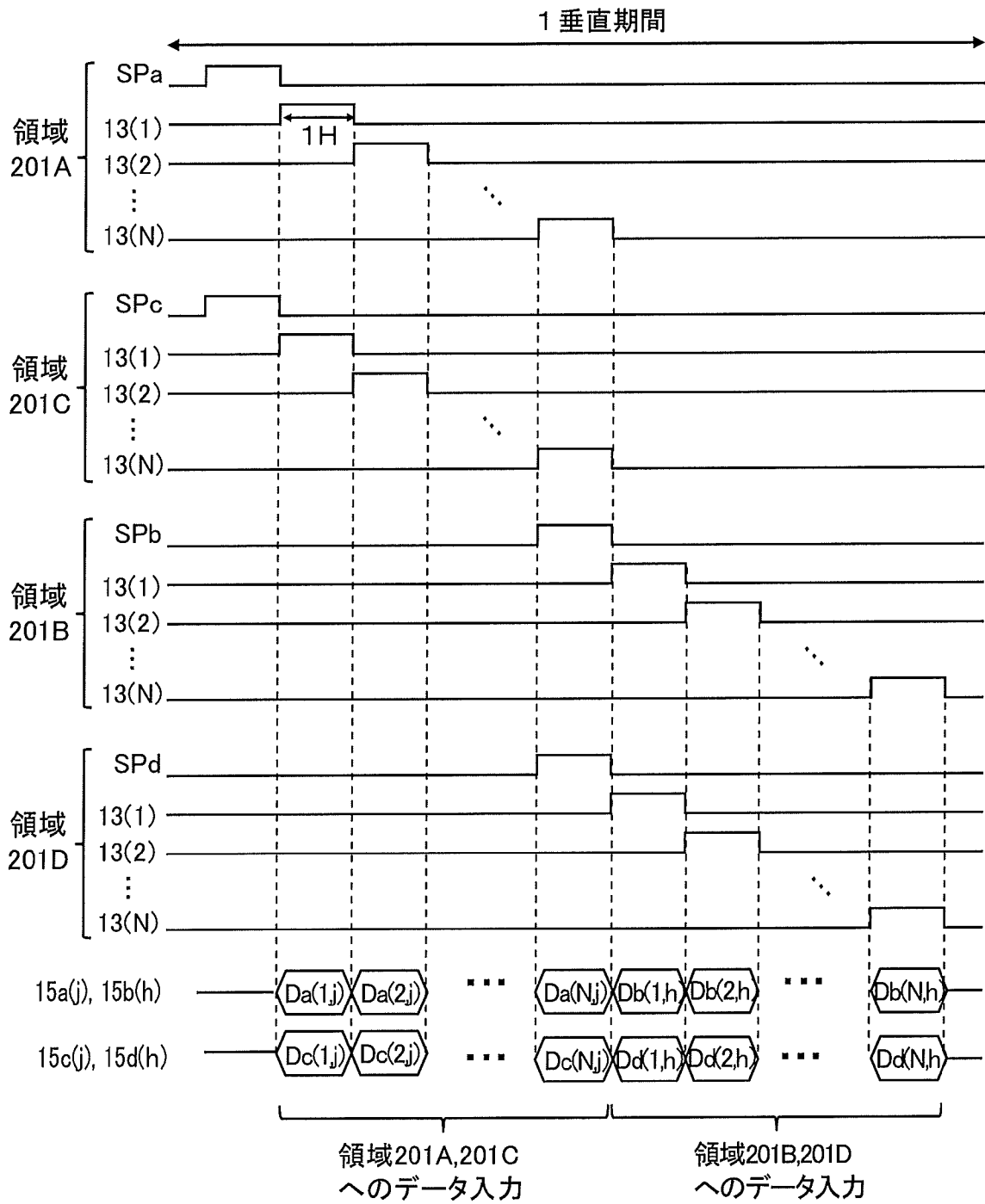
[図13]



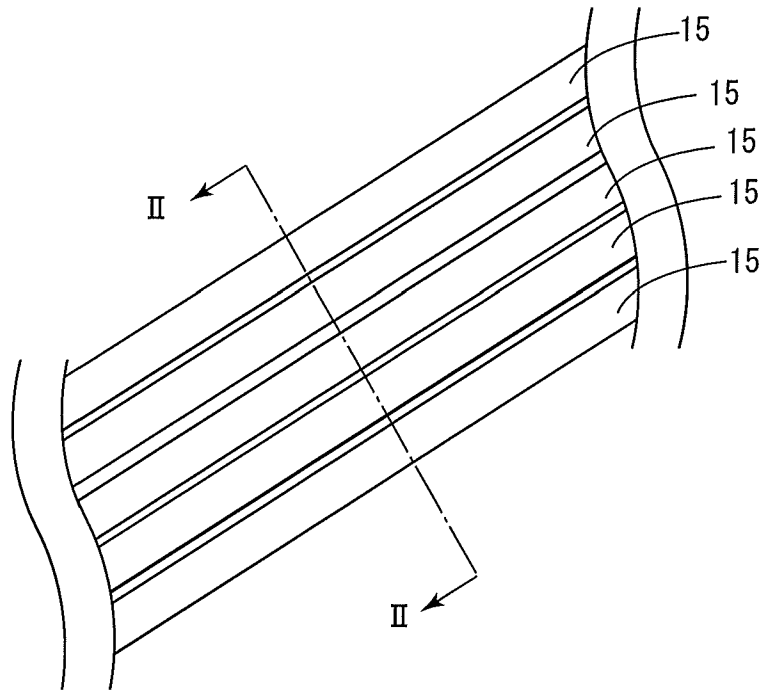
[図14]



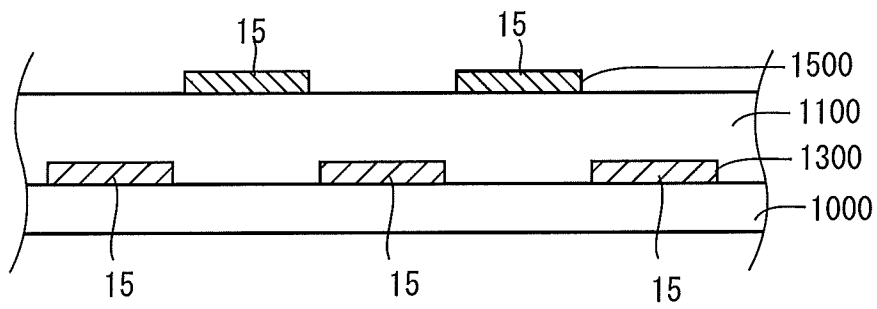
[図15]



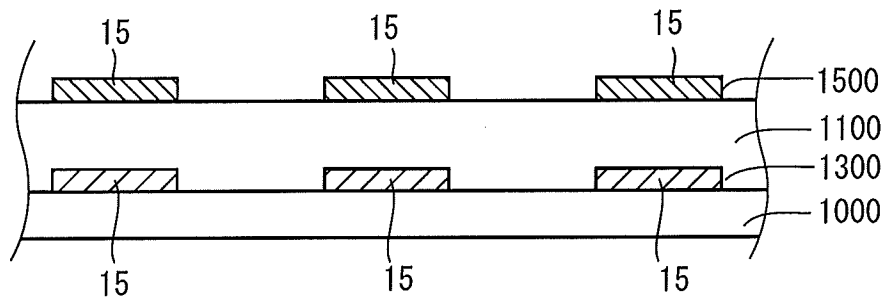
[図16A]



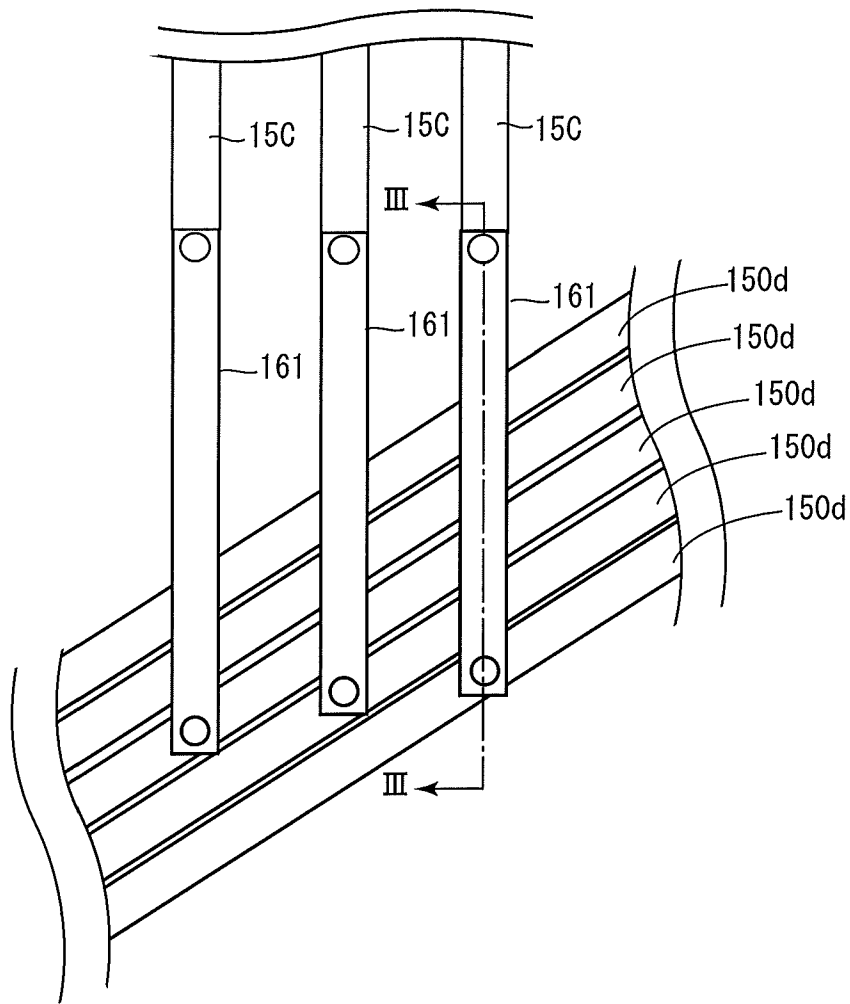
[図16B]



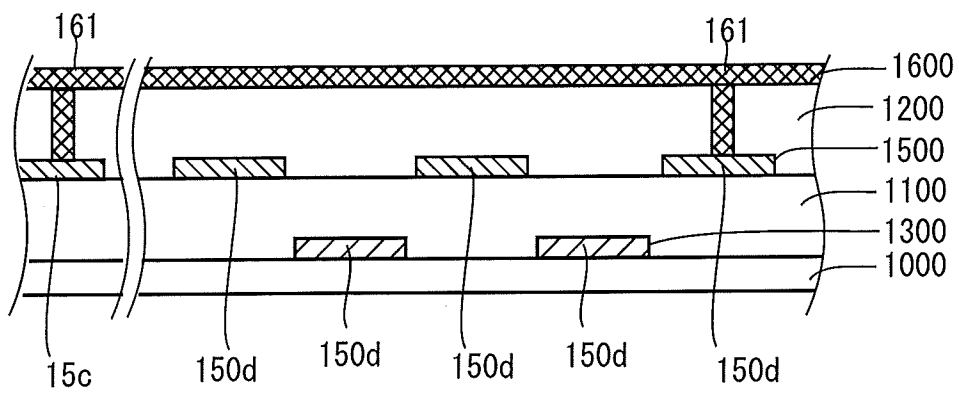
[図16C]



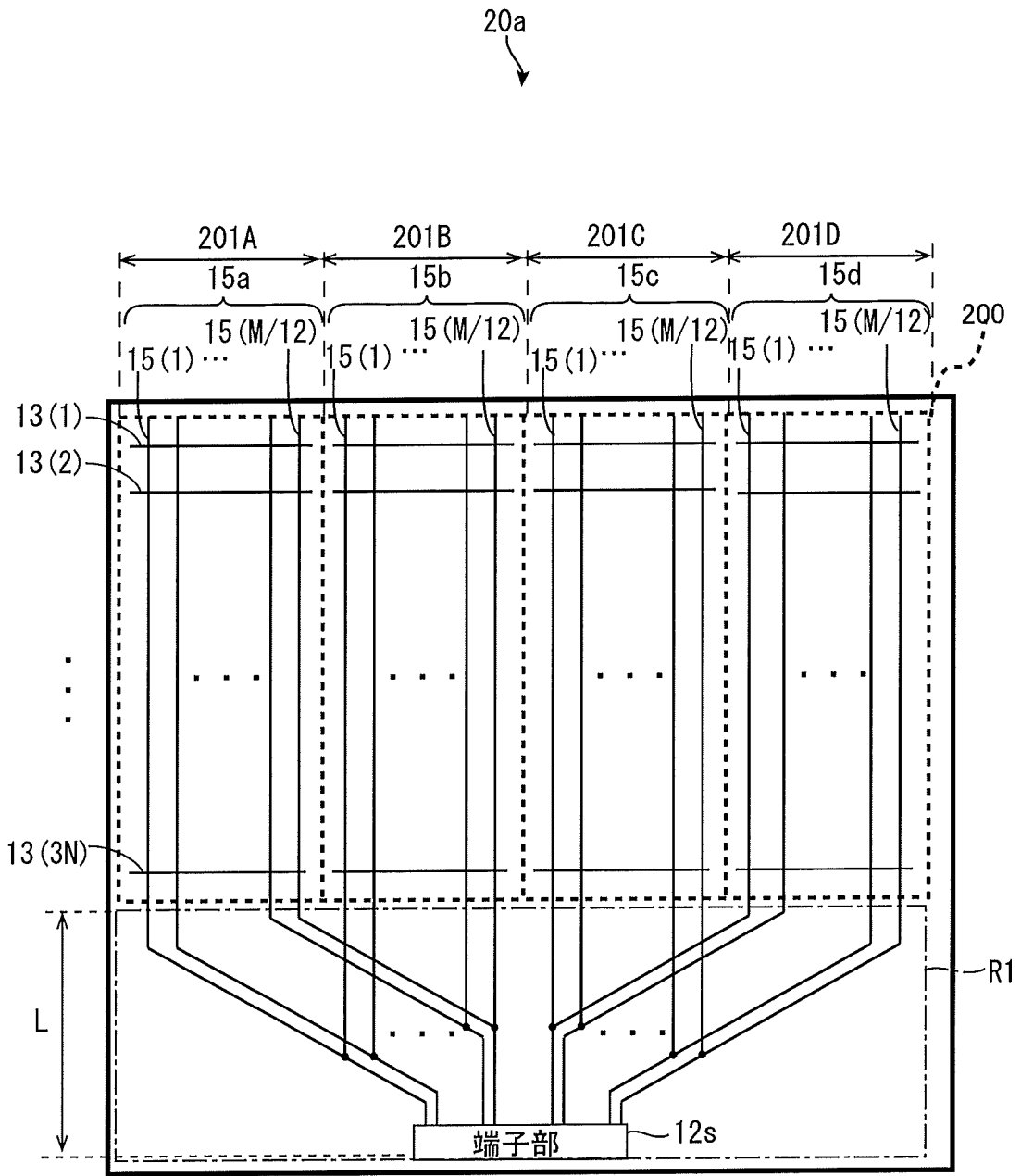
[図17A]



[図17B]

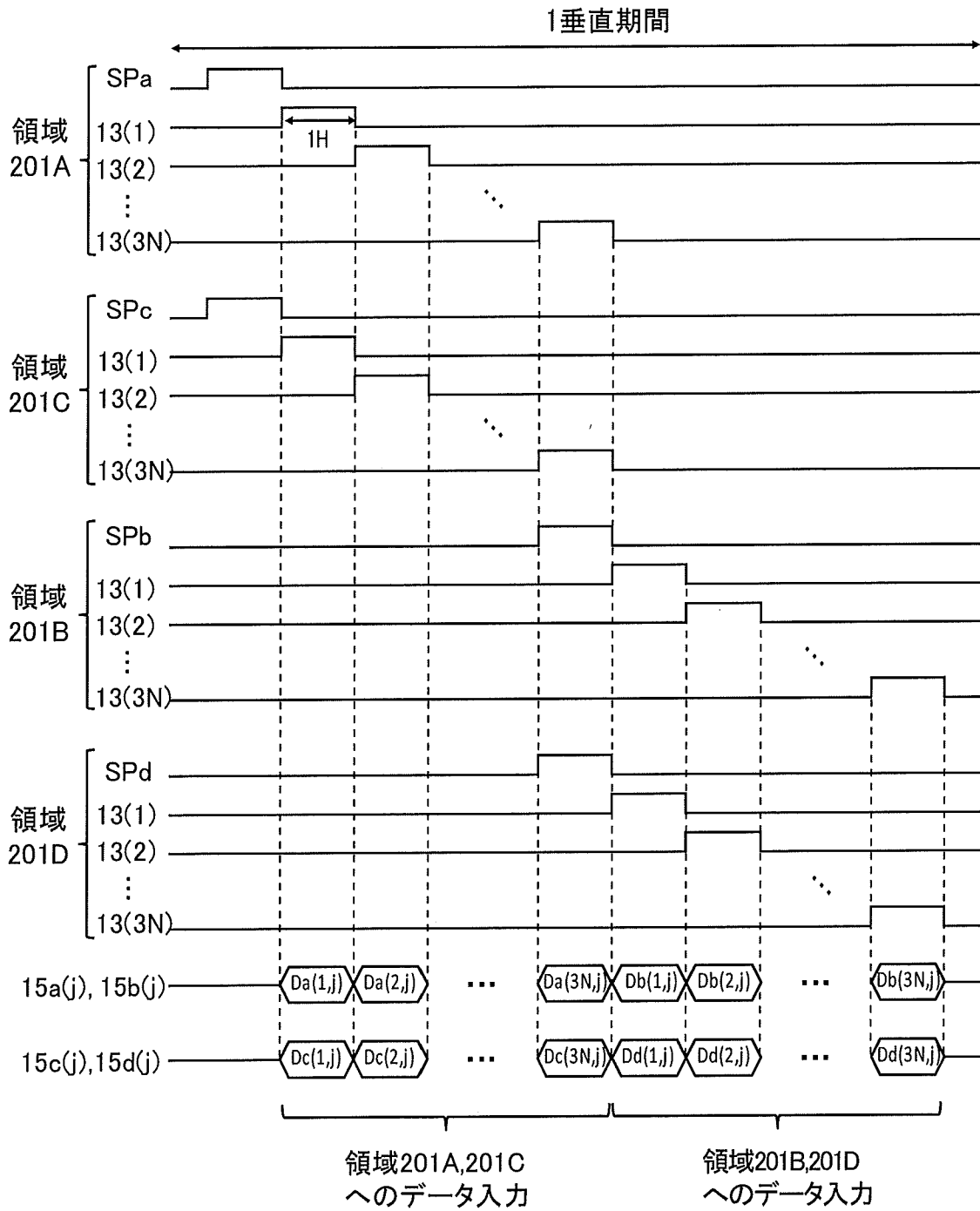


[図18]

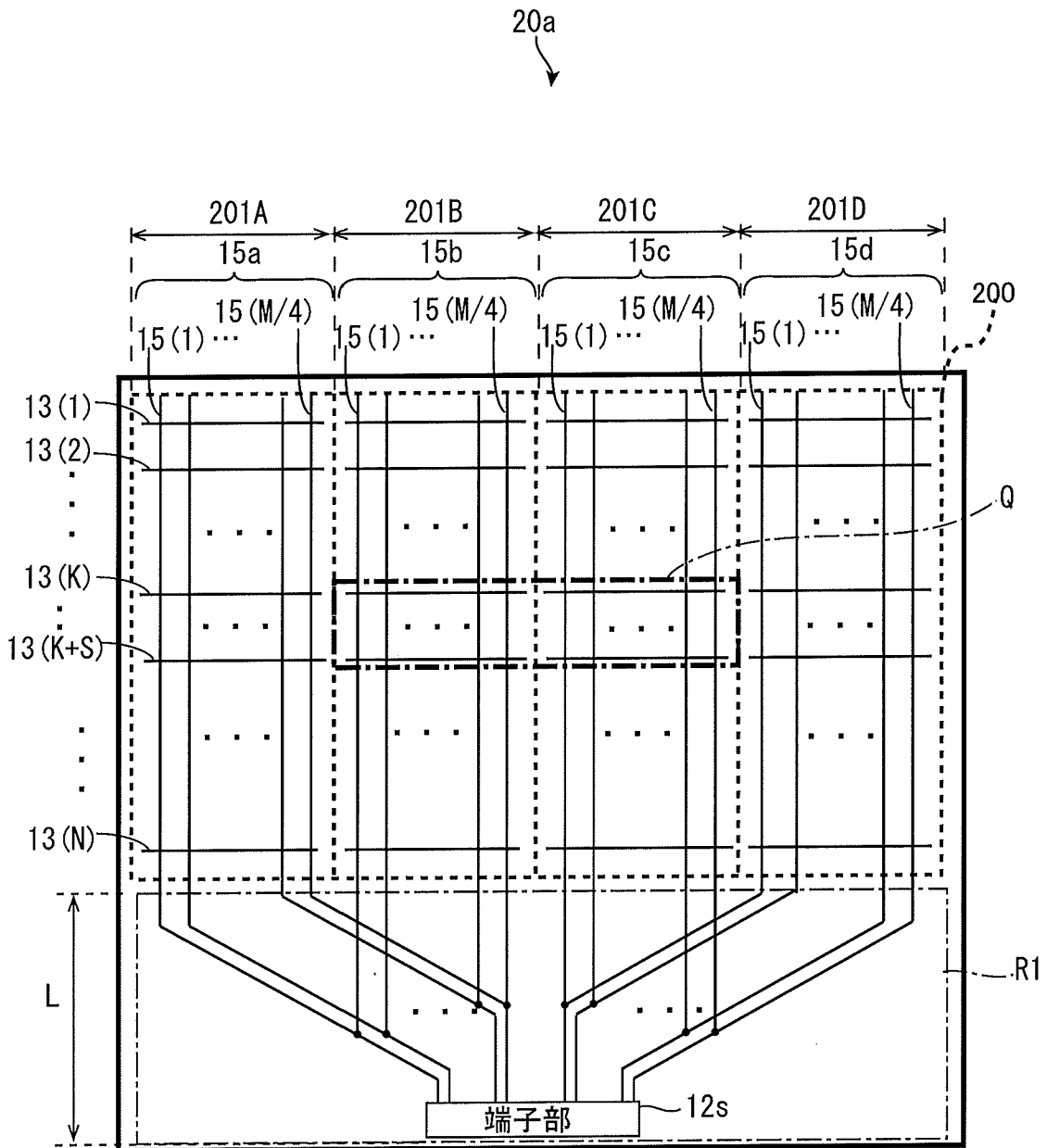




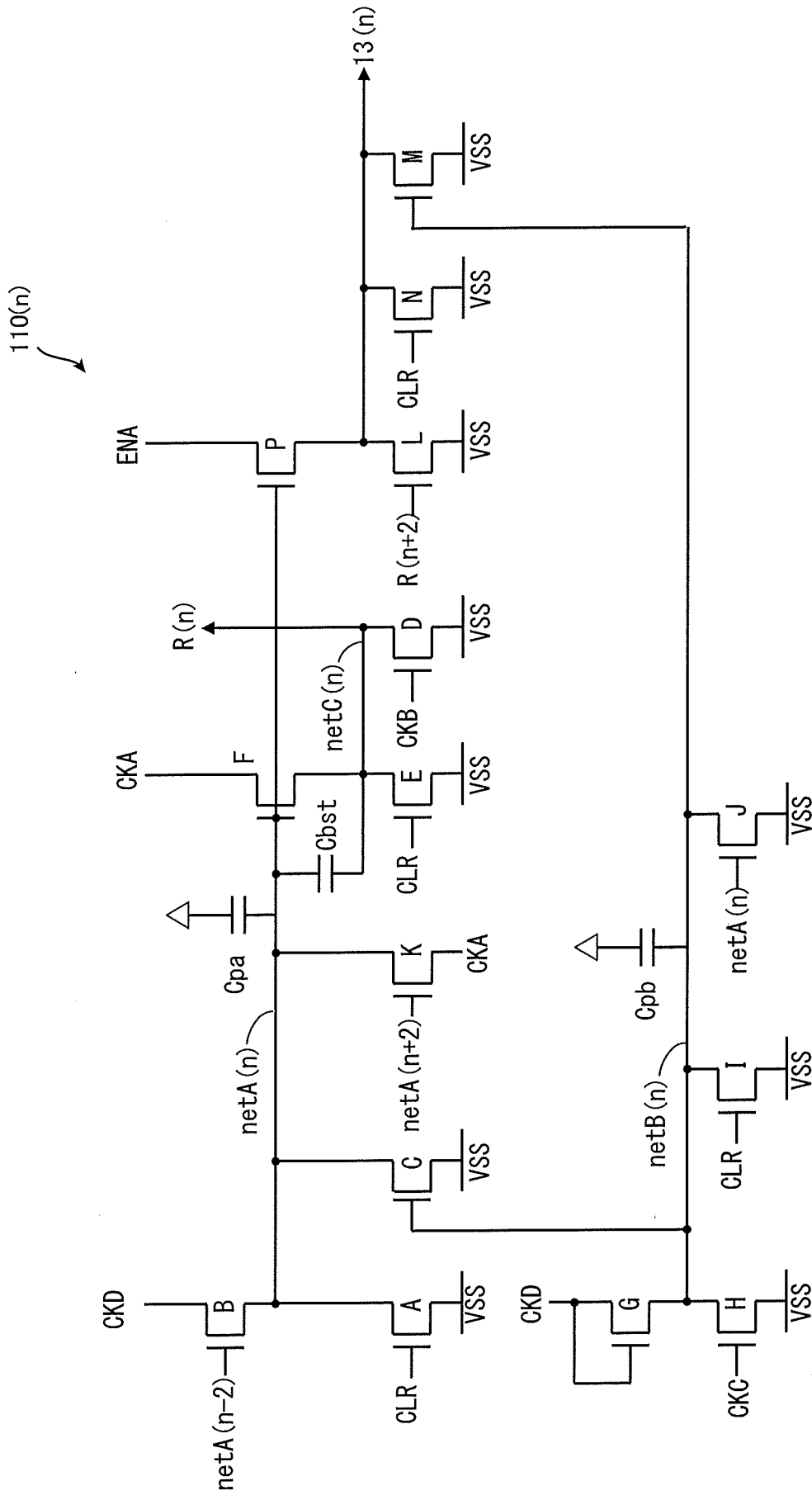
[図19]



[図20]

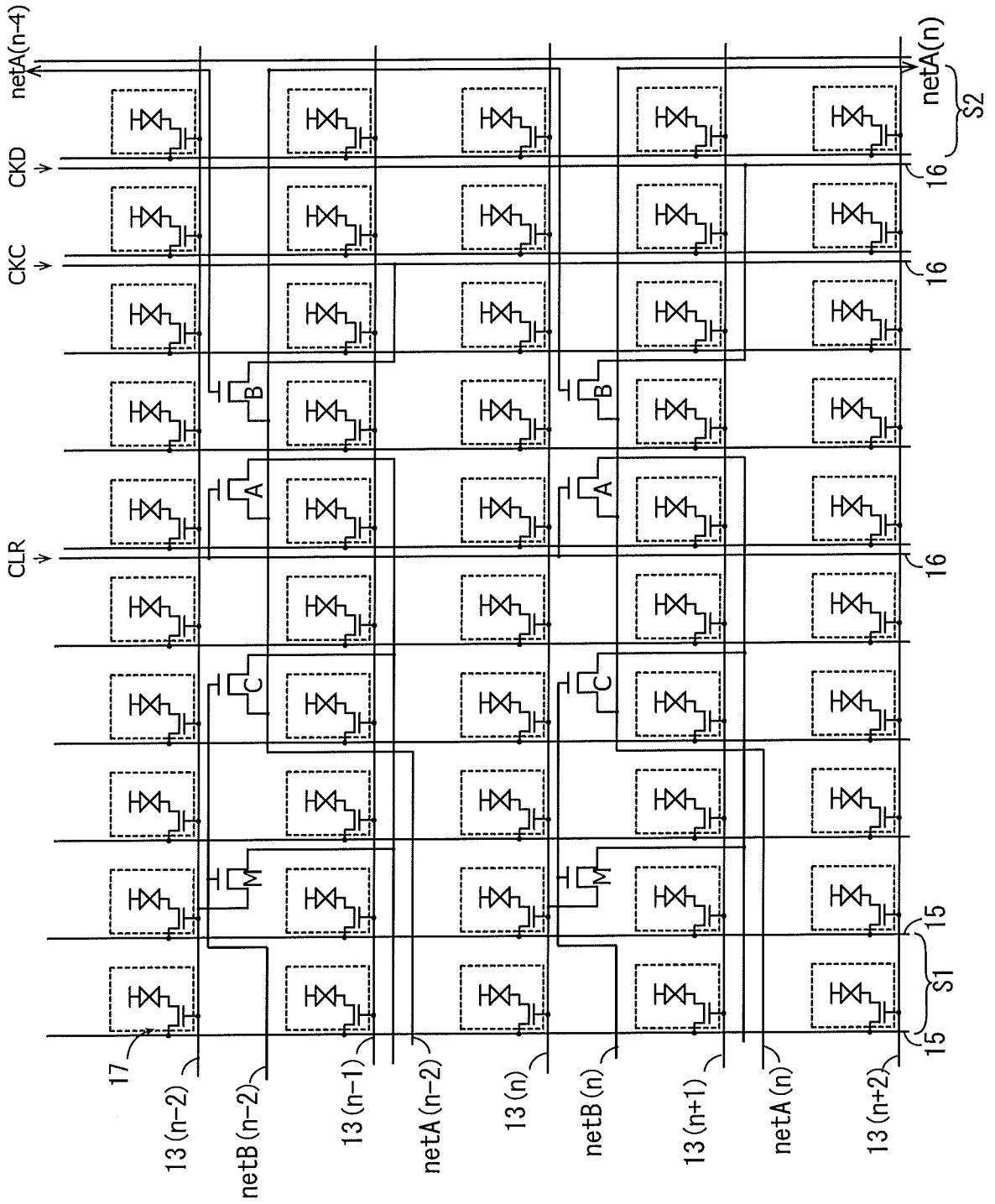


[図21]

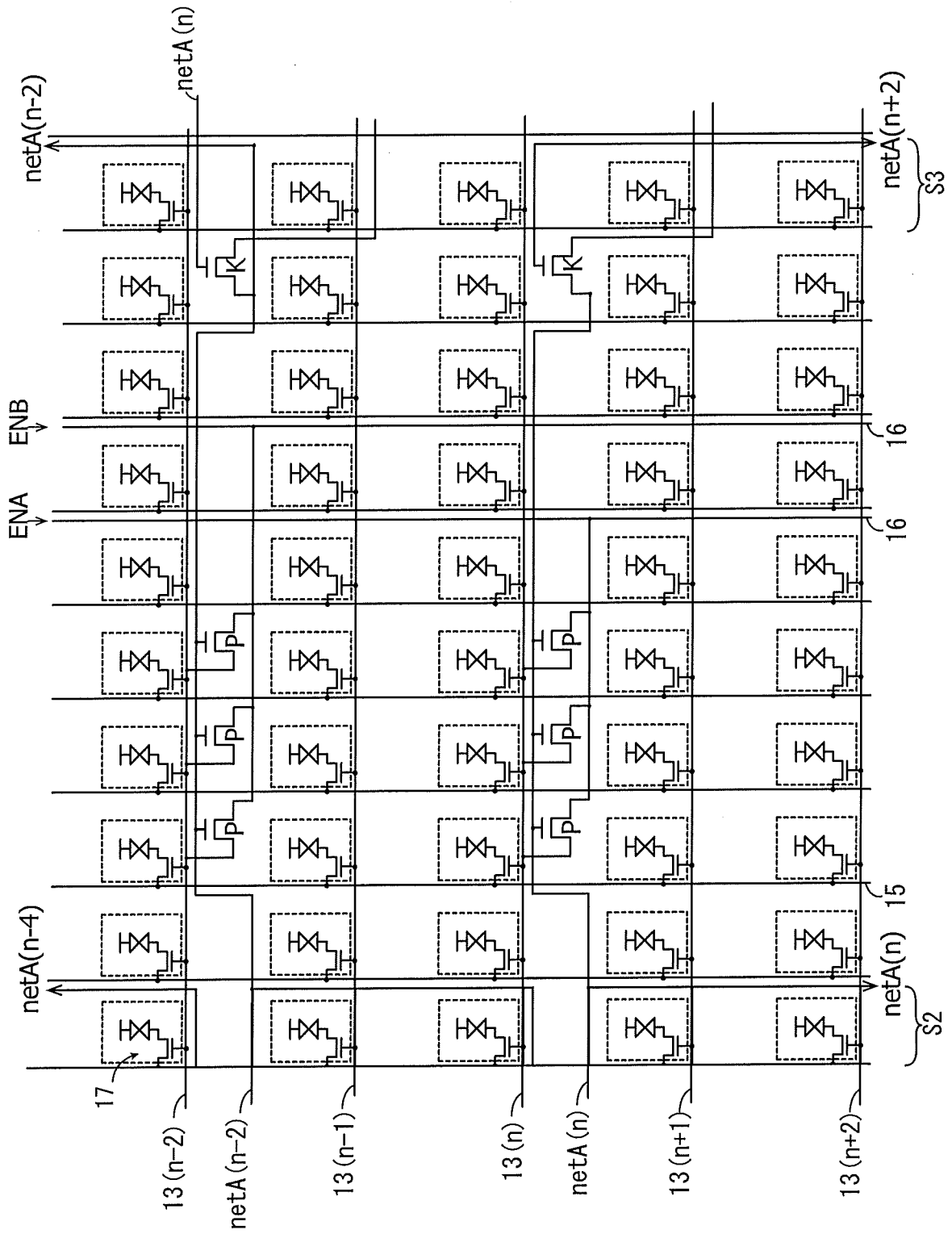




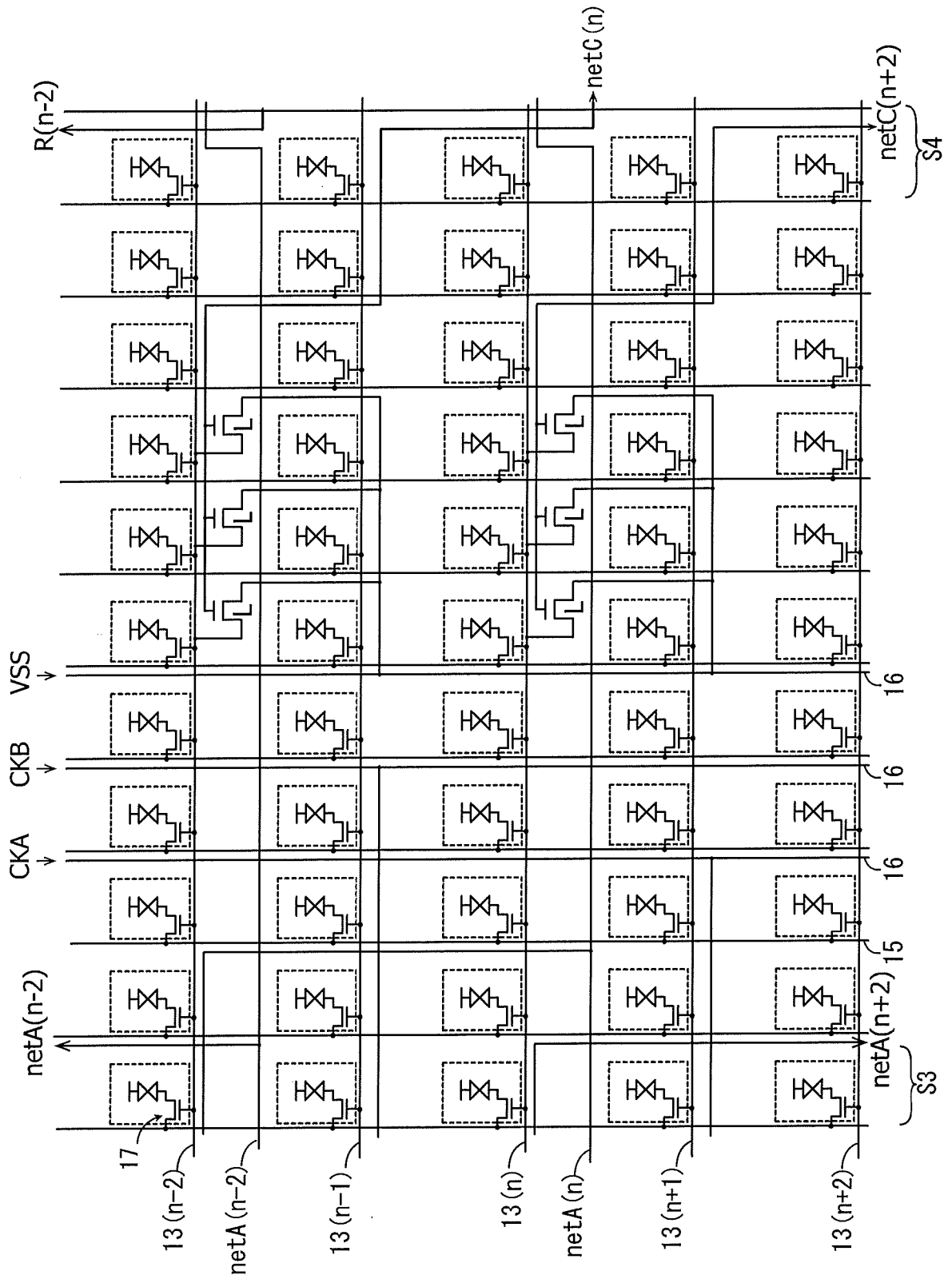
[22B]



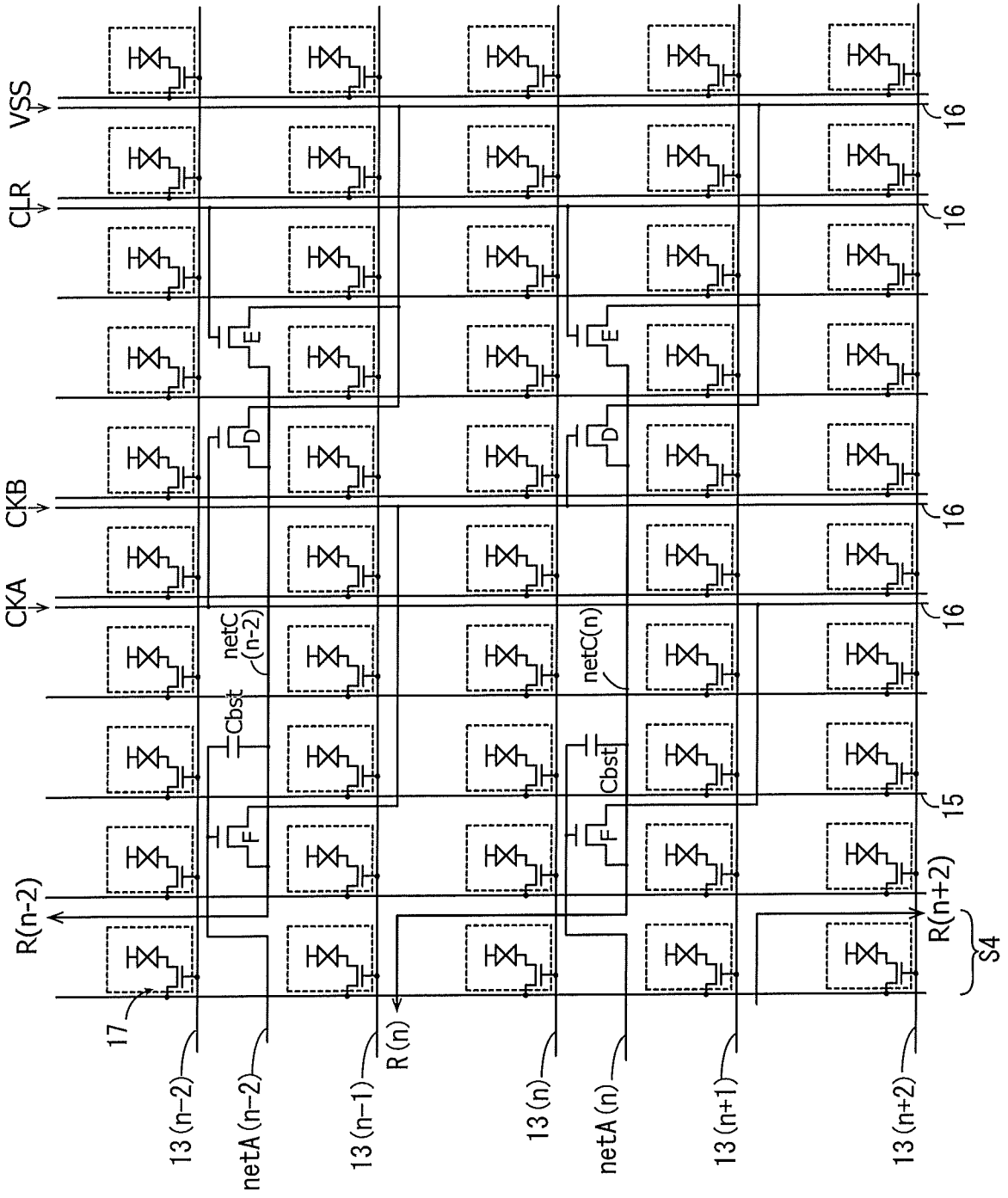
[22C]



[22D]

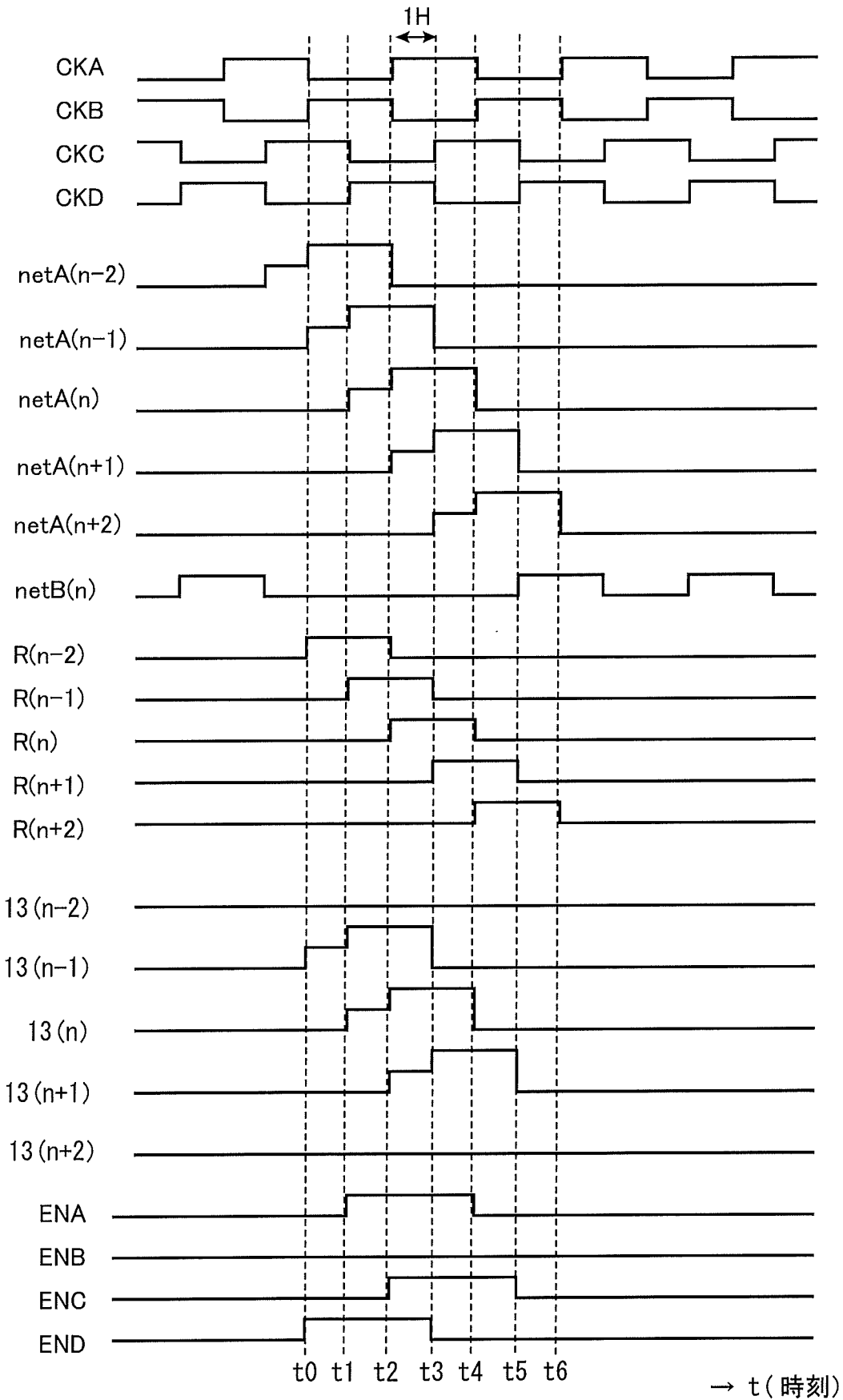


[22E]

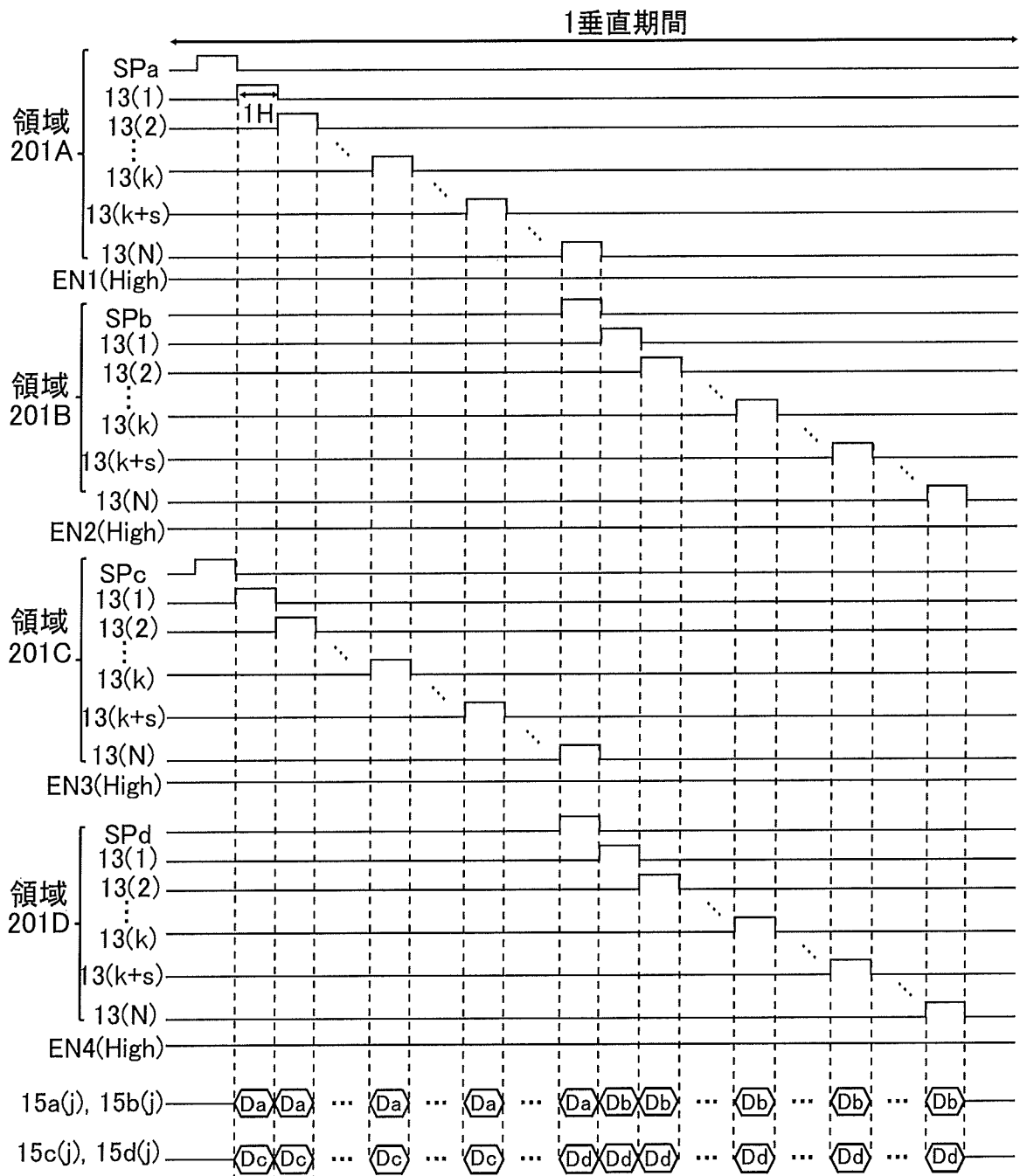




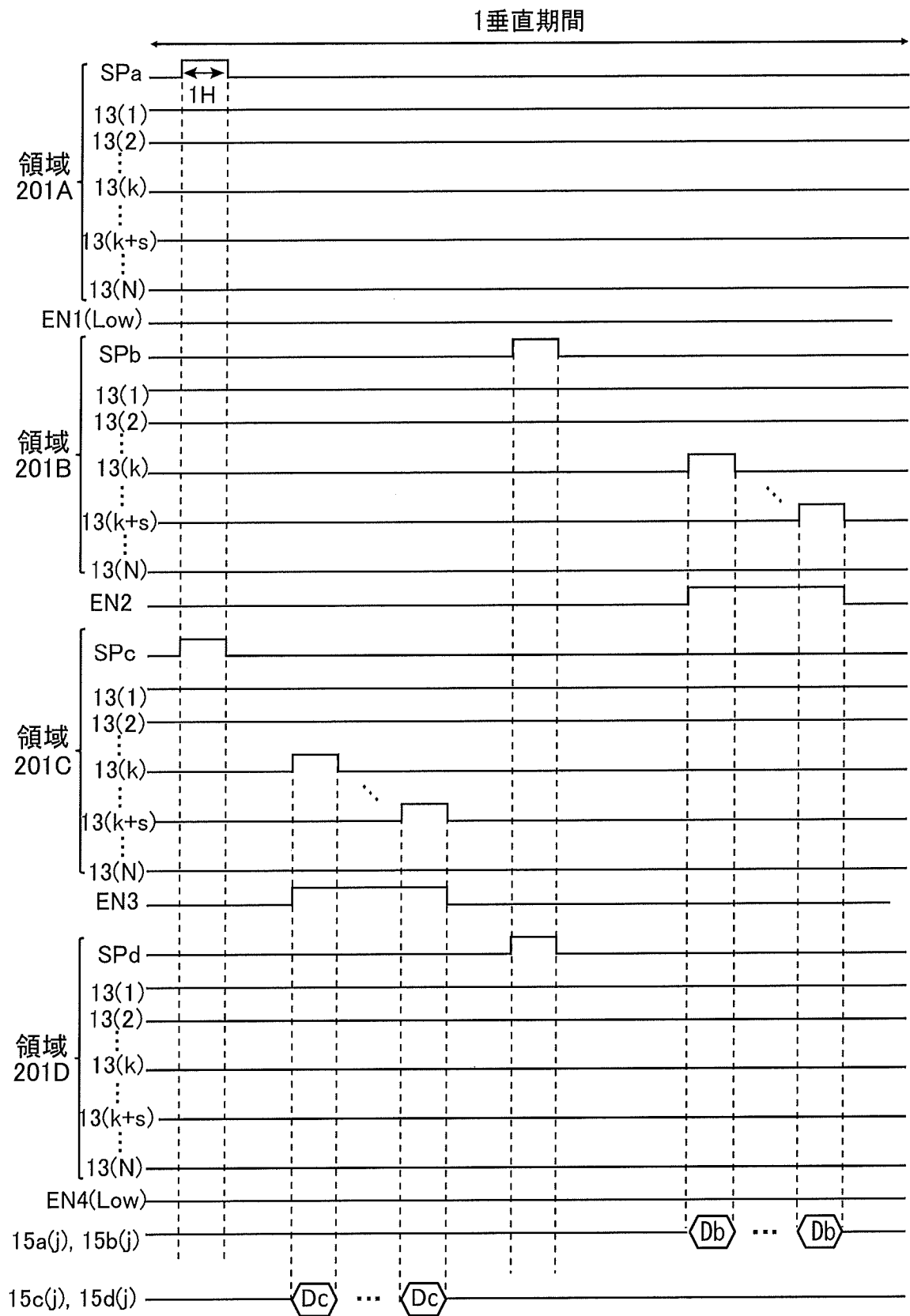
[図23]



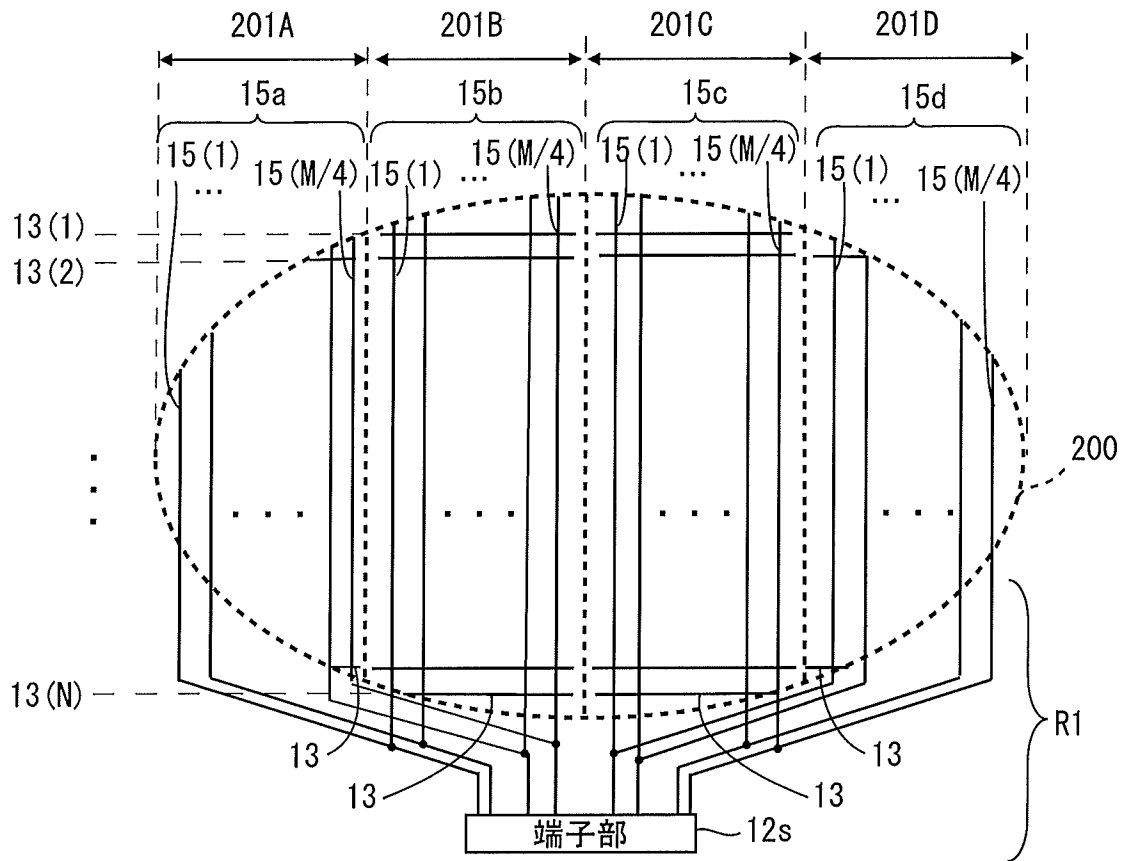
[図24A]



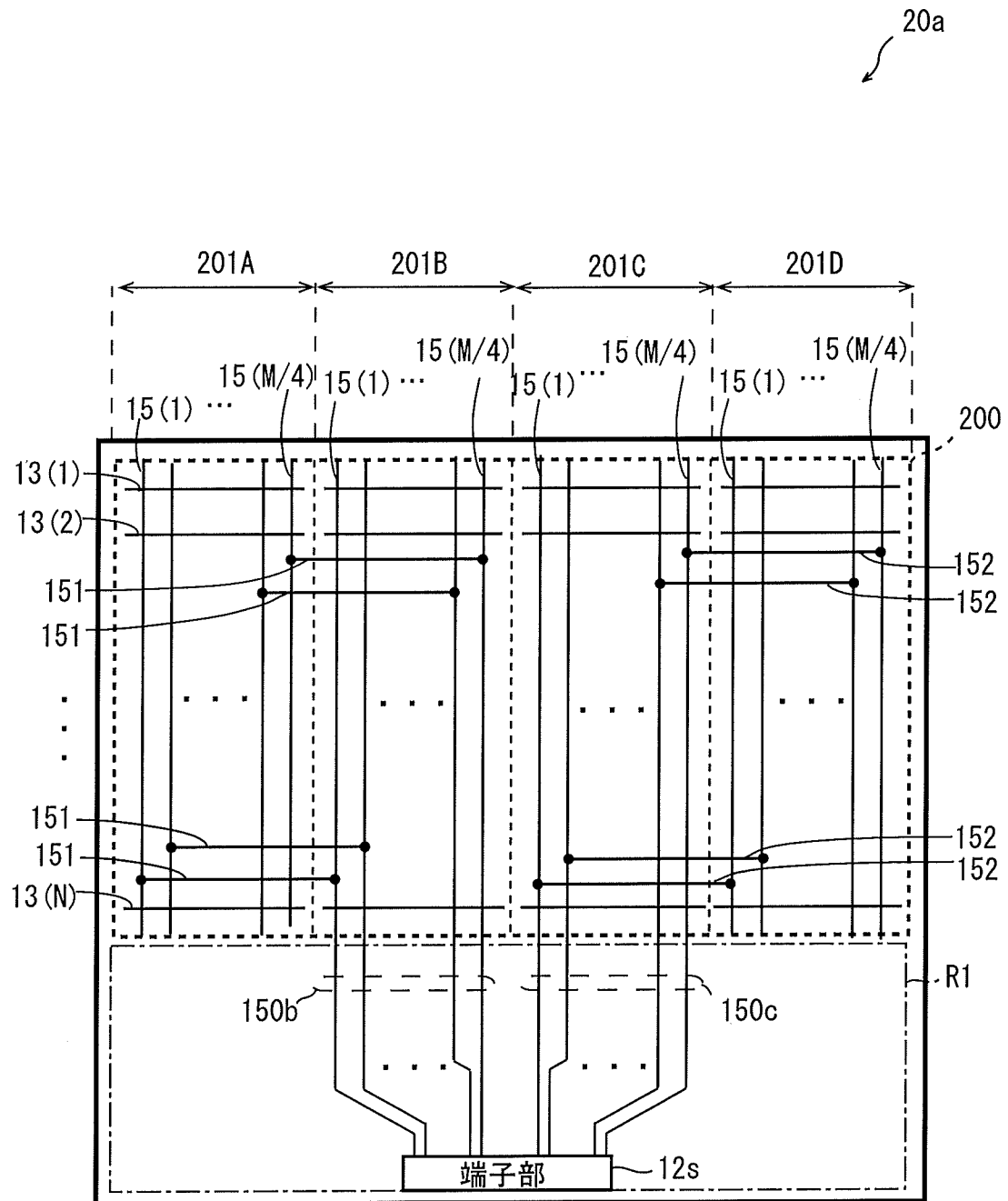
[図24B]



[図25]



[図26]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2016/056476

**A. CLASSIFICATION OF SUBJECT MATTER**  
*G09F9/30(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, G09F9/302(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
 G09F9/30-9/46, G02F1/13-1/141

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/142183 A1 (Sharp Corp.), 18 September 2014 (18.09.2014), entire text; all drawings & US 2016/0019856 A1 & CN 105164743 A	1-12
A	WO 2014/069529 A1 (Sharp Corp.), 08 May 2014 (08.05.2014), entire text; all drawings & US 2015/0293546 A1 & EP 2902994 A1 & CN 104756177 A & KR 10-2015-0079645 A	1-12
A	JP 2010-15050 A (Hitachi Displays, Ltd.), 21 January 2010 (21.01.2010), entire text; all drawings (Family: none)	1-12

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 May 2016 (17.05.16)	Date of mailing of the international search report 24 May 2016 (24.05.16)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2016/056476

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-267796 A (Seiko Epson Corp.), 05 October 2006 (05.10.2006), entire text; all drawings (Family: none)	1-12
A	JP 2008-64811 A (Sony Corp.), 21 March 2008 (21.03.2008), entire text; all drawings (Family: none)	1-12
P,A	WO 2015/033838 A1 (Sharp Corp.), 12 March 2015 (12.03.2015), entire text; all drawings (Family: none)	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09F9/30(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, G09F9/302(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09F9/30-9/46, G02F1/13-1/141

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/142183 A1 (シャープ株式会社) 2014.09.18, 全文, 全図 & US 2016/0019856 A1 & CN 105164743 A	1-12
A	WO 2014/069529 A1 (シャープ株式会社) 2014.05.08, 全文, 全図 & US 2015/0293546 A1 & EP 2902994 A1 & CN 104756177 A & KR 10-2015-0079645 A	1-12
A	JP 2010-15050 A (株式会社 日立ディスプレイズ) 2010.01.21, 全文, 全図 (ファミリーなし)	1-12

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

17.05.2016

国際調査報告の発送日

24.05.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田辺 正樹

21

4403

電話番号 03-3581-1101 内線 3273



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-267796 A (セイコーエプソン株式会社) 2006. 10. 05, 全文, 全図 (ファミリーなし)	1-12
A	JP 2008-64811 A (ソニー株式会社) 2008. 03. 21, 全文, 全図 (ファミリーなし)	1-12
P, A	WO 2015/033838 A1 (シャープ株式会社) 2015. 03. 12, 全文, 全図 (ファミリーなし)	1-12