

(12) 发明专利

(10) 授权公告号 CN 1971885 B

(45) 授权公告日 2011.03.09

(21) 申请号 200610160578.9

(56) 对比文件

(22) 申请日 2006.11.23

JP 2004-319952 A, 2004.11.11, 全文.

(30) 优先权数据

CN 1516288 A, 2004.07.28, 全文.

2005-337912 2005.11.23 JP

CN 1615549 A, 2005.05.11, 全文.

(73) 专利权人 株式会社半导体能源研究所

审查员 王晓峰

地址 日本神奈川

(72) 发明人 斋藤晓

(74) 专利代理机构 中国国际贸易促进委员会专  
利商标事务所 11038

代理人 王永刚

(51) Int. Cl.

H01L 21/84 (2006.01)

权利要求书 5 页 说明书 16 页 附图 13 页

H01L 21/762 (2006.01)

H01L 21/336 (2006.01)

H01L 27/12 (2006.01)

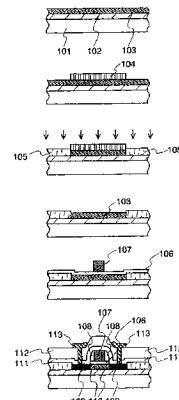
H01L 29/786 (2006.01)

(54) 发明名称

半导体元件以及半导体元件的制造方法

(57) 摘要

本发明旨在提供能够抑制漏电流的产生且在可使用玻璃衬底的温度下执行元件隔离来制造细小元件的方法。本发明包括以下步骤：第一步骤，在玻璃衬底上形成基底膜；第二步骤，在基底膜上形成半导体膜；第三步骤，在半导体膜上按预定的图案形成防止该半导体膜的氧化或氮化的膜；第四步骤，在玻璃衬底处于比该玻璃衬底的应变点低 100℃以上的温度下，对半导体膜的不被预定的图案所覆盖的区域执行自由基氧化或自由基氮化而进行元件隔离，其中，自由基氧化或自由基氮化在如下条件的等离子体处理室内被执行：在和等离子体产生区域离开而配置的半导体膜上，电子温度为 0.5eV 至 1.5eV，优选为 1.0eV 或更低，电子密度为  $1 \times 10^{11} \text{ cm}^{-3}$  至  $1 \times 10^{13} \text{ cm}^{-3}$ 。



1. 一种半导体元件的制造方法,包括以下步骤:

在玻璃衬底上形成基底膜;

在所述基底膜上形成半导体膜;

在所述半导体膜上形成具有预定的图案且防止该半导体膜的氧化或氮化的膜;以及

在所述玻璃衬底处于比该玻璃衬底的应变点低至少100℃的温度下,对所述半导体膜的区域执行自由基氧化或自由基氮化而进行元件隔离,

其中,所述区域不被所述预定的图案所覆盖,以及

其中,在等离子体处理室内,在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化或所述自由基氮化,所述等离子体处理室的条件如下:电子温度为0.5eV至1.5eV,电子密度为 $1\times 10^{11}\text{cm}^{-3}$ 至 $1\times 10^{13}\text{cm}^{-3}$ 。

2. 一种半导体元件的制造方法,包括以下步骤:

在柔性的塑料衬底上形成基底膜;

在所述基底膜上形成半导体膜;

在所述半导体膜上形成具有预定的图案且防止该半导体膜的氧化或氮化的膜;以及

在所述塑料衬底处于比该塑料衬底的玻璃转化点低的温度下,对所述半导体膜的区域执行自由基氧化或自由基氮化而进行元件隔离,

其中,所述区域不被所述预定的图案所覆盖,以及

其中,在等离子体处理室内,在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化或所述自由基氮化,所述等离子体处理室的条件如下:电子温度为0.5eV至1.5eV,电子密度为 $1\times 10^{11}\text{cm}^{-3}$ 至 $1\times 10^{13}\text{cm}^{-3}$ 。

3. 根据权利要求1和2中任一项所述的半导体元件的制造方法,其中还包括如下步骤:

在进行所述元件隔离之后,去除所述按预定的图案形成的防止氧化或氮化的膜。

4. 一种半导体元件的制造方法,包括以下步骤:

在玻璃衬底上形成基底膜;

在所述基底膜上形成半导体膜;

在所述半导体膜上形成钨膜;以及

在所述玻璃衬底处于比该玻璃衬底的应变点低至少100℃的温度下,对所述半导体膜的区域执行自由基氧化而进行元件隔离,

其中,所述区域不被所述钨膜所覆盖,以及

其中,在等离子体处理室内,在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化,所述等离子体处理室的条件如下:电子温度为0.5eV至1.5eV,电子密度为 $1\times 10^{11}\text{cm}^{-3}$ 至 $1\times 10^{13}\text{cm}^{-3}$ ,并且,在所述等离子体处理室中引入氩、氢和氧,其中氢和氧的流量比H<sub>2</sub>/O<sub>2</sub>为2至4。

5. 一种半导体元件的制造方法,包括以下步骤:

在柔性的塑料衬底上形成基底膜;

在所述基底膜上形成半导体膜;

在所述半导体膜上形成钨膜;以及

在所述塑料衬底处于比该塑料衬底的玻璃转化点低的温度下,对所述半导体膜的区域执行自由基氧化而进行元件隔离,

其中,所述区域不被所述钨膜所覆盖,以及

其中,在等离子体处理室内,在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化,所述等离子体处理室的条件如下:电子温度为0.5eV至1.5eV,电子密度为 $1\times10^{11}\text{cm}^{-3}$ 至 $1\times10^{13}\text{cm}^{-3}$ ,并且,在所述等离子体处理室中引入氩、氢和氧,其中氢和氧的流量比H<sub>2</sub>/O<sub>2</sub>为2至4。

6. 根据权利要求4和5中任一项所述的半导体元件的制造方法,其中还包括如下步骤:在进行所述元件隔离之后,去除所述按预定的图案形成的钨膜。

7. 一种半导体元件的制造方法,包括以下步骤:

在玻璃衬底上形成基底膜;

在所述基底膜上形成半导体膜;

在所述玻璃衬底处于比该玻璃衬底的应变点低至少100℃的温度下,对所述半导体膜执行自由基氧化或自由基氮化而在该半导体膜的表面上形成氧化膜或氮化膜;

在所述氧化膜或所述氮化膜上形成防止所述半导体膜的氧化或氮化的膜;

将所述氧化膜或所述氮化膜以及所述防止氧化或氮化的膜分别形成为预定的图案;以及

在所述玻璃衬底处于比该玻璃衬底的应变点低至少100℃的温度下,对所述半导体膜的区域执行自由基氧化或自由基氮化而进行元件隔离,

其中,所述区域不被所述预定的图案所覆盖,以及

其中,在等离子体处理室内,在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化或所述自由基氮化,所述等离子体处理室的条件如下:电子温度为0.5eV至1.5eV,电子密度为 $1\times10^{11}\text{cm}^{-3}$ 至 $1\times10^{13}\text{cm}^{-3}$ 。

8. 一种半导体元件的制造方法,包括以下步骤:

在柔性的塑料衬底上形成基底膜;

在所述基底膜上形成半导体膜;

在所述塑料衬底处于比该塑料衬底的玻璃转化点低的温度下,对所述半导体膜执行自由基氧化或自由基氮化而在该半导体膜的表面上形成氧化膜或氮化膜;

在所述氧化膜或所述氮化膜上形成防止所述半导体膜的氧化或氮化的膜;

将所述氧化膜或所述氮化膜以及所述防止氧化或氮化的膜分别形成为预定的图案;以及

在所述塑料衬底处于比该塑料衬底的玻璃转化点低的温度下,对所述半导体膜的区域执行自由基氧化或自由基氮化而进行元件隔离,

其中,所述区域不被所述预定的图案所覆盖,以及

其中,在等离子体处理室内,在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化或所述自由基氮化,所述等离子体处理室的条件如下:电子温度为0.5eV至1.5eV,电子密度为 $1\times10^{11}\text{cm}^{-3}$ 至 $1\times10^{13}\text{cm}^{-3}$ 。

9. 一种半导体元件的制造方法,包括以下步骤:

在玻璃衬底上形成基底膜;

在所述基底膜上形成半导体膜;

在所述玻璃衬底处于比该玻璃衬底的应变点低至少100℃的温度下,对所述半导体膜

执行自由基氧化而在该半导体膜的表面上形成氧化膜；

在所述氧化膜上形成钨膜；

将所述氧化膜以及所述钨膜分别形成为预定的图案；以及

在所述玻璃衬底处于比该玻璃衬底的应变点低至少100℃的温度下，对所述半导体膜的区域执行自由基氧化而进行元件隔离，

其中，所述区域不被所述预定的图案所覆盖，以及

其中，在等离子体处理室内，在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化，所述等离子体处理室的条件如下：电子温度为0.5eV至1.5eV，电子密度为 $1\times 10^{11}\text{cm}^{-3}$ 至 $1\times 10^{13}\text{cm}^{-3}$ ，并且，在所述等离子体处理室内引入氩、氢和氧，其中氢和氧的流量比H<sub>2</sub>/O<sub>2</sub>为2至4。

10. 一种半导体元件的制造方法，包括以下步骤：

在柔性的塑料衬底上形成基底膜；

在所述基底膜上形成半导体膜；

在所述塑料衬底处于比该塑料衬底的玻璃转化点低的温度下，对所述半导体膜执行自由基氧化而在该半导体膜的表面上形成氧化膜；

在所述氧化膜上形成钨膜；

将所述氧化膜以及所述钨膜分别形成为预定的图案；以及

在所述塑料衬底处于比该塑料衬底的玻璃转化点低的温度下，对所述半导体膜的区域执行自由基氧化而进行元件隔离，

其中，所述区域不被所述预定的图案所覆盖，以及

其中，在等离子体处理室内，在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化，所述等离子体处理室的条件如下：电子温度为0.5eV至1.5eV，电子密度为 $1\times 10^{11}\text{cm}^{-3}$ 至 $1\times 10^{13}\text{cm}^{-3}$ ，并且，在所述等离子体处理室内引入氩、氢和氧，其中氢和氧的流量比H<sub>2</sub>/O<sub>2</sub>为2至4。

11. 一种半导体元件的制造方法，包括以下步骤：

在玻璃衬底上形成栅电极；

在所述栅电极上形成栅绝缘膜；

在所述栅绝缘膜上形成半导体膜；

与所述栅电极重叠地在所述半导体膜上形成具有预定的图案且防止该半导体膜的氧化或氮化的膜；

在所述玻璃衬底处于比该玻璃衬底的应变点低至少100℃的温度下，对所述半导体膜的区域执行自由基氧化或自由基氮化而进行元件隔离，其中，所述区域不被所述预定的图案所覆盖；以及

去除所述按预定的图案形成的防止氧化或氮化的膜，

其中，在等离子体处理室内，在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化或所述自由基氮化，所述等离子体处理室的条件如下：电子温度为0.5eV至1.5eV，电子密度为 $1\times 10^{11}\text{cm}^{-3}$ 至 $1\times 10^{13}\text{cm}^{-3}$ 。

12. 一种半导体元件的制造方法，包括以下步骤：

在柔性的塑料衬底上形成栅电极；

在所述栅电极上形成栅绝缘膜；

在所述栅绝缘膜上形成半导体膜；

与所述栅电极重叠地在所述半导体膜上形成具有预定的图案且防止该半导体膜的氧化或氮化的膜；

在所述塑料衬底处于比该塑料衬底的玻璃转化点低的温度下，对所述半导体膜的区域执行自由基氧化或自由基氮化而进行元件隔离，其中，所述区域不被所述预定的图案所覆盖；以及

去除所述按预定的图案形成的防止氧化或氮化的膜，

其中，在等离子体处理室内，在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化或所述自由基氮化，所述等离子体处理室的条件如下：电子温度为0.5eV至1.5eV，电子密度为 $1\times 10^{11}\text{cm}^{-3}$ 至 $1\times 10^{13}\text{cm}^{-3}$ 。

13. 一种半导体元件的制造方法，包括以下步骤：

在玻璃衬底上形成栅电极；

在所述栅电极上形成栅绝缘膜；

在所述栅绝缘膜上形成半导体膜；

与所述栅电极重叠地在所述半导体膜上按预定的图案形成钨膜；

在所述玻璃衬底处于比该玻璃衬底的应变点低至少100℃的温度下，对所述半导体膜的区域执行自由基氧化而进行元件隔离，其中，所述区域不被所述预定的图案所覆盖；以及去除所述按预定的图案形成的钨膜，

其中，在等离子体处理室内，在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化，所述等离子体处理室的条件如下：电子温度为0.5eV至1.5eV，电子密度为 $1\times 10^{11}\text{cm}^{-3}$ 至 $1\times 10^{13}\text{cm}^{-3}$ ，并且，在所述等离子体处理室中引入氩、氢和氧，其中氢和氧的流量比H<sub>2</sub>/O<sub>2</sub>为2至4。

14. 一种半导体元件的制造方法，包括以下步骤：

在柔性的塑料衬底上形成栅电极；

在所述栅电极上形成栅绝缘膜；

在所述栅绝缘膜上形成半导体膜；

与所述栅电极重叠地在所述半导体膜上按预定的图案形成钨膜；

在所述塑料衬底处于比该塑料衬底的玻璃转化点低的温度下，对所述半导体膜的区域执行自由基氧化而进行元件隔离，其中，所述区域不被所述预定的图案所覆盖；以及去除所述按预定的图案形成的钨膜，

其中，在等离子体处理室内，在与等离子体产生区域离开而配置的所述半导体膜上执行所述自由基氧化，所述等离子体处理室的条件如下：电子温度为0.5eV至1.5eV，电子密度为 $1\times 10^{11}\text{cm}^{-3}$ 至 $1\times 10^{13}\text{cm}^{-3}$ ，并且，在所述等离子体处理室中引入氩、氢和氧，其中氢和氧的流量比H<sub>2</sub>/O<sub>2</sub>为2至4。

15. 一种半导体元件，包括：

在玻璃衬底或柔性的塑料衬底上的基底膜；

在所述基底膜上的使彼此相邻的元件隔离的绝缘膜；

在所述基底膜上的具有和所述绝缘膜接触的源区域及漏区域的10nm至20nm厚的半导

体膜；

形成在所述半导体膜上的栅绝缘膜；以及

在所述栅绝缘膜上的栅电极，

其中，所述绝缘膜是通过自由基氧化或自由基氮化所述半导体膜而形成的。

16. 一种半导体元件，包括：

在玻璃衬底或柔性的塑料衬底上的栅电极；

在所述栅电极上的栅绝缘膜；

在所述栅绝缘膜上的使彼此相邻的元件隔离的绝缘膜；以及

在所述栅绝缘膜上的具有和所述绝缘膜接触的源区域及漏区域的 10nm 至 20nm 厚的半导体膜，

其中，所述绝缘膜是通过自由基氧化或自由基氮化所述半导体膜而形成的。

17. 根据权利要求 15 和 16 中任一项所述的半导体元件，其中所述半导体元件被组合到由电视接收机、影像拍摄装置、电话机、IC 卡和 RFID 标签构成的组中的一种当中。

## 半导体元件以及半导体元件的制造方法

### 技术领域

[0001] 本说明书中公开的发明涉及用于半导体器件的半导体元件的元件隔离。而且，本发明还涉及通过元件隔离而形成的半导体元件。

### 背景技术

[0002] 作为半导体元件之一的薄膜晶体管，一般缩写为 TFT，作为用于有源矩阵型显示器件的开关元件而广为所知。通常，在半导体元件诸如薄膜晶体管等的制造工艺中，为了进行元件隔离采用如下方法：通过构图和蚀刻将半导体膜隔离为岛状图案（下面称作光刻法）；通过液滴喷射法直接形成岛状图案；通过热氧化选择性地形成用于元件隔离的氧化膜，该方法被称为 LOCOS（硅的局部氧化，下面称作 LOCOS 法）。

[0003] 然而，在利用液滴喷射法时的问题在于，和 LOCOS 法相比更难于实现元件的微细化。在利用光刻法的情况下，产生如下问题：当形成具有与形成在衬底上的基底膜的表面几乎垂直（ $90^\circ \pm 10^\circ$ ）的侧面的岛状图案时，形成的岛状图案的拐角部分（端部）成为如专利文件 1 的图 5A 所示那样的房檐状，这是因为不仅半导体膜而且基底膜也被蚀刻的缘故。

[0004] 即使能够形成岛状图案而不成为房檐状，也通过对形成的岛状图案执行氢氟酸清洗，基底膜被蚀刻。因此，该岛状图案的拐角部分成为房檐状。在半导体元件的制造工艺中，氢氟酸清洗是为了去除形成在硅表面的自然氧化膜来获得清洁的表面而经常执行的清洗方法。

[0005] 如上述那样房檐状被形成之后，通过 CVD 法等形成栅绝缘膜以覆盖岛状图案时，例如专利文件 1 的图 5B 所示那样，存在形成的栅绝缘膜的厚度不均匀并产生薄部分，或在栅绝缘膜中产生裂缝等的问题。该问题随着将栅绝缘膜形成为具有薄而均匀的厚度，越来越变得明显。并且，上述问题被认为是导致通过栅绝缘膜的漏电流的原因。在专利文件 1 所描述的发明中，为了解决上述问题，当房檐状形成之后在氧化气氛中照射红外光或激光，或在氧化气氛中执行加热，以在岛状图案的表面上形成薄氧化膜，并且进一步用 CVD 法等形成绝缘膜。然而，在这种情况下也由于不能解决房檐状的形成问题，所以难以将栅绝缘膜形成为具有薄而均匀的厚度，并且存在用于形成栅绝缘膜的步骤数目增加的问题。

[0006] 另一方面，当通过 LOCOS 法进行元件隔离而不形成岛状图案时，需要在大约  $1000^\circ\text{C}$  的高温氧化气氛中执行硅的氧化。因此，作为使用的衬底，不可使用不能承受  $1000^\circ\text{C}$  的高温的衬底，例如塑料衬底和以无碱玻璃为代表的玻璃衬底等。另外，虽然有能够承受  $1000^\circ\text{C}$  的商用石英衬底（也称作二氧化硅玻璃衬底），但是石英衬底比玻璃衬底昂贵。

[0007] 最近已注意了用高密度等离子体处理设备来形成半导体元件的栅绝缘膜的方法。例如，专利文件 2 中公开了通过使被等离子体激发而激活的氮与 SOI（绝缘体基硅）衬底的半导体层直接反应而在该半导体层上形成将要用作栅绝缘膜的氮化硅层。此外，专利文件 2 中描述了在每个元件形成区域中 SOI 衬底的半导体层彼此隔离。然而，对于隔离的方法，专利文件 2 所描述的仅是通过干蚀刻法在半导体层中形成沟槽，或者用 STI（Shallow Trench Isolation：浅槽隔离）法等形成元件隔离区域这一点。

- [0008] 专利文件 1 日本专利申请公开特开平 7-094756 号公报 (图 5A 和 5B)  
[0009] 专利文件 2 日本专利申请公开 2004-319952 号公报

## 发明内容

[0010] 本说明书所公开的发明的目的是,在用于半导体器件的半导体元件的制造工艺中,以比现有技术更简单的方法制造半导体元件,该半导体元件抑制产生通过栅绝缘膜的漏电流。而且,本发明的另一个目的是提供一种元件隔离方法,该元件隔离方法不需要在不能使用玻璃衬底的高温下进行热处理,并且可以和采用 LOCOS 法的元件隔离相同或更高程度地实现元件微细化。

[0011] 当进行元件隔离时,使用高密度等离子体处理设备,选择性地使半导体膜氧化,以在该半导体膜上选择性地形成用于元件隔离的氧化膜。也可以使用高密度等离子体处理设备选择性地形成氮化膜来代替形成氧化膜。该用来形成氧化膜和氮化膜的高密度等离子体处理设备不用磁场而用微波在室中激励等离子体,可以在被处理物上同时实现小于或等于 1.5eV 的电子温度和大于或等于  $1 \times 10^{11} \text{ cm}^{-3}$  的电子密度。由此,因为它能够在低电子温度下产生高密度等离子体,可以抑制对元件的等离子体损伤。

[0012] 等离子体是电离气体,其中存在大约相等数量的带负电的电子和带正电的离子,总体上是电中性的。等离子体的每单位体积中包含的电子密度或离子密度称为等离子体密度,在本说明书所公开的发明中,等离子体密度是指电子密度。此外,在等离子体中生成电中性的自由基例如氧自由基,该自由基对将进行等离子体处理的被处理物有作用。因此,利用高密度等离子体处理设备的氧化和氮化有时分别被称为自由基氧化和自由基氮化。

[0013] 本说明书中公开的发明是一种半导体元件的制造方法,包括以下步骤:第一步骤,在玻璃衬底上形成基底膜;第二步骤,在所述基底膜上形成半导体膜;第三步骤,在所述半导体膜上按预定的图案形成防止该半导体膜的氧化或氮化的膜;第四步骤,在所述玻璃衬底处于比该玻璃衬底的应变点低 100°C 以上的温度下,对所述半导体膜的不被所述预定的图案所覆盖的区域执行自由基氧化或自由基氮化而进行元件隔离。

[0014] 可以将在上述第三步骤中被形成为预定图案的、防止氧化或氮化的膜用作栅绝缘膜。

[0015] 本说明书中公开的另一个发明是一种半导体元件的制造方法,包括以下步骤:第一步骤,在玻璃衬底上形成基底膜;第二步骤,在所述基底膜上形成半导体膜;第三步骤,在所述玻璃衬底处于比该玻璃衬底的应变点低 100°C 以上的温度下,对所述半导体膜执行自由基氧化或自由基氮化而在该半导体膜的表面上形成氧化膜或氮化膜;第四步骤,在所述氧化膜或所述氮化膜上形成防止所述半导体膜的氧化或氮化的膜;第五步骤,将所述氧化膜或所述氮化膜以及所述防止氧化或氮化的膜形成为预定的图案;第六步骤,在所述玻璃衬底处于比该玻璃衬底的应变点低 100°C 以上的温度下,对所述半导体膜的不被所述预定的图案所覆盖的区域执行自由基氧化或自由基氮化而进行元件隔离。

[0016] 可以将在上述第五步骤中被形成为预定图案的氧化膜或氮化膜用作栅绝缘膜,并且,使用在上述第五步骤中被形成为预定图案的、防止氧化或氮化的膜而在上述第六步骤之后形成栅电极。

[0017] 本说明书中公开的另一个发明是一种半导体元件的制造方法,包括以下步骤:第

一步骤，在玻璃衬底上形成栅电极；第二步骤，在所述栅电极上形成栅绝缘膜；第三步骤，在所述栅绝缘膜上形成半导体膜；第四步骤，与所述栅电极重叠地在所述半导体膜上按预定的图案形成防止该半导体膜的氧化或氮化的膜；第五步骤，在所述玻璃衬底处于比该玻璃衬底的应变点低 100℃以上的温度下，对所述半导体膜的不被所述预定的图案所覆盖的区域执行自由基氧化或自由基氮化而进行元件隔离；第六步骤，去除所述按预定的图案形成的防止氧化或氮化的膜。

[0018] 在如下条件的等离子体处理室内执行所述自由基氧化或所述自由基氮化：在和等离子体产生区域离开而配置的半导体膜上（特别是该半导体膜的表面或表面附近），电子温度为 0.5eV 至 1.5eV，优选为 1.0eV 或更低，电子密度为  $1 \times 10^{11} \text{cm}^{-3}$  至  $1 \times 10^{13} \text{cm}^{-3}$ 。这种电子温度以及电子密度的范围是能够减少对半导体膜的等离子体损伤，并可靠地执行自由基氧化或自由基氮化的条件。在进行用于元件隔离的自由基氧化或自由基氮化时，只要能够使相邻的元件电隔离，不需要使半导体膜从表面到背面完全氧化或氮化。

[0019] 使玻璃衬底的温度为比该玻璃衬底的应变点低 100℃以上的温度是因为考虑了玻璃衬底的耐热性。在使用具有等于或高于 650℃的应变点的玻璃衬底的情况下，玻璃衬底的温度优选为 550℃或更低，例如设定为 400℃。一般来说，用于形成半导体元件，尤其是用于形成薄膜晶体管的玻璃衬底具有超过 500℃且 700℃或更小的应变点。因此，在 400℃的温度下，玻璃衬底不受到温度的影响，从而不需考虑变形等所引起的问题。为了形成具有所希望的膜质量及膜厚度的氧化膜或氮化膜，玻璃衬底的最低温度设定为 200℃。

[0020] 可以使用柔性（挠性）衬底例如塑料衬底来代替玻璃衬底。本说明书所公开的发明中，优选使用具有 200℃或更高玻璃转化点的耐热塑料衬底。在执行自由基氧化或自由基氮化时，需要将塑料衬底的温度设定为等于或低于该衬底的玻璃转化点。注意，在某一温度以下，由于分子运动被限制，因此塑料具有硬质的玻璃特性。但在加热到某一温度以上时，由于分子处于容易运动的状态，所以塑料具有软质的橡胶特性。该温度是玻璃转化点。

[0021] 上述防止氧化或氮化的膜保护被该膜所覆盖的部分的半导体膜以便防止自由基氧化或自由基氮化。作为这种膜，例如可以使用钨膜。除了钨之外，也可以采用钛等其他金属膜。除了金属膜等的导电膜之外，也可以采用绝缘膜。通过组合 CVD 法或溅射法和光刻法将所述防止氧化或氮化的膜形成为预定的图案。通过如喷墨法等的液滴喷射法或如丝网印刷法等的印刷法，可以直接形成预定的图案。

[0022] 上述半导体膜的结晶状态可以是非晶体、多晶体和单晶体之中的任何一个。另外，作为上述半导体膜，例如，可以使用具有所述结晶状态中的任何一个的硅膜或包含硅和锗的膜，或者包含非晶硅和晶体硅两者的膜。

[0023] 根据本说明书所公开的发明，可以在不影响玻璃衬底或塑料衬底的温度下执行元件隔离，而不形成岛状图案或沟槽（trench）。通过该元件隔离，可以和采用现有 LOCOS 法的情况相同或更高程度地实现元件微细化。由于与在形成岛状图案的情况不同，在此形成的半导体元件不具有房檐状，所以可以减少漏电流。

## 附图说明

[0024] 图 1A 至 1F 是表示根据实施方式 1 的薄膜晶体管的制造工艺的截面图；

[0025] 图 2A 表示高密度等离子体处理设备，图 2B 表示高密度等离子体处理室的截面；

- [0026] 图 3A 至 3D 是表示根据实施方式 2 的薄膜晶体管的制造工艺的截面图；
- [0027] 图 4A 至 4D 是表示根据实施方式 3 的薄膜晶体管的制造工艺的截面图；
- [0028] 图 5A 和 5B 是表示对附着有灰尘的绝缘膜执行等离子体处理的状态的截面图；
- [0029] 图 6A 至 6E 是表示根据实施方式 4 的薄膜晶体管的制造工艺的截面图；
- [0030] 图 7 是表示液晶显示器件的截面图；
- [0031] 图 8A 至 8C 是显示器件的表面的示意图；
- [0032] 图 9 是表示电致发光显示器件的截面图；
- [0033] 图 10A 至 10D 表示电子设备；
- [0034] 图 11A 和 11B 是表示 RFID 标签的框图；
- [0035] 图 12 是表示 RFID 标签的截面图；
- [0036] 图 13A 至 13E 表示 RFID 标签的使用例子。

## 具体实施方式

[0037] 下述实施方式中，将描述在制造薄膜晶体管作为半导体元件的过程中使用高密度等离子体处理设备来执行元件隔离的实例。每个实施方式可以将彼此结合适当执行。

### [0038] 实施方式 1

[0039] 如图 1A 所示，在玻璃衬底 101 上形成基底膜 102。可以使用耐热塑料衬底来代替玻璃衬底。只要能够承受 200°C 或更高的等离子体处理时的温度，就可以使用其他衬底。基底膜 102 可以采用由一层或多层构成的结构，且在本实施方式中，通过 CVD 法等连续形成氮化硅膜和在其上的  $\text{SiO}_{x,y}$  膜 ( $x, y > 0$ )。为了提高和玻璃衬底 101 等的粘结性，氮化硅膜优选使用含氧的氮化硅膜。下文中，本说明书所描述的氮化硅膜也同样地可以含有氧。

[0040] 形成基底膜 102 的目的是防止杂质从玻璃衬底 101 扩散到以后形成的半导体膜。因此，因为氧化硅膜不足以达到该目的，需要形成比氧化硅膜更有效防止杂质扩散的氮化硅膜或  $\text{SiO}_{x,y}$  膜。此外，在与硅的粘结性方面， $\text{SiO}_{x,y}$  膜优于氮化硅膜。

[0041] 在基底膜 102 的整个表面上形成厚度为 10nm 至 70nm 的半导体膜 103。考虑到之后对半导体膜 103 执行自由基氧化或自由基氮化，半导体膜 103 的厚度优选为 20nm 或更薄，但即使具有超过 20nm 的厚度，只要能够通过自由基氧化或自由基氮化执行元件隔离，就没有问题。在本实施方式中，作为半导体膜 103，通过 CVD 法形成非晶硅膜。通过 CVD 法而形成的非晶硅膜中含有来自原料气体的氢。

[0042] 然后，根据需要，通过下面说明的方法来晶化上述非晶硅膜以形成多晶硅膜。晶化方法之一如下：在非晶硅膜的一部分或整个表面上形成含有促进非晶硅的晶化的元素诸如镍等的层，接着，在比玻璃衬底 101 的应变点低 100°C 以上的温度（例如 550°C）下加热预定时间（例如 4 个小时）晶化非晶硅膜。另一晶化方法如下：在非晶硅膜的整个表面上照射激光来晶化非晶硅膜，其中所述激光通过光学系统被加工成其截面具有线状、椭圆状或矩形状。也可以组合这两种方法。此外，也可以通过 RTA(Rapid Thermal Anneal：快速热退火) 来晶化非晶硅膜以代替激光照射。当使用塑料衬底时，通过利用激光照射或 RTA 的方法来晶化非晶硅膜。

[0043] 作为可用于上述晶化方法的激光，可以使用连续振荡激光或者脉冲振荡激光。具体来说，可以采用由如下的一种或多种激光器振荡的激光，即气体激光器诸如 Ar 离子激光

器、Kr 离子激光器、受激准分子激光器、铜蒸气激光器、金蒸气激光器；固体激光器诸如将在单晶的 YAG、YVO<sub>4</sub>、Mg<sub>2</sub>SiO<sub>4</sub>、YA1O<sub>3</sub>、或 GdVO<sub>4</sub> 中添加 Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta 之中的一种或多种作为掺杂物而获得的材料用作介质的激光器；将在多晶的 YAG、Y<sub>2</sub>O<sub>3</sub>、YVO<sub>4</sub>、YA1O<sub>3</sub>、或 GdVO<sub>4</sub> 中添加 Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta 之中的一种或多种作为掺杂物而获得的材料用作介质的激光器；玻璃激光器；红宝石激光器；变石激光器；Ti : 兰宝石激光器。通过照射这种激光的基波及这些基波的二次、三次或四次谐波的激光，可以获得大粒径的晶体。例如，可以采用 Nd:YVO<sub>4</sub> 激光器的二次谐波（波长 532nm）或者三次谐波（波长 355nm），该激光能够进行连续振荡和脉冲振荡。在采用连续振荡的情况下，需要 0.01 至 100MW/cm<sup>2</sup>（优选 0.1 至 10MW/cm<sup>2</sup>）的激光功率密度。而且，以 10 至 2000cm/sec 的扫描速度来将激光照射到非晶硅膜。

[0044] 将在单晶的 YAG、YVO<sub>4</sub>、Mg<sub>2</sub>SiO<sub>4</sub>、YA1O<sub>3</sub>、或 GdVO<sub>4</sub> 中添加 Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta 之中的一种或多种作为掺杂物而获得的材料用作介质的激光器；将在多晶的 YAG、Y<sub>2</sub>O<sub>3</sub>、YVO<sub>4</sub>、YA1O<sub>3</sub>、或 GdVO<sub>4</sub> 中添加 Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta 之中的一种或多种作为掺杂物而获得的材料用作介质的激光器、Ar 离子激光器、或 Ti : 兰宝石激光器可以进行连续振荡和脉冲振荡，而且，可以以 10MHz 或更高的振荡频率使激光进行脉冲振荡。当使用 10MHz 或更高的振荡频率来使激光振荡时，在非晶硅膜被某一个脉冲照射而熔化后到固化之前的期间中，照射下一个脉冲。因此，不同于使用振荡频率远远低于 10MHz 的脉冲振荡激光的情况，可以获得沿激光的扫描方向连续生长的晶粒。

[0045] 在非晶硅膜含有氢的情况下，优选在通过激光照射进行晶化之前执行加热处理，以便从该非晶硅膜中释放氢。在执行晶化后，为了进行沟道掺杂，可以对得到的多晶硅膜的整个表面上掺杂赋予一种导电类型的杂质诸如硼。此外，在执行晶化后，有一种趋势是多晶硅膜的厚度比当初的非晶硅膜的厚度稍薄。

[0046] 如图 1B 所示，在半导体膜 103 上按预定的图案形成防止该半导体膜氧化的膜 104。在本实施方式中，通过溅射法等在半导体膜 103 的整个表面上形成钨膜，然后通过光刻法将该钨膜形成为预定的图案。钨膜具有一种特性，即，在以后进行自由基氧化时通过选择处理条件不在其表面上形成氧化膜。作为氧化防止膜 104，只要能够防止半导体膜 103 的自由基氧化，也可以使用由钨之外的其他材料构成的膜。另外，可以通过液滴喷射法（喷墨法）或丝网印刷法等直接形成氧化防止膜 104 的预定图案。通过将氧化防止膜 104 的厚度设为等于或大于半导体膜 103 的厚度，可以可靠地防止半导体膜 103 的自由基氧化。

[0047] 当执行自由基氮化而不是自由基氧化时，需要形成能够防止半导体膜 103 自由基氮化的膜来代替氧化防止膜 104。同样，当执行自由基氧化和自由基氮化两者的情况下，需要形成能够防止半导体膜 103 的自由基氧化以及自由基氮化的膜。

[0048] 使用图 2A 和 2B 所示的高密度等离子体处理设备对于半导体膜 103 执行自由基氧化。图 2A 和 2B 所示的高密度等离子体处理设备仅是一个例子，且不限于这些图中示出的结构。

[0049] 图 2A 所示的高密度等离子体处理设备具有多室结构，且至少包括第一等离子体处理室 201、第二等离子体处理室 202、装载锁定室（loadlock chamber）203 以及公共室 204。在第一等离子体处理室 201 中执行自由基氧化，且在第二等离子体处理室 202 中执行自由基氮化。图 2A 中的每个室都是抽真空的，可以连续执行自由基氧化和自由基氮化而不

使处理衬底 200 暴露于空气中。在本实施方式中，玻璃衬底 101 相当于处理衬底 200，该玻璃衬底 101 上形成有基底膜 102、半导体膜 103、形成为预定图案的氧化防止膜 104。

[0050] 除了图 2A 中示出的处理室，该高密度等离子体处理设备优选还包括能够执行自由基氧化和自由基氮化之外的处理的处理室，诸如用于 CVD 的处理室、用于溅射的处理室、用于干蚀刻的处理室、用于离子掺杂的处理室、用于热处理的处理室。由此，能够通过比现有技术更少的设备制造薄膜晶体管，从而，可以提高制造效率并减少制造成本。

[0051] 在公共室 204 中提供机械手 205。在装载锁定室 203 中，提供容纳多个处理衬底 200 的盒子 206。盒子 206 中容纳的处理衬底 200 可以使用机械手 205 通过公共室 204 传递到第一等离子体处理室 201 或第二等离子体处理室 202。此外，处理衬底 200 可以使用机械手 205 通过公共室 204 从第一等离子体处理室 201 传递到第二等离子体处理室 202，或者，也可以通过公共室 204 从第二等离子体处理室 202 反向传递到第一等离子体处理室 201。

[0052] 图 2B 示出了第一等离子体处理室 201 和第二等离子体处理室 202 中的共同结构。能够使压力降低到预定压力的真空泵（未示出）与等离子体处理室相连，并从排气口 210 排气。此外，在等离子体处理室中提供衬底保持台 211，需要进行自由基氧化或自由基氮化的处理衬底 200 固定在衬底保持台 211 上。该衬底保持台 211 配备有加热器以加热处理衬底 200。

[0053] 诸如氧气、氮气、氢气、稀有气体或氨气之类的气体从气体引入孔进入到等离子体处理室，如箭头 212 所示。用于激发等离子体的微波 213 通过在天线 214 上提供的波导 215 引入。天线 214 由产生用于激发等离子体的电场的部分、槽缝和慢波板构成。槽缝的形状为形成有多个细长孔的板状，诸如园板状。

[0054] 等离子体在电介质板 216 正下方的用斜线所表示的区域 217 中产生，并通过形成有多个孔的喷射板 218 供给到处理衬底 200 上。也可以不提供喷射板 218 而将所产生的等离子体供给到处理衬底 200 上。处理衬底 200 和产生等离子体的区域 217 被分开配置。该等离子体处理室中获得的等离子体具有小于或等于 1.5eV 的电子温度和大于或等于  $1 \times 10^{11} \text{ cm}^{-3}$  的电子密度，换句话说，获得了低电子温度和高电子密度，且具有 0V 至 5V 的等离子体电位。关于这种等离子体参数可以通过诸如双探针法等的探针测量方法测量。

[0055] 此外，作为能够获得高电子密度等离子体的设备，已知电子回旋共振 (ECR) 等离子体 CVD 设备。该 ECR 等离子体 CVD 设备需要在等离子体处理室周围设置用于产生磁场的磁铁。另一方面，本实施方式所使用的高密度等离子体处理设备不需要提供磁铁，因为在产生等离子体时不使用磁场。

[0056] 本实施方式中，将氩气、氢气和氧气调整为预定的流量比如 Ar/H<sub>2</sub>/O<sub>2</sub> = 500sccm : 10sccm : 5sccm 而引入到第一等离子体处理室 201，使用频率为 2.45GHz 的微波产生等离子体。可以引入其它稀有气体代替氩气。第一等离子体处理室 201 中的压力设定为在 5Pa 至 500Pa 范围内的最佳值，例如 133.33Pa。在第一等离子体处理室 201 的衬底保持台 211 上提供玻璃衬底 101，该玻璃衬底 101 上形成有基底膜 102、半导体膜 103、形成为预定图案的氧化防止膜 104，并且该玻璃衬底 101 的温度保持在 400°C。在使用耐热塑料衬底的情况下，该塑料衬底的温度保持在等于或低于该衬底的玻璃转化点的温度，但保持在 200°C 或更高的温度。而且，对于在半导体膜 103 的不被形成为预定图案的氧化防止膜 104 所覆盖的区域执行自由基氧化。

[0057] 在氧化防止膜 104 为钨膜的情况下,有如下特征:如果将氩气、氢气和氧气之中的氢气和氧气的流量比  $H_2/O_2$  设定为 2 或更高,钨膜不被氧化而半导体膜 103 被氧化。推定其原因可能在于钨膜和氧自由基起反应而暂时形成氧化钨,但该氧化钨和氢自由基起反应而还原为钨。根据上述推定,通过暴露于空气中而形成在钨膜表面的自然氧化膜也被氢自由基去除掉。但是,随着氢气和氧气的流量比  $H_2/O_2$  超过 2,越来越抑制半导体膜 103 的氧化。因此,氢气和氧气的流量比  $H_2/O_2$  优选为 4 或更小。这样,通过使用钨膜作为氧化防止膜 104,能够选择性地只对半导体膜 103 执行自由基氧化。

[0058] 通过上述自由基氧化,如图 1C 所示,形成氧化膜 105 作为隔离相邻元件之间的绝缘膜。在执行自由基氮化时,形成氮化膜来代替氧化膜 105。为了使元件之间完全隔离,半导体膜 103 的不被形成为预定图案的氧化防止膜 104 所覆盖的区域优选被完全自由基氧化,但是只要相邻的元件之间电绝缘,也可以不使该区域的半导体膜 103 从表面到背面(接触到基底膜 102 的面)完全氧化。这种情况例如相当于,半导体膜 103 具有和以后形成的高浓度杂质区域相反的导电类型的情况。在半导体膜 103 的厚度为 10nm 或更薄时,容易通过自由基氧化使该半导体膜 103 从表面到背面氧化。然而,当半导体膜的厚度超过 20nm 时,不容易通过自由基氧化使该半导体膜 103 从表面到背面完全氧化。

[0059] 因为半导体膜 103 上的等离子体具有小于或等于 1.5eV 的电子温度和大于或等于  $1 \times 10^{11} \text{ cm}^{-3}$  的电子密度,并且半导体膜 103 和图 2B 所示的等离子体产生区域 217 彼此离开,所以对通过自由基氧化而获得的氧化膜 105 的等离子体损伤被抑制。通过使用 2.45GHz 的微波产生等离子体,可以比使用 13.56MHz 的频率的情况容易获得低电子温度和高电子密度。此外,只要能够获得低电子温度和高电子密度,不局限于 2.45GHz 的微波。

[0060] 然后,如图 1D 所示,去除形成为预定图案的氧化防止膜 104。本实施方式中,由于使用钨膜作为氧化防止膜 104,所以通过利用过氧化氨 (ammonia-peroxide mixture) 的湿蚀刻法而去除该膜。当去除钨膜时,在不去除掉氧化膜 105 的前提下,也可以使用除了上述之外的蚀刻剂,并且不局限于湿蚀刻也可以进行干蚀刻。通过使用由于自由基氧化不在其表面形成氧化膜的钨膜作为氧化防止膜 104,可容易只去除氧化防止膜 104 而不去除氧化膜 105。

[0061] 然后,在去除了氧化防止膜 104 的区域之上形成栅绝缘膜 106。栅绝缘膜 106 通过 CVD 法等形成氧化硅膜、氮化硅膜或  $\text{SiO}_x\text{N}_y$  膜 ( $x, y > 0$ ) 而构成。如图 1E 所示,不仅在去除了氧化防止膜 104 的区域,即半导体膜 103 的没有形成氧化膜 105 的区域,而且可以在氧化膜 105 上形成栅绝缘膜 106。也可以通过使半导体膜 103 自由基氧化来形成栅绝缘膜 106。在自由基氧化后半导体膜 103 在氧化膜 105 下部残留时,由于在半导体膜 103 自由基氧化时,氧自由基扩散在氧化膜 105 中,因此,可以在氧化膜 105 和半导体膜 103 的界面上进行氧化。也可以用自由基氮化来代替自由基氧化来形成栅绝缘膜 106。

[0062] 即使在通过 CVD 法等形成栅绝缘膜 106 之前对半导体膜 103 进行氢氟酸清洗,也不会形成现有技术中所形成的房檐状。这是因为半导体膜 103 不形成为岛状图案并且存在着氧化膜 105 的缘故。此外,通过控制氢氟酸清洗的时间,可以使厚度比去除了氧化防止膜 104 的半导体膜 103 稍厚的氧化膜 105 平整化到和半导体膜 103 相同的水平。

[0063] 存在灰尘附着在由 CVD 法或溅射法形成的膜上的情况。尽管可以考虑所述灰尘的各种形状,但图 5A 中示出了由无机物质形成的粒状灰尘 501 附着到通过 CVD 法或溅射法形

成的绝缘膜 500 的表面的状态。在此,考虑对具有灰尘 501 附着在其上的绝缘膜 500 使用图 2A 和 2B 所示的高密度等离子体处理设备执行自由基氧化或自由基氮化的情况。注意上述灰尘也称为颗粒,要求通过 CVD 法、溅射法形成的膜具有尽可能少的颗粒。

[0064] 通过自由基氧化或自由基氮化,如图 5B 所示,灰尘 501 的表面部分 502 被氧化或氮化。因此,灰尘 501 的体积增大。此外,当绝缘膜 500 由氧化硅膜形成时,通过自由基氮化,不仅对绝缘膜 500 的不存在灰尘 501 的区域执行氮化,而且氮化也蔓延到灰尘 501 下部的绝缘膜 500。

[0065] 此时,灰尘 501 处于可以通过简单的清洗方法例如刷洗或兆频超声波清洗等很容易从绝缘膜 500 的表面去除的状态。这样,通过等离子体处理,甚至纳米级的灰尘也很容易被去除。所述情况不仅适用于本实施方式,同样适用于其它对附着有灰尘(颗粒)的膜(不局限于栅绝缘膜)执行等离子体处理的实施方式。

[0066] 上述描述用于灰尘(颗粒)由无机物质形成的情况。然而,在灰尘由有机物质形成的情况下,通过自由基氧化使其灰化,从而即使在不另外执行清洗的情况下也可以去除灰尘(颗粒)。

[0067] 接下来,在栅绝缘膜 106 上形成栅电极 107。栅电极 107 可以具有单层、两层或更多层的叠层结构,也可以形成为锥形形状。接着,以栅电极 107 作为掩模将赋予 N 型的杂质诸如磷等掺杂到半导体膜 103。

[0068] 然后,根据需要在栅电极 107 的侧面形成由绝缘体构成的侧壁 108。通过形成绝缘膜以覆盖栅绝缘膜 106 以及栅电极 107 并且对该绝缘膜进行各向异性蚀刻而形成侧壁 108。在该各向异性蚀刻时栅绝缘膜 106 也被蚀刻的情况下,如图 1F 所示,栅绝缘膜 106 只要至少残留在栅电极 107 和侧壁 108 的下方即可。

[0069] 通过用栅电极 107 和侧壁 108 作为掩模,以比前面的掺杂高的剂量将磷等赋予 N 型的杂质掺杂到半导体膜 103,来和氧化膜 105(使相邻的元件之间隔离的绝缘膜)邻接地形成高浓度杂质区域 109,即源区域以及漏区域。侧壁 108 的下方成为和高浓度杂质区域 109 邻接的低浓度杂质区域 110(也称作 LDD 区域)。此外,夹在一对低浓度杂质区域 110 之间的区域是沟道形成区域。然后,使掺杂的杂质激活。另外,当形成低浓度杂质区域 110 和高浓度杂质区域 109 时,也可以掺杂硼等赋予 P 型的杂质来代替赋予 N 型的杂质。

[0070] 然后,形成保护膜 111 以覆盖栅电极 107 等,而且通过 CVD 法等在保护膜 111 上形成层间绝缘膜 112。保护膜 111 和层间绝缘膜 112 也可以分别称作第一层间绝缘膜以及第二层间绝缘膜。而且,通过对保护膜 111 和层间绝缘膜 112 进行干蚀刻,形成使高浓度杂质区域 109 的一部分露出的接触孔,以便通过该接触孔将布线 113 和高浓度杂质区域 109 电连接。

[0071] 布线 113 可以具有两层或更多层的叠层结构。例如,第一钛膜、铝膜和第二钛膜这三层通过溅射法等连续形成。而且,可以对第一钛膜执行自由基氮化以在第一钛膜的表面上形成氮化钛层。优选地连续进行第一钛膜的形成、等离子体氮化、铝膜的形成以及第二钛膜的形成而不暴露于空气。也可以夹着铝膜地形成包含诸如铬、钼和钨这样熔点比铝高的金属作为其主要成分的膜,而不是形成第一和第二钛膜。

[0072] 所制造的薄膜晶体管不局限于图 1F 所示的结构。例如,可以不提供侧壁 108,也可以和栅电极 107 重叠地形成低浓度杂质区域 110。在制造 P 沟道型薄膜晶体管的情况下,

可以不形成低浓度杂质区域 110。当不提供侧壁 108 时,栅绝缘膜 106 还存在于氧化膜 105 上以及高浓度杂质区域 109 上。

[0073] 通过根据本实施方式制造薄膜晶体管,可以在不影响玻璃衬底或塑料衬底的温度下执行元件隔离。通过该元件隔离,可以和采用现有 LOCOS 法的情况相同或更高程度地实现元件微细化。由于没有形成房檐状,所以可以减少漏电流。

[0074] 实施方式 2

[0075] 在本实施方式中,也使用如图 2A 和 2B 所示那样的高密度等离子体处理设备通过对半导体膜的等离子体处理来执行元件隔离。本实施方式与实施方式 1 的不同之处在于,不去除掉防止半导体膜氧化的膜而将其用作栅电极。

[0076] 至于在玻璃衬底 301 上形成基底膜 302 并在其上形成半导体膜 303 的过程,与实施方式 1 相同(参照图 3A)。此外,本实施方式中,也可以使用耐热塑料衬底来代替玻璃衬底。只要能够承受 200°C 或更高的等离子体处理时的温度,就可以使用其他衬底。

[0077] 对半导体膜 303 执行实施方式 1 所示的自由基氧化或自由基氮化,以形成栅绝缘膜 304。此时,使半导体膜 303 不完全氧化或氮化,即,将半导体膜 303 残留为预定的厚度(例如 10nm 至 20nm)。也可以通过 CVD 法或溅射法在半导体膜 303 上形成栅绝缘膜 304。接着,在栅绝缘膜 304 上形成防止半导体膜 303 氧化的膜 305。作为氧化防止膜 305,与实施方式 1 同样通过溅射法等形成钨膜。在后面执行自由基氮化时,形成氮化防止膜来代替氧化防止膜 305 就可以。除了钨膜之外,可以形成其他金属膜诸如钛膜等,该膜由能够防止半导体膜 303 的自由基氧化或自由基氮化并且可以用作栅电极的材料而构成。

[0078] 然后,通过光刻法将栅绝缘膜 304 以及氧化防止膜 305 形成为预定的图案。也可以通过液滴喷射法(喷墨法)或丝网印刷法将氧化防止膜 305 形成为预定图案。而且,用氧化防止膜 305 的图案作为掩模,通过湿蚀刻法或干蚀刻法蚀刻栅绝缘膜 304。这样,半导体膜 303 的将进行元件隔离的区域的表面被暴露(参照图 3B)。

[0079] 然后,通过实施方式 1 所示的方法,对半导体膜 303 执行自由基氧化,以形成图 3C 所示的氧化膜 306 作为使相邻的元件之间隔离的绝缘膜。当执行了自由基氮化时,氮化膜被形成来代替氧化膜。优选的是,对不被氧化防止膜 305 所覆盖的区域中的半导体膜 303 执行自由基氧化,以使其从表面到背面完全氧化。然而,只要相邻的元件之间电绝缘,就可以在半导体膜 303 的背面一侧,即接触到基底膜 302 的一侧留存没有形成氧化膜 306 的区域。

[0080] 然后,如图 3D 所示,用氧化防止膜 305 形成栅电极 307 的图案。此时,可以使用光刻法。栅电极 307 也可以形成为锥形形状。

[0081] 然后,通过进行与实施方式 1 相同的步骤,可以形成如图 1F 所示那样的薄膜晶体管。

[0082] 本实施方式与实施方式 1 的不同之处在于,将氧化防止膜 305 用来形成栅电极。因此,在本实施方式中,除了实施方式 1 所获得的效果之外,由于不需要在实施方式 1 中实施的去除防止半导体膜氧化的膜的步骤,所以可以使薄膜晶体管的制造工艺简单化。而且,由于之后不去除该氧化防止膜 305 而将其利用于栅电极的形成,因此,也可以使用通过自由基氧化而使其表面氧化后的导电性材料来形成该氧化防止膜 305。

[0083] 实施方式 3

[0084] 在本实施方式中，也使用如图 2A 和 2B 所示那样的高密度等离子体处理设备通过对半导体膜的等离子体处理来执行元件隔离。本实施方式与实施方式 1 的不同之处在于，使用绝缘膜形成防止半导体膜氧化的膜，并且不去除该绝缘膜而将其用作栅绝缘膜。

[0085] 至于在玻璃衬底 401 上形成基底膜 402 并在其上形成半导体膜 403 的步骤，与实施方式 1 相同（参照图 4A）。此外，本实施方式中，也可以使用耐热塑料衬底来代替玻璃衬底。只要能够承受 200℃ 或更高的等离子体处理时的温度，就可以使用其他衬底。

[0086] 在半导体膜 403 上形成防止该半导体膜氧化的膜 404（参照图 4B）。在本实施方式中，通过 CVD 法等在半导体膜 403 的整个表面上形成氧化硅膜、氮化硅膜或  $\text{SiO}_x\text{N}_y$  膜（ $x, y > 0$ ），然后通过光刻法将该膜形成为预定的图案。作为氧化防止膜 404，只要能够防止半导体膜 403 的自由基氧化且能够用作栅绝缘膜，也可以使用由上述之外的其他绝缘材料构成的膜。通过将氧化防止膜 404 的厚度设为等于或大于半导体膜 403 的厚度，可以可靠地防止半导体膜 403 的自由基氧化。

[0087] 当执行自由基氮化而不是自由基氧化时，需要形成氮化防止膜来代替氧化防止膜 404。同样，当执行自由基氧化和自由基氮化两者的情况下，需要形成防止氧化和氮化的膜。

[0088] 然后，与实施方式 1 同样，通过执行自由基氧化来形成图 4C 所示的氧化膜 405。在执行自由基氮化的情况下，形成氮化膜来代替氧化膜 405。

[0089] 然后，与实施方式 1 不同，不去除氧化防止膜 404 并在其上形成栅电极 406。本实施方式中，氧化防止膜 404 兼作栅绝缘膜。然后，通过进行和实施方式 1 相同的步骤，可以制造图 1F 所示的薄膜晶体管。

[0090] 本实施方式与实施方式 1 的不同之处在于，将氧化防止膜 404 用作栅绝缘膜。因此，在本实施方式中，除了实施方式 1 所获得的效果之外，由于不需要在实施方式 1 中实施的去除防止半导体膜氧化的膜的步骤以及形成栅绝缘膜的步骤，所以可以使薄膜晶体管的制造工艺简单化。

#### [0091] 实施方式 4

[0092] 本实施方式中，使用图 2A 和 2B 所示那样的高密度等离子体处理设备，通过对半导体膜的等离子体处理执行元件隔离，来制造反交错型薄膜晶体管。

[0093] 如图 6A 所示，在玻璃衬底 601 上形成栅电极 602、栅绝缘膜 603 以及半导体膜 604。与其他实施方式同样，可以使用耐热塑料衬底来代替玻璃衬底。只要能够承受 200℃ 或更高的等离子体处理时的温度，就可以使用其他衬底。

[0094] 通过实施方式 1 所示的方法形成栅电极 602、栅绝缘膜 603 以及半导体膜 604。栅电极 602 优选形成为锥形形状。

[0095] 在半导体膜 604 上按预定的图案通过实施方式 1 所示的方法形成防止该半导体膜氧化的膜 605（参照图 6B）。作为氧化防止膜 605，可以使用实施方式 1 所示的钨膜，但只要能够防止半导体膜 604 的自由基氧化，也可以使用由钨之外的其他材料构成的膜。当执行自由基氮化而不是自由基氧化时，形成能够防止半导体膜 604 氮化的膜来代替氧化防止膜 605。

[0096] 然后，通过实施方式 1 所示的方法对半导体膜 604 执行自由基氧化。如图 6C 所示，在不被氧化防止膜 605 所覆盖的区域的半导体膜 604 中形成氧化膜 606 作为绝缘膜，而使相邻的元件之间隔离。如实施方式 1 所描述，有时不需要使半导体膜 604 从表面到背面

(接触到棚绝缘膜 603 的面) 进行完全自由基氧化。当执行自由基氮化来代替自由基氧化时, 代替氧化膜 606 形成氮化膜。

[0097] 如图 6D 所示, 通过实施方式 1 所示的方法去除氧化防止膜 605。即使在之后对半导体膜 604 进行氢氟酸清洗, 也不会形成现有技术中所形成的房檐状。这是因为半导体膜 604 不形成为岛状图案并且存在着氧化膜 606 的缘故。此外, 通过控制氢氟酸清洗的时间, 可以使厚度比去除了氧化防止膜 605 的半导体膜 604 稍厚的氧化膜 606 平整化到和半导体膜 604 相同的水平。

[0098] 在半导体膜 604 上按预定的图案形成由氮化硅等绝缘材料构成的保护膜 607 以覆盖棚电极 602(参照图 6E)。不对被该保护膜 607 所覆盖的区域掺杂赋予 N 型的杂质诸如磷等或赋予 P 型的杂质诸如硼等。另外, 在形成氮化硅膜等绝缘膜作为氧化防止膜 605 的情况下, 可以将氧化防止膜 605 用来形成保护膜 607 而不必如上所述去除氧化防止膜 605。此时, 可以使反交错型薄膜晶体管的制造工艺简单化。

[0099] 然后, 通过使用保护膜 607 作为掩模, 将磷等赋予 N 型的杂质掺杂到半导体膜 604, 来和氧化膜 606(使相邻的元件之间隔离的绝缘膜) 邻接地形成杂质区域 608, 即源区域以及漏区域。也可以掺杂硼等赋予 P 型的杂质来代替赋予 N 型的杂质。与实施方式 1 同样, 可以和杂质区域 608 邻接地设置低浓度杂质区域(LDD 区域)。

[0100] 然后, 和杂质区域 608 电连接地形成布线 609。此时, 可以将该布线 609 形成为和实施方式 1 所示的布线 113 相同的结构。该布线 609 也可以延伸到氧化膜 606 上。

[0101] 所制造的反交错型薄膜晶体管不局限于图 6E 所示的结构。例如, 与实施方式 1 同样, 可以和杂质区域 608 邻接地形成低浓度杂质区域(LDD 区域)。

[0102] 通过根据本实施方式制造反交错型薄膜晶体管, 可以获得与实施方式 1 同样的效果。亦即, 可以在不影响玻璃衬底或塑料衬底的温度下执行元件隔离。通过该元件隔离, 可以和采用现有 LOCOS 法的情况相同或更高程度地实现元件微细化。由于没有形成房檐状, 所以可以减少漏电流。

### [0103] 实施方式 5

[0104] 在本实施方式中使用单晶硅片。在此使用直径 100mm 至 300mm 的单晶硅片, 但是通过研磨和抛光而使其厚度降低到 1  $\mu\text{m}$  到 20  $\mu\text{m}$ , 优选为 5  $\mu\text{m}$  或更薄。如果将单晶硅片减薄到上述厚度, 可具有柔性和透光性, 这一点明显不同于现有技术中的例如 0.7mm 厚的单晶硅片。此外, 在本实施方式中, 除了 (100) 晶面, 也可以使用 (110) 和 (111) 晶面等的 (100) 晶面之外的单晶硅片。

[0105] 将单晶硅片固定在支撑体上, 并研磨该单晶硅片的表面以使该单晶硅片的厚度为 30  $\mu\text{m}$  至 50  $\mu\text{m}$ 。而且, 抛光该研磨后的单晶硅片的表面以使该单晶硅片的厚度为 20  $\mu\text{m}$  或更薄, 例如 5  $\mu\text{m}$ 。在该抛光步骤中, 使用具有比在前面的研磨步骤中使用的磨粒(研磨材料)小的粒径的磨粒, 并使研磨后的单晶硅片的表面平坦, 且使其厚度为均匀。变薄的单晶硅片也称作单晶硅膜, 并在其表面没有产生通过肉眼能看见的深的瑕疵以及在其端部没有产生缺口。

[0106] 然后, 将单晶硅片(单晶硅膜)贴附到玻璃衬底、耐热塑料衬底等具有平坦表面的衬底上, 并分离上述支撑体。如果能够继续使用上述支撑体作为衬底, 就不需要将单晶硅片(单晶硅膜)贴附到衬底并分离支撑体的步骤。

[0107] 然后,根据实施方式 1、2 或 3,可以制造薄膜晶体管。

[0108] 本实施方式与其他实施方式的不同之处在于,作为半导体膜,使用对单晶硅片进行研磨和抛光而形成的单晶硅膜。因此,在本实施方式中,除了实施方式 1 所获得的效果之外,可以实现具有和在单晶硅片上形成的场效晶体管相同水平的高场效应迁移率的薄膜晶体管。此外,由于使用减薄到  $20 \mu\text{m}$  或更薄的单晶硅片作为半导体膜,所以可以通过自由基氧化或自由基氮化来简单地形成使相邻的元件之间隔离的绝缘膜。

[0109] 实施例 1

[0110] 作为使用根据本说明书所公开的发明制造的半导体元件(薄膜晶体管)的显示器件,示出液晶显示器件和电致发光显示器件的例子。以下称电致发光显示器件为 EL 显示器件。

[0111] 图 7 表示液晶显示器件的截面的一个例子。在第一衬底 701 和第二衬底 702 之间提供有液晶层 704,并且使用密封材料 700 使这些衬底粘在一起。第一衬底 701 中至少形成有像素部分 703,而第二衬底 702 中通过印刷法等至少形成有着色层 705。着色层 705 是当进行彩色显示时所需要的,并在 RGB 方式的情况下,对于各像素提供有对应红、绿、蓝的各种颜色的着色层。在第一衬底 701 和第二衬底 702 的外侧分别提供有偏振片 706 和 707。此外,在偏振片 707 的表面形成有保护膜 716,并缓和来自外部的冲击。

[0112] 在像素部分 703 中对应于各像素形成有薄膜晶体管,并可以应用根据本说明书公开的发明所制造的薄膜晶体管。结果,各像素的薄膜晶体管的漏电流小,因此,可以减少显示图像的缺陷。

[0113] 布线衬底 710 通过 FPC709 连接于提供在第一衬底 701 上的连接端子 708。为 FPC709 或连接布线提供有驱动电路 711(IC 芯片等),而在布线衬底 710 上提供有控制电路或电源电路等外部电路 712。

[0114] 冷阴极管 713、反射板 714 及光学膜 715 是用作光源的背照光单元。利用边框(bezel)717 支撑并保护第一衬底 701、第二衬底 702、上述光源、布线衬底 710、以及 FPC709。

[0115] 图 8A、图 8B 及图 8C 是俯视液晶显示器件、EL 显示器件等显示器件的示意图。

[0116] 在图 8A 中,在衬底 800 上形成有将多个像素 802 排列为矩阵状的像素部分 801、扫描线侧输入端子 803、信号线侧输入端子 804。从扫描线侧输入端子 803 延伸的扫描线和从信号线侧输入端子 804 延伸的信号线交叉而使像素 802 排列为矩阵状。多个像素 802 分别设有薄膜晶体管和像素电极。图 8A 是由连接在衬底外部的驱动电路控制向扫描线及信号线输入的信号的例子,其中,该驱动电路通过扫描线侧输入端子 803 及信号线侧输入端子 804 而连接在衬底外部。但是,也可以采用在衬底上形成驱动电路的 COG 方式。

[0117] 图 8B 是像素部分 811 及扫描线驱动电路 812 形成在衬底 810 上的例子。符号 814 是与图 8A 相同的信号线侧输入端子。此外,图 8C 是像素部分 821、扫描线驱动电路 822 及信号线驱动电路 824 形成在衬底 820 上的例子。

[0118] 图 8B 所示的扫描线驱动电路 812、图 8C 所示的扫描线驱动电路 822 及信号线驱动电路 824 是由薄膜晶体管构成的,并可以是与提供在像素部分的薄膜晶体管同时形成的。注意,由于要求扫描线驱动电路及信号线驱动电路高速动作,所以,作为用于它们的薄膜晶体管,优选采用将结晶半导体膜用于沟道形成区域的薄膜晶体管,而不使用非晶半导体膜。

[0119] 通过将根据本说明书所公开的发明而制造的薄膜晶体管不仅用于图 8A、8B 及 8C

所示的像素部分，而且还用于图 8B 所示的扫描线驱动电路 812、图 8C 所示的扫描线驱动电路 822 及信号线驱动电路 824，来可以减小上述驱动电路在衬底 810 或衬底 820 上占有的面积。

[0120] 图 9 表示 EL 显示器件的截面的一个例子。该 EL 显示器件具有端子部分 900、驱动电路部分 901 及像素部分 902，其中，驱动电路部分 901 具有 P 沟道型薄膜晶体管 910 及 N 沟道型薄膜晶体管 911，而像素部分 902 具有开关用薄膜晶体管 912 及驱动用薄膜晶体管 913。驱动电路部分 901 及像素部分 902 都形成在同一衬底上。为了对驱动电路部分 901 及像素部分 902 两者的相邻的薄膜晶体管之间执行元件隔离，通过自由基氧化形成氧化膜 915。也可以通过自由基氮化形成氮化膜来代替氧化膜 915。

[0121] 图 9 表示以所谓的多栅结构作为开关用薄膜晶体管 912 及驱动用薄膜晶体管 913，但也可以采用与驱动电路部分 901 相同的单栅结构。例如可以以 N 沟道型薄膜晶体管作为开关用薄膜晶体管 912，而例如可以以 P 沟道型薄膜晶体管作为驱动用薄膜晶体管 913。开关用薄膜晶体管 912 的栅电极电连接于扫描线，而通过提供在层间绝缘膜中的接触孔连接于开关用薄膜晶体管 912 的源区域或漏区域的布电线连接于信号线。

[0122] 通过提供在层间绝缘膜中的接触孔连接于驱动用薄膜晶体管 913 的源区域或漏区域的布电线连接于发光元件 914，在该发光元件 914 中层叠有阳极、阴极和在它们之间的发光层。图 9 表示如下结构：在层间绝缘膜上提供有布线，并在其上还提供有层间绝缘膜，并在其上形成有发光元件 914。但是，不一定局限于这种结构。作为层间绝缘膜，可以在发光元件 914 的阴极和阳极中的单方或双方中使用通过溅射法、液滴喷射法（喷墨法）或丝网印刷法等形成的透明导电膜如 ITO（氧化铟锡）膜。构成透明导电膜的材料不局限于 ITO，而也可以使用具有透光性并具有导电性的其它材料。通过将透明导电膜用于阴极和阳极中的双方而可以向上及向下射出来自发光层的光，所以可以从 EL 显示器件的表面和背面双方向看到图像。

[0123] 根据本说明书所公开的发明制造的薄膜晶体管可以适用于像素部分 902。结果，与液晶显示器件的情况同样，可以减少显示图像的缺陷。此外，通过将根据本说明书所公开的发明制造的薄膜晶体管既适用于像素部分 902 又适用于驱动电路部分 901，可以减小驱动电路部分 901 在衬底上占有的面积。

[0124] 本实施例所示的显示器件被安装在各种各样的电子设备中。作为这些电子设备的例子，可以举出电视接收机、影像拍摄装置（摄像机、数字照相机等）、导航系统、声音重放装置（汽车音响、音响组件等）、个人计算机、游戏机、便携信息终端（便携计算机、手机、便携型游戏机或电子书籍等）、具备记录介质的图像重放装置（具体地说是重放数字通用光盘（DVD）等记录介质并具有能够显示其图像的显示器件的装置）等。本实施例所示的显示器件被安装在这些电子设备的显示部分等中。

[0125] 图 10A 是电视接收机的一个例子，它包括外壳 1001、显示部分 1002、扬声器 1003、操作部 1004、视频输入端子 1005 等。使用根据本说明书所公开的发明制造的薄膜晶体管而完成的液晶显示器件、EL 显示器件等显示器件适用于显示部分 1002。

[0126] 图 10B 及图 10C 表示数字照相机的一个例子，图 10B 是从前面看的数字照相机，符号 1011 表示释放按钮，1012 表示主开关，1013 表示取景窗口，1014 表示闪光灯，1015 表示透镜，1016 表示外壳。图 10C 是从后面看的所述数字照相机，符号 1017 表示取景器目镜窗，

1018 表示显示部分, 1019 及 1020 表示操作钮。使用根据本说明书所公开的发明制造的薄膜晶体管而完成的液晶显示器件、EL 显示器件等显示器件适用于显示部分 1018。

[0127] 图 10D 表示手机的一个例子。该手机具有设有操作开关类 1024、麦克风 1025 等的主体 A 1021、以及设有显示面板 A 1028、显示面板 B 1029、扬声器 1026 等的主体 B 1022，并且主体 A 1021 和主体 B 1022 被铰链 1030 可开闭地连结着。显示面板 A 1028 和显示面板 B 1029 与电路衬底 1027 一起容纳到主体 B 1022 的外壳 1023 中。显示面板 A 1028 及显示面板 B 1029 的像素部分配置为可以从形成在外壳 1023 中的开口窗视觉确认的形式。使用根据本说明书所公开的发明制造的薄膜晶体管而完成的液晶显示器件、EL 显示器件等显示器件适用于显示面板 A 1028 及显示面板 B 1029。

[0128] 根据上述手机的功能可以适当设定显示面板 A 1028 和显示面板 B 1029 的像素数等的规格。例如, 可以组合显示面板 A 1028 和显示面板 B 1029 分别作为主画面和副画面。

[0129] 通过使用如上所述的显示面板来可以以显示面板 A 1028 为显示文字和图像的高清晰彩色显示画面, 而以显示面板 B 1029 为显示文字信息的单色信息显示画面。尤其是, 可以通过以显示面板 B 1029 为有源矩阵型显示面板并使它高清晰化, 来显示各种各样的文字信息并提高每一画面中的信息显示密度。例如, 通过将显示面板 A 1028 设定为 2 至 2.5 英寸且 64 灰度, 而且 26 万色的 QVGA(320 点 × 240 点), 并将显示面板 B 1029 设定为单色且 2 至 8 灰度, 而且 180 至 220ppi 的高清晰面板来可以显示拉丁字母、平假名、片假名、数字、汉字等。

[0130] 根据本实施例的手机可以按照其功能和用途转换为各种各样的形式。例如, 也可以通过将摄像元件组合到铰链 1030 等的部位中来用作照相手机。此外, 也可以采用将操作开关类 1024、显示面板 A 1028、显示面板 B 1029 收到一个外壳中的结构。

[0131] 本实施例可以与实施方式 1 至 5 组合而实施。

[0132] 实施例 2

[0133] 根据本说明书所公开的发明制造的半导体元件(薄膜晶体管)可以用于薄膜集成电路、非接触型薄膜集成电路器件(可能被称为 IC 卡、无线 IC 标签、RFID(Radio Frequency Identification: 射频识别)标签)等半导体器件。通过将所述非接触型薄膜集成电路装置贴在如实施例 1 所示那样的各种电子设备, 来可以确认该电子设备的流通路径等。非接触型薄膜集成电路器件使用的频带例如为 13.56MHz、2.45GHz、UHF(Ultra High Frequency: 超高频)。以下称非接触型薄膜集成电路器件为 RFID 标签而进行说明。

[0134] 在图 11A 和 11B 中以框图表示了 RFID 标签的一个例子。RFID 标签 1100 可以进行非接触数据通讯, 并具有电源电路 1101、时钟产生电路 1102、数据解调 / 调制电路 1103、控制电路 1104、接口电路 1105、存储电路 1106、总线 1107、以及天线 1108。图 11B 表示在图 11A 中还提供了 CPU1121 的情况。

[0135] 电源电路 1101 基于从天线 1108 输入的交流信号产生电源。时钟产生电路 1102 基于从天线 1108 输入的信号产生时钟信号。数据解调 / 调制电路 1103 解调 / 调制与读写器 1109 通讯的数据。控制电路 1104 控制存储电路 1106。天线 1108 进行信号接收和数据发送。

[0136] 作为构成天线 1108 的材料, 例如, 可以使用金、银、铜、铝、铁氧体、陶瓷等。天线 1108 可以形成为如下形状: 例如, 偶极型、环形型、螺形型、平整的长方体状的贴片型。

[0137] 可以将根据本说明书所公开的发明制造的薄膜晶体管用于构成 RFID 标签 1100 的电路。天线 1108 被设置为电连接于所述薄膜晶体管的形式。可以在衬底上与薄膜晶体管一起制造天线 1180，其中，该天线 1180 是通过溅射法或 CVD 法和光刻法的组合、电镀法、丝网印刷法或液滴喷射法（喷墨法）等而制造的。此外，可以使用现成的部件作为天线 1108，并通过导电膏等粘合它和形成有薄膜晶体管的衬底，来电连接天线 1108 和薄膜晶体管。

[0138] 作为存储电路 1106，可以使用 DRAM、SRAM、掩模 ROM、EPROM（可擦可编程只读存储器）、EEPROM（电可擦可编程只读存储器）、闪速存储器、有机存储器等。有机存储器具有如下结构：在一对电极之间提供有机化合物层，或者，在一对电极之间提供具有有机化合物和无机化合物的层。并且，通过将有机存储器用于 RFID 标签的存储电路 1106 来有助于实现 RFID 标签的小型化、薄型化、轻量化。

[0139] 图 12 表示 RFID 标签的截面例子，特别表示用于构成 RFID 标签的电路中的薄膜晶体管和天线电连接在一起的状态。图 12 所示的例子相当于使用现成的部件作为天线的情况。

[0140] 薄膜晶体管 1201 采用根据实施方式 1 至 5 而制造的结构。下面说明使用薄膜晶体管 1201 制造掩模 ROM 作为构成 RFID 标签的电路的情况。在掩模 ROM 中，薄膜晶体管 1201 被用于存储单元并且通过光刻法来形成。此时，根据是否形成与薄膜晶体管 1201 的例如漏区域连接的布线用接触孔，在开孔时和不开孔时分别将 1（导通）和 0（截止）编程到存储单元。在光刻胶曝光的步骤中，在使用曝光设备如步进式光刻机通过掩模原版（光掩模）来执行曝光之前或之后，对将开出上述接触孔的区域的光刻胶照射电子光束或激光。然后，和常规一样进行显像、蚀刻、剥离光刻胶等的步骤。通过这样，只选择是否照射电子光束或激光而不更换掩模原版（光掩模），可以分别制作开上述接触孔的图案和不开接触孔的图案。

[0141] 形成由环氧树脂等构成的绝缘膜 1206 以覆盖薄膜晶体管 1201，然后，当薄膜晶体管 1201 形成在玻璃衬底上时，通过预定工艺将该玻璃衬底剥离，并替换该玻璃衬底在基体 1203 的表面上贴附具有粘结层 1204 的膜 1202。该膜 1202 具有柔性。

[0142] 并不需要如上述那样剥离玻璃衬底。在此情况下，由于形成薄膜晶体管 1201 时使用的玻璃衬底的厚度即使很薄也有大约 0.5mm 的厚度，所以优选的是对至少形成薄膜晶体管 1201 的玻璃衬底进行如实施方式 5 所示的研磨和抛光而使其减薄到 50 μm 或更薄的厚度，在该厚度下玻璃衬底容易弯曲。此外，当在柔性塑料衬底上形成薄膜晶体管 1201 时，不需要剥离该塑料衬底。

[0143] 此外，作为膜 1202，优选使用进行了防止静电等的抗静电处理的膜（以下称作抗静电膜）。作为抗静电膜，例如，可以举出在树脂中分散有抗静电材料的膜、至少一部分形成有抗静电材料的膜等。作为抗静电材料，可以使用如金属、ITO（氧化铟锡）等的导电材料、以及界面活性剂。通过使用抗静电膜作为膜 1202，可以防止来自外部静电等对薄膜晶体管 1201 的特性造成负面影响。

[0144] 在绝缘膜 1206 中，在和薄膜晶体管 1201 的源区域或漏区域电连接的布线 1205 上设置有开口部分，该开口部分中形成有电极（突出部）1207。

[0145] 将形成有薄膜晶体管 1201 的膜 1202 或柔性衬底分割为边长几 mm（例如 2mm 至 9mm）大小的多个芯片，而使利用薄膜晶体管 1201 而形成的电路不受到损坏。图 12 示出了通过分割而获得的芯片 1200 的例子。

[0146] 另一方面，天线部件 1208 具有通过粘合层 1211 被夹在由聚酰亚胺树脂等构成的两片基体 1210 之间的天线布线 1209。在两片基体 1210 中的一个中提供有用于暴露天线布线 1209 的一部分的开口。该开口中形成有接触于天线布线 1209 的焊盘 1212。焊盘 1212 由其表面具有不容易氧化的金属材料如金的膜构成。

[0147] 然后，通过使用各向异性导电膏 1213 边加热边对芯片 1200 和天线部件 1208 执行压接，将薄膜晶体管 1201 的布线 1205 和天线布线 1209 电连接在一起。

[0148] 由于 RFID 标签的制造成本比现有的条码高，所以需要谋求降低成本。由于通过使用本说明书所公开的发明，可以使构成 RFID 标签的电路微细化，所以可以减小芯片 1200 的大小。从而，由于分割一片膜 1202 或柔性衬底而获得的芯片 1200 的数量增加，因此可以降低每一个 RFID 标签的制造成本。并且，通过使用本说明书所公开的发明，可以减少在构成 RFID 标签的电路中使用的薄膜晶体管的漏电流，从而可以制造高质量并特性不均匀性为低的 RFID 标签。

[0149] 在图 13A 至 13E 中表示了 RFID 标签的使用例子。通过安装在物品如记录有信息的记录介质 1301 本身或容纳记录介质 1301 的容器、书籍 1302、商品的包装 1303、衣类 1304、由玻璃或塑料制成的瓶子 1305 等，来可以利用于如下用途：管理安装有 RFID 标签的物品的销售、贮存、出借及归还；防止该物品的丢失或偷窃；该物品的回收、以及其他用途等。在图 13A 至 13E 的各图中表示了 RFID 标签被安装的位置 1300 的例子。由于本实施例所示的 RFID 标签具有柔性，从而可以容易设置在曲面等的不平坦表面上。

[0150] 本实施例可以与实施方式 1 至 5、实施例 1 组合而实施。

图 1A

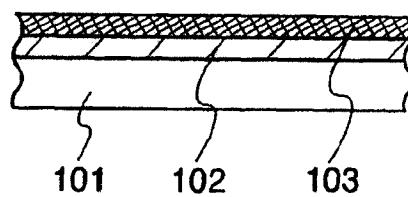


图 1B

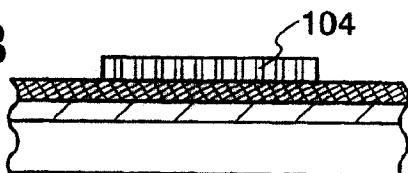


图 1C

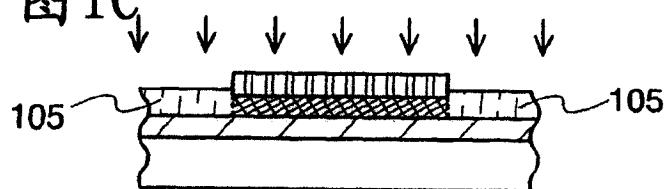


图 1D

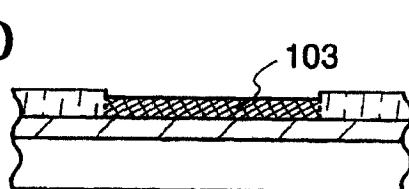


图 1E

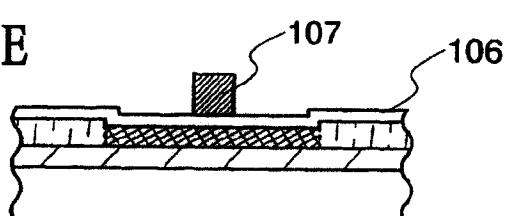


图 1F

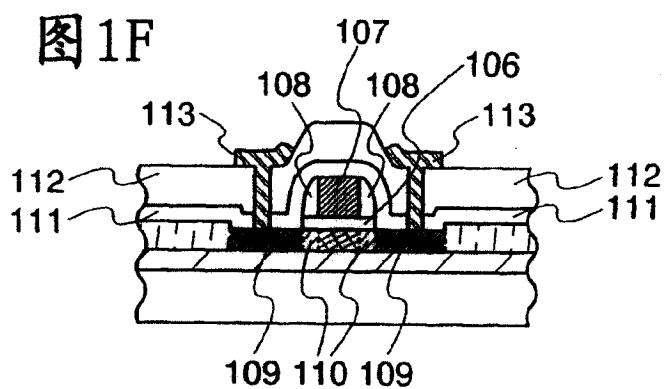


图 2A

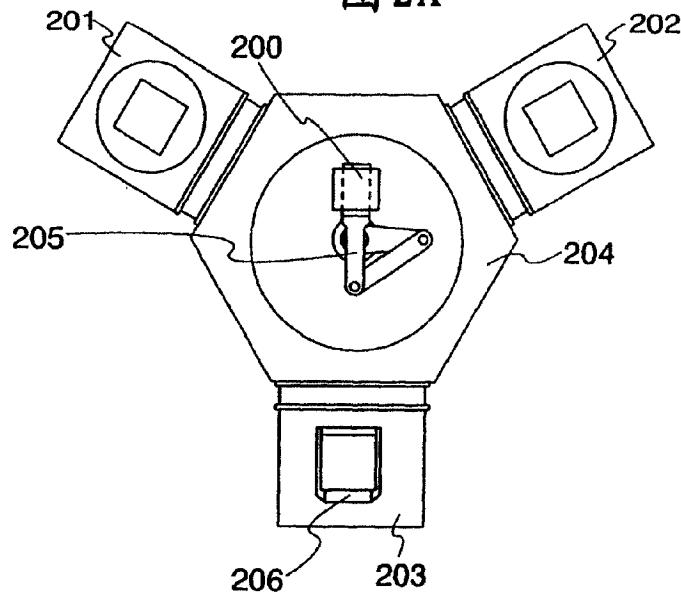


图 2B

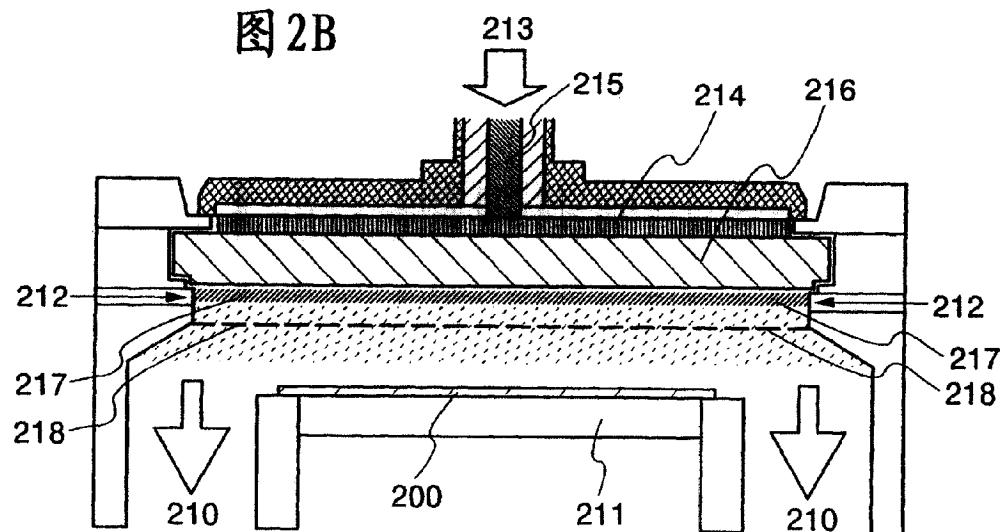


图 3A

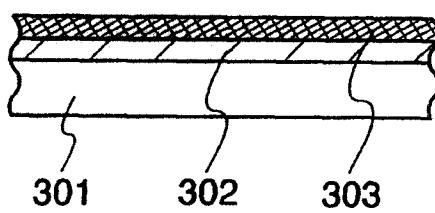


图 3B

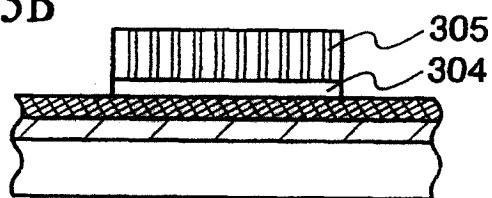


图 3C

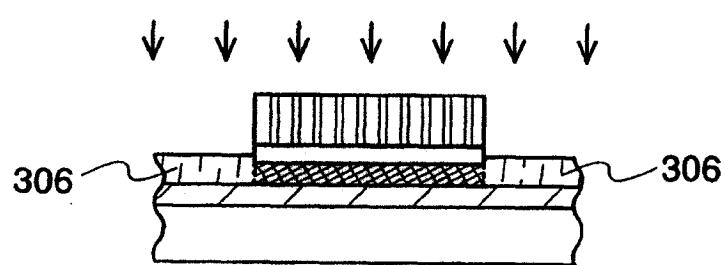


图 3D

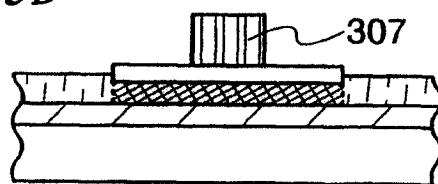


图 4A

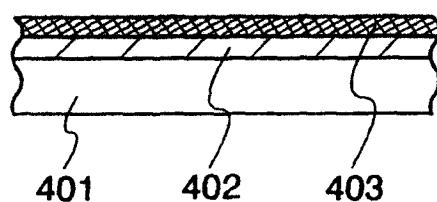


图 4B

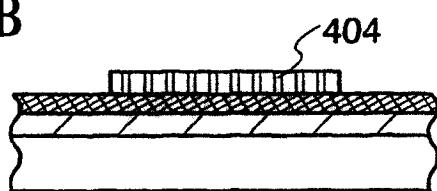


图 4C

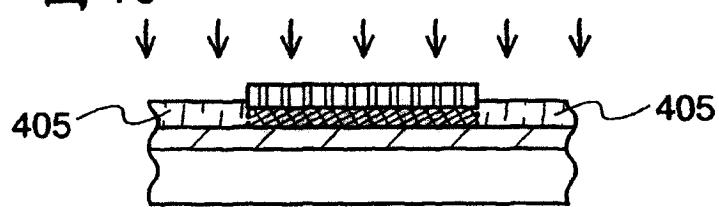


图 4D

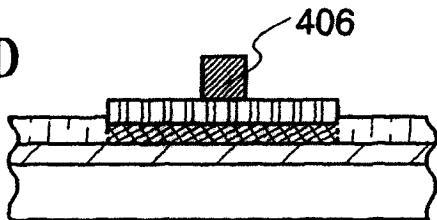


图 5A

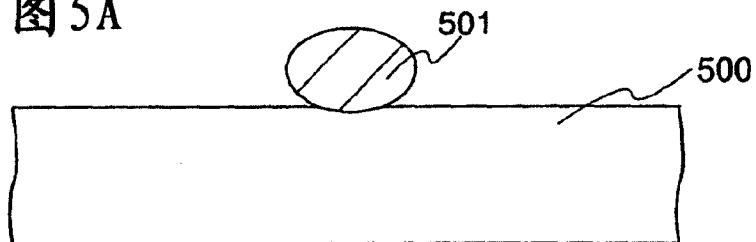


图 5B

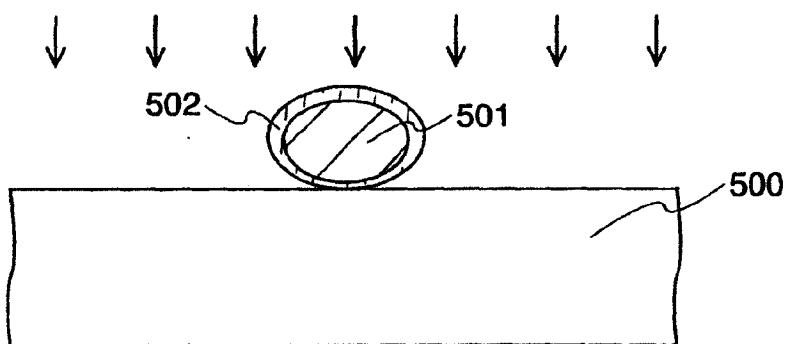


图 6A

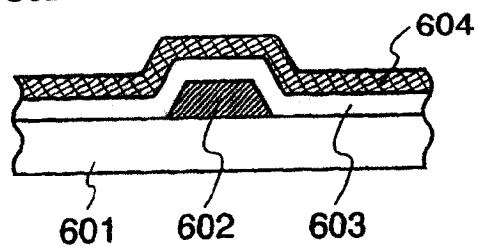


图 6B

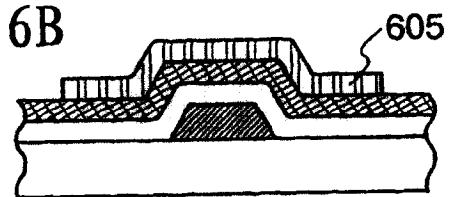


图 6C

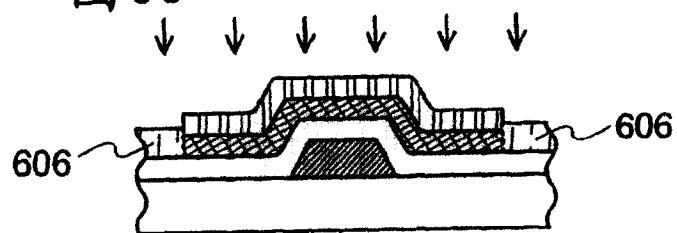


图 6D

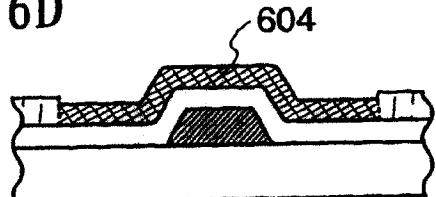
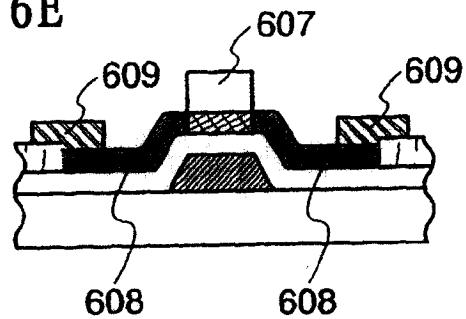


图 6E



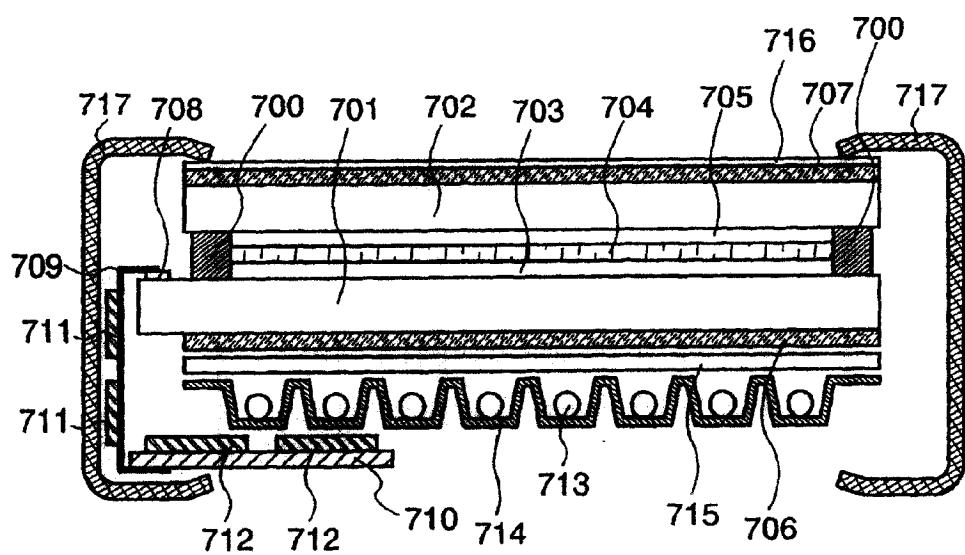


图 7

图 8A

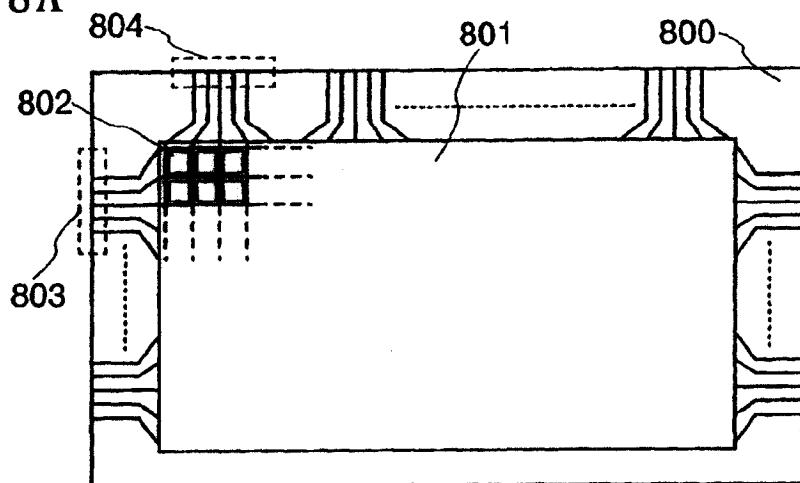


图 8B

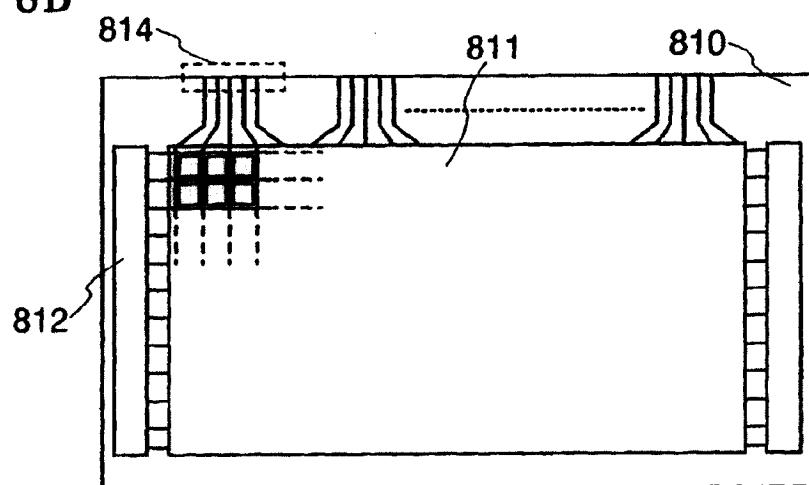


图 8C

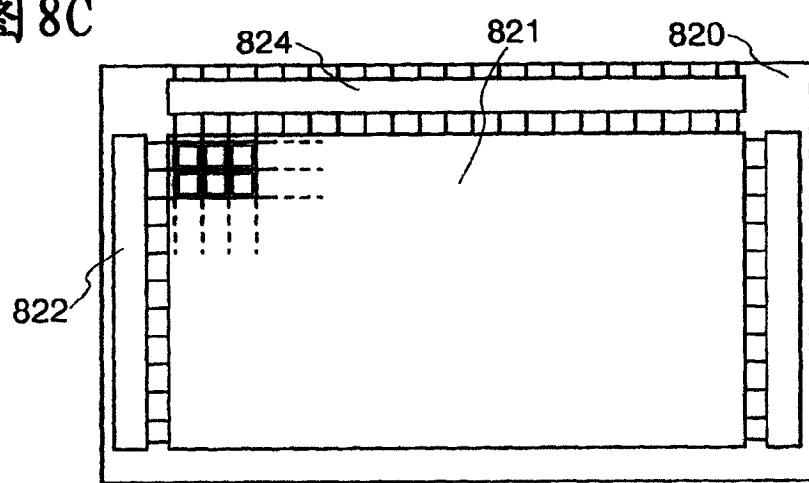


图 9

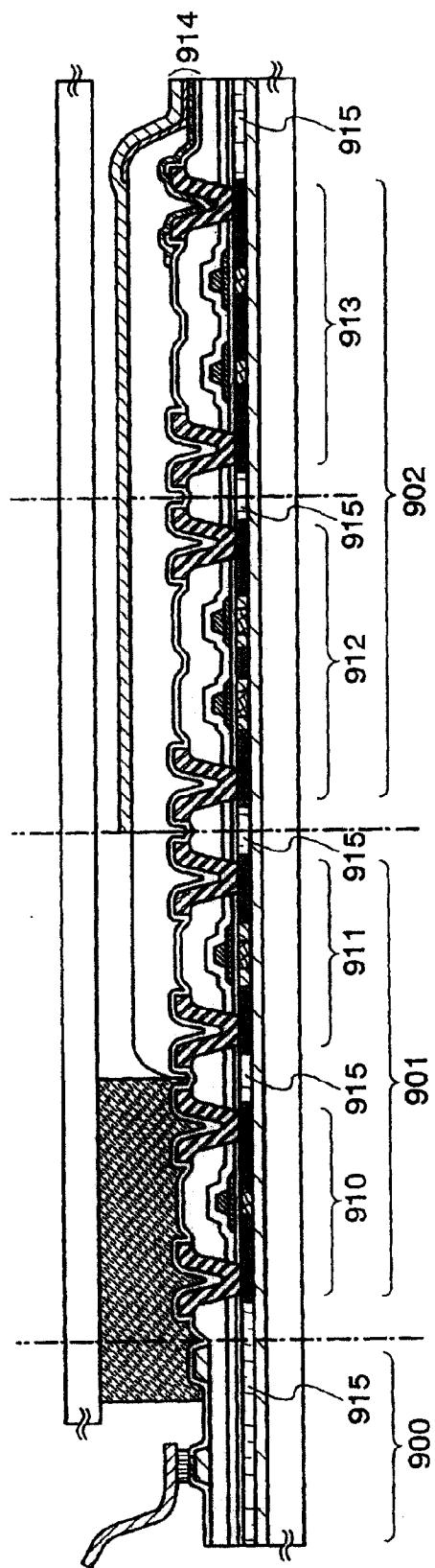


图 10A

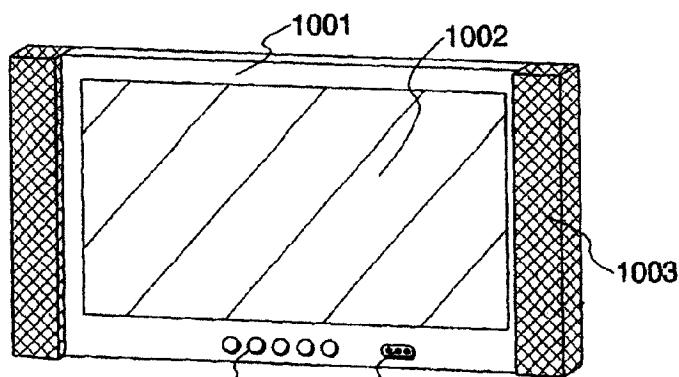


图 10B

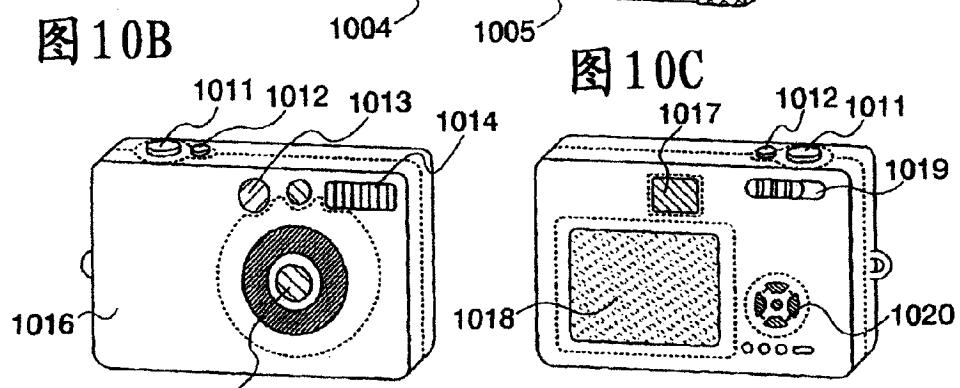


图 10C

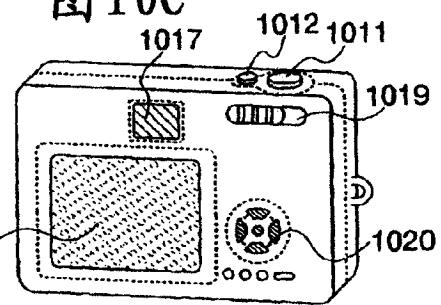
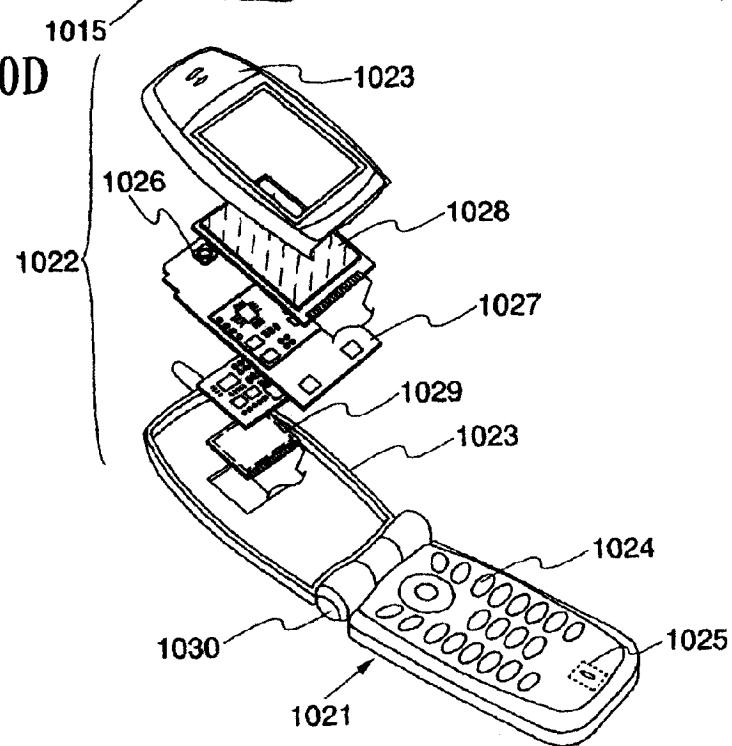


图 10D



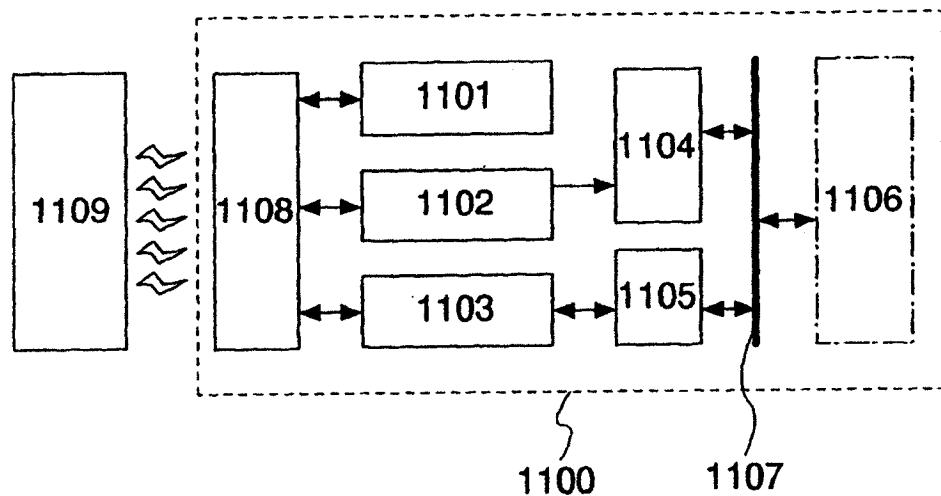


图 11A

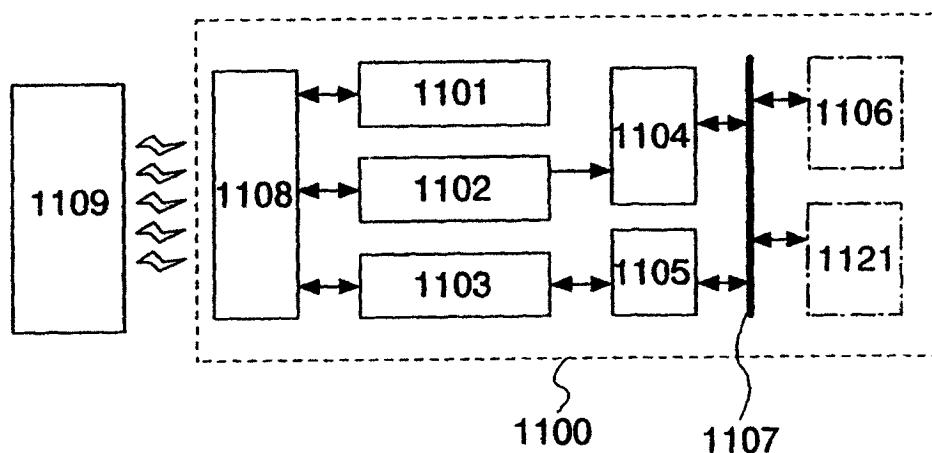


图 11B

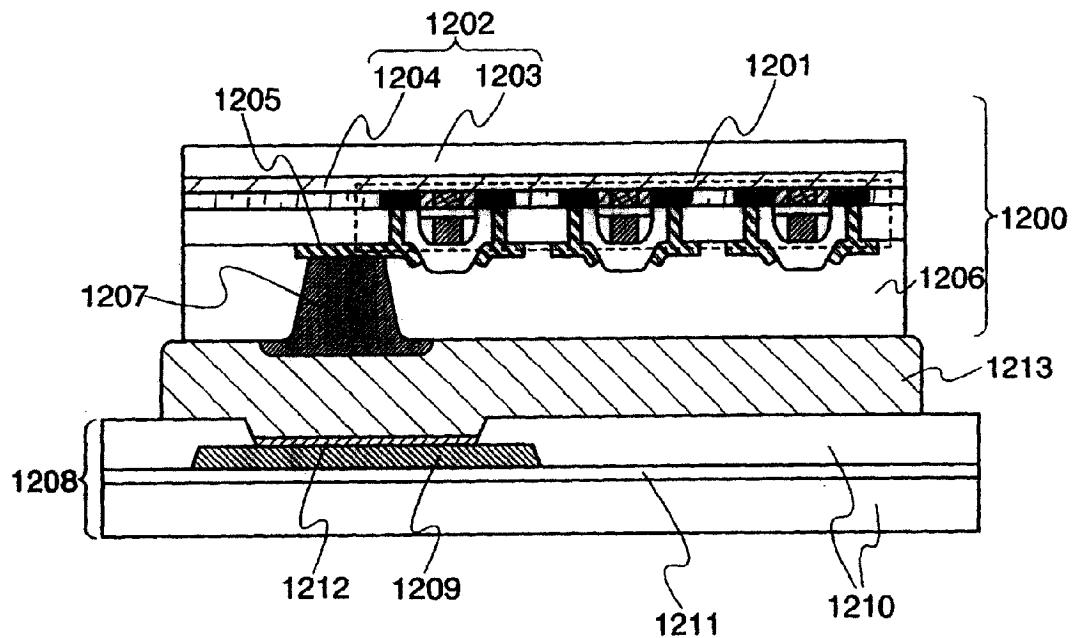


图 12

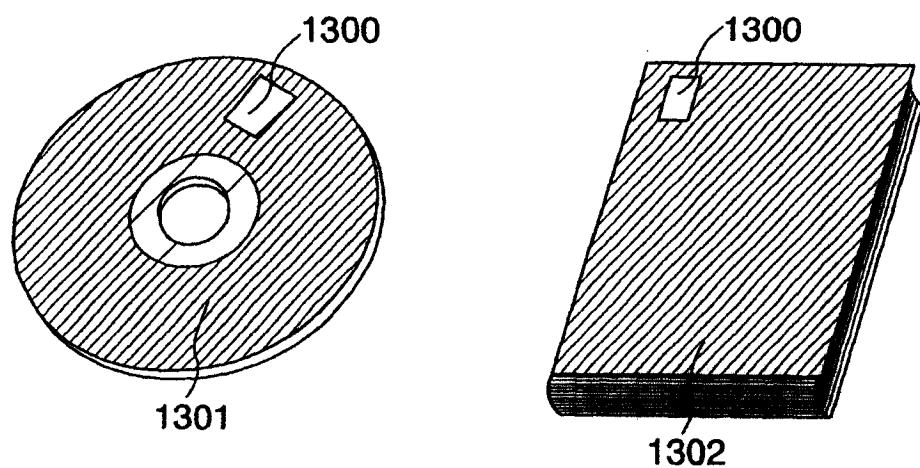


图 13B

图 13A

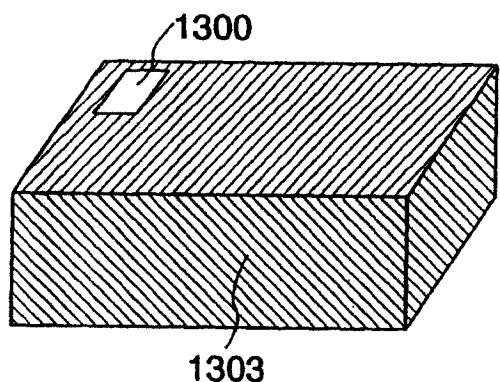


图 13C

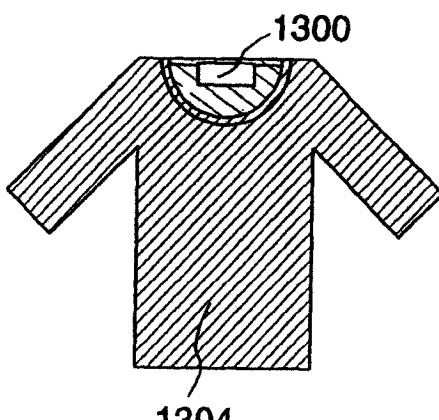


图 13D

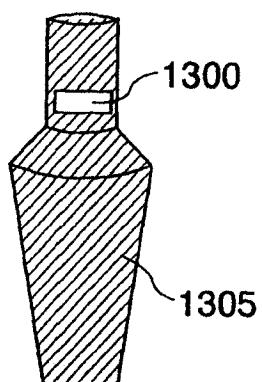


图 13E