

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年6月14日(14.06.2012)



(10) 国際公開番号

WO 2012/077647 A1

(51) 国際特許分類:

G02F 1/1368 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
G02F 1/1343 (2006.01)

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 大橋 誠二
(OHASHI, Seiji). 鎌田 豪(KAMADA, Tsuyoshi).
勝田 昇平(KATSUTA, Shohei).

(21) 国際出願番号:

PCT/JP2011/078105

(74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋2丁目北2
番6号 大和南森町ビル Osaka (JP).

(22) 国際出願日:

2011年12月5日(05.12.2011)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

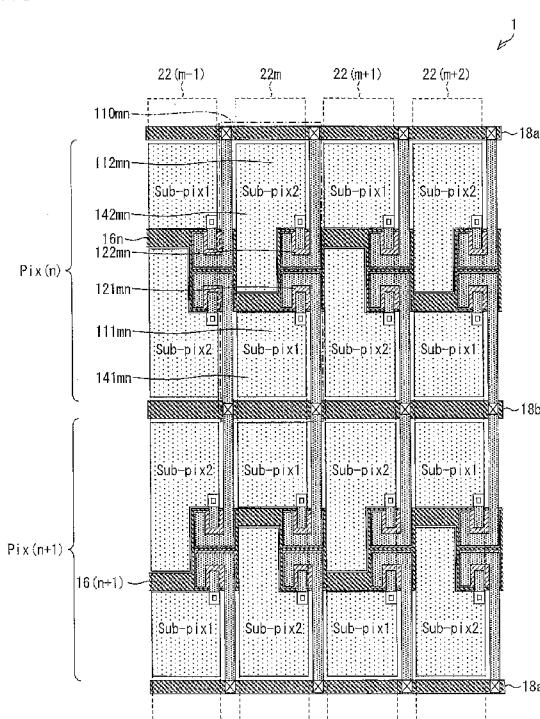
(30) 優先権データ:
特願 2010-276042 2010年12月10日(10.12.2010) JP
(71) 出願人(米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
22番22号 Osaka (JP).

[続葉有]

(54) Title: LIQUID CRYSTAL PANEL, DISPLAY DEVICE, AND METHOD FOR DRIVING THE LIQUID CRYSTAL PANEL

(54) 発明の名称: 液晶パネル、表示装置、及び、その駆動方法

[図1]



(57) Abstract: A liquid crystal panel (1) of the present invention is characterized in that a pixel (210) provided in the liquid crystal panel is provided with at least two sub-pixels (211, 212) that are aligned in the row direction, a TFT substrate (10) is provided with a gate bus line (16), a reference voltage bus line (18), a pixel electrode (14), and a TFT (12), which turns on and off the electrical connection between the pixel electrode (14) and the reference voltage bus line (18), and that a facing substrate (20) is provided with a data bus line (22).

(57) 要約: 本発明に係る液晶パネル(1)は、少なくとも行方向に並ぶ2つのサブ画素(211, 212)を備え、TFT基板(10)は、ゲートバスライン(16)と、基準電圧バスライン(18)と、画素電極(14)と、画素電極(14)と基準電圧バスライン(18)との電気的な接続をオンオフするTFT(12)とを備え、対向基板(20)は、データバスライン(22)を備えていることを特徴としている。

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明細書

発明の名称：液晶パネル、表示装置、及び、その駆動方法

技術分野

[0001] 本発明は、対向マトリクス型の液晶パネル、対向マトリクス型の液晶パネルを備える表示装置、及び、その駆動方法に関する。

背景技術

[0002] 液晶表示装置は、近年、高画質化が求められ、例えばVA（Vertical Alignment；垂直配向）型液晶ディスプレイでは、視野角特性を改善するために、1画素を複数のサブ画素に分割する駆動法が一般的に用いられている。マルチ画素駆動によれば、1つの画素に明副画素と暗副画素とを形成して中間調を表示する結果、中間調表示時の白浮き等の抑制を図ることができる。そして、マルチ画素駆動では、この2つのサブ画素に接続されている各補助容量Csの電位を変動させ、各サブ画素に電位差を生じさせることで、各サブ画素の輝度をコントロールしている。

[0003] また、下掲の特許文献1には、マルチ画素駆動方式の液晶表示装置において、2つの副画素の面積比を1／2以上4以下に設定することが、高い視覚特性を得るために望ましいと記載されている。

[0004] 一方、液晶表示装置の構成手法として、対向マトリクス型が提案されている。対向マトリクス型は、第1の基板上にゲートバスライン、基準電圧バスライン、スイッチング素子、及び表示電極が設けられ、第2の基板上にデータバスラインとして兼用される対向電極が設けられている。この対向マトリクス型の構成は、データバスラインとゲートバスラインとが積層していないため、対向マトリクス型以外の構成と比べ、層間の短絡欠陥の発生頻度を大幅に減少させることができる。

[0005] 下掲の特許文献2には、対向マトリクス型の液晶表示装置の1つの画素を2つのサブ画素に分割することによって、いずれか一方のサブ画素に不良が生じた場合でも、画素欠けを生じさせず、良好な表示品位を維持する技術が

開示されている。

先行技術文献

特許文献

[0006] 特許文献1：日本国公開特許公報「特開2006-133577号公報（2006年5月25日公開）」

特許文献2：日本国公開特許公報「特開2000-75318号公報（2000年3月4日公開）」

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献2に記載の技術では、各サブ画素に同じ電圧が印加されるため、各サブ画素に印加する電圧を異ならせるマルチ画素についての技術については何ら記載されていない。

[0008] また、特許文献2に記載された構成を基にして、マルチ画素を構成する2つのサブ画素のうち、一方のサブ画素の面積を単に小さくすることによって2つのサブ画素の面積比を変えてみた場合の思考実験的な液晶パネルの上面図を図15に示す。図15に示すように、データバスライン92とゲートバスライン96とにより画定された画素を構成する2つのサブ画素のうち、何れか一方のサブ画素の面積を単に小さくすると、画素の開口率に寄与しないデッドスペース90が生じてしまうことが判る。

[0009] 本発明は、上記の課題を解決するためになされたものであり、その主たる目的は、対向マトリクス型の液晶パネルにおいて、マルチ画素を構成する複数のサブ画素の面積比を変えた場合にもデッドスペースが生じない液晶パネルを提供することにある。

課題を解決するための手段

[0010] 本発明に係る液晶パネルは、上記の課題を解決するために、第1の基板と、上記第1の基板に対向するように配置された第2の基板と、上記第1の基板と上記第2の基板との間に設けられた液晶層とを備え、複数の画素領域が

行方向及び列方向に沿って二次元的に配列した液晶パネルであって、上記画素領域のそれぞれは、少なくとも上記行方向に並ぶ2つの副画素領域を備え、上記第1の基板は、上記行方向に並ぶ上記画素領域に対応して設けられたゲートバスラインと、上記ゲートバスラインに絶縁膜を介して交差するよう、上記副画素領域毎に設けられた基準電圧バスラインと、上記副画素領域毎に設けられた画素電極と、上記ゲートバスラインに供給されるゲート信号によって、上記画素電極と、当該画素電極に対応する上記基準電圧バスラインとの電気的な接続をオンオフするスイッチング素子とを備え、上記第2の基板は、上記列方向に並ぶ上記画素領域に対応して、上記副画素領域毎に設けられたデータバスラインを備えたことを特徴としている。

- [0011] 上記の構成によれば、各画素領域は、少なくとも行方向に並ぶ2つの副画素領域を備え、ゲートバスラインと交差する基準電圧バスラインを副画素領域毎に設けたので、1つの画素領域に無駄なデッドスペースを生じさせることなく、面積が大きい画素電極と、面積が小さい画素電極とを行方向に並べて1つの画素領域に形成することができる。
- [0012] しかも、副画素領域毎にデータバスラインを設けたので、1つの画素領域に備えられた2つの副画素領域に、任意の値の電圧を印加することができる。
- [0013] これにより、1つの画素領域に2つの副画素領域が横並びした構成を有する対向マトリクス型の液晶パネルにおいて、無駄なスペースを生じないマルチ画素構造が得られ、視野角特性を向上させることができる。
- [0014] また、各画素領域の少なくとも行方向に並ぶ2つの副画素領域に、任意の値の電圧を印加することができるため、液晶パネル完成後に副画素領域間の電位差を自由に設定することができる。これによって、液晶パネルの製造プロセスにバラツキが発生した場合にも、副画素領域間の電圧を適切に調整することができ、歩留まりを向上させることができる。
- [0015] なお、各画素領域が、少なくとも上記行方向に並ぶ2つの副画素領域を備えた構成とは、例えば、行方向に並ぶ2つの副画素領域を2組備え、1つの

画素領域に4つの副画素領域を設けることを許容することの意味である。

- [0016] 本発明に係る液晶パネルは、上記の課題を解決するために、第1の基板と、上記第1の基板に対向するように配置された第2の基板と、上記第1の基板と上記第2の基板との間に設けられた液晶層とを備え、複数の画素領域が行方向及び列方向に沿って二次元的に配列し、かつ上記画素領域のそれぞれは、少なくとも上記列方向に並ぶ2つの副画素領域を備えた液晶パネルであって、上記第1の基板は、上記行方向に並ぶ上記画素領域に対応して設けられたゲートバスラインと、上記行方向に並ぶ上記画素領域に対応して、上記副画素領域毎に設けられた基準電圧バスラインと、上記副画素領域毎に設けられた画素電極と、上記ゲートバスラインに供給されるゲート信号によって、上記画素電極と上記基準電圧バスラインとの電気的な接続をオンオフするスイッチング素子とを備え、上記第2の基板は、上記列方向に並ぶ上記画素領域に対応して設けられたデータバスラインを備え、上記ゲートバスラインを蛇行形状とすることによって、上記2つの副画素領域の面積を異ならせることを特徴としている。
- [0017] 上記の構成によれば、ゲートバスラインとデータバスラインとが、液晶層を挟んで対向する第1の基板と第2の基板とに分かれて設けられた構成の液晶パネルにおいて、第1の基板に副画素領域毎に画素電極を設ける場合に、1つの画素領域にデッドスペースを作らずに、面積の異なる2つの画素電極を列方向に並べて設けることができる。
- [0018] その理由は以下のとおりである。例えば、上記蛇行形状の中心線が、上記画素領域を上記列方向に並ぶ等面積の2つの領域に分割する2等分線であるとする。その中心線から上記列方向に対してゲートバスラインが変位すると、列方向に並ぶ等面積の2つの領域は、自ずと面積の異なる領域となる。
- [0019] 仮に、ゲートバスラインを蛇行させず、上記の等面積の2つの領域の一方の画素電極を単に小さくすることによって、面積の小さい画素電極を形成するとすれば、面積の小さい画素電極を形成した副画素領域にデッドスペースが生じる。

- [0020] これに対し、本発明では、ゲートバスラインを蛇行させることによって、副画素領域自体の面積を異ならせているので、1つの画素領域に無駄なデッドスペースを生じさせることなく、面積が大きい画素電極と、面積が小さい画素電極とを1つの画素領域に形成することができる。
- [0021] これにより、1つの画素領域に2つの副画素領域が縦並びした構成を有する対向マトリクス型の液晶パネルにおいて、無駄なスペースを生じないマルチ画素構造が得られ、視野角特性を向上させることができる。
- [0022] なお、各画素領域が、少なくとも上記列方向に並ぶ2つの副画素領域を備えた構成とは、例えば、列方向に並ぶ2つの副画素領域を2組備え、1つの画素領域に4つの副画素領域を設けることを許容するとの意味である。
- [0023] 本発明に係る液晶パネルは、上記の課題を解決するために、第1の基板と、上記第1の基板に対向するように配置された第2の基板と、上記第1の基板と上記第2の基板との間に設けられた液晶層とを備え、複数の画素領域が行方向及び列方向に沿って二次元的に配列した液晶パネルであって、上記画素領域のそれぞれは、少なくとも上記行方向に並ぶ2つの副画素領域を備え、記第1の基板は、上記行方向に並ぶ上記画素領域に対応して設けられたゲートバスラインと、上記ゲートバスラインに絶縁膜を介して交差するよう、上記副画素領域毎に設けられた基準電圧バスラインと、上記副画素領域毎に設けられた画素電極と、上記ゲートバスラインに供給されるゲート信号によって、上記画素電極と、当該画素電極に対応する基準電圧バスラインとの電気的な接続をオンオフするスイッチング素子とを備え、上記第2の基板は、上記列方向に並ぶ上記画素領域に対応して、上記2つの副画素領域に共通に設けられたデータバスラインを備えたことを特徴としている。
- [0024] 上記の構成によれば、各画素領域は、少なくとも行方向に並ぶ2つの副画素領域を備え、ゲートバスラインと交差する基準電圧バスラインを副画素領域毎に設けたので、1つの画素領域に無駄なデッドスペースを生じさせることなく、面積が大きい画素電極と、面積が小さい画素電極とを行方向に並べて1つの画素領域に形成することができる。

- [0025] しかも、2つの副画素領域に共通にデータバスラインを設けたので、副画素領域毎に設けた基準電圧バスラインに印加する電圧を副画素領域に応じて変えることにより、データバスラインと基準電圧バスラインとの電位差を、副画素領域毎に変えることができる。
- [0026] これにより、1つの画素領域に2つの副画素領域が横並びした構成を有する対向マトリクス型の液晶パネルにおいて、無駄なスペースを生じないマルチ画素構造が得られ、視野角特性を向上させることができる。
- [0027] なお、各画素領域が、少なくとも上記行方向に並ぶ2つの副画素領域を備えた構成とは、例えば、行方向に並ぶ2つの副画素領域を2組備え、1つの画素領域に4つの副画素領域を設けることを許容するとの意味である。
- [0028] また、列方向に並ぶ各画素領域について、行方向に並ぶ2つの副画素領域の面積を異ならせるとともに、上記2つの副画素領域のうち、面積が小さい方の副画素領域または面積が大きい方の副画素領域が、列方向に整列するように配置してもよい。
- [0029] この場合、小さな面積の副画素領域の列と、大きな面積の副画素領域の列とを形成することができる。このような構成では、例えば、小さな面積の副画素領域の列に低階調領域から中間調領域の色を表示させ、大きな面積の副画素領域の列に中間調領域から高階調領域の色を表示させることができる。すなわち市松模様を作らないようにすることができる。この結果、中間調の色に、市松模様の場合に生じるざらつき感を発生しにくくすることができる。
- [0030] 本発明に係る液晶パネルの駆動方法は、上述した液晶パネルにおける駆動方法であって、少なくとも上記行方向に並ぶ上記2つの副画素領域を、第1の副画素領域及び第2の副画素領域とし、上記第1の副画素領域に対応した基準電圧バスラインを第1の基準電圧バスラインとし、上記第2の副画素領域に対応した基準電圧バスラインを第2の基準電圧バスラインとし、上記第1の副画素領域に対応したデータバスラインを第1のデータバスラインとし、上記第2の副画素領域に対応したデータバスラインを第2のデータバスラ

インとすると、上記第1の基準電圧バスライン及び上記第2の基準電圧バスラインに印加する各電圧を同一にし、上記第1のデータバスライン及び上記第2のデータバスラインに印加する電圧を相違させることによって、上記第1のデータバスライン及び上記第1の基準電圧バスライン間の電位差と、上記第2のデータバスライン及び上記第2の基準電圧バスライン間の電位差とを相違させることを特徴としている。

- [0031] 上記の構成によれば、画素領域に対応して設けられたゲートバスラインにゲート信号が出力されると、上記スイッチング素子がオンになり、少なくとも上記行方向に並ぶ上記第1の副画素領域及び第2の副画素領域が同時に選択され、各副画素領域の画素電極に、各副画素領域に対応した基準電圧バスラインに印加された電圧が書き込まれる。
- [0032] 各副画素領域の画素電極には各データバスラインが対向しているから、第1の副画素領域の液晶層には、第1のデータバスラインと第1の基準電圧バスラインとの電位差が印加される一方、第2の副画素領域の液晶層には、第2のデータバスラインと第2の基準電圧バスラインとの電位差が印加される。
- [0033] このとき、第1の基準電圧バスラインに印加された電圧と、第2の基準電圧バスラインに印加された電圧とは同一であり、第1のデータバスライン及び第2のデータバスラインに印加する電圧を相違させているから、第1の副画素領域の液晶層にかかる電圧と、第2の副画素領域の液晶層にかかる電圧とを相違させることができる。
- [0034] これにより、第1の副画素領域における液晶分子の配向状態と、第2の副画素領域における液晶分子の配向状態とを、第1のデータバスライン及び第2のデータバスラインに印加する各電圧に応じて相違させることができる結果、対向マトリクス型の液晶パネルにおける視野角特性を向上させることができる。
- [0035] 本発明に係る液晶パネルの駆動方法は、上述した液晶パネルにおける駆動方法であって、少なくとも上記列方向に並ぶ上記2つの副画素領域のうち一

方の副画素領域に対応した基準電圧バスラインを第1の基準電圧バスラインとし、他方の副画素領域に対応した基準電圧バスラインを第2の基準電圧バスラインとすると、上記第1の基準電圧バスライン及び上記第2の基準電圧バスラインに印加する各電圧を相違させることによって、上記データバスライン及び上記第1の基準電圧バスライン間の電位差と、上記データバスライン及び上記第2の基準電圧バスライン間の電位差とを相違させることを特徴としている。

- [0036] 上記の構成によれば、画素領域に対応して設けられたゲートバスラインにゲート信号が出力されると、上記スイッチング素子がオンになり、少なくとも上記列方向に並ぶ2つの副画素領域が同時に選択され、各副画素領域の画素電極に、各副画素領域に対応した基準電圧バスラインに印加された電圧が書き込まれる。
- [0037] 各副画素領域の画素電極にはデータバスラインが対向しているから、上記一方の副画素領域の液晶層には、データバスラインと第1の基準電圧バスラインとの電位差が印加される一方、上記他方の副画素領域の液晶層には、データバスラインと第2の基準電圧バスラインとの電位差が印加される。
- [0038] このとき、それぞれの電位差を相違させているから、上記一方の副画素領域の液晶層にかかる電圧と、上記他方の副画素領域の液晶層にかかる電圧とを相違させることができる。
- [0039] これにより、データバスラインに書き込んだ電圧に対して、上記一方の副画素領域における液晶分子の配向状態と、上記他方の副画素領域における液晶分子の配向状態とを相違させることができることによる結果、対向マトリクス型の液晶パネルにおける視野角特性を向上させることができる。
- [0040] なお、上記ゲートバスラインを蛇行形状とすることによって、上記2つの副画素領域の面積は異なっている。この場合、あるデータバスラインに対応した2つの副画素領域の一方の副画素領域の面積が、他方の副画素領域の面積より小さいとすると、上記あるデータバスラインに隣り合うデータバスラインに対応した2つの副画素領域の一方の副画素領域の面積は、他方の副画

素領域の面積より大きくなる。

- [0041] 本発明に係る液晶パネルの駆動方法は、上述した液晶パネルにおける駆動方法であって、少なくとも上記行方向に並ぶ上記2つの副画素領域を、第1の副画素領域及び第2の副画素領域とし、上記第1の副画素領域に対応した基準電圧バスラインを第1の基準電圧バスラインとし、上記第2の副画素領域に対応した基準電圧バスラインを第2の基準電圧バスラインとすると、上記第1の基準電圧バスライン及び上記第2の基準電圧バスラインに印加する各電圧を相違させることによって、上記データバスライン及び上記第1の基準電圧バスライン間の電位差と、上記データバスライン及び上記第2の基準電圧バスライン間の電位差とを相違させること特徴としている。
- [0042] 上記の構成によれば、画素領域に対応して設けられたゲートバスラインにゲート信号が出力されると、上記スイッチング素子がオンになり、少なくとも上記行方向に並ぶ上記第1の副画素領域及び第2の副画素領域が同時に選択され、各副画素領域の画素電極に、各副画素領域に対応した基準電圧バスラインに印加された電圧が書き込まれる。
- [0043] 各副画素領域の画素電極には共通のデータバスラインが対向しているから、第1の副画素領域の液晶層には、データバスラインと第1の基準電圧バスラインとの電位差が印加される一方、第2の副画素領域の液晶層には、データバスラインと第2の基準電圧バスラインとの電位差が印加される。
- [0044] このとき、それぞれの電位差を相違させているから、第1の副画素領域の液晶層にかかる電圧と、第2の副画素領域の液晶層にかかる電圧とを相違させることができる。
- [0045] これにより、データバスラインに書き込んだ電圧に対して、第1の副画素領域における液晶分子の配向状態と、第2の副画素領域における液晶分子の配向状態とを相違させることができる結果、対向マトリクス型の液晶パネルにおける視野角特性を向上させることができる。

発明の効果

- [0046] 本発明に係る液晶パネルは、上記のように、第1の基板と、上記第1の基

板に対向するように配置された第2の基板と、上記第1の基板と上記第2の基板との間に設けられた液晶層とを備え、複数の画素領域が行方向及び列方向に沿って二次元的に配列し、かつ各画素領域には、少なくとも上記列方向に並ぶ2つの副画素領域を備えた液晶パネルであって、上記第1の基板は、上記行方向に並ぶ上記画素領域に対応して設けられたゲートバスラインと、上記行方向に並ぶ上記画素領域に対応して、上記副画素領域毎に設けられた基準電圧バスラインと、上記副画素領域毎に設けられた画素電極と、上記ゲートバスラインに供給されるゲート信号によって、各画素電極と上記基準電圧バスラインとの電気的な接続をオンオフするスイッチング素子とを備え、上記第2の基板は、上記列方向に並ぶ上記画素領域に対応して設けられたデータバスラインを備え、上記ゲートバスラインを蛇行形状とすることによって、上記2つの副画素領域の面積を異ならせることを特徴としている。

[0047] これにより、1つの画素領域に2つの副画素領域が縦並びした構成を有する対向マトリクス型の液晶パネルにおいて、無駄なスペースを生じないマルチ画素構造が得られ、視野角特性を向上させることができる。

図面の簡単な説明

[0048] [図1]本発明の一実施形態に係る液晶パネルのTFT基板のレイアウトを示す上面図である。

[図2]図1に示す液晶パネルの斜視図である。

[図3]図1に示す液晶パネルの詳細を示す図である。

[図4A]図1に示すTFT基板の等価回路、及び、 \times フレーム表示時の液晶容量の印加電圧を示す図である。

[図4B]図1に示すTFT基板の等価回路、及び、 $\times + 1$ フレーム表示時の液晶容量の印加電圧を示す図である。

[図5]図4 A及び図4 Bに示す液晶容量をコンデンサとして表した場合のTFT基板の等価回路を示す図である。

[図6]図1に示す液晶パネルの動作を示すタイミングチャートである。

[図7]図1に示す液晶パネルのTFT基板の構成の概略を示す上面図である。

[図8]図9に示す液晶パネルのTFT基板の構成の概略を示す上面図である。

[図9]本発明の他の実施形態に係る液晶パネルのTFT基板のレイアウトを示す上面図である。

[図10A]図9に示すTFT基板の等価回路、及び、 \times フレーム表示時の液晶容量の印加電圧を示す図である。

[図10B]図9に示すTFT基板の等価回路、及び、 $\times + 1$ フレーム表示時の液晶容量の印加電圧を示す図である。

[図11]図9に示す液晶パネルの動作を示すタイミングチャートである。

[図12]本発明のさらに他の実施形態に係る液晶パネルのTFT基板のレイアウトを示す上面図である。

[図13]図12に示すTFT基板の等価回路、及び、 \times フレーム表示時の液晶容量の印加電圧を示す図である。

[図14]図12に示す液晶パネルの動作を示すタイミングチャートである。

[図15]従来技術において、マルチ画素を構成する2つのサブ画素の面積比を変えたときの液晶パネルの上面図である。

[図16]図15に示す液晶パネルにおいて、それぞれのサブ画素の明暗を模式的に表した図である。

[図17]図15に示す液晶パネルにおける表示の一例を示す図である。

発明を実施するための形態

[0049] <実施形態1>

本発明の一実施形態に係る液晶パネル、液晶パネルを備えた表示装置及びその駆動方法について、図1から図7を参照して説明する。但し、この実施形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定的な記載がない限り、この発明の範囲をそれのみに限定する趣旨ではなく、単なる説明例に過ぎない。

[0050] [液晶パネルの構成]

本実施形態に係る表示装置が備える液晶パネルについて、図2及び図3を参照して説明する。図2は、本実施形態に係る液晶パネル1の斜視図である

。図3は、本実施形態に係る液晶パネル1の詳細を示す図である。

- [0051] 図2に示すように、本実施形態に係る液晶パネル1は、TFT基板（第1の基板）10と、第1基板に対して対向配置された対向基板（第2の基板）20とを備えている。また、TFT基板10と対向基板20との間には、不図示の液晶層が形成されている。
- [0052] 図2及び図3の(a)に示すように、TFT基板10は、一方の面（以降、TFT基板10の実装面とも呼称する）上に、複数のTFT（スイッチング素子）12、複数の画素電極14、互いに並列に形成された複数のゲートバスライン16、及び、ゲートバスライン16に並列に形成された基準電圧バスライン18を備えている。TFT12のゲート端子はゲートバスライン16に接続され、ソース端子は基準電圧バスライン18に接続され、ドレイン端子は画素電極14に接続される。
- [0053] なお、説明の便宜上、TFT12が備えている3端子のうち、ゲート端子以外の2端子について、基準電圧バスライン18に接続された端子をソース端子と呼び、画素電極14に接続された端子をドレイン端子と呼ぶ。
- [0054] ゲートバスライン16は、接続されたTFT12に走査信号（ゲート信号）を供給する。基準電圧バスライン18は、TFT12を介して画素電極14に基準電圧を供給する。また、図3の(a)に示すように、ゲートバスライン16はゲート入力端子16aを備え、基準電圧バスライン18は基準電圧入力端子18cを備えている。
- [0055] 図2及び図3の(b)に示すように、対向基板20は、一方の面（以降、対向基板20の実装面とも呼称する）に互いに並列に形成されたデータバスライン22を備えている。なお、図2に示すように、データバスライン22のうち、画素電極14と対向する部分は、画素電極14の対向電極24を兼ねている。また、画素電極14と対向電極24とに液晶層が挟持されることにより、液晶容量が構成されている。データバスライン22は、データ（映像）信号を対向電極24に供給する。なお、図3の(b)に示すように、データバスライン22はデータ入力端子22aを備えている。

[0056] TFT基板10及び対向基板20は、図3の(c)に示すように、TFT基板10の実装面と対向基板20の実装面とが向かい合うように配置されている。なお、TFT基板10及び対向基板20は、TFT基板10の実装面に形成されたゲートバスライン16と、対向基板20の実装面に形成されたデータバスライン22とが液晶層を介して交差するように配置されることによって、画素領域がN行M列に2次元的に配列された対向マトリクスを構成している。

[0057] なお、画素領域の詳細な構成については後述するが、図7に示すように、基本的には、1つの画素領域が、例えば赤緑青の三原色のうち、1つの色に対応している。図7は本実施形態に係る液晶パネル1のTFT基板10の構成の概略を示す上面図である。

[0058] また、ゲートバスライン16のゲート入力端子16a、及び、基準電圧バスライン18の基準電圧入力端子18cは、TFT基板10の端部において、各ゲートバスライン16に走査信号を供給し、各基準電圧バスライン18に基準電圧を供給するゲート駆動回路32と接続されている。また、データバスライン22のデータ入力端子22aは、フレキシブルプリント基板30において各データバスライン22にデータ信号を供給するデータ駆動回路34と接続されている。

[0059] [TFT基板のレイアウト]

次に、本実施形態に係る液晶パネル1のTFT基板10のレイアウトの詳細を、図1を参照して説明する。図1は、本実施形態に係る液晶パネル1のTFT基板10のレイアウトを示す上面図である。なお、図1において、対向基板20に形成された総数M本のデータバスライン22のうち、m本目のデータバスライン22m(M及びmは自然数、M≥m)の付近に配置されたデータバスライン22(m-1)～22(m+2)を破線で示している。

[0060] 液晶パネル1は、ゲートバスライン16とデータバスライン22とにより画定される画素(画素領域)110を備えている。画素110は、行方向及び列方向に沿って二次元的に配置される。各画素は第1サブ画素111(第

1 の副画素領域) である $S_{ub-pi \times 1}$ と第2サブ画素 112 (第2の副画素領域) である $S_{ub-pi \times 2}$ を備えている。また、画素電極 14 は、第1サブ画素 111 を構成する第1画素電極 141 、及び、第2サブ画素 112 を構成する第2画素電極 142 を備えている。TFT12は、第1サブ画素 111 を構成する第1TFT121、及び、第2サブ画素 112 を構成する第2TFT122を備えている。

[0061] 図1に示すように、総数N本のゲートバスライン 16 のうち、 n 本目のゲートバスライン $16n$ (N 及び n は自然数、 $N \geq n$) と m 本目のデータバスライン $22m$ とにより画定される画素 110 を画素 $110mn$ とし、画素 $110mn$ の第1サブ画素 111 を第1サブ画素 $111mn$ 、第2サブ画素 112 を第2サブ画素 $112mn$ とする。また、第1サブ画素 $111mn$ を構成する第1画素電極 141 を第1画素電極 $141mn$ とし、第2サブ画素 $112mn$ を構成する第2画素電極 142 を第2画素電極 $142mn$ とする。さらに、第1サブ画素 $111mn$ を構成する第1TFT121を第1TFT121mnとし、第2サブ画素 112 を構成する第2TFT122を第2TFT122mnとする。

[0062] 図1に示すように、1つの画素 110 の領域において、第1サブ画素 111 と第2サブ画素 112 とは、上記列方向に配列している。また、第1サブ画素 $111mn$ が備える第1TFT121mnのゲート端子はゲートバスライン $16n$ に接続され、ソース端子は基準電圧バスライン $18a$ (第1の基準電圧バスライン) に接続され、ドレイン端子は第1画素電極 $141mn$ に接続されている。また、第2サブ画素 112 が備える第2TFT122mnのゲート端子はゲートバスライン $16n$ に接続され、ソース端子は基準電圧バスライン $18b$ (第2の基準電圧バスライン) に接続され、ドレイン端子は第2画素電極 $142mn$ に接続されている。

[0063] なお、図1に示すように、本実施形態における液晶パネル1のTFT基板10は、第1サブ画素 111 に対する第2サブ画素 112 の面積比が、1より大きく4以下になるように構成されていることが好ましい。

- [0064] これによって、面積の小さい第1サブ画素111（小副画素領域）におけるデータバスライン22及び基準電圧バスライン18間の電位差を、面積の大きい第2サブ画素112（大副画素領域）における電位差より大きくするので、第1サブ画素111の液晶層にかかる電圧は、第2サブ画素112の液晶層に比べて、早く液晶のしきい値を超える。すなわち、第1サブ画素111の液晶層にかかる電圧が、液晶のしきい値を超える時点では、第2サブ画素112の液晶層にかかる電圧は、液晶のしきい値を超えていない。
- [0065] この場合、面積の大きい第2サブ画素112が発光を開始する前に、第1サブ画素111が低階調領域の色から先に表示し始め、第2サブ画素112より高い輝度に到達し、第2サブ画素112はあとから中間調領域から高階調領域の発光量を補うように発光する。つまり、面積の小さい第1サブ画素111は、低階調から中間調の表示に主に寄与する一方、面積の大きい第2サブ画素112は、中間調から高階調の表示に主に寄与する。このようにすると、視野角特性を所望の特性に制御しやすくなる。
- [0066] また、人の視覚は、高階調領域の色よりも低階調領域の色に敏感に反応するため、低階調領域を面積の小さい第1サブ画素111にする方が、低階調領域を面積の大きい第2サブ画素112にするよりも、視野角特性をより向上させることができる。
- [0067] なお、第1サブ画素111及び第2サブ画素112の面積が異なる場合には、図1に示すように、ゲートバスライン16が蛇行形状に形成されることが好ましい。これにより、1つの画素110にデッドスペースを作らずに、面積の異なる2つの第1画素電極141及び第2画素電極142を列方向に並べて設けることができる。
- [0068] その理由は以下のとおりである。例えば、上記蛇行形状の中心線が、上記画素110を上記列方向に並ぶ等面積の2つの領域に分割する2等分線であるとする。その中心線から上記列方向に対してゲートバスライン16が変位すると、列方向に並ぶ等面積の2つの領域は、自ずと面積の異なる領域となる。

- [0069] 従来は、ゲートバスライン16を蛇行させず、等面積の2つの領域の一方の画素電極を単に小さくすることによって、面積の小さい画素電極を形成していたため、面積の小さい画素電極を形成したサブ画素にデッドスペースが生じていた。
- [0070] これに対し、本実施形態では、ゲートバスライン16を蛇行させることによって、サブ画素自体の面積を異ならせてているので、1つの画素110に無駄なデッドスペースを生じさせることなく、面積が小さい第1画素電極141と、面積が大きい第2画素電極142とを1つの画素110に形成することができる。
- [0071] これにより、1つの画素領域に2つのサブ画素が縦並びした構成を有する対向マトリクス型の液晶パネル1において、無駄なスペースを生じないマルチ画素構造が得られ、視野角特性を向上させることができる。
- [0072] なお、各画素110が、列方向に並ぶ2つのサブ画素を備えた構成に限らず、例えば、列方向に並ぶ2つのサブ画素を2組備え、1つの画素領域に4つのサブ画素を設けてもよい。
- [0073] また、蛇行形状の中心線は、各画素110m nを列方向に等しい幅で並ぶ2つの領域に分割する2等分線であることがさらに好ましい。これにより、ゲートバスライン16が行方向に沿って蛇行するときの2等分線からの蛇行の幅を揃える構成を選択することができ、それによって、面積大の第2画素電極142と、面積小の第1画素電極141とを、一定の面積比率で、行方向に沿って配置することができる。
- [0074] また、蛇行形状に形成されたゲートバスライン16の折曲部毎には、第1TFT121及び第2TFT122が交互に設けられている。これにより、第1TFT121及び第2TFT122の配置のレイアウトをシンプルにすることができる。
- [0075] [等価回路]

次に、本実施形態に係るTFT基板10の等価回路について、図4A、図4B及び図5を参照して説明する。図4Aは、本実施形態に係る液晶パネル

1 の TFT 基板 10 の等価回路、及び、× フレーム表示時の液晶容量への印加電圧を示す図である。図 4B は、本実施形態に係る液晶パネル 1 の TFT 基板 10 の等価回路、及び、×+1 フレーム表示時の液晶容量への印加電圧を示す図である。なお、1 フレームは、例えば、60 Hz 駆動の液晶パネルであれば、1/60 秒である。図 5 は、図 4A 及び図 4B に示す第 1 液晶容量 131 及び第 2 液晶容量 132 を第 1 コンデンサ 151 及び第 2 コンデンサ 152 として表した場合の TFT 基板 10 の等価回路を示す図である。

[0076] 図 4A 及び図 4B のように、本実施形態における液晶パネル 1 は、データバスライン 22m とゲートバスライン 16n とで画定される画素 110mn (第 1 の画素領域) 、データバスライン 22(m+1) とゲートバスライン 16n とで画定される画素 110(m+1)n 、データバスライン 22(m+2) とゲートバスライン 16n とで画定される画素 110(m+2)n 、データバスライン 22m とゲートバスライン 16(n+1) とで画定される画素 110m(n+1) (第 2 の画素領域) 、データバスライン 22(m+1) とゲートバスライン 16(n+1) とで画定される画素 110(m+1)(n+1) 、及び、データバスライン 22(m+2) とゲートバスライン 16(n+1) とで画定される画素 110(m+2)(n+1) などを備えている。各画素は、それぞれ 2 つのサブ画素を備えている。

[0077] 画素 110mn ~ 110(m+2)n 及び、画素 110m(n+1) ~ 110(m+2)(n+1) はそれぞれ行方向に隣接して配置され、画素 110mn 及び画素 110m(n+1) 、画素 110(m+1)n 及び画素 110(m+1)(n+1) などはそれぞれ列方向に隣接して配置されている。

[0078] 画素 110mn は、2 つのサブ画素を、基準電圧バスライン 18a から列方向に、第 2 サブ画素 112mn (第 1 の副画素領域) 、第 1 サブ画素 111mn (第 2 の副画素領域) の順で備え、画素 110(m+1)n は、2 つのサブ画素を、基準電圧バスライン 18a から列方向に、第 1 サブ画素 111(m+1)n 、第 2 サブ画素 112(m+1)n の順で備えている。

[0079] また、画素 $110m(n+1)$ は、2つのサブ画素を、基準電圧バスライン $18b$ から列方向に、第1サブ画素 $111m(n+1)$ （第3の副画素領域）、第2サブ画素 $112m(n+1)$ （第4の副画素領域）の順で備え、画素 $110(m+1)(n+1)$ は、2つのサブ画素を、基準電圧バスライン $18b$ から列方向に、第2サブ画素 $112(m+1)(n+1)$ 、第1サブ画素 $111(m+1)(n+1)$ の順で備えている。すなわち、画素 $110m(n+1)$ 及び画素 $110(m+1)(n+1)$ は、基準電圧バスライン $18b$ に関して画素 $110mn$ 及び画素 $110(m+1)n$ と線対称になるように配置されている。

[0080] 言い換えると、上記列方向に隣り合う2つの画素 $110mn$ 及び画素 $110m(n+1)$ において、画素 $110mn$ が列方向に並ぶ第1の副画素領域としての第2サブ画素 $112mn$ と、第2の副画素領域としての第1サブ画素 $111mn$ を備え、画素 $110m(n+1)$ が列方向に並ぶ第3の副画素領域としての第1サブ画素 $111m(n+1)$ と、第4の副画素領域としての第2サブ画素 $112m(n+1)$ を備え、上記基準電圧バスライン $18b$ は、上記列方向に隣り合う第1サブ画素 $111mn$ と第1サブ画素 $111m(n+1)$ とに共有されている。

[0081] これにより、列方向に隣り合う画素領域が、1つの基準電圧バスラインを共有できるので、シンプルな配線レイアウトにすることができる。

[0082] また、画素 $110(m+2)n$ は画素 $110mn$ と同様の構成であり、画素 $110(m+2)(n+1)$ は画素 $110m(n+1)$ と同様の構成である。

[0083] さらに、各サブ画素は、TFT12及び液晶容量を含んでいる。なお、液晶容量は、画素電極14、データバスライン22が形成する対向電極24、及び、画素電極14と対向電極24との間に挟まれた液晶層により構成されている。図4A及び図4Bでは、液晶容量は、第1液晶容量 $131mn$ 及び第2液晶容量 $132mn$ を含んでいる。なお、第1液晶容量 $131mn$ 及び第2液晶容量 $132mn$ は、図5に示すように、等価回路にて第1コンテン

サ151mn及び第2コンテンサ152mnと表現することができる。

- [0084] 図4A及び図4Bに示すように、画素110mnの第1サブ画素111mnが備える第1TFT121mnのゲート端子はゲートバスライン16nに接続され、ソース端子は基準電圧バスライン18bに接続され、ドレイン端子は第1液晶容量131mnを介してデータバスライン22mに接続されている。
- [0085] また、第2サブ画素112mnが備える第2TFT122mnのゲート端子はゲートバスライン16nに接続され、ソース端子は基準電圧バスライン18aに接続され、ドレイン端子は第2液晶容量132mnを介してデータバスライン22mに接続されている。
- [0086] 画素110(m+1)nの第1サブ画素111(m+1)nが備える第1TFT121(m+1)nのゲート端子はゲートバスライン16nに接続され、ソース端子は基準電圧バスライン18aに接続され、ドレイン端子は第1液晶容量131(m+1)nを介してデータバスライン22(m+1)に接続されている。
- [0087] また、第2サブ画素112(m+1)nが備える第2TFT122(m+1)nのゲート端子はゲートバスライン16nに接続され、ソース端子は基準電圧バスライン18bに接続され、ドレイン端子は第2液晶容量132(m+1)nを介してデータバスライン22(m+1)に接続されている。
- [0088] また、画素110(m+2)nの第1サブ画素111(m+2)n及び第2サブ画素112(m+2)nは、第1TFT121(m+2)n及び第2TFT122(m+2)nのドレイン端子が、第1液晶容量131(m+2)n及び第2液晶容量132(m+2)nを介してデータバスライン22(m+2)に接続されること以外は、第1サブ画素111mn及び第2サブ画素112mnと同じ構成である。
- [0089] なお、液晶パネル1が赤緑青の三原色のカラー表示を行う場合には、例えば、画素110mnが赤に相当し、画素110(m+1)nが緑に相当し、画素110(m+2)nが青に相当すればよいが、これに限定されるもので

はない。

[0090] [液晶パネルの動作]

次に、本実施形態に係る液晶パネル1の動作について、図4A、図4B及び図6を参照して説明する。図6は、本実施形態に係る液晶パネル1の動作を示すタイミングチャートである。ここでは、 x 番目のフレーム（ x フレーム）を表示する際の、図4Aに示す第1サブ画素 $111mn$ の動作を例に挙げて説明する。

[0091] (x フレーム)

図6に示すように、時刻 $t \times 1$ において x フレームの表示が開始されると、 $x-1$ フレームを表示する際にLレベルに制御されていた基準電圧バスライン $18a$ の基準電圧がHレベルに制御され、 $x-1$ フレームを表示する際にHレベルに制御されていた基準電圧バスライン $18b$ の基準電圧がLレベルに制御される。また、時刻 $t \times 1$ では、1本目のゲートバスライン 16 が走査される。なお、本実施形態では、Hレベルの基準電圧を+1V、Lレベルの基準電圧を0Vとしているが、これに限定されるものではない。

[0092] 時刻 $t \times n$ において、 m 本目のデータバスライン $22m$ が+5Vに制御され、 n 本目のゲートバスライン $16n$ が走査されると、第1TFT $121mn$ 及び第2TFT $122mn$ のゲート端子に走査信号が供給され、第1TFT $121mn$ 及び第2TFT $122mn$ がON状態になる。同様に、第1TFT $121(m+1)n$ 、第2TFT $122(m+1)n$ 、第1TFT $121(m+2)n$ 、及び、第2TFT $122(m+2)n$ のゲート端子にも走査信号が供給され、ON状態になる。

[0093] データバスライン $22m$ から+5Vのデータ信号が供給されることにより、画素 $110mn$ の第1液晶容量 $131mn$ のnodeX（すなわち、第1液晶容量 $131mn$ の対向電極側）に、データバスライン $22m$ と同電圧の+5Vが印加される。また、第1液晶容量 $131mn$ のnodeY（すなわち、第1液晶容量 $131mn$ の画素電極側）には、基準電圧バスライン $18b$ と同電圧の0Vが印加される。これによって、第1液晶容量 $131mn$ に

は、図4Aに示すように、第1液晶容量131mnのnodeXとnodeYとの電位差nodeX-nodeY、すなわち、対向電極と画素電極との電位差である+5Vが印加されることになる。

[0094] また、データバスライン22mから+5Vのデータ信号が供給されることにより、画素110mnの第2液晶容量132mnのnodeXに+5Vが印加され、nodeYには基準電圧バスライン18aと同電圧の+1Vが印加される。これによって、第2液晶容量132mnには、第2液晶容量132mnのnodeXとnodeYとの電位差である+4Vが印加されることになる。

[0095] 同様に、時刻 $t \times n$ において、データバスライン22(m+1)が-4Vに制御されると、画素110(m+1)nの第1液晶容量131(m+1)nの印加電圧は-5Vになり、第2液晶容量132(m+1)nの印加電圧は-4Vになる。また、データバスライン22(m+2)が+5Vに制御されると、画素110(m+2)nの第1液晶容量131(m+2)nの印加電圧は+5Vになり、第2液晶容量132(m+2)nの印加電圧は+4Vになる。

[0096] 次に、時刻 $t \times (n+1)$ において、n本目のゲートバスライン16nの走査が停止され、新たにn+1本目のゲートバスライン16(n+1)が走査されると、第1TFT121m(n+1)及び第2TFT122m(n+1)のゲート端子に走査信号が供給され、ON状態になる。同様に、第1TFT121(m+1)(n+1)、第2TFT122(m+1)(n+1)、第1TFT121(m+2)(n+1)、及び、第2TFT122(m+2)(n+1)のゲート端子にも走査信号が供給され、ON状態になる。

[0097] また、時刻 $t \times (n+1)$ においてm本目のデータバスライン22mが+4Vに制御されると、第1液晶容量131m(n+1)のnodeXに、データバスライン22mと同電圧の+4Vが印加される。また、第1液晶容量131m(n+1)のnodeYには、基準電圧バスライン18bと同電圧の0Vが印加される。これによって、図4Aに示すように、第1液晶容量1

31m (n+1) には、node Xとnode Yとの電位差 node X - node Yである+4Vが印加されることになる。

- [0098] また、データバスライン22mから+4Vのデータ信号が供給されることにより、第2液晶容量132m (n+1) のnode Xには+4Vが印加され、node Yには基準電圧バスライン18aと同電圧の+1Vが印加される。これによって、第2液晶容量132m (n+1) には、node Xとnode Yとの電位差である+3Vが印加されることになる。
- [0099] 同様に、時刻tx (n+1)において、データバスライン22 (m+1) が-3Vに制御されると、第1液晶容量131 (m+1) (n+1) の印加電圧は-4Vになり、第2液晶容量132 (m+1) (n+1) の印加電圧は-3Vになる。また、時刻tx (n+1)において、データバスライン22 (m+2) が+4Vに制御されると、第1液晶容量131 (m+2) (n+1) は+4Vになり、第2液晶容量132 (m+2) (n+1) は+3Vになる。
- [0100] これに対し、時刻tx (n+1)において、n本目のゲートバスライン16nの走査が停止されることにより、第1TFT121mn及び第2TFT122mnのゲート端子への走査信号の供給が停止され、第1TFT121mn及び第2TFT122mnはOFF状態になる。これによって、第1液晶容量131mn及び第2液晶容量132mnはフローティング状態になる。
- [0101] 時刻tx (n+1)においては、データバスライン22mが+4Vに制御されているため、第1液晶容量131mnのnode X側にデータバスライン22mと同じ+4Vが印加される。さらに、第1液晶容量131mnはフローティング状態であるため、時刻txnにおける第1液晶容量131mnのnode X側の電圧とnode Y側の電圧との電位差+5Vを維持するよう、node Y側の電圧が-1Vに遷移する。
- [0102] これにより、時刻tx (n+1)において、第1液晶容量131mnの電圧は変化せず、時刻txnにおいて印加された電圧が維持される。すなわち

、 x フレームを表示するためにゲートバスライン 16 n が走査されることで第 1 液晶容量 131 mn に印加された電圧は、 $x + 1$ フレームを表示するために、再びゲートバスライン 16 n が走査されるまで、維持されることになる。

[0103] 第 2 液晶容量 132 mn、第 1 液晶容量 131 (m+1) n、第 2 液晶容量 132 (m+1) n、第 1 液晶容量 131 (m+2) n、及び、第 2 液晶容量 132 (m+2) n も同様に、時刻 $t_x (n+1)$ においても、時刻 $t_x n$ において印加された電圧が維持される。

[0104] ($x + 1$ フレーム)

TFT 基板 10 に形成される N 本全てのゲートバスライン 16 に対して、 x フレームを表示するための走査が行われると、次に、 $x + 1$ フレームを表示するための走査が開始される。図 6 に示すように、時刻 $t_{(x+1)1}$ において $x + 1$ フレームの表示が開始されると、 x フレームを表示する際に H レベルに制御されていた基準電圧バスライン 18 a の基準電圧が L レベルに制御され、 x フレームを表示する際に L レベルに制御されていた基準電圧バスライン 18 b の基準電圧が H レベルに制御される。また、時刻 $t_{(x+1)1}$ から時刻 $t_{(x+1)2}$ までの間、1 本目のゲートバスライン 16 が走査される。データバスライン 22 には、1 フレーム前の x フレームでの極性を反転させたデータ信号が供給される。

[0105] 時刻 $t_{(x+1)n}$ において、m 本目のデータバスライン 22 m が -4 V に制御され、n 本目のゲートバスライン 16 n が走査されると、第 1 TFT 121 mn 及び第 2 TFT 122 mn のゲート端子に走査信号が供給され、第 1 TFT 121 mn 及び第 2 TFT 122 mn は ON 状態になる。同様に、第 1 TFT 121 (m+1) n、第 2 TFT 122 (m+1) n、第 1 TFT 121 (m+2) n、及び、第 2 TFT 122 (m+2) n のゲート端子にも走査信号が供給され、ON 状態になる。

[0106] データバスライン 22 m から -4 V のデータ信号が供給されることにより、画素 110 mn の第 1 液晶容量 131 mn の node X に、データバスラ

イン $22m$ と同電圧の $-4V$ が印加される。また、第1液晶容量 $131mn$ のnodeYには、基準電圧バスライン $18b$ と同電圧の $+1V$ が印加される。これによって、第1液晶容量 $131mn$ には、図4Bに示すように、第1液晶容量 $131mn$ のnodeXとnodeYとの電位差nodeX-nodeYである $-5V$ が印加されることになる。

[0107] また、データバスライン $22m$ から $-4V$ のデータ信号が供給されることにより、画素 $110mn$ の第2液晶容量 $132mn$ のnodeXに $-4V$ が印加され、nodeYには基準電圧バスライン $18a$ と同電圧の $0V$ が印加される。これによって、第2液晶容量 $132mn$ には、第2液晶容量 $132mn$ のnodeXとnodeYとの電位差である $-4V$ が印加されることになる。

[0108] 同様に、時刻 $t(x+1)n$ において、データバスライン $22(m+1)$ が $+5V$ に制御されると、画素 $110(m+1)n$ の第1液晶容量 $131(m+1)n$ は $+5V$ になり、第2液晶容量 $132(m+1)n$ は $+4V$ になる。また、データバスライン $22(m+2)$ が $-4V$ に制御されると、画素 $110(m+2)n$ の第1液晶容量 $131(m+2)n$ は $-5V$ になり、第2液晶容量 $132(m+2)n$ は $-4V$ になる。

[0109] 次に、時刻 $t(x+1)(n+1)$ において、 n 本目のゲートバスライン $16n$ の走査が停止され、新たに $n+1$ 本目のゲートバスライン $16(n+1)$ が走査されると、第1TFT $121m(n+1)$ 及び第2TFT $122m(n+1)$ のゲート端子に走査信号が供給され、ON状態になる。同様に、第1TFT $121(m+1)(n+1)$ 、第2TFT $122(m+1)(n+1)$ 、第1TFT $121(m+2)(n+1)$ 、及び、第2TFT $122(m+2)(n+1)$ のゲート端子にも走査信号が供給され、ON状態になる。

[0110] また、時刻 $t(x+1)(n+1)$ において m 本目のデータバスライン $22m$ が $-3V$ に制御されると、第1液晶容量 $131m(n+1)$ のnodeXに、データバスライン $22m$ と同電圧の $-3V$ が印加される。また、第1

液晶容量 $131m$ ($n+1$) の node Y には、基準電圧バスライン $18b$ と同電圧の $+1V$ が印加される。これによって、図 $4B$ に示すように、第 1 液晶容量 $131m$ ($n+1$) には、node X と node Y との電位差 $node X - node Y$ である $-4V$ が印加されることになる。

- [0111] また、データバスライン $22m$ から $-3V$ のデータ信号が供給されることにより、第 2 液晶容量 $132m$ ($n+1$) の node X には $-3V$ が印加され、node Y には基準電圧バスライン $18a$ と同電圧の $0V$ が印加される。これによって、第 2 液晶容量 $132mn$ は、node X と node Y との電位差である $-3V$ が印加されることになる。
- [0112] 同様に、時刻 $t(x+1)(n+1)$ において、データバスライン $22(m+1)$ が $+4V$ に制御されると、画素 $110(m+1)(n+1)$ の第 1 液晶容量 $131(m+1)(n+1)$ は $+4V$ になり、第 2 液晶容量 $132(m+1)(n+1)$ は $+3V$ になる。また、データバスライン $22(m+2)$ が $-3V$ に制御されると、画素 $110(m+2)(n+1)$ の第 1 液晶容量 $131(m+2)(n+1)$ は $-4V$ になり、第 2 液晶容量 $132(m+2)(n+1)$ は $-3V$ になる。
- [0113] これに対し、時刻 $t(x+1)(n+1)$ において、 n 本目のゲートバスライン $16n$ の走査が停止されることにより、第 $1TFT121mn$ 及び第 $2TFT122mn$ のゲート端子への走査信号の供給が停止され、第 $1TFT121mn$ 及び第 $2TFT122mn$ は OFF 状態になる。これによって、第 1 液晶容量 $131mn$ 及び第 2 液晶容量 $132mn$ はフローティング状態になる。
- [0114] 時刻 $t(x+1)(n+1)$ においては、データバスライン $22m$ が $-3V$ に制御されているため、第 1 液晶容量 $131mn$ の node X 側にデータバスライン $22m$ と同じ $-3V$ が印加される。さらに、第 1 液晶容量 $131mn$ はフローティング状態であるため、時刻 $t \times n$ における第 1 液晶容量 $131mn$ の node X 側の電圧と node Y 側の電圧との電位差 $-4V$ を維持するよう、node Y 側の電圧が $+1V$ に遷移する。

- [0115] これにより、時刻 $t(x+1)(n+1)$ において、第1液晶容量 $131m_n$ の電圧は変化せず、時刻 $t(x+1)n$ において印加された電圧が維持される。すなわち、 $x+1$ フレームを表示するためにゲートバスライン $16n$ が走査されることで第1液晶容量 $131m_n$ に印加された電圧は、 $x+1$ フレームを表示するために、再びゲートバスライン $16n$ が走査されるまで、維持されることになる。
- [0116] 以上のように、本実施形態に係る液晶パネル1の駆動方法は、図4A、図4B及び図6に基づいて説明した構成を有する液晶パネル1における駆動方法であって、列方向に並ぶ第1サブ画素 $111m_n$ 及び第2サブ画素 $112m_n$ のうち、一方のサブ画素に対応した基準電圧バスライン 18 と、他方のサブ画素に対応した基準電圧バスライン $18b$ に印加する電圧を相違させることによって、データバスライン $22m$ 及び基準電圧バスライン $18a$ 間の電位差と、データバスライン $22m$ 及び基準電圧バスライン $18b$ 間の電位差とを相違させることを特徴としている。
- [0117] これにより、一方の画素の液晶層には、データバスライン $22m$ と基準電圧バスライン $18a$ との電位差が印加される一方、他方のサブ画素の液晶層には、データバスライン $22m$ と基準電圧バスライン $18b$ との電位差が印加される。
- [0118] このとき、それぞれの電位差を相違させているから、第1サブ画素 $111m_n$ の液晶層にかかる電圧と、第2サブ画素 $112m_n$ の液晶層にかかる電圧とを相違させることができる。
- [0119] これにより、データバスライン $22m$ に書き込んだ電圧に対して、第1サブ画素 $111m_n$ における液晶分子の配向状態と、第2サブ画素 $112m_n$ における液晶分子の配向状態とを相違させることができることによる結果、対向マトリクス型の液晶パネル1における視野角特性を向上させることができる。
- [0120] なお、上記ゲートバスラインを蛇行形状とすることによって、上記2つの副画素領域の面積は異なっている。この場合、あるデータバスラインに対応した2つの副画素領域の一方の副画素領域の面積が、他方の副画素領域の面

積より小さいとすると、上記あるデータバスラインに隣り合うデータバスラインに対応した2つの副画素領域の一方の副画素領域の面積は、他方の副画素領域の面積より大きくなる。

[0121] <実施形態2>

本発明の他の実施形態について図8から図11に基づいて以下に説明する。なお、説明の便宜上、実施形態1に係る構成要素と同様の機能を有する構成要素には同一の番号を付し、その説明を省略する。本実施形態では、主に、実施形態1との相違点について説明するものとする。

[0122] 図8は本実施形態に係る液晶パネル2のTFT基板10の構成の概略を示す上面図である。図8に示すように、各ゲートバスライン16'間の間隔が狭く、データバスライン22'の幅が異なり、不図示の基準電圧バスライン18'がゲートバスライン16'と交差するように配置されていること以外は、実施形態1の液晶パネル1と同じ構成である。

[0123] [TFT基板のレイアウト]

本実施形態に係る液晶パネル2のTFT基板10のレイアウトの詳細を、図9を参照して説明する。図9は、本実施形態に係る液晶パネル2のTFT基板10のレイアウトを示す上面図である。なお、図9において、対向基板20に形成された総数M本のデータバスライン22'のうち、m本目のデータバスライン22m'の付近に配置されたデータバスライン22m'～22(m+4)'を破線で示している。

[0124] 図9に示すように、液晶パネル2は、総数N本のゲートバスライン16'のうち、n本目のゲートバスライン16n'、m本目のデータバスライン22m'及びm+1本目のデータバスライン22(m+1)'により画定される画素210mnを備えている。画素210mnは、第1サブ画素211mnと第2サブ画素212(m+1)mnとを備えている。

[0125] 第1サブ画素211mnは、第1画素電極241mnと第1TFT221mnとを備えている。第2サブ画素212(m+1)mnは、第2画素電極242(m+1)mnと第2TFT222(m+1)mnとを備えている。また、

図9に示すように、1つの画素210の領域において、第1サブ画素211と第2サブ画素212とは、行方向に配列している。

- [0126] なお、図9に示すように、本実施形態における液晶パネル1のTFT基板10は、第1サブ画素211に対する第2サブ画素212の面積比が、1より大きく4以下になるように構成されていることが好ましい。
- [0127] これによって、面積の小さい第1サブ画素211におけるデータバスライン22'及び基準電圧バスライン18'間の電位差を、面積の大きい第2サブ画素212における電位差より大きくするので、第1サブ画素211の液晶層にかかる電圧は、第2サブ画素212の液晶層に比べて、早く液晶のしきい値を超える。すなわち、第1サブ画素211の液晶層にかかる電圧が、液晶のしきい値を超える時点では、第2サブ画素212の液晶層にかかる電圧は、液晶のしきい値を超えていない。
- [0128] この場合、面積の大きい第2サブ画素212が発光を開始する前に、第1サブ画素211が低階調領域の色から先に表示し始め、第2サブ画素212より高い輝度に到達し、第2サブ画素212はあとから中間調領域から高階調領域の発光量を補うように発光する。つまり、面積の小さい第1サブ画素211は、低階調から中間調の表示に主に寄与する一方、面積の大きい第2サブ画素212は、中間調から高階調の表示に主に寄与する。このようにすると、視野角特性を所望の特性に制御しやすくなる。
- [0129] また、人の視覚は、高階調領域の色よりも低階調領域の色に敏感に反応するため、低階調領域を面積の小さい第1サブ画素211にする方が、低階調領域を面積の大きい第2サブ画素212にするよりも、視野角特性をより向上させることができる。
- [0130] しかも、第1サブ画素211及び第2サブ画素212のそれぞれにデータバスライン22'を設けたので、1つの画素210に備えられた2つのサブ画素211、212に、任意の極性及び任意の値の電圧を印加することができる。
- [0131] これにより、1つの画素210に2つのサブ画素211、212が横並び

した構成を有する対向マトリクス型の液晶パネル2において、無駄なスペースを生じないマルチ画素構造が得られ、視野角特性を向上させることができる。

[0132] なお、各画素210が、行方向に並ぶ2つのサブ画素211、212を備えた構成に限らず、例えば、1つの画素領域に4つのサブ画素を設けてもよい。

[0133] [等価回路]

次に、本実施形態に係るTFT基板10の等価回路について、図10A及び図10Bを参照して説明する。図10Aは、本実施形態に係る液晶パネル2のTFT基板10の等価回路、及び、×フレーム表示時の液晶容量への印加電圧を示す図である。図10Bは、本実施形態に係る液晶パネル2のTFT基板10の等価回路、及び、×+1フレーム表示時の液晶容量への印加電圧を示す図である。

[0134] 図10A及び図10Bに示すように、本実施形態における液晶パネル2は、データバスライン22(m+i)'及びデータバスライン22(m+i+1)'とゲートバスライン16(n+j)'とで画定される画素210(m+i)(n+j)を備えている。但し、iはm≥iを満たす0および自然数であり、jはn≥jを満たす0および自然数である。各画素は、それぞれ2つのサブ画素を備えている。

[0135] 画素210(m+i)(n+j)及び画素210(m+i+1)(n+j)は行方向に隣接して配置され、画素210(m+i)(n+j)及び画素210(m+i)(n+j+1)は列方向に隣接して配置されている。

[0136] 画素210(m+i)(n+j)は、2つのサブ画素を、行方向に第1サブ画素、第2サブ画素の順で備えている。

[0137] さらに、各サブ画素は、TFT12及び液晶容量を含んでいる。なお、液晶容量は、画素電極14、データバスライン22'が形成する対向電極24、及び、画素電極14と対向電極24との間に挟まれた液晶層により構成されている。例えば、図10A及び図10Bに示す画素210(m+i)(n+j)は、

+ j) の液晶容量は、第1液晶容量 231mn 及び第2液晶容量 232(m + 1) n を含んでいる。

- [0138] 図10Aに示すように、例えば、画素 210mn の第1サブ画素 211m n が備える第1TFT221mn のゲート端子はゲートバスライン 16n' に接続され、ソース端子は基準電圧バスライン 18a' に接続され、ドレイン端子は第1液晶容量 231mn を介してデータバスライン 22m' に接続されている。
- [0139] また、第2サブ画素 212(m+1)n が備える第2TFT222(m+1)n のゲート端子はゲートバスライン 16n' に接続され、ソース端子は基準電圧バスライン 18b' に接続され、ドレイン端子は第2液晶容量 232(m+1)n を介してデータバスライン 22(m+1)' に接続されている。
- [0140] 画素 210(m+2)n の第1サブ画素 211(m+2)n が備える第1TFT221(m+2)n のゲート端子はゲートバスライン 16n' に接続され、ソース端子は基準電圧バスライン 18a' に接続され、ドレイン端子は第1液晶容量 231(m+2)n を介してデータバスライン 22(m+2)' に接続されている。
- [0141] また、第2サブ画素 212(m+3)n が備える第2TFT222(m+3)n のゲート端子はゲートバスライン 16n' に接続され、ソース端子は基準電圧バスライン 18b' に接続され、ドレイン端子は第2液晶容量 232(m+3)n を介してデータバスライン 22(m+3)' に接続されている。
- [0142] すなわち、画素 210(m+i)(n+j) の第1サブ画素 211(m+i)(n+j) が備える第1TFT221(m+i)(n+j) は、ゲート端子がゲートバスライン 16(n+j)' に接続され、ドレイン端子は第1液晶容量 231(m+i)(n+j) を介してデータバスライン 22(m+i)' に接続されている。また、第2サブ画素 212(m+i+1)(n+j) では、第2TFT222(m+i+1)(n+j) のゲート端子がゲー

トバスライン16_(n+j)'に接続され、ドレイン端子は第2液晶容量232_(m+i+1)_(n+j)を介してデータバスライン22_(m+i+1)'に接続されている。

[0143] このように、基準電圧バスライン18b'は、例えば、画素210m_nの第2サブ画素212_(m+1)_nと、画素210_(m+2)_nの第1サブ画素211_(m+2)_nとに共有されている。これにより、配線レイアウトをシンプルにすることができる。

[0144] なお、液晶パネル2が赤緑青の三原色のカラー表示を行う場合には、例えば、画素210m_nが赤に相当し、画素210m_(n+1)が緑に相当し、画素210m_(n+2)が青に相当すればよいが、これに限定されるものではない。

[0145] [液晶パネルの動作]

次に、本実施形態に係る液晶パネル2の動作について、図10A、図10B及び図11を参照して説明する。図11は、本実施形態に係る液晶パネル2の動作を示すタイミングチャートである。ここでは、×フレームを表示する際の、図10に示す第1サブ画素211m_nの動作を例に挙げて説明する。

[0146] (×フレーム)

図11に示すように、基準電圧バスライン18a'、18b'の電圧は常に一定であり、×フレーム、×+1フレームのいずれを表示する場合にも0Vで一定である。

[0147] 時刻t_x_nにおいて、m本目のデータバスライン22m'が+5Vに制御され、n本目のゲートバスライン16n'が走査されると、第1TFT221m_n及び第2TFT222_(m+1)_nのゲート端子に走査信号が供給され、第1TFT221m_n及び第2TFT222_(m+1)_nがON状態になる。同様に、第1TFT221_(m+2)_n及び、第2TFT222_(m+3)_nのゲート端子にも走査信号が供給され、ON状態になる。

[0148] データバスライン22m'から+5Vのデータ信号が供給されることによ

り、画素 $210mn$ の第1液晶容量 $231mn$ のnode Xに、データバスライン $22m'$ と同電圧の $+5V$ が印加される。また、第1液晶容量 $231mn$ のnode Yには、基準電圧バスライン $18a'$ と同電圧の $0V$ が印加される。これによって、第1液晶容量 $231mn$ には、図 $10A$ に示すように、第1液晶容量 $231mn$ のnode Xとnode Yとの電位差node X-node Yである $+5V$ が印加されることになる。

[0149] また、データバスライン $22(m+1)'$ が $+4V$ に制御されることにより、画素 $210mn$ の第2液晶容量 $232(m+1)n$ のnode Xに $+4V$ が印加され、node Yには基準電圧バスライン $18b'$ と同電圧の $0V$ が印加される。これによって、第2液晶容量 $232(m+1)n$ には、第2液晶容量 $232(m+1)n$ のnode Xとnode Yとの電位差である $+4V$ が印加されることになる。

[0150] 同様に、時刻 $t \times n$ において、データバスライン $22(m+2)'$ が $-5V$ に制御され、データバスライン $22(m+3)'$ が $-4V$ に制御されると、画素 $210(m+2)n$ の第1液晶容量 $231(m+2)n$ の印加電圧は $-5V$ になり、第2液晶容量 $232(m+3)n$ の印加電圧は $-4V$ になる。

[0151] 次に、時刻 $t \times (n+1)$ において、 n 本目のゲートバスライン $16n'$ の走査が停止され、新たに $n+1$ 本目のゲートバスライン $16(n+1)'$ が走査されると、第1TFT $221m(n+1)$ 及び第2TFT $222(m+1)(n+1)$ のゲート端子に走査信号が供給され、ON状態になる。同様に、第1TFT $221(m+2)(n+1)$ 、及び、第2TFT $222(m+3)(n+1)$ のゲート端子にも走査信号が供給され、ON状態になる。

[0152] また、時刻 $t \times (n+1)$ においてデータバスライン $22m'$ が $+4V$ に制御され、データバスライン $22(m+1)'$ が $+3V$ に制御されると、図 $10A$ に示すように、第1液晶容量 $231m(n+1)$ の印加電圧は $+4V$ になり、第2液晶容量 $232(m+1)(n+1)$ の印加電圧は $+3V$ にな

る。

- [0153] 同様に、時刻 $t \times (n + 1)$ において、データバスライン 22 ($m + 2$)' が -4 V に制御され、データバスライン 22 ($m + 3$)' が -3 V に制御されると、図 10A に示すように、第 1 液晶容量 231 ($m + 2$) ($n + 1$) の印加電圧は -4 V になり、第 2 液晶容量 232 ($m + 3$) ($n + 1$) の印加電圧は -3 V になる。
- [0154] これに対し、時刻 $t \times (n + 1)$ において、 n 本目のゲートバスライン 16 n' の走査が停止されることにより、第 1 TFT 221mn 及び第 2 TFT 222 ($m + 1$) n のゲート端子への走査信号の供給が停止され、第 1 TFT 221mn 及び第 2 TFT 222 ($m + 1$) n は OFF 状態になる。これによって、第 1 液晶容量 231mn 及び第 2 液晶容量 232 ($m + 1$) n はフローティング状態になる。
- [0155] 時刻 $t \times (n + 1)$ においては、データバスライン 22 m' が $+4\text{ V}$ に制御されているため、第 1 液晶容量 231mn の node X 側にデータバスライン 22 m' と同じ $+4\text{ V}$ が印加される。さらに、第 1 液晶容量 231mn はフローティング状態であるため、時刻 $t \times n$ における第 1 液晶容量 231mn の node X 側の電圧と node Y 側の電圧との電位差 $+5\text{ V}$ を維持するよう、node Y 側の電圧が -1 V に遷移する。
- [0156] これにより、時刻 $t \times (n + 1)$ において、第 1 液晶容量 231mn の電圧は変化せず、時刻 $t \times n$ において印加された電圧が維持される。すなわち、 \times フレームを表示するためにゲートバスライン 16 n' が走査されることで第 1 液晶容量 231mn に印加された電圧は、 $\times + 1$ フレームを表示するために、再びゲートバスライン 16 n' が走査されるまで、維持されることになる。
- [0157] 第 2 液晶容量 232 ($m + 1$) n 、第 1 液晶容量 231 ($m + 2$) n 、及び、第 2 液晶容量 232 ($m + 3$) n も同様に、時刻 $t \times (n + 1)$ においても、時刻 $t \times n$ において印加された電圧が維持される。
- [0158] 同様に、時刻 $t \times (n + 2)$ において、 $n + 1$ 本目のゲートバスライン 1

6 (n + 1)' の走査が停止され、新たに n + 2 本目のゲートバスライン 1
6 (n + 2)' が走査されると、第 1 TFT221m (n + 2)、第 2 TFT222 (m + 1) (n + 2)、第 1 TFT221 (m + 2) (n + 2)、
及び、第 2 TFT222 (m + 3) (n + 2) のゲート端子に走査信号が供
給され、ON 状態になる。

[0159] データバスライン 22m' が +3V に、22 (m + 2)' が -3V に制御
され、データバスライン 22 (m + 1)' が +2V に、22 (m + 3)' が
-2V に制御されると、第 1 液晶容量 231m (n + 2) の印加電圧は +3
V に、第 1 液晶容量 231 (m + 2) (n + 2) の印加電圧は -3V になり
、第 2 液晶容量 232 (m + 2) (n + 2) の印加電圧は +2V に、第 2 液
晶容量 232 (m + 3) (n + 2) の印加電圧は -2V になる。

[0160] (x + 1 フレーム)

TFT 基板 10 に形成される N 本全てのゲートバスライン 16' に対して
、x フレームを表示するための走査が行われると、次に、x + 1 フレームを
表示するための走査が、1 本目のゲートバスライン 16' から順に開始され
る。データバスライン 22' には、1 フレーム前の x フレームでの極性を反
転させたデータ信号が供給される。

[0161] 時刻 t (x + 1) nにおいて、ゲートバスライン 16 n' が走査されると
、第 1 TFT221mn、第 2 TFT222 (m + 1) n、第 1 TFT22
1 (m + 2) n、及び、第 2 TFT222 (m + 3) n のゲート端子に走査
信号が供給され、ON 状態になる。

[0162] また、データバスライン 22m' が -5V、22 (m + 2)' が +5V に
制御され、データバスライン 22 (m + 1)' が -4V、22 (m + 3)'
が +4V に制御されると、図 10B に示すように、第 1 液晶容量 231mn
の印加電圧は -5V に、第 1 液晶容量 231 (m + 2) n の印加電圧は +5
V になり、第 2 液晶容量 232 (m + 1) n の印加電圧は -4V に、第 2 液
晶容量 232 (m + 3) n の印加電圧は +4V になる。

[0163] 次に、時刻 t (x + 1) (n + 1) において、ゲートバスライン 16 n'

の走査が停止され、新たにゲートバスライン $16(n+1)'$ が走査されると、第 $1TFT221m(n+1)$ 、第 $2TFT222(m+1)(n+1)$ 、第 $1TFT221(m+2)(n+1)$ 及び、第 $2TFT222(m+3)(n+1)$ のゲート端子に走査信号が供給され、ON状態になる。

[0164] また、時刻 $t(x+1)(n+1)$ においてデータバスライン $22m'$ が $-4V$ 、 $22(m+2)'$ が $+4V$ に制御され、データバスライン $22(m+1)'$ が $-3V$ 、 $22(m+3)'$ が $+3V$ に制御されると、図10Bに示すように、第1液晶容量 $231m(n+1)$ の印加電圧は $-4V$ に、第1液晶容量 $231(m+2)(n+1)$ の印加電圧は $+4V$ になり、第2液晶容量 $232(m+1)(n+1)$ の印加電圧は $-3V$ に、第2液晶容量 $232(m+3)(n+1)$ の印加電圧は $+3V$ になる。

[0165] なお、時刻 $t(x+1)(n+1)$ において、ゲートバスライン $16n'$ の走査が停止されることにより、第1液晶容量 $231m n$ 、第2液晶容量 $232(m+1)n$ 、第1液晶容量 $231(m+2)n$ 及び、第2液晶容量 $232(m+3)n$ にそれぞれ印加された電圧は、再びゲートバスライン $16n'$ が走査されるまで、維持されることになる。

[0166] 同様に、時刻 $t(x+2)(n+2)$ において、ゲートバスライン $16(n+1)'$ の走査が停止され、新たにゲートバスライン $16(n+2)'$ が走査されると、第 $1TFT221m(n+2)$ 、第 $2TFT222(m+1)(n+2)$ 、第 $1TFT221(m+2)(n+2)$ 及び、第 $2TFT222(m+3)(n+2)$ のゲート端子に走査信号が供給され、ON状態になる。

[0167] データバスライン $22m'$ が $-3V$ 、 $22(m+2)'$ が $+3V$ に制御され、データバスライン $22(m+2)'$ が $-2V$ 、 $22(m+3)'$ が $+2V$ に制御されると、図10Bに示すように、第1液晶容量 $231m(n+2)$ の印加電圧は $-3V$ に、第1液晶容量 $231(m+2)(n+2)$ の印加電圧は $+3V$ になり、第2液晶容量 $232(m+1)(n+2)$ の印加電圧は $-2V$ に、第2液晶容量 $232(m+3)(n+2)$ の印加電圧は $+2V$

になる。

- [0168] 以上のように、本実施形態に係る液晶パネル2の駆動方法は、図9、図10A及び図10Bに基づいて説明した構成を有する液晶パネルにおける駆動方法であって、少なくとも行方向に並ぶ第1サブ画素211mn及び第2サブ画素212(m+1)nについて、第1サブ画素211mnに対応した基準電圧バスライン18a'、第2サブ画素212(m+1)nに対応した基準電圧バスライン18b'とに印加する各電圧を同一にし、第1サブ画素211mnに対応したデータバスライン22m'に印加する電圧と、第2サブ画素212(m+1)nに対応したデータバスライン22(m+1)'に印加する電圧とを相違させることによって、データバスライン22m'及び基準電圧バスライン18a'間の電位差と、データバスライン22(m+1)'及び基準電圧バスライン18b'間の電位差とを相違させている。
- [0169] これにより、第1サブ画素211mnの液晶層には、データバスライン22m'及び基準電圧バスライン18a'との電位差が印加される一方、第2サブ画素212(m+1)nの液晶層には、データバスライン22(m+1)'と基準電圧バスライン18b'との電位差が印加される。
- [0170] このとき、基準電圧バスライン18a'に印加された電圧と、基準電圧バスライン18b'に印加された電圧とは同一であり、データバスライン22m'及びデータバスライン22(m+1)'に印加する電圧を相違させていから、第1サブ画素211mnの液晶層にかかる電圧と、第2サブ画素212(m+1)nの液晶層にかかる電圧とを相違させることができる。
- [0171] これにより、第1サブ画素211mnにおける液晶分子の配向状態と、第2サブ画素212(m+1)nにおける液晶分子の配向状態とを、データバスライン22m'、22(m+1)'に印加する各電圧に応じて相違させることができるので、対向マトリクス型の液晶パネルにおける視野角特性を向上させることができる。
- [0172] また、上述のように、列方向に配列されている画素毎に極性を反転させた駆動を行うことにより、液晶パネル2の焼きつきを低減することができる。

[0173] <実施形態3>

本発明の他の実施形態について図12から図14に基づいて以下に説明する。なお、説明の便宜上、実施形態1に係る構成要素と同様の機能を有する構成要素には同一の番号を付し、その説明を省略する。本実施形態では、主に、実施形態1との相違点について説明するものとする。

[0174] [TFT基板のレイアウト]

本実施形態に係る液晶パネル3のTFT基板10のレイアウトの詳細を、図12を参照して説明する。図12は、本実施形態に係る液晶パネル3のTFT基板10のレイアウトを示す上面図である。なお、図12において、対向基板20に形成された総数M本のデータバスライン22”のうち、m本目のデータバスライン22m”の付近に配置されたデータバスライン22m”～22(m+4)”を破線で示している。

[0175] 図12に示すように、各ゲートバスライン16”間の間隔が、データバスライン22”の幅よりも狭く、基準電圧バスライン18”がゲートバスライン16”と交差するように配置されていること以外は、実施形態1の液晶パネル1と同じ構成である。

[0176] 図12に示すように、液晶パネル3は、総数N本のゲートバスライン16”のうち、n本目のゲートバスライン16n”とm本目のデータバスライン22m”とにより画定される画素310mnを備えている。画素310mnは、第1サブ画素311mnと第2サブ画素312mnを備えている。

[0177] 第1サブ画素311mnは、第1画素電極341mnと第1TFT321mnとを備えている。第2サブ画素312mnは、第2画素電極342mnと第2TFT322mnとを備えている。また、図12に示すように、1つの画素310の領域において、第1サブ画素311と第2サブ画素312とは、行方向に配列している。

[0178] これにより、1つの画素310に無駄なデッドスペースを生じさせることなく、面積が大きい画素電極と、面積が小さい画素電極とを行方向に並べて1つの画素310に形成することができる。

- [0179] しかも、第1サブ画素311及び第2サブ画素312に共通にデータバスライン22”を設けたので、サブ画素毎に設けた基準電圧バスライン18”に印加する電圧をサブ画素毎に変えることにより、データバスライン22”と基準電圧バスライン18”との電位差を、サブ画素毎に変えることができる。
- [0180] これにより、1つの画素310に2つのサブ画素311、312が横並びした構成を有する対向マトリクス型の液晶パネルにおいて、無駄なスペースを生じないマルチ画素構造が得られ、視野角特性を向上させることができる。
- [0181] なお、各画素310が、行方向に並ぶ2つのサブ画素311、312を備えた構成に限らず、例えば、1つの画素領域に4つのサブ画素を設ける構成を採用してもよい。
- [0182] なお、図12に示すように、本実施形態における液晶パネル3のTFT基板10は、第1サブ画素311に対する第2サブ画素312の面積比が、1より大きく4以下になるように構成されていることが好ましい。
- [0183] これによって、面積の小さい第1サブ画素311におけるデータバスライン22”及び基準電圧バスライン18”間の電位差を、面積の大きい第2サブ画素312における電位差より大きくするので、第1サブ画素311の液晶層にかかる電圧は、第2サブ画素312の液晶層に比べて、早く液晶のしきい値を超える。すなわち、第1サブ画素311の液晶層にかかる電圧が、液晶のしきい値を超える時点では、第2サブ画素312の液晶層にかかる電圧は、液晶のしきい値を超えていない。
- [0184] この場合、面積の大きい第2サブ画素312が発光を開始する前に、第1サブ画素311が低階調領域の色から先に表示し始め、第2サブ画素312より高い輝度に到達し、第2サブ画素312はあとから中間調領域から高階調領域の発光量を補うように発光する。つまり、面積の小さい第1サブ画素311は、低階調から中間調の表示に主に寄与する一方、面積の大きい第2サブ画素312は、中間調から高階調の表示に主に寄与する。このようにす

ると、視野角特性を所望の特性に制御しやすくなる。

[0185] また、人の視覚は、高階調領域の色よりも低階調領域の色に敏感に反応するため、低階調領域を面積の小さい第1サブ画素311にする方が、低階調領域を面積の大きい第2サブ画素312にするよりも、視野角特性をより向上させることができる。

[0186] [等価回路]

次に、本実施形態に係るTFT基板10の等価回路について、図13を参照して説明する。図13は、本実施形態に係る液晶パネル3のTFT基板10の等価回路、及び、×フレーム表示時の液晶容量への印加電圧を示す図である。

[0187] 図13に示すように、本実施形態における液晶パネル3は、データバスライン22（ $m+p$ ）”とゲートバスライン16（ $n+q$ ）”とで画定される画素 $310(m+p)(n+q)$ を備えている。但し、 p は $m \geq p$ を満たす0および自然数であり、 q は $n \geq q$ を満たす0および自然数である。各画素は、それぞれ2つのサブ画素を備えている。

[0188] 画素 $310(m+p)(n+q)$ 及び画素 $310(m+p+1)(n+q)$ は行方向に隣接して配置され、画素 $310(m+p)(n+q)$ 及び画素 $310(m+p)(n+q+1)$ は列方向に隣接して配置されている。また、画素 $310(m+p)(n+q)$ は、2つのサブ画素を、行方向に第1サブ画素、第2サブ画素の順で備えている。

[0189] 例えば、画素 $310m n$ 及び画素 $310(m+1)n$ 、画素 $310m(n+1)$ 及び画素 $310(m+1)(n+1)$ 、画素 $310m(n+2)$ 及び画素 $310(m+1)(n+2)$ はそれぞれ行方向に隣接して配置され、画素 $310m n$ ～画素 $310m(n+2)$ 、画素 $310(m+1)n$ ～画素 $310(m+1)(n+2)$ はそれぞれ列方向に隣接して配置されている。また、各画素 310 は、2つのサブ画素を、行方向に第1サブ画素、第2サブ画素の順で備えている。

[0190] さらに、各サブ画素は、TFT12及び液晶容量を含んでいる。なお、液

晶容量は、画素電極 14、データバスライン 22”が形成する対向電極 24、及び、画素電極 14 と対向電極 24との間に挟まれた液晶層により構成されている。図 13 では、画素 310mn に備えられている液晶容量は、第 1 液晶容量 331mn 及び第 2 液晶容量 332mn を含んでいる。

- [0191] 図 13 に示すように、例えば、画素 310mn の第 1 サブ画素 311mn が備える第 1 TFT 321mn のゲート端子はゲートバスライン 16n”に接続され、ソース端子は基準電圧バスライン 18a”に接続され、ドレイン端子は第 1 液晶容量 331mn を介してデータバスライン 22m”に接続されている。
- [0192] また、第 2 サブ画素 312mn が備える第 2 TFT 322mn のゲート端子はゲートバスライン 16n”に接続され、ソース端子は基準電圧バスライン 18b”に接続され、ドレイン端子は第 2 液晶容量 332mn を介してデータバスライン 22m”に接続されている。
- [0193] 画素 310 (m+1) n の第 1 サブ画素 311 (m+1) n が備える第 1 TFT 321 (m+1) n のゲート端子はゲートバスライン 16n”に接続され、ソース端子は基準電圧バスライン 18a”に接続され、ドレイン端子は第 1 液晶容量 331 (m+1) n を介してデータバスライン 22m”に接続されている。
- [0194] また、第 2 サブ画素 312 (m+1) n が備える第 2 TFT 322 (m+1) n のゲート端子はゲートバスライン 16n”に接続され、ソース端子は基準電圧バスライン 18b”に接続され、ドレイン端子は第 2 液晶容量 332 (m+1) n を介してデータバスライン 22 (m+1) ”に接続されている。
- [0195] すなわち、画素 310 (m+p) (n+q) の第 1 サブ画素 311 (m+p) (n+q) の第 1 TFT 321 (m+p) (n+q) では、ゲート端子がゲートバスライン 16 (n+q) ”に接続され、ソース端子は基準電圧バスライン 18a”に接続され、ドレイン端子は第 1 液晶容量 331 (m+p) (n+q) を介してデータバスライン 22 (m+p) ”に接続されている

。また、第2サブ画素312 ($m+p$) ($n+q$) では、第2 TFT322 ($m+p$) ($n+q$) のゲート端子がゲートバスライン16 ($n+q$) ”に接続され、ソース端子は基準電圧バスライン18b”に接続され、ドレイン端子は第2液晶容量232 ($m+p$) ($n+q$) を介してデータバスライン22 ($m+p$) ”に接続されている。

[0196] これによって、行方向に隣り合う画素領域が、1つの基準電圧バスラインを共有できるので、シンプルな配線レイアウトにすることができる。

[0197] なお、液晶パネル3が赤緑青の三原色のカラー表示を行う場合には、例えば、画素310m nが赤に相当し、画素310m ($n+1$) が緑に相当し、画素310m ($n+2$) が青に相当すればよいが、これに限定されるものではない。

[0198] [液晶パネルの動作]

次に、本実施形態に係る液晶パネル3の動作について、図13及び図14を参照して説明する。図14は、本実施形態に係る液晶パネル3の動作を示すタイミングチャートである。ここでは、 \times フレームを表示する際の、図13に示す第1サブ画素311m nの動作を例に挙げて説明する。

[0199] (\times フレーム)

図14に示すように、時刻 $t \times 1$ において \times フレームの表示が開始されると、 $\times-1$ フレームを表示する際にHレベルに制御されていた基準電圧バスライン18a”の基準電圧がLレベルに制御され、 $\times-1$ フレームを表示する際にLレベルに制御されていた基準電圧バスライン18b”の基準電圧がHレベルに制御される。また、時刻 $t \times 1$ では、1本目のゲートバスライン16”が走査される。なお、本実施形態では、Hレベルの基準電圧を+1V、Lレベルの基準電圧を0Vとしているが、これに限定されるものではない。

[0200] 時刻 $t \times n$ において、m本目のデータバスライン22m”が+5Vに制御され、n本目のゲートバスライン16n”が走査されると、第1 TFT321m n及び第2 TFT322m nのゲート端子に走査信号が供給され、第1

TFT321mn及び第2TFT322mnがON状態になる。同様に、第1TFT321(m+1)mn、及び、第2TFT322(m+2)mnのゲート端子にも走査信号が供給され、ON状態になる。

- [0201] データバスライン22m"から+5Vのデータ信号が供給されることにより、画素310mnの第1液晶容量331mnのnodeXに、データバスライン22m"と同電圧の+5Vが印加される。また、第1液晶容量331mnのnodeYには、基準電圧バスライン18a"と同電圧の0Vが印加される。これによって、第1液晶容量331mnには、図13に示すように、第1液晶容量331mnのnodeXとnodeYとの電位差nodeX-nodeYである+5Vが印加されることになる。
- [0202] また、画素310mnの第2液晶容量332mnのnodeXには+5Vが印加され、nodeYには基準電圧バスライン18b"と同電圧の1Vが印加される。これによって、第2液晶容量332mnには、第2液晶容量332mnのnodeXとnodeYとの電位差である+4Vが印加されることになる。
- [0203] 同様に、時刻t×nにおいて、データバスライン22(m+1)"が-4Vに制御されると、画素310(m+1)mnの第1液晶容量331(m+1)mnの印加電圧は基準電圧バスライン18b"との電位差である-5Vになり、第2液晶容量332(m+1)mnの印加電圧は基準電圧バスライン18a"との電位差である-4Vになる。
- [0204] 次に、時刻t×(n+1)において、n本目のゲートバスライン16n"の走査が停止され、新たにn+1本目のゲートバスライン16(n+1)"が走査されると、第1TFT321m(n+1)及び第2TFT322m(n+1)のゲート端子に走査信号が供給され、ON状態になる。同様に、第1TFT321(m+1)(n+1)、及び、第2TFT322(m+1)(n+1)のゲート端子にも走査信号が供給され、ON状態になる。
- [0205] また、時刻t×(n+1)においてデータバスライン22m"が+4Vに制御されると、図13に示すように、第1液晶容量331m(n+1)の印

加電圧は+4Vになり、第2液晶容量332m(n+1)の印加電圧は+3Vになる。同様に、データバスライン22(m+1)"が-3Vに制御されると、第1液晶容量331(m+1)(n+1)の印加電圧は-4Vになり、第2液晶容量332(m+1)(n+1)の印加電圧は-3Vになる。

[0206] これに対し、時刻 $t \times (n+1)$ において、n本目のゲートバスライン16n"の走査が停止されることにより、第1TFT321mn及び第2TFT322mnのゲート端子への走査信号の供給が停止され、第1TFT321mn及び第2TFT322mnはOFF状態になる。これによって、第1液晶容量331mn及び第2液晶容量332mnはフローティング状態になる。

[0207] 時刻 $t \times (n+1)$ においては、データバスライン22m"が+4Vに制御されているため、第1液晶容量331mnのnodeX側にデータバスライン22m"と同じ+4Vが印加される。さらに、第1液晶容量331mnはフローティング状態であるため、時刻 $t \times n$ における第1液晶容量331mnのnodeX側の電圧とnodeY側の電圧との電位差+5Vを維持するよう、nodeY側の電圧が-1Vに遷移する。

[0208] これにより、時刻 $t \times (n+1)$ において、第1液晶容量331mnの電圧は変化せず、時刻 $t \times n$ において印加された電圧が維持される。すなわち、xフレームを表示するためにゲートバスライン16n"が走査されることで第1液晶容量331mnに印加された電圧は、x+1フレームを表示するために、再びゲートバスライン16n"が走査されるまで、維持されることになる。

[0209] 第2液晶容量332mn、第1液晶容量331(m+1)n、及び、第2液晶容量332(m+1)nも同様に、時刻 $t \times (n+1)$ においても、時刻 $t \times n$ において印加された電圧が維持される。

[0210] (x+1フレーム)

TFT基板10に形成されるN本全てのゲートバスライン16"に対して、xフレームを表示するための走査が行われると、次に、x+1フレームを

表示するための走査が、1本目のゲートバスライン 16^n "から順に開始される。データバスライン 22^m "には、1フレーム前の x フレームでの極性を反転させたデータ信号が供給される。

- [0211] 時刻 $t(x+1)n$ において、ゲートバスライン 16^n "が走査されると、第1 TFT $321mn$ のゲート端子に走査信号が供給され、ON状態になる。同様に、第2 TFT $322mn$ 、第1 TFT $321(m+1)n$ 、及び、第2 TFT $322(m+1)n$ のゲート端子にも走査信号が供給され、ON状態になる。
- [0212] また、時刻 $t(x+1)n$ において、データバスライン $22m$ "が $-4V$ に制御されると、図14に示すように、画素 $310mn$ の第1液晶容量 $331mn$ のnodeXにデータバスライン $22m$ "と同電圧の $-4V$ が印加され、nodeYに基準電圧バスライン $18a$ "と同電圧の $+1V$ が印加される。これによって、第1液晶容量 $331mn$ には、図13に示すように、第1液晶容量 $331mn$ のnodeXとnodeYとの電位差nodeX-nodeYである $-5V$ が印加されることになる。
- [0213] なお、時刻 $t(x+1)(n+1)$ において、ゲートバスライン 16^n 'の走査が停止されることにより、第1 TFT $321mn$ はOFF状態になる。これによって、第1液晶容量 $331mn$ はフローティング状態になる。
- [0214] 時刻 $t \times (n+1)$ においては、データバスライン $22m$ "が $-3V$ に制御されると、第1液晶容量 $331mn$ のnodeX側にデータバスライン $22m$ "と同じ $-3V$ が印加される。さらに、第1液晶容量 $331mn$ はフローティング状態であるため、時刻 $t \times n$ における第1液晶容量 $331mn$ のnodeX側の電圧とnodeY側の電圧との電位差 $-5V$ を維持するよう、nodeY側の電圧が $+1V$ に遷移する。
- [0215] これにより、時刻 $t \times (n+1)$ において、第1液晶容量 $331mn$ の電圧は変化せず、時刻 $t \times n$ において印加された電圧が維持される。すなわち、 x フレームを表示するためにゲートバスライン 16^n "が走査されることで第1液晶容量 $331mn$ に印加された電圧は、 $x+1$ フレームを表示する

ために、再びゲートバスライン 16 n'' が走査されるまで、維持されることになる。

- [0216] 第2液晶容量 332 m n 、第1液晶容量 331 (m+1) n 、及び、第2液晶容量 332 (m+1) n も同様に、時刻 $t \times (n+1)$ においても、時刻 $t \times n$ において印加された電圧が維持される。
- [0217] 以上のように、本実施形態に係る液晶パネル3の駆動方法は、図13及び図14に基づいて説明した構成を有する液晶パネルにおける駆動方法であって、少なくとも上記行方向に並ぶ第1サブ画素 311 m n 及び第2サブ画素 312 m n を、第1サブ画素 311 m n に対応した基準電圧バスライン 18 a'' 、及び、第2サブ画素 312 m n に対応した基準電圧バスライン 18 b'' に印加する各電圧を相違させることによって、データバスライン 22 m'' 及び基準電圧バスライン 18 a'' 間の電位差と、データバスライン 22 m'' 及び基準電圧バスライン 18 b'' 間の電位差とを相違させること特徴としている。
- [0218] これにより、第1サブ画素 311 m n の液晶層には、データバスライン 22 m'' と基準電圧バスライン 18 a'' との電位差が印加される一方、第2サブ画素 312 m n の液晶層には、データバスライン 22 m'' と基準電圧バスライン 18 b'' との電位差が印加される。
- [0219] このとき、それぞれの電位差を相違させているから、第1サブ画素 311 m n の液晶層にかかる電圧と、第2サブ画素 312 m n の液晶層にかかる電圧とを相違させることができる。
- [0220] これにより、データバスライン 22 m'' に書き込んだ電圧に対して、第1サブ画素 311 m n における液晶分子の配向状態と、第2サブ画素 312 m n における液晶分子の配向状態とを相違させることができると結果、対向マトリクス型の液晶パネルにおける視野角特性を向上させることができる。
- [0221] また、図15に示す液晶パネルのように、マルチ画素を構成する2つのサブ画素の面積比を変えた場合に生じる、視認性の低下を防ぐことができる。例えば、図15に示す液晶パネルでは、図16に示すように、明画素98と

暗画素 9 9 とが行方向及び列方向に交互に配置され、市松模様を作るため、中間調において、図 1 7 に示すように、画像にざらつき間が発生してしまう。

- [0222] ここで、図 1 6 は、従来技術においてマルチ画素を構成する 2 つのサブ画素の面積比を変えた場合の、それぞれのサブ画素の明暗を模式的に表した図である。また、図 1 7 は、従来技術においてマルチ画素を構成する 2 つのサブ画素の面積比を変えた場合の、表示の一例を示す図である。
- [0223] これに対し、本実施形態に係る液晶パネル 3 は、行方向に第 1 サブ画素 3 1 1 及び第 2 サブ画素 3 1 2 が交互に並んで配置されているが、第 1 サブ画素 3 1 1 及び第 2 サブ画素 3 1 2 がそれぞれ列方向に整列するように配置されているため、小さな面積のサブ画素の列と、大きな面積のサブ画素の列とを形成することができる。
- [0224] このような構成では、例えば、小さな面積のサブ画素の列に低階調領域の色から表示させ始め、大きな面積のサブ画素より高い輝度に到達させることができ、大きな面積のサブ画素の列にあとから中間調領域から高階調領域の発光量を補うように発光させることができる。すなわち、市松模様を作らないようにすることができます。この結果、中間調の色に、市松模様の場合に生じるざらつき感を発生しにくくすることができる。

[0225] (付記事項)

本発明に係る液晶パネルは、上記の課題を解決するために、第 1 の基板と、上記第 1 の基板に対向するように配置された第 2 の基板と、上記第 1 の基板と上記第 2 の基板との間に設けられた液晶層とを備え、複数の画素領域が行方向及び列方向に沿って二次元的に配列した液晶パネルであって、上記画素領域のそれぞれは、少なくとも上記行方向に並ぶ 2 つの副画素領域を備え、上記第 1 の基板は、上記行方向に並ぶ上記画素領域に対応して設けられたゲートバスラインと、上記ゲートバスラインに絶縁膜を介して交差するよう、上記副画素領域毎に設けられた基準電圧バスラインと、上記副画素領域毎に設けられた画素電極と、上記ゲートバスラインに供給されるゲート信号

によって、上記画素電極と、当該画素電極に対応する上記基準電圧バスラインとの電気的な接続をオンオフするスイッチング素子とを備え、上記第2の基板は、上記列方向に並ぶ上記画素領域に対応して、上記副画素領域毎に設けられたデータバスラインを備えたことを特徴としている。

- [0226] 上記の構成によれば、各画素領域は、少なくとも行方向に並ぶ2つの副画素領域を備え、ゲートバスラインと交差する基準電圧バスラインを副画素領域毎に設けたので、1つの画素領域に無駄なデッドスペースを生じさせることなく、面積が大きい画素電極と、面積が小さい画素電極とを行方向に並べて1つの画素領域に形成することができる。
- [0227] しかも、副画素領域毎にデータバスラインを設けたので、1つの画素領域に備えられた2つの副画素領域に、任意の値の電圧を印加することができる。
- [0228] これにより、1つの画素領域に2つの副画素領域が横並びした構成を有する対向マトリクス型の液晶パネルにおいて、無駄なスペースを生じないマルチ画素構造が得られ、視野角特性を向上させることができる。
- [0229] また、各画素領域の少なくとも行方向に並ぶ2つの副画素領域に、任意の値の電圧を印加することができるため、液晶パネル完成後に副画素領域間の電位差を自由に設定することができる。これによって、液晶パネルの製造プロセスにバラツキが発生した場合にも、副画素領域間の電圧を適切に調整することができ、歩留まりを向上させることができる。
- [0230] なお、各画素領域が、少なくとも上記行方向に並ぶ2つの副画素領域を備えた構成とは、例えば、行方向に並ぶ2つの副画素領域を2組備え、1つの画素領域に4つの副画素領域を設けることを許容するとの意味である。
- [0231] 本発明に係る液晶パネルにおいて、上記副画素領域毎に設けられて対をなすデータバスライン及び基準電圧バスライン間の電位差を、上記副画素領域毎に異ならせることが好ましい。
- [0232] 上記の構成によれば、データバスライン及び基準電圧バスラインが副画素領域毎に対をなして設けられているので、データバスラインに印加する電圧

、及び基準電圧バスラインに印加する電圧を様々に変えることによって、データバスライン及び基準電圧バスライン間の電位差を多様に変えることができる。

- [0233] これにより、1つの画素領域に2つの副画素領域が横並びした構成を有する対向マトリクス型の液晶パネルにおいて、無駄なスペースを生じないマルチ画素構造が得られ、視野角特性を向上させることができる。
- [0234] 本発明に係る液晶パネルにおいて、上記画素領域のそれぞれが備えている上記2つの副画素領域の面積が相違しているとともに、上記副画素領域毎に設けられて対をなすデータバスライン及び基準電圧バスライン間の電位差に関して、上記2つの副画素領域のうち、面積の小さい副画素領域における上記電位差を、面積の大きい副画素領域における上記電位差より大きくすることが好ましい。
- [0235] 上記の構成によれば、面積の小さい副画素領域（以下、小副画素領域と呼ぶ）における上記電位差を、面積の大きい副画素領域（以下、大副画素領域と呼ぶ）における上記電位差より大きくするので、小副画素領域の液晶層にかかる電圧は、大副画素領域の液晶層に比べて、早くしきい値を超える。すなわち、小副画素領域の液晶層にかかる電圧が、しきい値を超える時点では、大副画素領域の液晶層にかかる電圧は、しきい値を超えていない。
- [0236] この場合、大副画素領域が発光を開始する前に、小副画素領域が低階調領域の色から先に表示し始め、大副画素領域より高い輝度に到達し、大副画素領域はあとから中間調領域から高階調領域の発光量を補うように発光する。つまり、小副画素領域は、低階調から中間調の表示に主に寄与する一方、大副画素領域は、中間調から高階調の表示に主に寄与する。このようにすると、視野角特性を所望の特性に制御しやすくなる。
- [0237] また、人の視覚は、高階調領域の色よりも低階調領域の色に敏感に反応するため、低階調領域を小副画素領域にする方が、低階調領域を大副画素領域にするよりも、視野角特性をより向上させることができる。
- [0238] 上記小副画素領域と大副画素領域との適切な面積比としては、例えば、1

より大きく4以下である場合を例に挙げることができる。

- [0239] 本発明に係る液晶パネルは、上記の課題を解決するために、第1の基板と、上記第1の基板に対向するように配置された第2の基板と、上記第1の基板と上記第2の基板との間に設けられた液晶層とを備え、複数の画素領域が行方向及び列方向に沿って二次元的に配列し、かつ上記画素領域のそれぞれは、少なくとも上記列方向に並ぶ2つの副画素領域を備えた液晶パネルであって、上記第1の基板は、上記行方向に並ぶ上記画素領域に対応して設けられたゲートバスラインと、上記行方向に並ぶ上記画素領域に対応して、上記副画素領域毎に設けられた基準電圧バスラインと、上記副画素領域毎に設けられた画素電極と、上記ゲートバスラインに供給されるゲート信号によって、上記画素電極と上記基準電圧バスラインとの電気的な接続をオンオフするスイッチング素子とを備え、上記第2の基板は、上記列方向に並ぶ上記画素領域に対応して設けられたデータバスラインを備え、上記ゲートバスラインを蛇行形状とすることによって、上記2つの副画素領域の面積を異ならせることを特徴としている。
- [0240] 上記の構成によれば、ゲートバスラインとデータバスラインとが、液晶層を挟んで対向する第1の基板と第2の基板とに分かれて設けられた構成の液晶パネルにおいて、第1の基板に副画素領域毎に画素電極を設ける場合に、1つの画素領域にデッドスペースを作らずに、面積の異なる2つの画素電極を列方向に並べて設けることができる。
- [0241] その理由は以下のとおりである。例えば、上記蛇行形状の中心線が、上記画素領域を上記列方向に並ぶ等面積の2つの領域に分割する2等分線であるとする。その中心線から上記列方向に対してゲートバスラインが変位すると、列方向に並ぶ等面積の2つの領域は、自ずと面積の異なる領域となる。
- [0242] 仮に、ゲートバスラインを蛇行させず、上記の等面積の2つの領域の一方の画素電極を単に小さくすることによって、面積の小さい画素電極を形成するとすれば、面積の小さい画素電極を形成した副画素領域にデッドスペースが生じる。

- [0243] これに対し、本発明では、ゲートバスラインを蛇行させることによって、副画素領域自体の面積を異ならせているので、1つの画素領域に無駄なデッドスペースを生じさせることなく、面積が大きい画素電極と、面積が小さい画素電極とを1つの画素領域に形成することができる。
- [0244] これにより、1つの画素領域に2つの副画素領域が縦並びした構成を有する対向マトリクス型の液晶パネルにおいて、無駄なスペースを生じないマルチ画素構造が得られ、視野角特性を向上させることができる。
- [0245] なお、各画素領域が、少なくとも上記列方向に並ぶ2つの副画素領域を備えた構成とは、例えば、列方向に並ぶ2つの副画素領域を2組備え、1つの画素領域に4つの副画素領域を設けることを許容するとの意味である。
- [0246] 本発明に係る液晶パネルにおいて、上記蛇行形状の中心線は、上記画素領域を上記列方向に等しい幅で並ぶ2つの領域に分割する2等分線であり、上記画素電極毎に設けられた上記スイッチング素子は、上記蛇行形状の折曲部毎に1つずつ設けられていることが好ましい。
- [0247] 上記の構成によれば、ゲートバスラインが行方向に沿って蛇行するときの2等分線からの蛇行の幅を揃える構成を選択することができ、それによって、面積大の画素電極と、面積小の画素電極とを、一定の面積比率で、行方向に沿って配置することができる。
- [0248] また、各画素電極毎に設けられたスイッチング素子を、上記蛇行形状の折曲部毎に1つずつ設けることによって、スイッチング素子の配置のレイアウトをシンプルにすることができる。
- [0249] 本発明に係る液晶パネルにおいて、上記列方向に隣り合う2つの上記画素領域を第1の画素領域及び第2の画素領域とした場合、当該第1の画素領域が列方向に並ぶ第1の副画素領域と第2の副画素領域とを備え、当該第2の画素領域が列方向に並ぶ第3の副画素領域と第4の副画素領域とを備え、上記基準電圧バスラインは、上記列方向に隣り合う上記第2の副画素領域と上記第3の副画素領域とに共有されていることが好ましい。
- [0250] 上記の構成によれば、列方向に隣り合う画素領域が、1つの基準電圧バス

ラインを共有できるので、シンプルな配線レイアウトにすることができる。

- [0251] 本発明に係る液晶パネルは、上記の課題を解決するために、第1の基板と、上記第1の基板に対向するように配置された第2の基板と、上記第1の基板と上記第2の基板との間に設けられた液晶層とを備え、複数の画素領域が行方向及び列方向に沿って二次元的に配列した液晶パネルであって、上記画素領域のそれぞれは、少なくとも上記行方向に並ぶ2つの副画素領域を備え、記第1の基板は、上記行方向に並ぶ上記画素領域に対応して設けられたゲートバスラインと、上記ゲートバスラインに絶縁膜を介して交差するよう、上記副画素領域毎に設けられた基準電圧バスラインと、上記副画素領域毎に設けられた画素電極と、上記ゲートバスラインに供給されるゲート信号によって、上記画素電極と、当該画素電極に対応する基準電圧バスラインとの電気的な接続をオンオフするスイッチング素子とを備え、上記第2の基板は、上記列方向に並ぶ上記画素領域に対応して、上記2つの副画素領域に共通に設けられたデータバスラインを備えたことを特徴としている。
- [0252] 上記の構成によれば、各画素領域は、少なくとも行方向に並ぶ2つの副画素領域を備え、ゲートバスラインと交差する基準電圧バスラインを副画素領域毎に設けたので、1つの画素領域に無駄なデッドスペースを生じさせることなく、面積が大きい画素電極と、面積が小さい画素電極とを行方向に並べて1つの画素領域に形成することができる。
- [0253] しかも、2つの副画素領域に共通にデータバスラインを設けたので、副画素領域毎に設けた基準電圧バスラインに印加する電圧を副画素領域に応じて変えることにより、データバスラインと基準電圧バスラインとの電位差を、副画素領域毎に変えることができる。
- [0254] これにより、1つの画素領域に2つの副画素領域が横並びした構成を有する対向マトリクス型の液晶パネルにおいて、無駄なスペースを生じないマルチ画素構造が得られ、視野角特性を向上させることができる。
- [0255] なお、各画素領域が、少なくとも上記行方向に並ぶ2つの副画素領域を備えた構成とは、例えば、行方向に並ぶ2つの副画素領域を2組備え、1つの

画素領域に4つの副画素領域を設けることを許容するとの意味である。

- [0256] また、列方向に並ぶ各画素領域について、行方向に並ぶ2つの副画素領域の面積を異ならせるとともに、上記2つの副画素領域のうち、面積が小さい方の副画素領域または面積が大きい方の副画素領域が、列方向に整列するように配置してもよい。
- [0257] この場合、小さな面積の副画素領域の列と、大きな面積の副画素領域の列とを形成することができる。このような構成では、例えば、小さな面積の副画素領域の列に低階調領域から中間調領域の色を表示させ、大きな面積の副画素領域の列に中間調領域から高階調領域の色を表示させることができる。すなわち市松模様を作らないようにすることができる。この結果、中間調の色に、市松模様の場合に生じるざらつき感を発生しにくくすることができる。
- [0258] 本発明に係る液晶パネルにおいて、上記行方向に隣り合う2つの上記画素領域を第1の画素領域及び第2の画素領域とした場合、当該第1の画素領域が行方向に並ぶ第1の副画素領域と第2の副画素領域とを備え、当該第2の画素領域が行方向に並ぶ第3の副画素領域と第4の副画素領域とを備え、上記基準電圧バスラインは、上記行方向に隣り合う上記第2の副画素領域と上記第3の副画素領域とに共有されていることが好ましい。
- [0259] 上記の構成によれば、行方向に隣り合う画素領域が、1つの基準電圧バスラインを共有できるので、シンプルな配線レイアウトにすることができる。
- [0260] 本発明に係る液晶パネルを備える表示装置も、本発明の範疇に含まれる。
- [0261] 本発明に係る液晶パネルの駆動方法は、上述した液晶パネルにおける駆動方法であって、少なくとも上記行方向に並ぶ上記2つの副画素領域を、第1の副画素領域及び第2の副画素領域とし、上記第1の副画素領域に対応した基準電圧バスラインを第1の基準電圧バスラインとし、上記第2の副画素領域に対応した基準電圧バスラインを第2の基準電圧バスラインとし、上記第1の副画素領域に対応したデータバスラインを第1のデータバスラインとし、上記第2の副画素領域に対応したデータバスラインを第2のデータバスラ

インとすると、上記第1の基準電圧バスライン及び上記第2の基準電圧バスラインに印加する各電圧を同一にし、上記第1のデータバスライン及び上記第2のデータバスラインに印加する電圧を相違させることによって、上記第1のデータバスライン及び上記第1の基準電圧バスライン間の電位差と、上記第2のデータバスライン及び上記第2の基準電圧バスライン間の電位差とを相違させることを特徴としている。

- [0262] 上記の構成によれば、画素領域に対応して設けられたゲートバスラインにゲート信号が出力されると、上記スイッチング素子がオンになり、少なくとも上記行方向に並ぶ上記第1の副画素領域及び第2の副画素領域が同時に選択され、各副画素領域の画素電極に、各副画素領域に対応した基準電圧バスラインに印加された電圧が書き込まれる。
- [0263] 各副画素領域の画素電極には各データバスラインが対向しているから、第1の副画素領域の液晶層には、第1のデータバスラインと第1の基準電圧バスラインとの電位差が印加される一方、第2の副画素領域の液晶層には、第2のデータバスラインと第2の基準電圧バスラインとの電位差が印加される。
- [0264] このとき、第1の基準電圧バスラインに印加された電圧と、第2の基準電圧バスラインに印加された電圧とは同一であり、第1のデータバスライン及び第2のデータバスラインに印加する電圧を相違させているから、第1の副画素領域の液晶層にかかる電圧と、第2の副画素領域の液晶層にかかる電圧とを相違させることができる。
- [0265] これにより、第1の副画素領域における液晶分子の配向状態と、第2の副画素領域における液晶分子の配向状態とを、第1のデータバスライン及び第2のデータバスラインに印加する各電圧に応じて相違させることができる結果、対向マトリクス型の液晶パネルにおける視野角特性を向上させることができる。
- [0266] 本発明に係る液晶パネルの駆動方法は、上述した液晶パネルにおける駆動方法であって、少なくとも上記列方向に並ぶ上記2つの副画素領域のうち一

方の副画素領域に対応した基準電圧バスラインを第1の基準電圧バスラインとし、他方の副画素領域に対応した基準電圧バスラインを第2の基準電圧バスラインとすると、上記第1の基準電圧バスライン及び上記第2の基準電圧バスラインに印加する各電圧を相違させることによって、上記データバスライン及び上記第1の基準電圧バスライン間の電位差と、上記データバスライン及び上記第2の基準電圧バスライン間の電位差とを相違させることを特徴としている。

- [0267] 上記の構成によれば、画素領域に対応して設けられたゲートバスラインにゲート信号が出力されると、上記スイッチング素子がオンになり、少なくとも上記列方向に並ぶ2つの副画素領域が同時に選択され、各副画素領域の画素電極に、各副画素領域に対応した基準電圧バスラインに印加された電圧が書き込まれる。
- [0268] 各副画素領域の画素電極にはデータバスラインが対向しているから、上記一方の副画素領域の液晶層には、データバスラインと第1の基準電圧バスラインとの電位差が印加される一方、上記他方の副画素領域の液晶層には、データバスラインと第2の基準電圧バスラインとの電位差が印加される。
- [0269] このとき、それぞれの電位差を相違させているから、上記一方の副画素領域の液晶層にかかる電圧と、上記他方の副画素領域の液晶層にかかる電圧とを相違させることができる。
- [0270] これにより、データバスラインに書き込んだ電圧に対して、上記一方の副画素領域における液晶分子の配向状態と、上記他方の副画素領域における液晶分子の配向状態とを相違させることができることによる結果、対向マトリクス型の液晶パネルにおける視野角特性を向上させることができる。
- [0271] なお、上記ゲートバスラインを蛇行形状とすることによって、上記2つの副画素領域の面積は異なっている。この場合、あるデータバスラインに対応した2つの副画素領域の一方の副画素領域の面積が、他方の副画素領域の面積より小さいとすると、上記あるデータバスラインに隣り合うデータバスラインに対応した2つの副画素領域の一方の副画素領域の面積は、他方の副画

素領域の面積より大きくなる。

- [0272] 本発明に係る液晶パネルの駆動方法は、上述した液晶パネルにおける駆動方法であって、少なくとも上記行方向に並ぶ上記2つの副画素領域を、第1の副画素領域及び第2の副画素領域とし、上記第1の副画素領域に対応した基準電圧バスラインを第1の基準電圧バスラインとし、上記第2の副画素領域に対応した基準電圧バスラインを第2の基準電圧バスラインとすると、上記第1の基準電圧バスライン及び上記第2の基準電圧バスラインに印加する各電圧を相違させることによって、上記データバスライン及び上記第1の基準電圧バスライン間の電位差と、上記データバスライン及び上記第2の基準電圧バスライン間の電位差とを相違させること特徴としている。
- [0273] 上記の構成によれば、画素領域に対応して設けられたゲートバスラインにゲート信号が出力されると、上記スイッチング素子がオンになり、少なくとも上記行方向に並ぶ上記第1の副画素領域及び第2の副画素領域が同時に選択され、各副画素領域の画素電極に、各副画素領域に対応した基準電圧バスラインに印加された電圧が書き込まれる。
- [0274] 各副画素領域の画素電極には共通のデータバスラインが対向しているから、第1の副画素領域の液晶層には、データバスラインと第1の基準電圧バスラインとの電位差が印加される一方、第2の副画素領域の液晶層には、データバスラインと第2の基準電圧バスラインとの電位差が印加される。
- [0275] このとき、それぞれの電位差を相違させているから、第1の副画素領域の液晶層にかかる電圧と、第2の副画素領域の液晶層にかかる電圧とを相違させることができる。
- [0276] これにより、データバスラインに書き込んだ電圧に対して、第1の副画素領域における液晶分子の配向状態と、第2の副画素領域における液晶分子の配向状態とを相違させることができる結果、対向マトリクス型の液晶パネルにおける視野角特性を向上させることができる。

産業上の利用可能性

- [0277] 本発明に係る液晶パネルは、TV、パソコン・コンピューターのモニタ

、携帯電話などに好適に適用することができる。

符号の説明

[0278]	1～3	液晶パネル
	10	TFT基板（第1の基板）
	12	TFT（スイッチング素子）
	13	液晶容量
	14	画素電極
	16	ゲートバスライン
	16a	ゲート入力端子
	18	基準電圧バスライン
	18c	基準電圧入力端子
	20	対向基板（第2の基板）
	22	データバスライン
	22a	データ入力端子
	24	対向電極
	30	フレキシブルプリント基板
	32	ゲート駆動回路
	34	データ駆動回路
	110、210、310	画素（画素領域）
	111、211、311	第1サブ画素（第1の副画素領域、第3の副画素領域）
	112、212、312	第2サブ画素（第2の副画素領域、第4の副画素領域）
	121、221、321	第1TFT
	122、222、322	第2TFT
	131、231、331	第1液晶容量
	132、232、332	第2液晶容量
	141、241、341	第1画素電極

142、242、342 第2画素電極

151 第1コンデンサ

152 第2コンデンサ

請求の範囲

[請求項1] 第1の基板と、上記第1の基板に対向するように配置された第2の基板と、上記第1の基板と上記第2の基板との間に設けられた液晶層とを備え、複数の画素領域が行方向及び列方向に沿って二次元的に配列した液晶パネルであって、

上記画素領域のそれぞれは、少なくとも上記行方向に並ぶ2つの副画素領域を備え、

上記第1の基板は、

上記行方向に並ぶ上記画素領域に対応して設けられたゲートバスラインと、

上記ゲートバスラインに絶縁膜を介して交差するように、上記副画素領域毎に設けられた基準電圧バスラインと、

上記副画素領域毎に設けられた画素電極と、

上記ゲートバスラインに供給されるゲート信号によって、上記画素電極と、当該画素電極に対応する上記基準電圧バスラインとの電気的な接続をオンオフするスイッチング素子とを備え、

上記第2の基板は、

上記列方向に並ぶ上記画素領域に対応して、上記副画素領域毎に設けられたデータバスラインを備えたこと
を特徴とする液晶パネル。

[請求項2] 上記副画素領域毎に設けられて対をなすデータバスライン及び基準電圧バスライン間の電位差を、上記副画素領域毎に異ならせることを特徴とする請求項1に記載の液晶パネル。

[請求項3] 上記画素領域のそれぞれが備えている上記2つの副画素領域の面積が相違しているとともに、上記副画素領域毎に設けられて対をなすデータバスライン及び基準電圧バスライン間の電位差に関して、上記2つの副画素領域のうち、面積の小さい副画素領域における上記電位差を、面積の大きい副画素領域における上記電位差より大きくすること

を特徴とする請求項 1 または 2 に記載の液晶パネル。

[請求項4]

第 1 の基板と、上記第 1 の基板に対向するように配置された第 2 の基板と、上記第 1 の基板と上記第 2 の基板との間に設けられた液晶層とを備え、複数の画素領域が行方向及び列方向に沿って二次元的に配列し、かつ上記画素領域のそれぞれは、少なくとも上記列方向に並ぶ 2 つの副画素領域を備えた液晶パネルであって、

上記第 1 の基板は、

上記行方向に並ぶ上記画素領域に対応して設けられたゲートバスラインと、

上記行方向に並ぶ上記画素領域に対応して、上記副画素領域毎に設けられた基準電圧バスラインと、

上記副画素領域毎に設けられた画素電極と、

上記ゲートバスラインに供給されるゲート信号によって、上記画素電極と上記基準電圧バスラインとの電気的な接続をオンオフするスイッチング素子とを備え、

上記第 2 の基板は、

上記列方向に並ぶ上記画素領域に対応して設けられたデータバスラインを備え、

上記ゲートバスラインを蛇行形状とすることによって、上記 2 つの副画素領域の面積を異ならせること
を特徴とする液晶パネル。

[請求項5]

上記蛇行形状の中心線は、上記画素領域を上記列方向に等しい幅で並ぶ 2 つの領域に分割する 2 等分線であり、

上記画素電極毎に設けられた上記スイッチング素子は、上記蛇行形状の折曲部毎に 1 つずつ設けられていること
を特徴とする請求項 4 に記載の液晶パネル。

[請求項6]

上記列方向に隣り合う 2 つの上記画素領域を第 1 の画素領域及び第 2 の画素領域とした場合、

当該第1の画素領域が列方向に並ぶ第1の副画素領域と第2の副画素領域とを備え、当該第2の画素領域が列方向に並ぶ第3の副画素領域と第4の副画素領域とを備え、

上記基準電圧バスラインは、上記列方向に隣り合う上記第2の副画素領域と上記第3の副画素領域とに共有されていることを特徴とする請求項4または5に記載の液晶パネル。

[請求項7]

第1の基板と、上記第1の基板に対向するように配置された第2の基板と、上記第1の基板と上記第2の基板との間に設けられた液晶層とを備え、複数の画素領域が行方向及び列方向に沿って二次元的に配列した液晶パネルであって、

上記画素領域のそれぞれは、少なくとも上記行方向に並ぶ2つの副画素領域を備え、

上記第1の基板は、

上記行方向に並ぶ上記画素領域に対応して設けられたゲートバスラインと、

上記ゲートバスラインに絶縁膜を介して交差するように、上記副画素領域毎に設けられた基準電圧バスラインと、

上記副画素領域毎に設けられた画素電極と、

上記ゲートバスラインに供給されるゲート信号によって、上記画素電極と、当該画素電極に対応する上記基準電圧バスラインとの電気的な接続をオンオフするスイッチング素子とを備え、

上記第2の基板は、

上記列方向に並ぶ上記画素領域に対応して、上記2つの副画素領域に共通に設けられたデータバスラインを備えたことを特徴とする液晶パネル。

[請求項8]

上記行方向に隣り合う2つの上記画素領域を第1の画素領域及び第2の画素領域とした場合、

当該第1の画素領域が行方向に並ぶ第1の副画素領域と第2の副画

素領域とを備え、当該第2の画素領域が行方向に並ぶ第3の副画素領域と第4の副画素領域とを備え、

上記基準電圧バスラインは、上記行方向に隣り合う上記第2の副画素領域と上記第3の副画素領域とに共有されていることを特徴とする請求項4から7のいずれか1項に記載の液晶パネル。

[請求項9] 請求項1から8のいずれか1項に記載の液晶パネルを備えたことを特徴とする表示装置。

[請求項10] 請求項1から3のいずれか1項に記載の液晶パネルにおける駆動方法であって、

少なくとも上記行方向に並ぶ上記2つの副画素領域を、第1の副画素領域及び第2の副画素領域とし、上記第1の副画素領域に対応した基準電圧バスラインを第1の基準電圧バスラインとし、上記第2の副画素領域に対応した基準電圧バスラインを第2の基準電圧バスラインとし、上記第1の副画素領域に対応したデータバスラインを第1のデータバスラインとし、上記第2の副画素領域に対応したデータバスラインを第2のデータバスラインとすると、

上記第1の基準電圧バスライン及び上記第2の基準電圧バスラインに印加する各電圧を同一にし、上記第1のデータバスライン及び上記第2のデータバスラインに印加する電圧を相違させることによって、上記第1のデータバスライン及び上記第1の基準電圧バスライン間の電位差と、上記第2のデータバスライン及び上記第2の基準電圧バスライン間の電位差とを相違させることを特徴とする駆動方法。

[請求項11] 請求項4から6のいずれか1項に記載の液晶パネルにおける駆動方法であって、

少なくとも上記列方向に並ぶ上記2つの副画素領域のうち一方の副画素領域に対応した基準電圧バスラインを第1の基準電圧バスラインとし、他方の副画素領域に対応した基準電圧バスラインを第2の基準

電圧バスラインとすると、

上記第1の基準電圧バスライン及び上記第2の基準電圧バスラインに印加する各電圧を相違させることによって、上記データバスライン及び上記第1の基準電圧バスライン間の電位差と、上記データバスライン及び上記第2の基準電圧バスライン間の電位差とを相違させること

を特徴とする駆動方法。

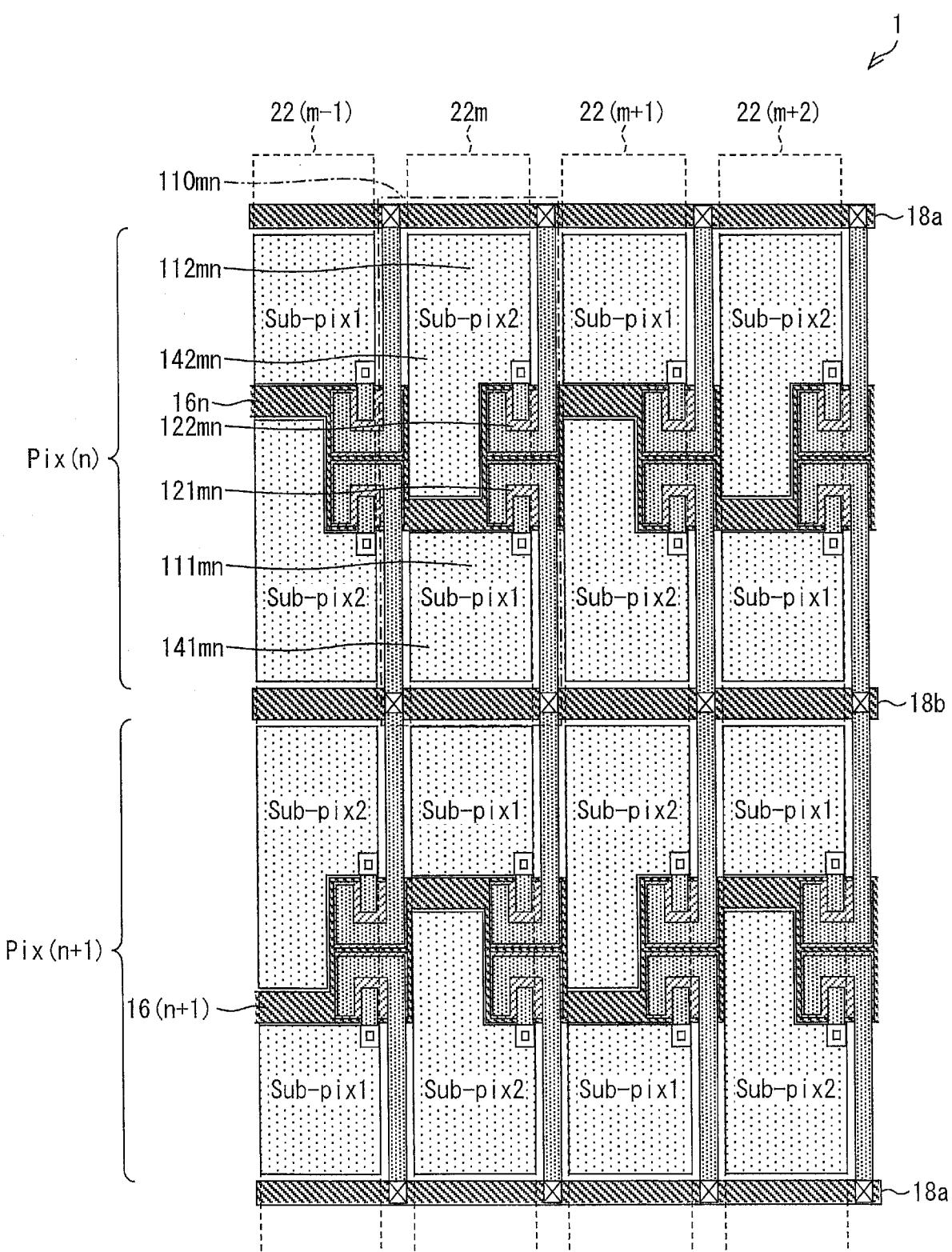
[請求項12]

請求項7または8に記載の液晶パネルにおける駆動方法であって、少なくとも上記行方向に並ぶ上記2つの副画素領域を、第1の副画素領域及び第2の副画素領域とし、上記第1の副画素領域に対応した基準電圧バスラインを第1の基準電圧バスラインとし、上記第2の副画素領域に対応した基準電圧バスラインを第2の基準電圧バスラインとすると、

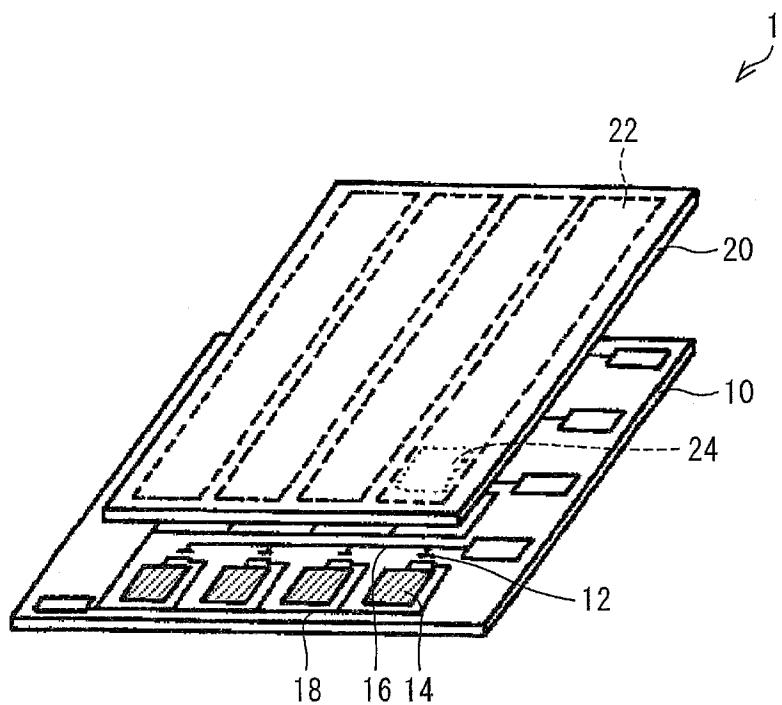
上記第1の基準電圧バスライン及び上記第2の基準電圧バスラインに印加する各電圧を相違させることによって、上記データバスライン及び上記第1の基準電圧バスライン間の電位差と、上記データバスライン及び上記第2の基準電圧バスライン間の電位差とを相違させること

を特徴とする駆動方法。

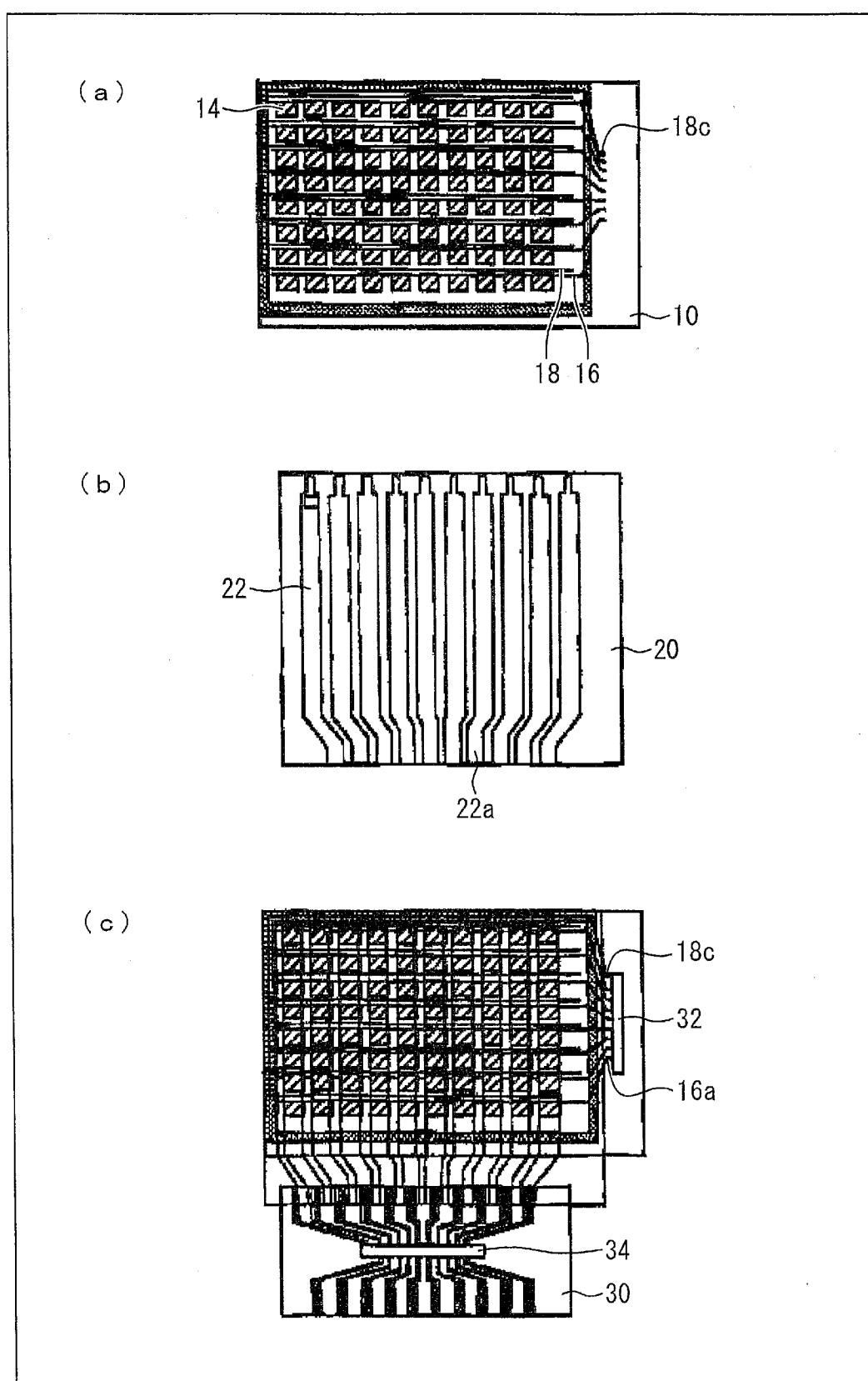
[図1]



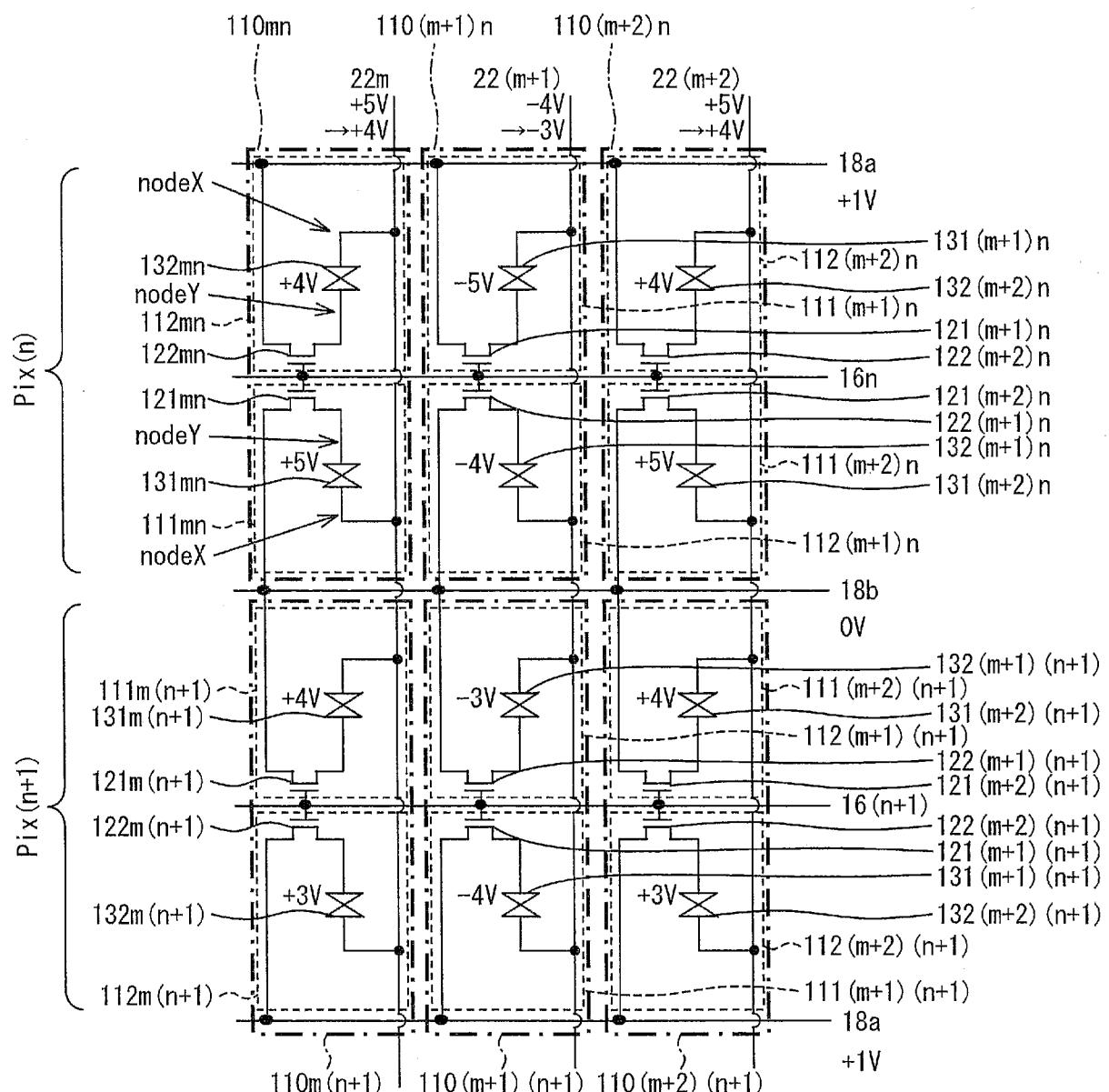
[図2]



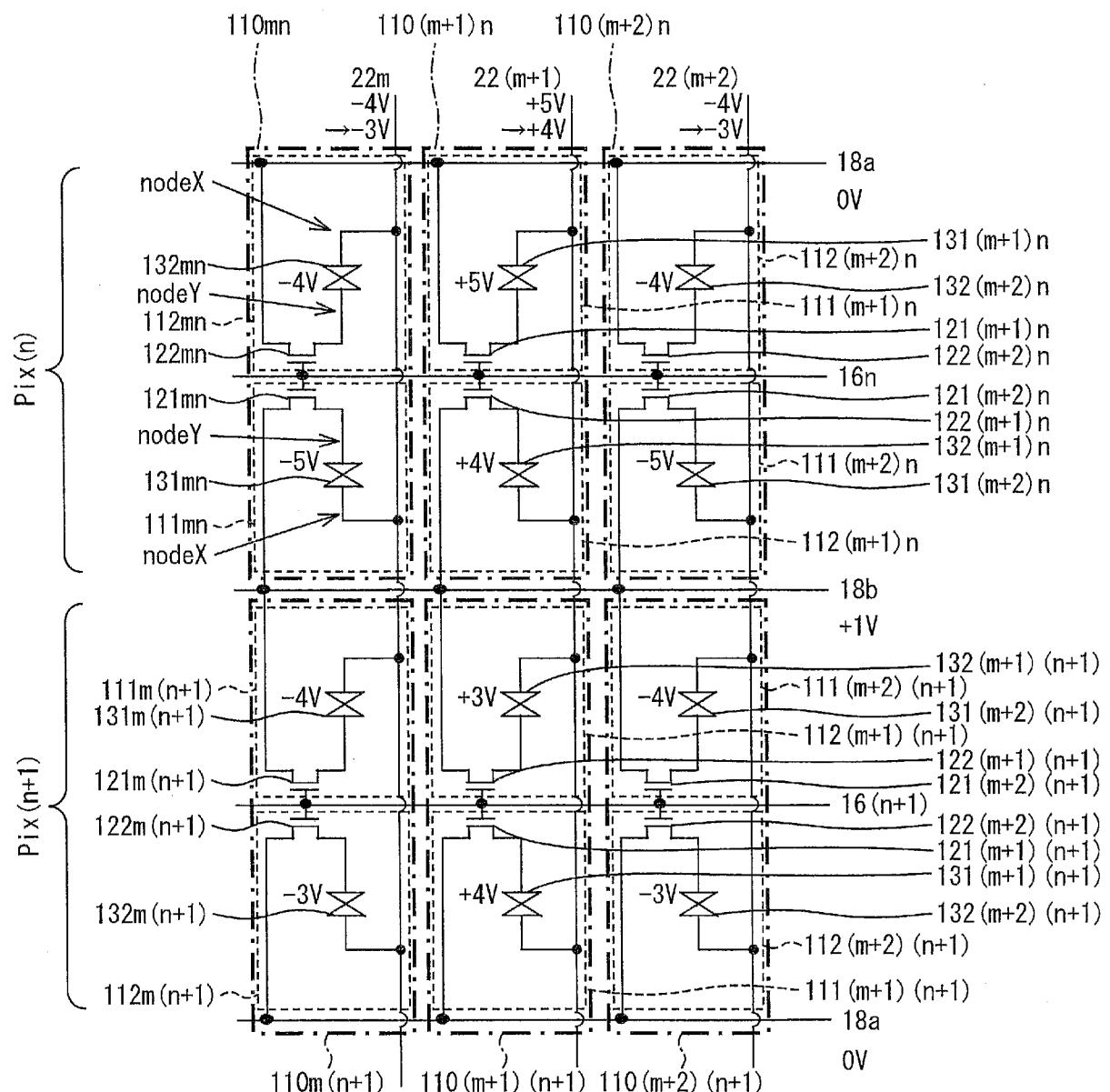
[図3]



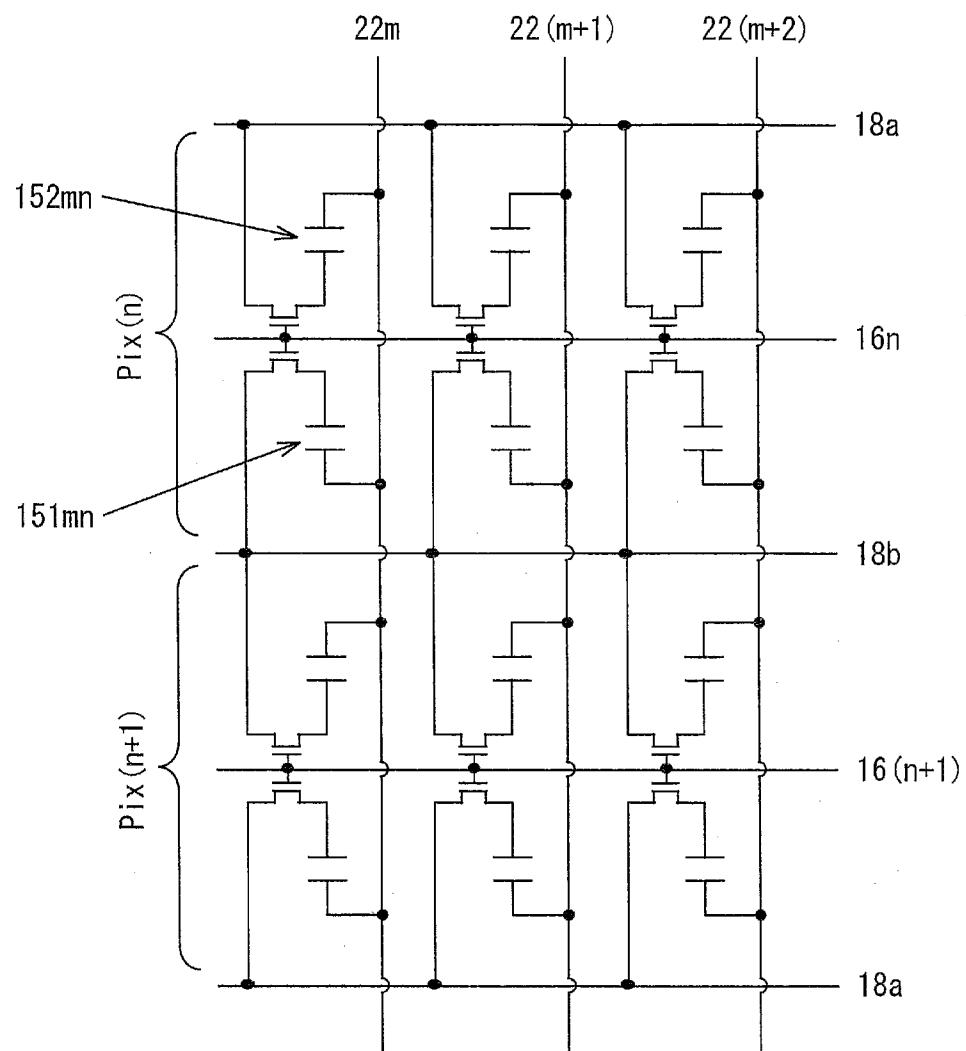
[図4A]



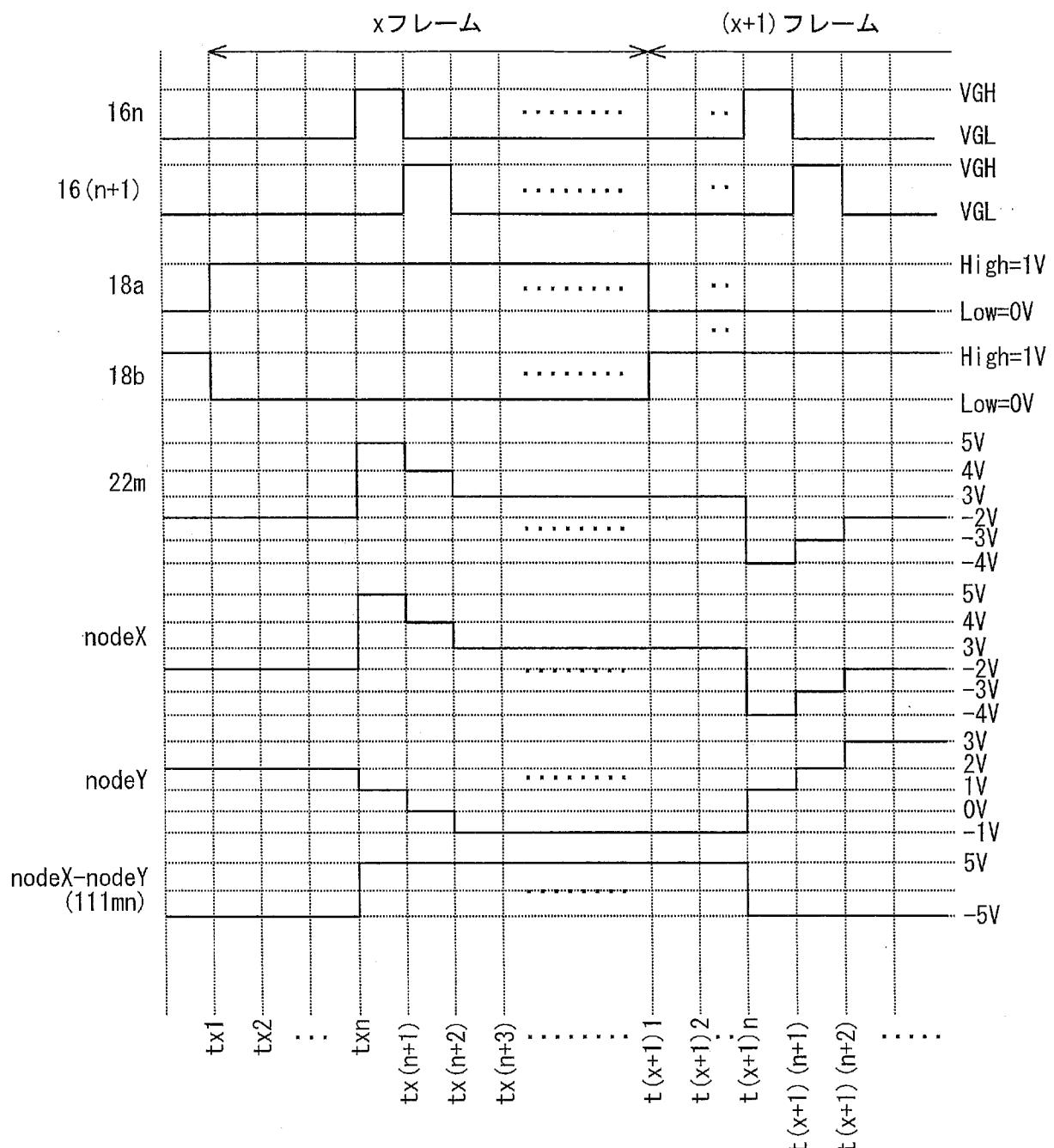
[図4B]



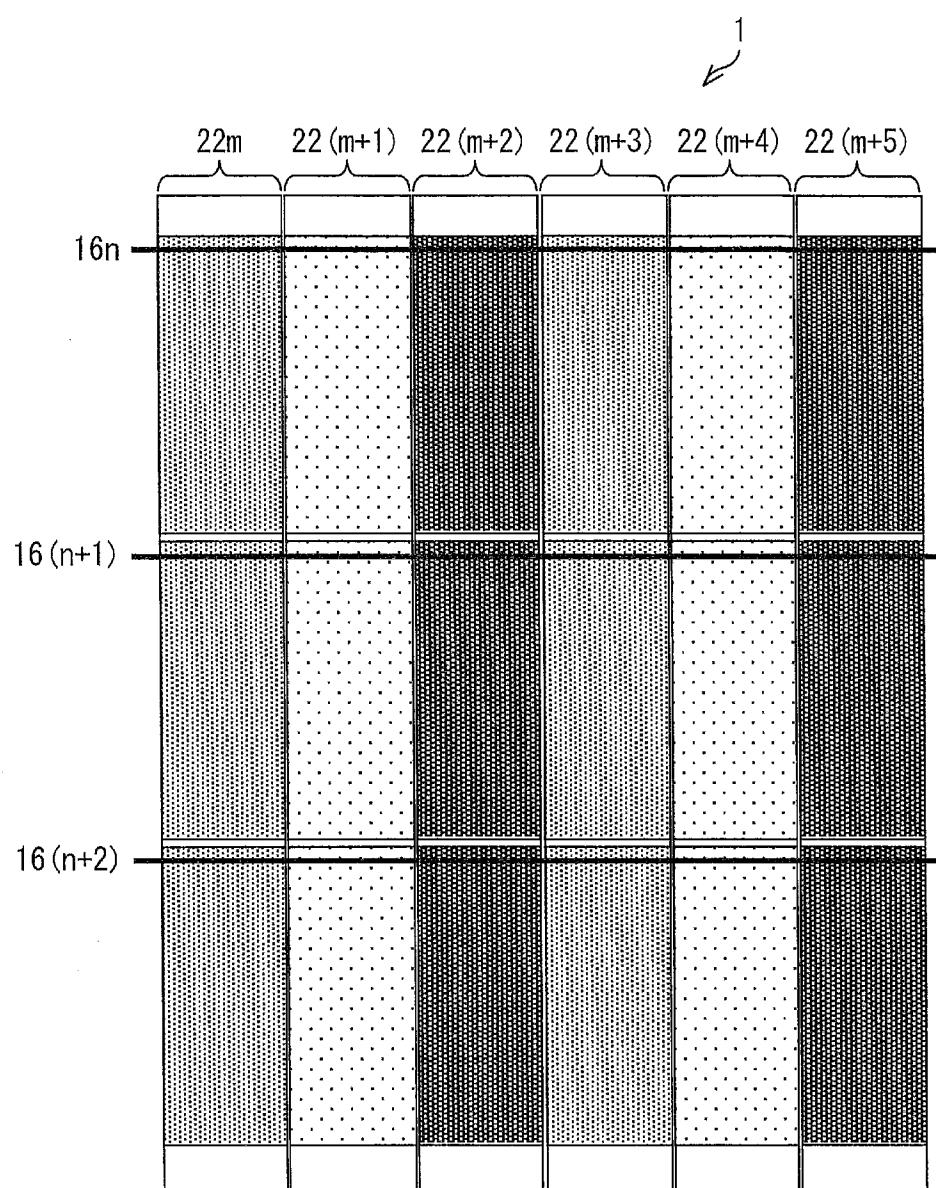
[図5]



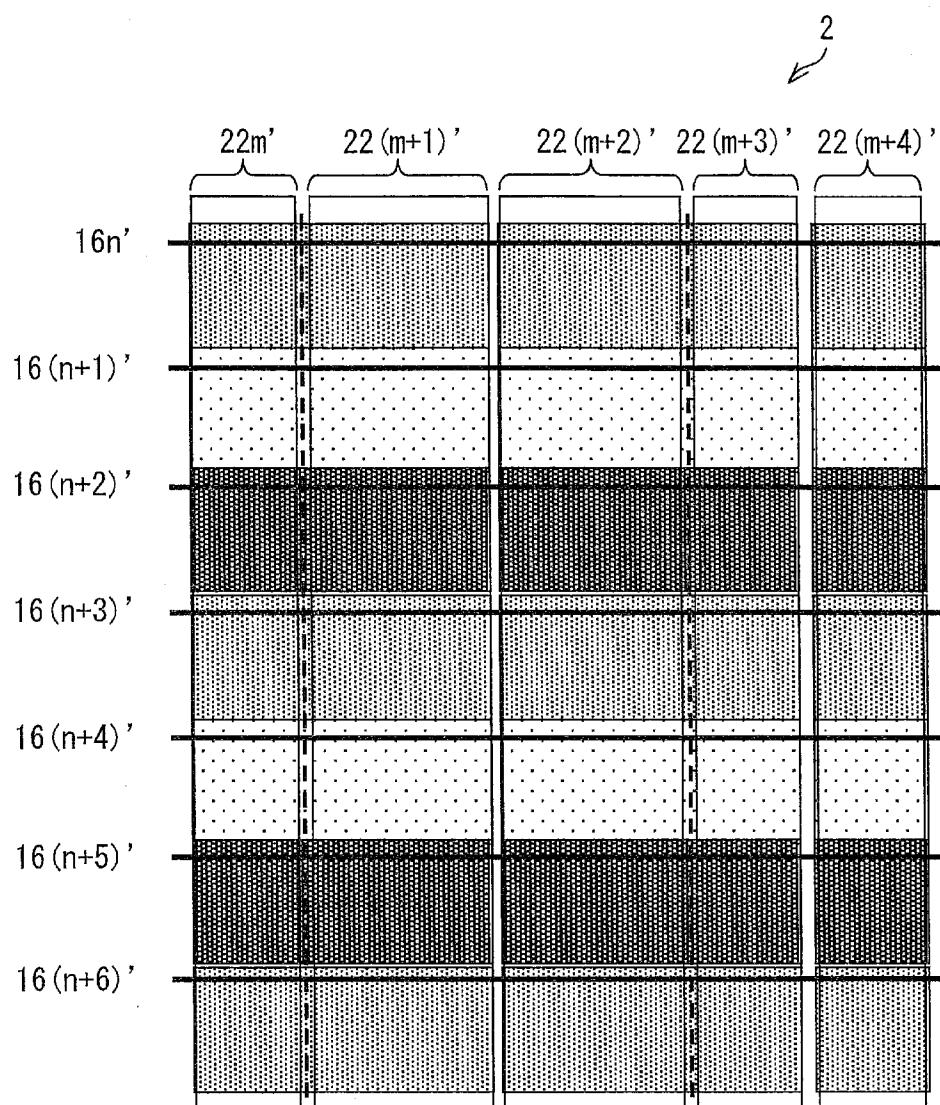
[図6]



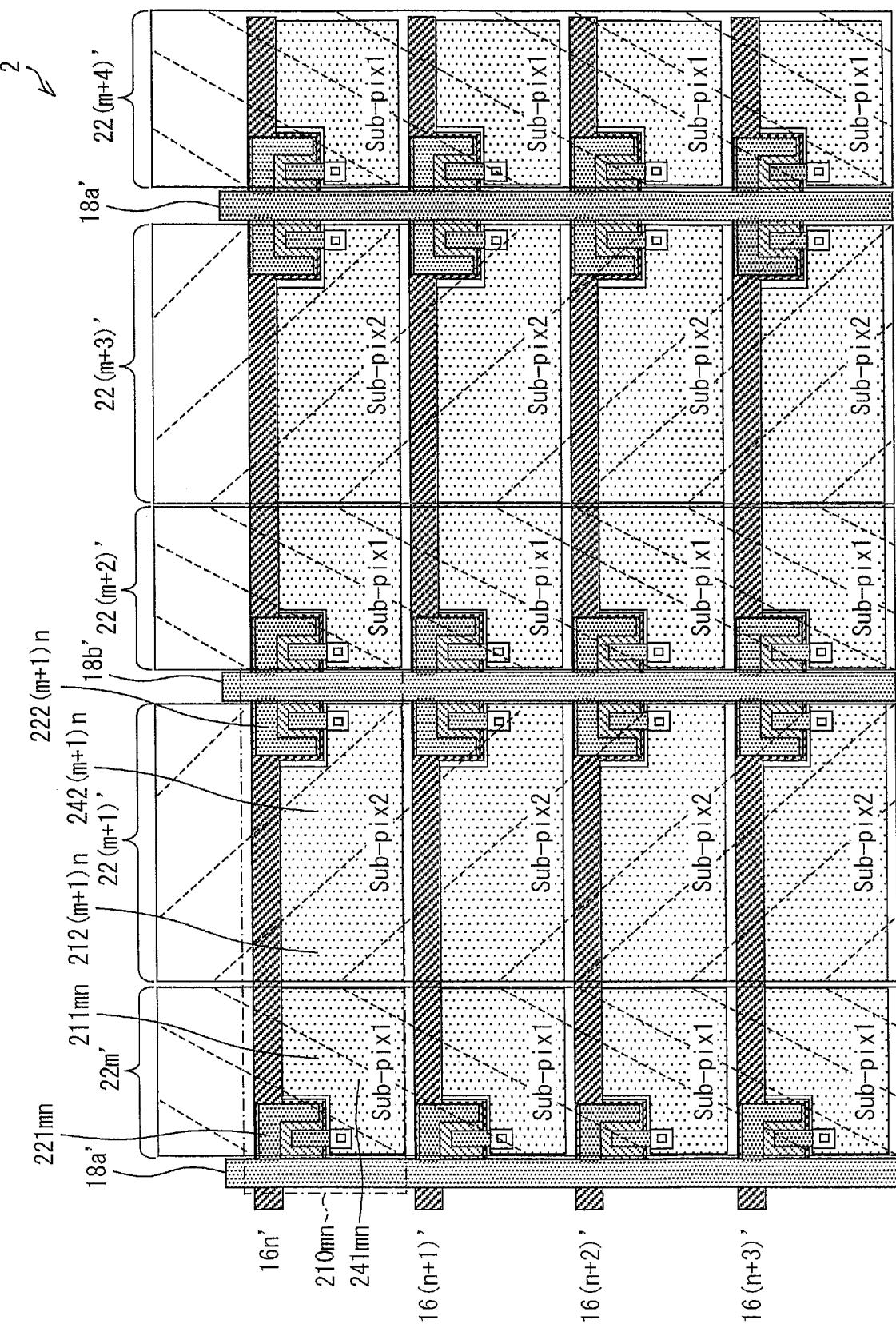
[図7]



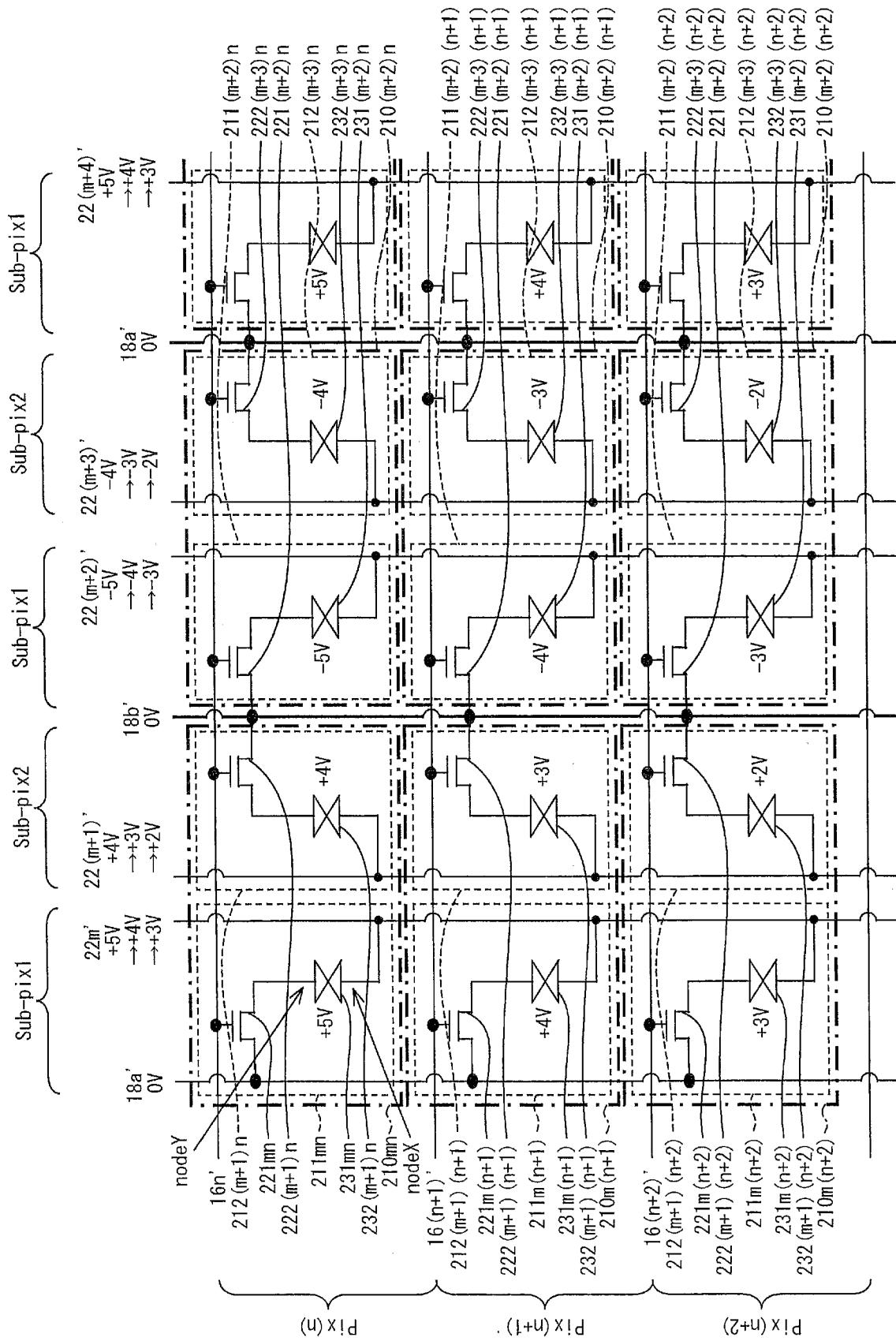
[図8]



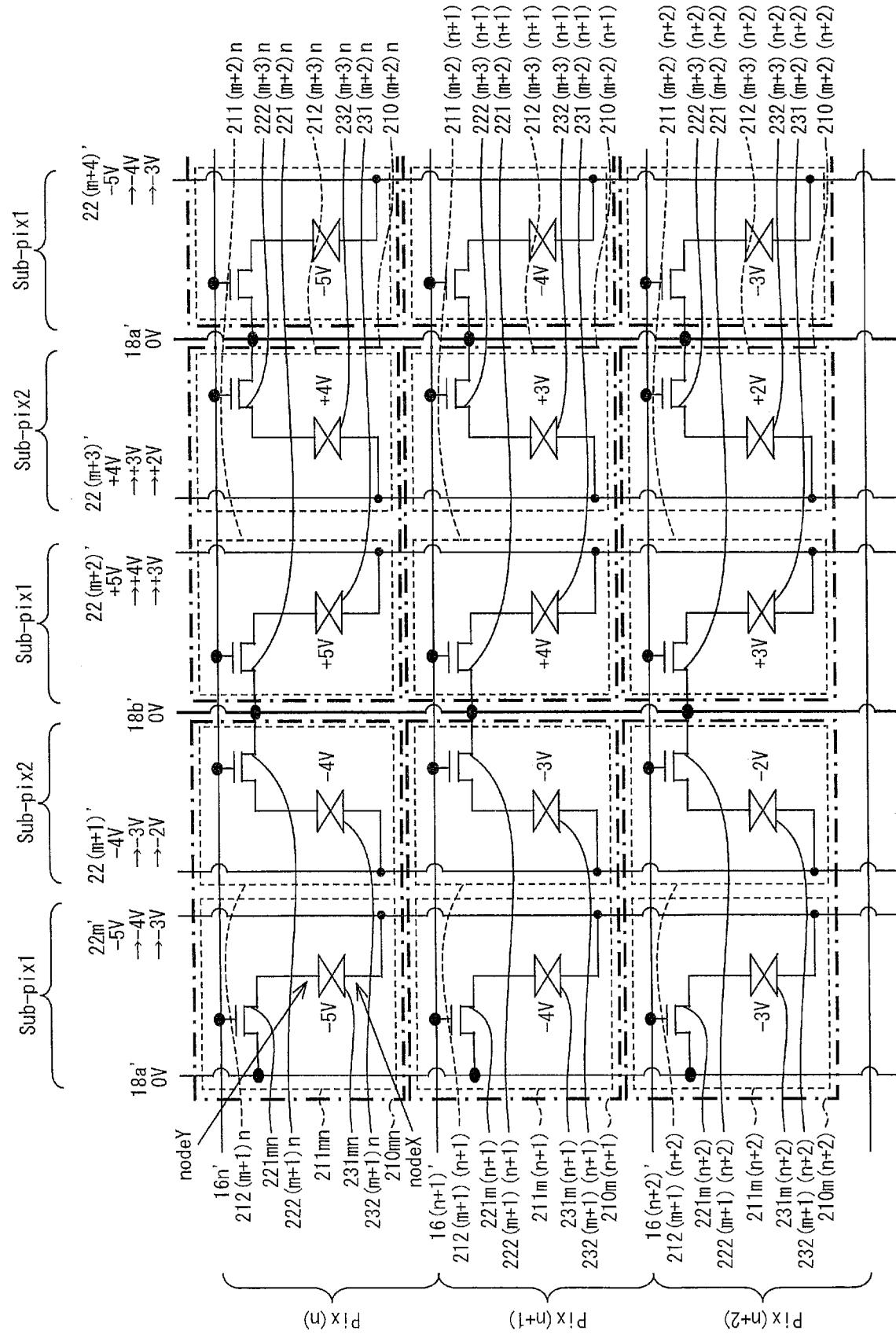
[図9]



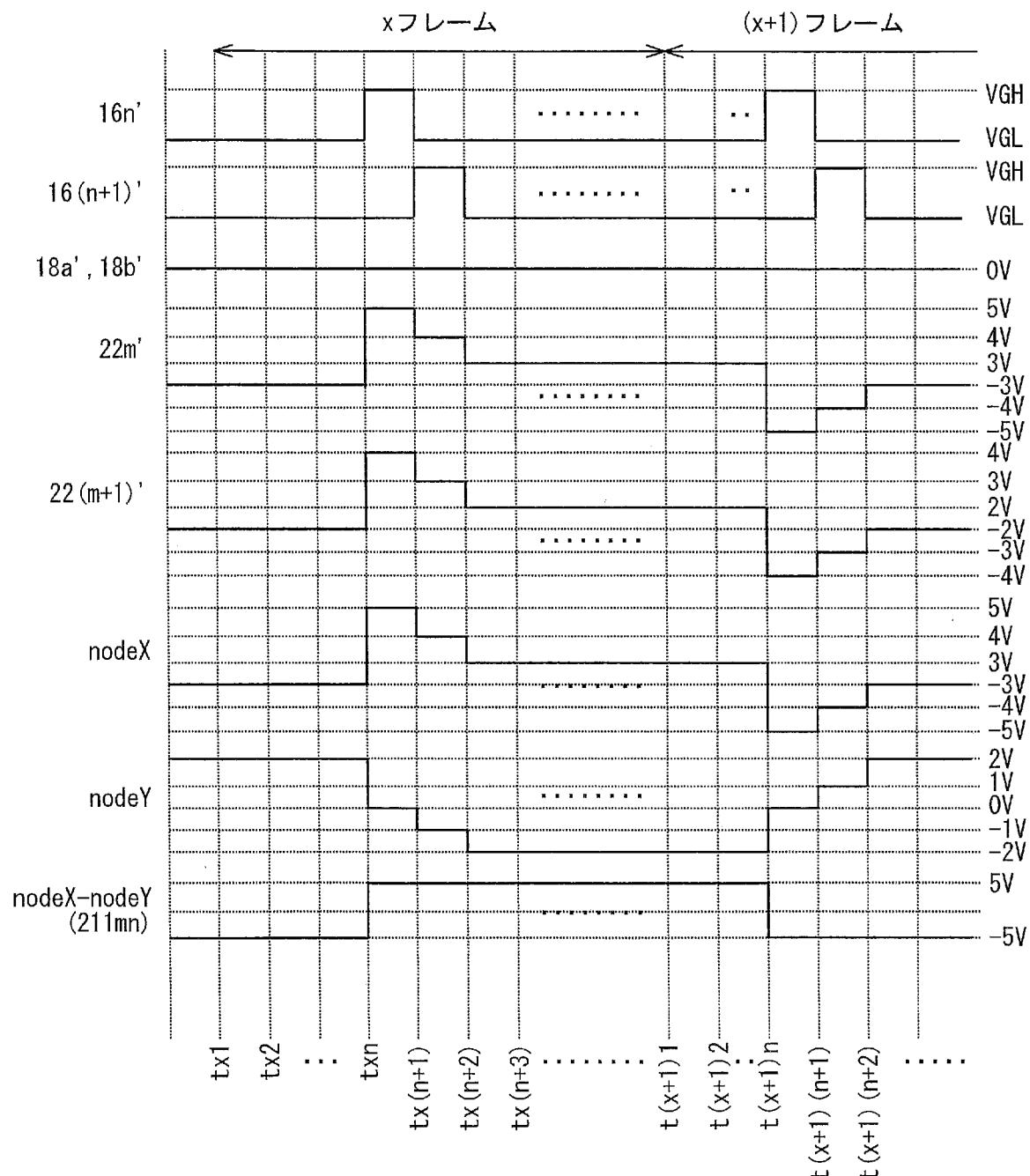
[図10A]



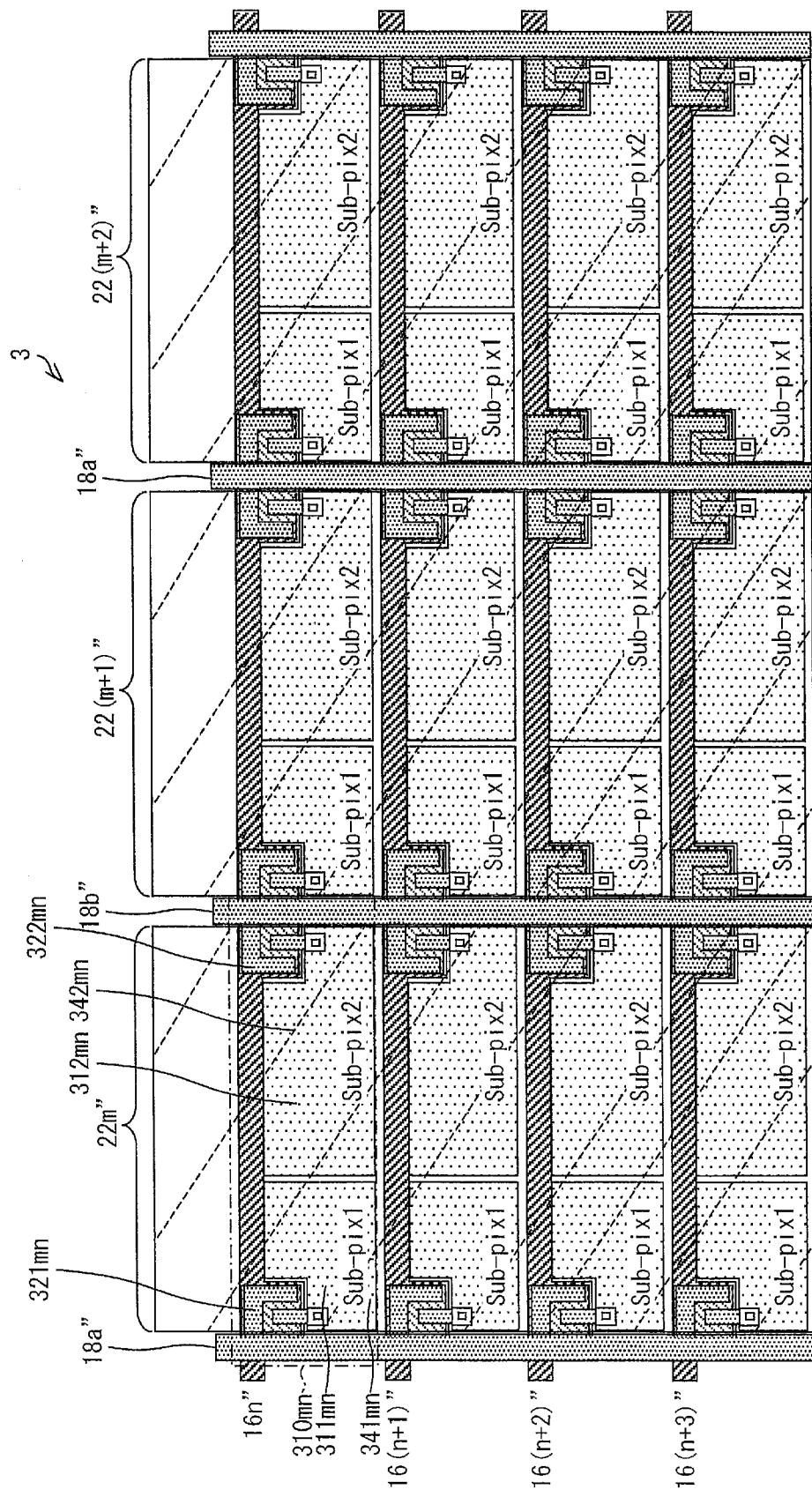
[図10B]



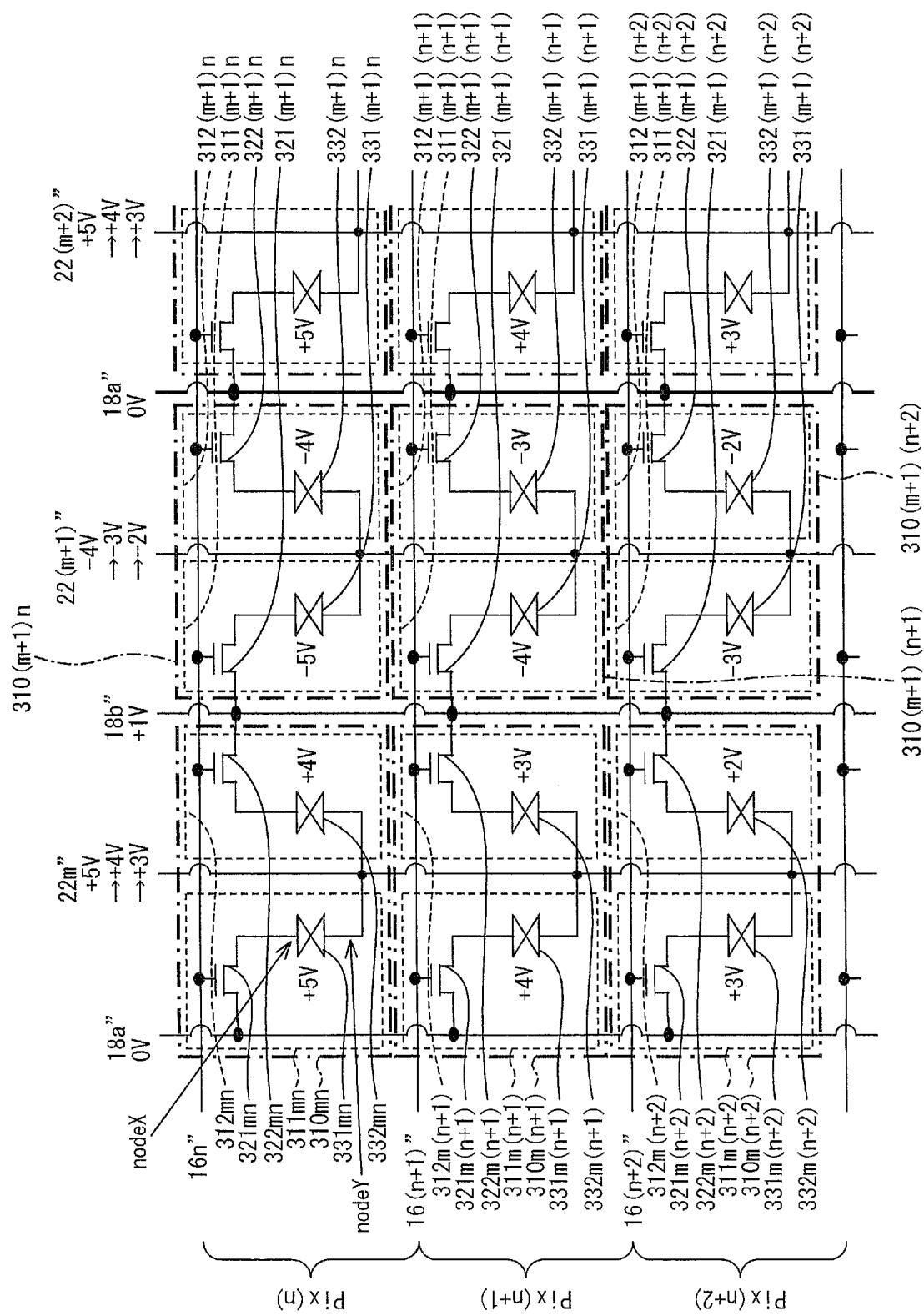
[図11]



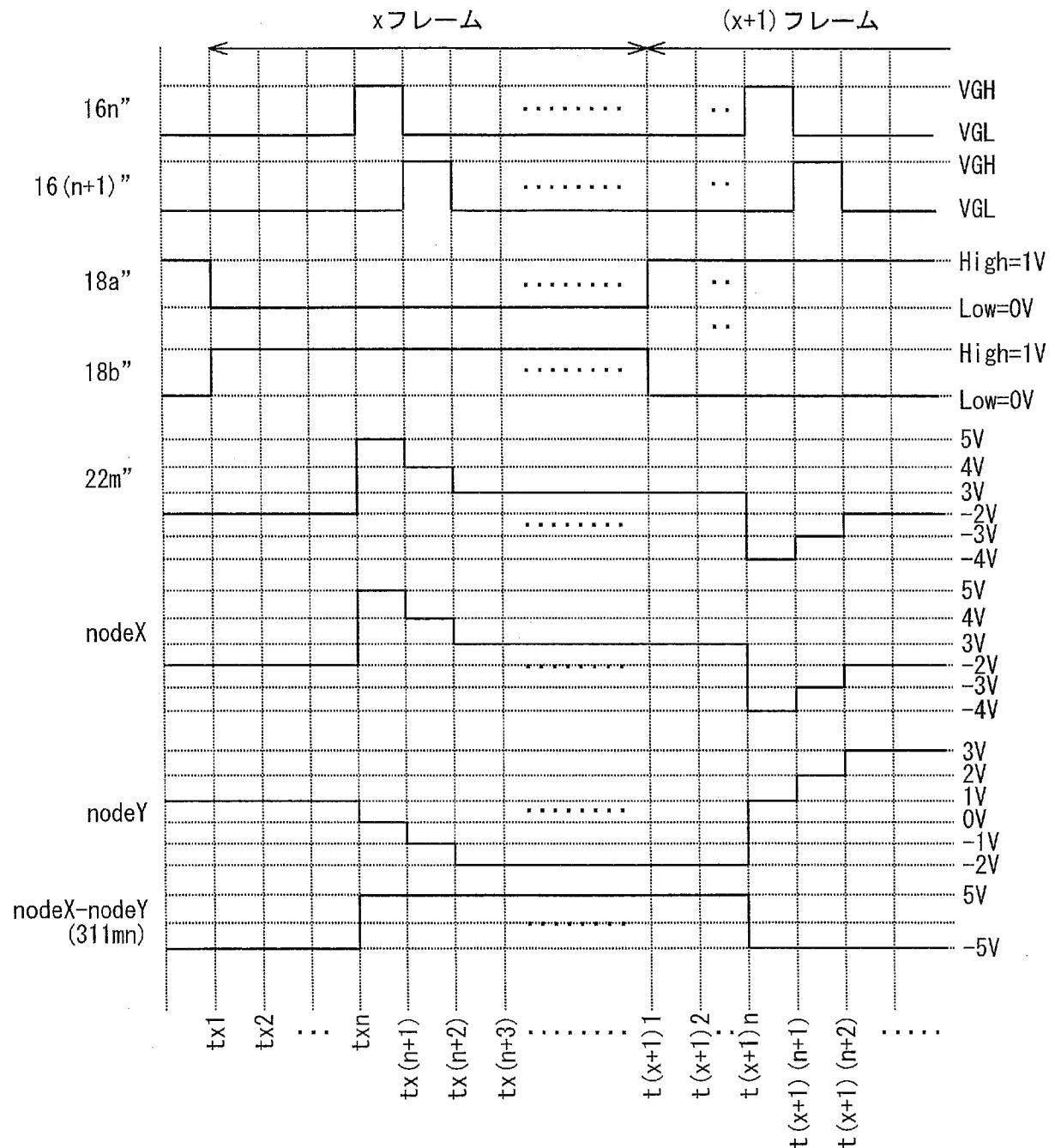
[図12]



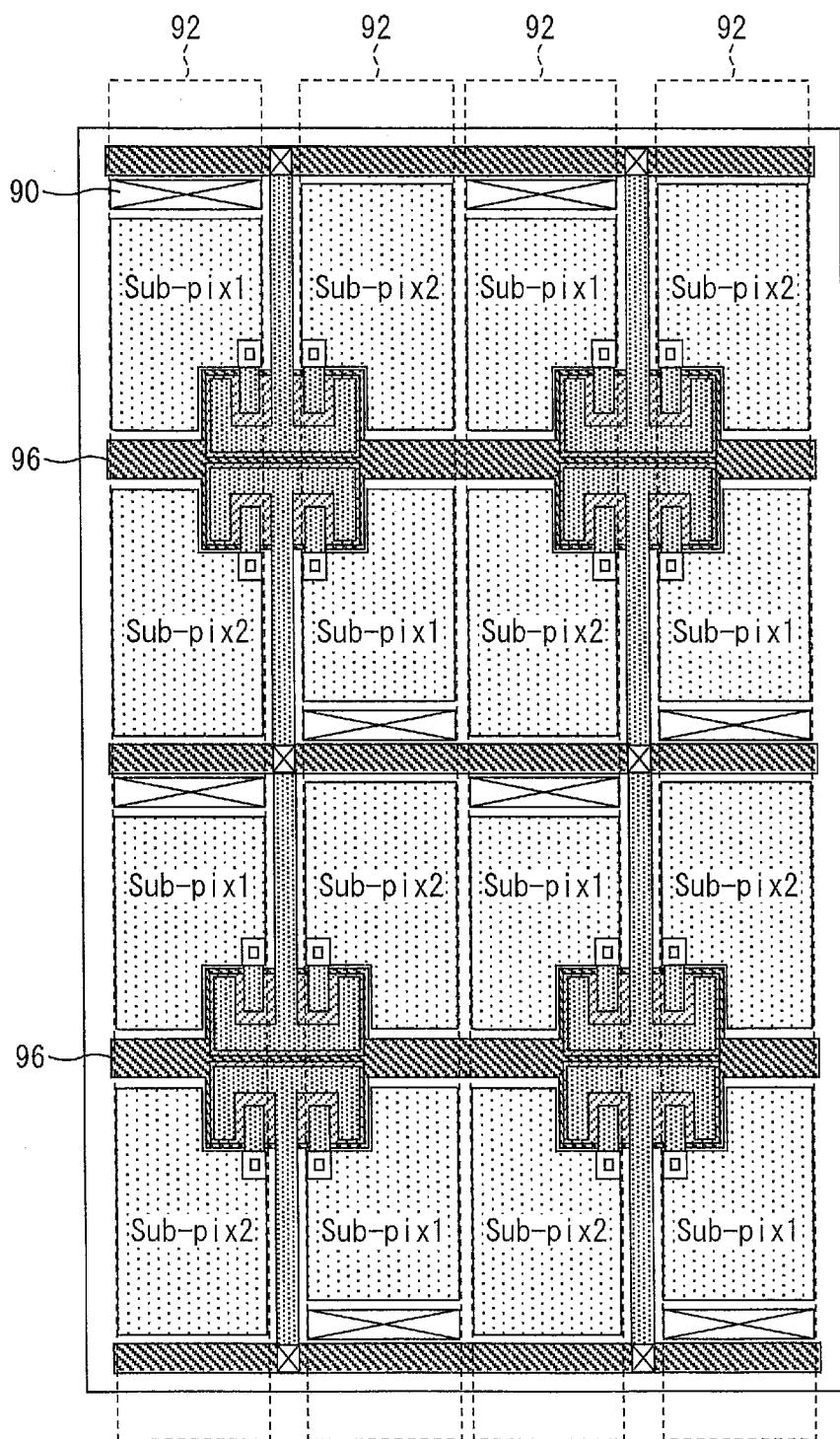
【図13】



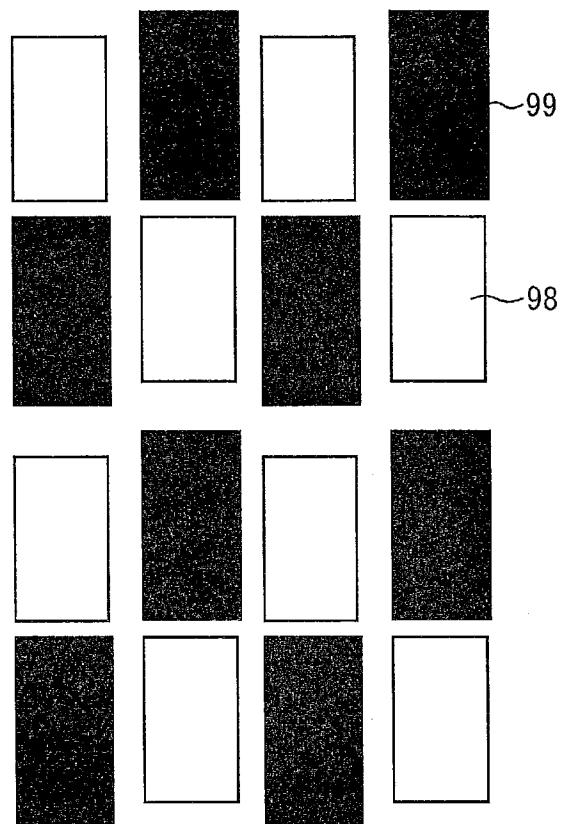
【図14】



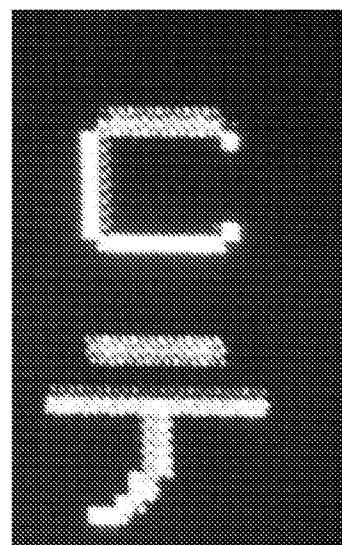
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/078105

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/133, G02F1/1343, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2011</i>
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2011</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2011</i>

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-295758 A (NEC Corp.), 29 October 1999 (29.10.1999), entire text; all drawings (Family: none)	1-2, 9-10
Y	JP 2005-316211 A (Fujitsu Display Technologies Corp.), 10 November 2005 (10.11.2005), entire text; all drawings & US 2005-253797 A1	3
A	JP 2008-309884 A (Sony Corp.), 25 December 2008 (25.12.2008), entire text; all drawings (Family: none)	7-8, 12 1-12

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 December, 2011 (16.12.11)

Date of mailing of the international search report
14 February, 2012 (14.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/078105

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 63-241524 A (Hitachi, Ltd.), 06 October 1988 (06.10.1988), entire text; all drawings (Family: none)	4-6, 11
A	JP 2-4291 A (Fujitsu Ltd.), 09 January 1990 (09.01.1990), entire text; all drawings (Family: none)	4-6, 11

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2011/078105**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claim 1 cannot be considered to be novel in the light of the invention disclosed in the document 1 (JP 11-295758 A (NEC Corp.), 29 October 1999 (29.10.1999), entire text, all drawings), and does not have a special technical feature. Consequently, the following three inventions are involved in claims.

- (Invention 1) claims 1-3, 9-10
(Invention 2) claims 4-6, 11
(Invention 3) claims 7-8, 12

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G09G3/20(2006.01)i,
G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G02F1/1368, G02F1/133, G02F1/1343, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 11-295758 A (日本電気株式会社)	1-2, 9-10
Y	1999.10.29、全文、全図 (ファミリーなし)	3
A		7-8, 12
Y	J P 2005-316211 A (富士通ディスプレイテクノロジーズ株式会社) 2005.11.10、全文、全図 & U S 2005-253797 A1	3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 16.12.2011	国際調査報告の発送日 14.02.2012
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許序審査官（権限のある職員） 山口 裕之 電話番号 03-3581-1101 内線 3293 2 L 2913

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 8 - 3 0 9 8 8 4 A (ソニー株式会社) 2 0 0 8 . 1 2 . 2 5 、全文、全図 (ファミリーなし)	1-12
A	J P 6 3 - 2 4 1 5 2 4 A (株式会社日立製作所) 1 9 8 8 . 1 0 . 0 6 、全文、全図 (ファミリーなし)	4-6, 11
A	J P 2 - 4 2 9 1 A (富士通株式会社) 1 9 9 0 . 0 1 . 0 9 、全文、全図 (ファミリーなし)	4-6, 11

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1に係る発明は、文献1（JP 11-295758 A（日本電気株式会社）1999.10.29、全文、全図）に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。よって、請求の範囲には、以下に示す3の発明（群）が含まれる。

- (発明1) 請求項1～3、9～10
(発明2) 請求項4～6、11
(発明3) 請求項7～8、12

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。