

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 12 月 5 日 (05.12.2019)



(10) 国际公布号
WO 2019/227791 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2018/107143

(22) 国际申请日: 2018 年 9 月 22 日 (22.09.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810525852.0 2018年5月28日 (28.05.2018) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 戴荣磊 (DAI, Ronglei); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: GATE DRIVER ON ARRAY CIRCUIT

(54) 发明名称: 阵列基板行驱动电路

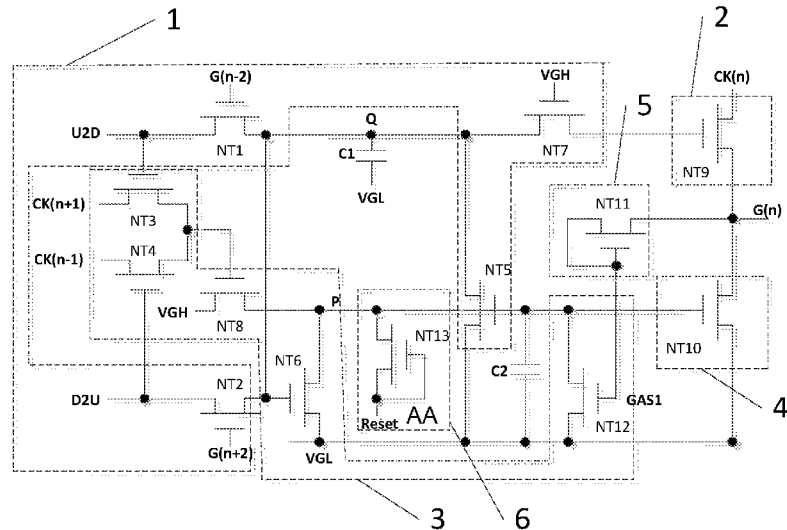


图 1

(57) Abstract: A gate driver on array circuit, comprising a plurality of cascaded gate driver on array units. The plurality of gate driver on array units comprises a first virtual gate driver on array unit and/or a second virtual gate driver on array unit that is not connected to the gate lines of an effective display area, and a plurality of cascaded ordinary gate driver on array units connected to the gate lines of the effective display area; the first virtual gate driver on array unit is cascaded before the plurality of ordinary gate driver on array units, and/or the second virtual gate driver on array unit is cascaded after the plurality of ordinary gate driver on array units; a start signal STV is input to the first virtual gate driver on array unit as a stage transmission signal of the previous stage, and/or is input to the second virtual gate driver on array unit as a stage transmission signal of the next stage. The gate driver on array circuit can control image sticking rows in a non-display area to eliminate image sticking during abnormal shutdown.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种阵列基板行驱动电路, 包括级联的多个阵列基板行驱动单元; 多个阵列基板行驱动单元包括未与有效显示区的扫描线连接的第一虚拟阵列基板行驱动单元和/或第二虚拟阵列基板行驱动单元, 以及与有效显示区的扫描线连接的级联的多个普通阵列基板行驱动单元; 第一虚拟阵列基板行驱动单元级联于多个普通阵列基板行驱动单元之前, 和/或第二虚拟阵列基板行驱动单元级联于多个普通阵列基板行驱动单元之后; 起始信号STV作为上一级的级传信号输入第一虚拟阵列基板行驱动单元, 和/或作为下一级的级传信号输入第二虚拟阵列基板行驱动单元。该阵列基板行驱动电路能够将残影行控制于非显示区域以实现异常关机消除残影。

阵列基板行驱动电路

技术领域

本发明涉及显示技术领域，尤其涉及一种阵列基板行驱动电路。

5

背景技术

阵列基板行驱动(Gate Driver On Array, GOA)电路，是将栅极驱动电路集成在显示面板的阵列基板上，以实现扫描线(gate line)逐行扫描的一项技术。采用阵列基板行驱动技术，可以显著的减少外接芯片(IC)的使用量，从而降低了显示面板的生产成本以及功耗，并且能够实现显示装置的窄边框化。

10

但是，现有阵列基板行驱动电路无法满足异常关机快速插黑的需求。异常关机快速插黑，是指当芯片非正常状态下关闭，此时需要将所有扫描线全部打开，快速送入一个黑画面，以避免异常关机出现显示残影。

15

发明内容

因此，本发明的目的在于提供一种阵列基板行驱动电路，满足异常关机快速插黑的需求。

为实现上述目的，本发明提供了一种阵列基板行驱动电路，包括级联的多个阵列基板行驱动单元；所述多个阵列基板行驱动单元包括未与有效显示区的扫描线连接的第一虚拟阵列基板行驱动单元和/或第二虚拟阵列基板行驱动单元，以及与有效显示区的扫描线连接的级联的多个普通阵列基板行驱动单元；所述第一虚拟阵列基板行驱动单元级联于所述多个普通阵列基板行驱动单元之前，和/或所述第二虚拟阵列基板行驱动单元级联于所述多个普通阵列基板行驱动单元之后；起始信号作为上一级阵列基板行驱动单元的级传信号输入所述第一虚拟阵列基板行驱动单元，和/或起始信号作为下一级阵列基板行驱动单元的级传信号输入所述第二虚拟阵列基板行驱动单元。

20

25

30

其中，设 n 为自然数，所述级联的多个阵列基板行驱动单元中，第 n 级阵列基板行驱动单元包括：上拉控制模块，上拉模块，下拉控制模块，下拉模块，全局控制模块，以及复位模块；上拉控制模块用于接收上一级和/或下一级阵列基板行驱动单元的级传信号，控制上拉模块上拉第 n 级阵列基板行驱动单元的扫描信号输出端的电位；下拉控制模块用于控制下拉

模块下拉扫描信号输出端的电位；全局控制模块用于控制扫描信号输出端的电位；复位模块用于复位扫描信号输出端的电位。

其中，所述上拉控制模块包括：

5 第一薄膜晶体管，其栅极连接第 $n-2$ 级阵列基板行驱动单元的扫描信号输出端，源极和漏极分别连接正向扫描信号和第一节点；

第二薄膜晶体管，其栅极连接第 $n+2$ 级阵列基板行驱动单元的扫描信号输出端，源极和漏极分别连接反向扫描信号和第一节点；

第五薄膜晶体管，其栅极连接第二节点，源极和漏极分别连接第一节点和低电平信号；

10 第七薄膜晶体管，其栅极连接高电平信号，源极和漏极分别连接第一节点和作为上拉控制模块的输出端连接上拉模块。

其中，所述上拉模块包括：第九薄膜晶体管，其栅极连接上拉控制模块的输出端，源极和漏极分别连接第 n 级时钟信号和扫描信号输出端。

其中，所述下拉控制模块包括：

15 第三薄膜晶体管，其栅极连接正向扫描信号，源极和漏极分别连接第 $n+1$ 级时钟信号和第八薄膜晶体管的栅极；

第四薄膜晶体管，其栅极连接反向扫描信号，源极和漏极分别连接第 $n-1$ 级时钟信号和第八薄膜晶体管的栅极；

20 第六薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接第二节点和低电平信号；

第八薄膜晶体管，其源极和漏极分别连接第二节点和高电平信号；

第十二薄膜晶体管，其栅极连接全局控制信号，源极和漏极分别连接第二节点和低电平信号。

25 其中，所述下拉模块包括：第十薄膜晶体管，其栅极连接第二节点，源极和漏极分别连接扫描信号输出端和低电平信号。

其中，所述全局控制模块包括：第十一薄膜晶体管，其栅极连接全局控制信号，源极和漏极分别连接全局控制信号和扫描信号输出端。

其中，所述复位模块包括：第十三薄膜晶体管，其栅极连接复位信号，源极和漏极分别连接复位信号和第二节点。

30 其中，还包括第一电容，其两极分别连接第一节点和低电平信号。

其中，还包括第二电容，其两极分别连接第二节点和低电平信号。

综上，本发明的阵列基板行驱动电路能够将残影行控制于非显示区域以实现异常关机消除残影，能够实现异常关机时快速插黑。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其他有益效果显而易见。

附图中，

5 图 1 为本发明阵列基板行驱动电路一较佳实施例的 GOA 单元电路结构示意图；

图 2 为本发明阵列基板行驱动电路一较佳实施例的驱动架构示意图；

图 3 为本发明阵列基板行驱动电路一较佳实施例为实现快速插黑的时序设置示意图。

10

具体实施方式

参见图 2，其为本发明阵列基板行驱动电路一较佳实施例的驱动架构示意图。本发明的 GOA 电路（阵列基板行驱动电路）主要包括级联的多个
15 GOA 单元（阵列基板行驱动单元），在此实施例中，具体包括 Dummy（虚拟）GOA_{up} 单元，First（最初）GOA 单元...Last（最终）GOA 单元，以及 Dummy GOA_{down} 单元；所述多个 GOA 单元包括未与有效显示区（AA）的扫描线 First gate line（最初扫描线）...Last gate line（最终扫描线）连接的虚拟 GOA 单元，即 Dummy GOA_{up} 单元和 Dummy GOA_{down}
20 单元，以及与有效显示区的扫描线对应连接的级联的多个普通 GOA 单元，即 First GOA 单元...Last GOA 单元；Dummy GOA_{up} 单元级联于多个普通 GOA 单元 First GOA 单元...Last GOA 单元之前，Dummy GOA_{down} 单元级联于多个普通 GOA 单元 First GOA 单元...Last GOA 单元之后，起始信号 STV 作为上一级 GOA 单元的级传信号输入 Dummy GOA_{up} 单元，
25 起始信号 STV 作为下一级 GOA 单元的级传信号输入 Dummy GOA_{down} 单元。

本发明不仅限于图 2 所示驱动架构，对于仅采用正向扫描的驱动架构，可以仅设置一个虚拟 GOA 单元，即 Dummy GOA_{up} 单元；对于仅采用反向扫描的驱动架构，可以仅设置一个虚拟 GOA 单元，即 Dummy GOA_{down}
30 单元。

本发明通过引入虚拟 GOA 单元，如图 2 中的 Dummy GOA_{up} 单元和 Dummy GOA_{down} 单元，将虚拟 GOA 单元接入正常级传，再切断虚拟 GOA 单元同有效显示区的连接，可以实现异常关机消除残影；本发明通过将起始信号 STV 接入虚拟 GOA 单元，将残影行控制于虚拟 GOA 单元。

如图 1 所示, 其为本发明阵列基板行驱动电路一较佳实施例的 GOA 单元电路结构示意图, 图 1 所示电路结构仅作为举例, 其他适合本发明的电路结构也包含在本发明保护范围内。图 2 中的虚拟 GOA 单元(包括 Dummy GOA_up 单元和 Dummy GOA_down 单元)和普通(normal)GOA 单元(包括 First GOA 单元...Last GOA 单元)可以为图 1 所示电路结构。

第 n 级 GOA 单元主要包括: 上拉控制模块 1, 上拉模块 2, 下拉控制模块 3, 下拉模块 4, 全局控制模块 5, 以及复位模块 6; 上拉控制模块 1 用于接收上一级和/或下一级阵列基板行驱动单元的级传信号, 控制上拉模块 2 上拉第 n 级阵列基板行驱动单元的扫描信号输出端 $G(n)$ 的电位; 下拉控制模块 3 用于控制下拉模块 4 下拉扫描信号输出端 $G(n)$ 的电位; 全局控制模块 5 用于控制扫描信号输出端 $G(n)$ 的电位; 复位模块 6 用于复位扫描信号输出端 $G(n)$ 的电位。

在此实施例中, 上拉控制模块 1 主要包括薄膜晶体管 NT1, NT2, NT5, 及 NT7; 上拉模块 2 主要包括 NT9; 上拉控制模块 1 用于接收 $G(n-2)$ 级和/或 $G(n+2)$ 级 GOA 单元的级传信号, 控制上拉模块 2 上拉扫描信号输出端 $G(n)$ 的电位。下拉控制模块 3 主要包括 NT3, NT4, NT6, NT8, 及 NT12; 下拉模块 4 主要包括 NT10; 下拉控制模块 3 用于控制下拉模块 4 下拉扫描信号输出端 $G(n)$ 的电位。全局控制模块 5 主要包括 NT11, 用于控制扫描信号输出端 $G(n)$ 的电位。复位模块 6 主要包括 NT13, 用于复位控制扫描信号输出端 $G(n)$ 的电位。本发明阵列基板行驱动电路还包括电容 C1, 以及电容 C2, 可用于保持电位。

在此实施例中, 包含正/反向扫描功能, 上拉控制模块 1 需要接收上一级和下一级阵列基板行驱动单元的级传信号。当进行正向扫描时, 第 1 级 GOA 单元的上一级 GOA 单元为 Dummy GOA_up 单元, 所输入级传信号为起始信号 STV, 其余第 n 级 GOA 单元的上一级 GOA 单元为第 $n-2$ 级 GOA 单元, 级传信号来自扫描信号输出端 $G(n-2)$; 当进行反向扫描时, 最终级 GOA 单元的上一级 GOA 单元为 Dummy GOA_down 单元, 所输入级传信号为起始信号 STV, 其余第 n 级 GOA 单元的上一级 GOA 单元为第 $n+2$ 级 GOA 单元, 级传信号来自扫描信号输出端 $G(n+2)$ 。

根据 GOA 电路具体结构、驱动方式以及扫描方向等差异, 如逐行扫描、隔行扫描, 正向扫描和/反向扫描等, 本发明 GOA 电路的级传信号也可以为其他信号或形式。

参见图 3, 其为异常关机后, 本发明阵列基板行驱动电路一较佳实施例为实现快速插黑的时序(timing)设置示意图。异常关机后, 在此较佳实施

例中, 起始信号由低电平信号 VGL 变成高电平信号 VGH, 时钟信号 CK 变为低电平信号 VGL。

下面结合图 1, 图 2 及图 3, 说明本发明在异常关机时刻实现快速插黑的过程。对于 Dummy GOA_up 单元: 起始信号 STV 接入图 1 所示电路中扫描信号输出端 G (n-2) 位置, First GOA 单元输出接入图 1 所示电路中扫描信号输出端 G (n+2) 位置; 在异常关机后, 起始信号 STV 和正向扫描信号 U2D 为高电平信号 VGH, 导致 Dummy GOA_up 单元的节点 Q 电位为高电平信号 VGH, 打开 NT9, 将时钟信号 CK 的低电平信号 VGL 输入到扫描信号输出端 G(n), 同时全局控制信号 GAS1 为高电平信号 VGH, 打开 NT12 及 NT11, 打开 NT12 将低电平信号 VGL 输入到 NT10 栅极, 关闭 NT10, 打开 NT11 将高电平信号 VGH 输入扫描信号输出端 G(n) 所以, 对于 Dummy GOA_up 单元, NT11 和 NT9 同时打开, 扫描信号输出端 G(n) 输出为时钟信号 CK 和全局控制信号 GAS1 的短路分压, 导致此处扫描信号输出端 G(n) 输出为 0V 左右。

对于 First GOA 单元: Dummy GOA_up 单元的扫描信号输出端 G(n) 输出接入图 1 所示电路中扫描信号输出端 G (n-2) 位置, 下一级 GOA 单元输出接入图 1 所示电路中扫描信号输出端 G (n+2) 位置; 由前述可知, 在异常关机后, Dummy GOA_up 单元的扫描信号输出端 G(n) 输出为 0V 左右, 正向扫描信号 U2D 为高电平信号 VGH, 导致 First GOA 单元的节点 Q 电位为 0V 左右, 微开 NT9, 时钟信号 CK 少量低电平信号 VGL 输入到扫描信号输出端 G(n); 同时全局控制信号 GAS1 为高电平信号 VGH, 打开 NT12 及 NT11, 导致 NT10 关闭, 且打开 NT11 将高电平信号 VGH 输入扫描信号输出端 G(n); 所以, 对于 First GOA 单元, NT11 打开, NT9 微开, 扫描信号输出端 G(n) 输入为少量时钟信号 CK 和全局控制信号 GAS1 短路分压, 导致此处扫描信号输出端 G(n) 输出为偏 VGH 的正电压。

对于除 First GOA 单元和 Dummy GOA_up 单元以外的 GOA 单元, 在异常关机后, 由于扫描信号输出端 G (n-2) 均接入上一级 GOA 输入, 所以工作方式可以参考 First GOA 单元, 即 GOA 单元输出为偏 VGH 的正电压。

由于除 Dummy GOA_up 单元外的 GOA 单元 (含 First GOA 单元) 均输出偏 VGH 的正电压, 有效显示区可以实现以上各级 GOA 单元的扫描线均打开, 实现有效显示区显示行的快速插入黑画面。此时, 只有 Dummy GOA_up 单元输出为 0V 左右, 无法实现快速插黑, 有残影风险, 但由于 Dummy GOA_up 单元不接入有效显示区, 所以不影响显示区域的快速插

黑。

- 5 综上，本发明的阵列基板行驱动电路使用起始信号 STV 将残影行控制于起始信号 STV 接入行；通过起始信号 STV 接入虚拟 GOA 单元，再将虚拟 GOA 单元切断同有效显示区连接，将残影行控制于非显示区域；，能够实现异常关机时快速插黑。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种阵列基板行驱动电路，包括级联的多个阵列基板行驱动单元；所述多个阵列基板行驱动单元包括未与有效显示区的扫描线连接的第一虚拟阵列基板行驱动单元和/或第二虚拟阵列基板行驱动单元，以及与有效显示区的扫描线连接的级联的多个普通阵列基板行驱动单元；所述第一虚拟阵列基板行驱动单元级联于所述多个普通阵列基板行驱动单元之前，和/或所述第二虚拟阵列基板行驱动单元级联于所述多个普通阵列基板行驱动单元之后；起始信号作为上一级阵列基板行驱动单元的级传信号输入所述第一虚拟阵列基板行驱动单元，和/或起始信号作为下一级阵列基板行驱动单元的级传信号输入所述第二虚拟阵列基板行驱动单元。

2、如权利要求 1 所述的阵列基板行驱动电路，其中，设 n 为自然数，所述级联的多个阵列基板行驱动单元中，第 n 级阵列基板行驱动单元包括：上拉控制模块，上拉模块，下拉控制模块，下拉模块，全局控制模块，以及复位模块；上拉控制模块用于接收上一级和/或下一级阵列基板行驱动单元的级传信号，控制上拉模块上拉第 n 级阵列基板行驱动单元的扫描信号输出端的电位；下拉控制模块用于控制下拉模块下拉扫描信号输出端的电位；全局控制模块用于控制扫描信号输出端的电位；复位模块用于复位扫描信号输出端的电位。

3、如权利要求 2 所述的阵列基板行驱动电路，其中，所述上拉控制模块包括：

第一薄膜晶体管，其栅极连接第 $n-2$ 级阵列基板行驱动单元的扫描信号输出端，源极和漏极分别连接正向扫描信号和第一节点；

第二薄膜晶体管，其栅极连接第 $n+2$ 级阵列基板行驱动单元的扫描信号输出端，源极和漏极分别连接反向扫描信号和第一节点；

第五薄膜晶体管，其栅极连接第二节点，源极和漏极分别连接第一节点和低电平信号；

第七薄膜晶体管，其栅极连接高电平信号，源极和漏极分别连接第一节点和作为上拉控制模块的输出端连接上拉模块。

4、如权利要求 2 所述的阵列基板行驱动电路，其中，所述上拉模块包括：第九薄膜晶体管，其栅极连接上拉控制模块的输出端，源极和漏极分别连接第 n 级时钟信号和扫描信号输出端。

5、如权利要求 2 所述的阵列基板行驱动电路，其中，所述下拉控制模

块包括:

第三薄膜晶体管,其栅极连接正向扫描信号,源极和漏极分别连接第 $n + 1$ 级时钟信号和第八薄膜晶体管的栅极;

5 第四薄膜晶体管,其栅极连接反向扫描信号,源极和漏极分别连接第 $n - 1$ 级时钟信号和第八薄膜晶体管的栅极;

第六薄膜晶体管,其栅极连接第一节点,源极和漏极分别连接第二节点和低电平信号;

第八薄膜晶体管,其源极和漏极分别连接第二节点和高电平信号;

10 第十二薄膜晶体管,其栅极连接全局控制信号,源极和漏极分别连接第二节点和低电平信号。

6、如权利要求 2 所述的阵列基板行驱动电路,其中,所述下拉模块包括:第十薄膜晶体管,其栅极连接第二节点,源极和漏极分别连接扫描信号输出端和低电平信号。

15 7、如权利要求 2 所述的阵列基板行驱动电路,其中,所述全局控制模块包括:第十一薄膜晶体管(NT11),其栅极连接全局控制信号,源极和漏极分别连接全局控制信号和扫描信号输出端。

8、如权利要求 2 所述的阵列基板行驱动电路,其中,所述复位模块包括:第十三薄膜晶体管(NT13),其栅极连接复位信号,源极和漏极分别连接复位信号和第二节点。

20 9、如权利要求 2 所述的阵列基板行驱动电路,还包括第一电容,其两极分别连接第一节点和低电平信号。

10、如权利要求 2 所述的阵列基板行驱动电路,还包括第二电容,其两极分别连接第二节点和低电平信号。

25

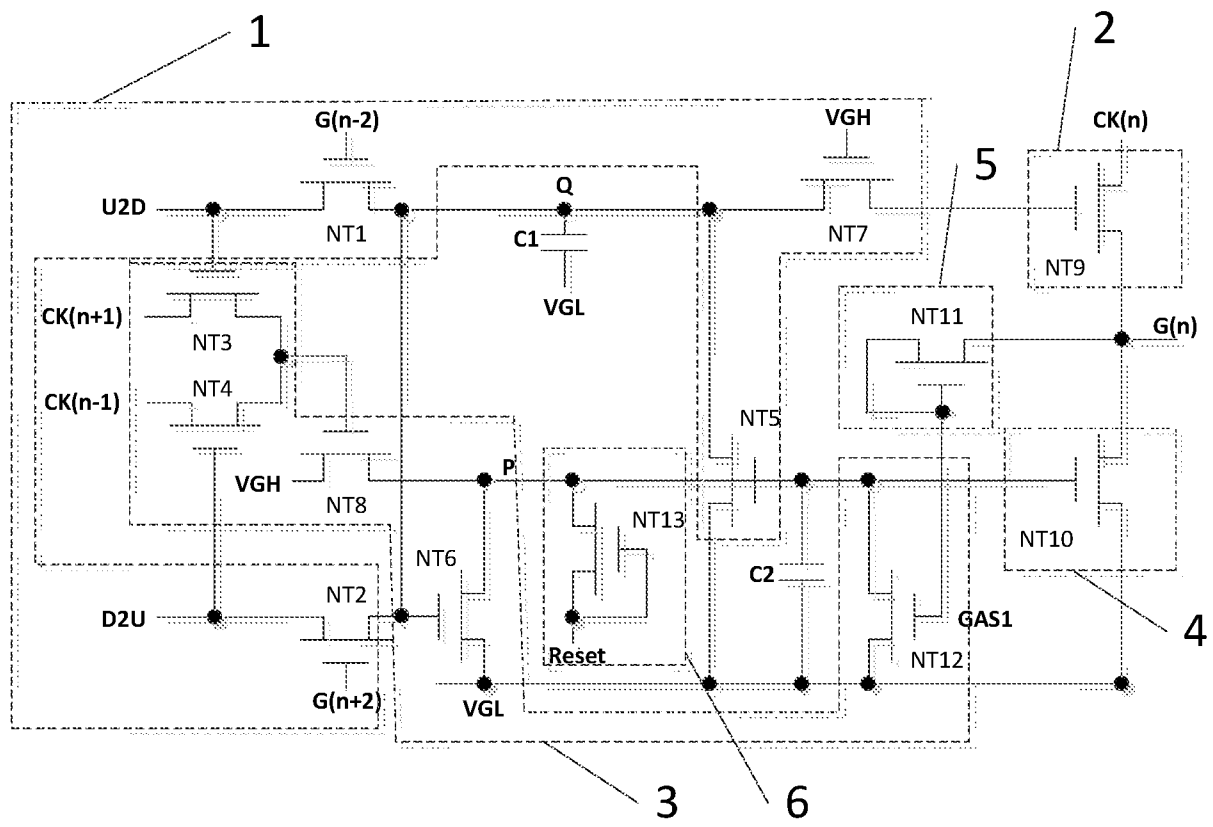


图 1

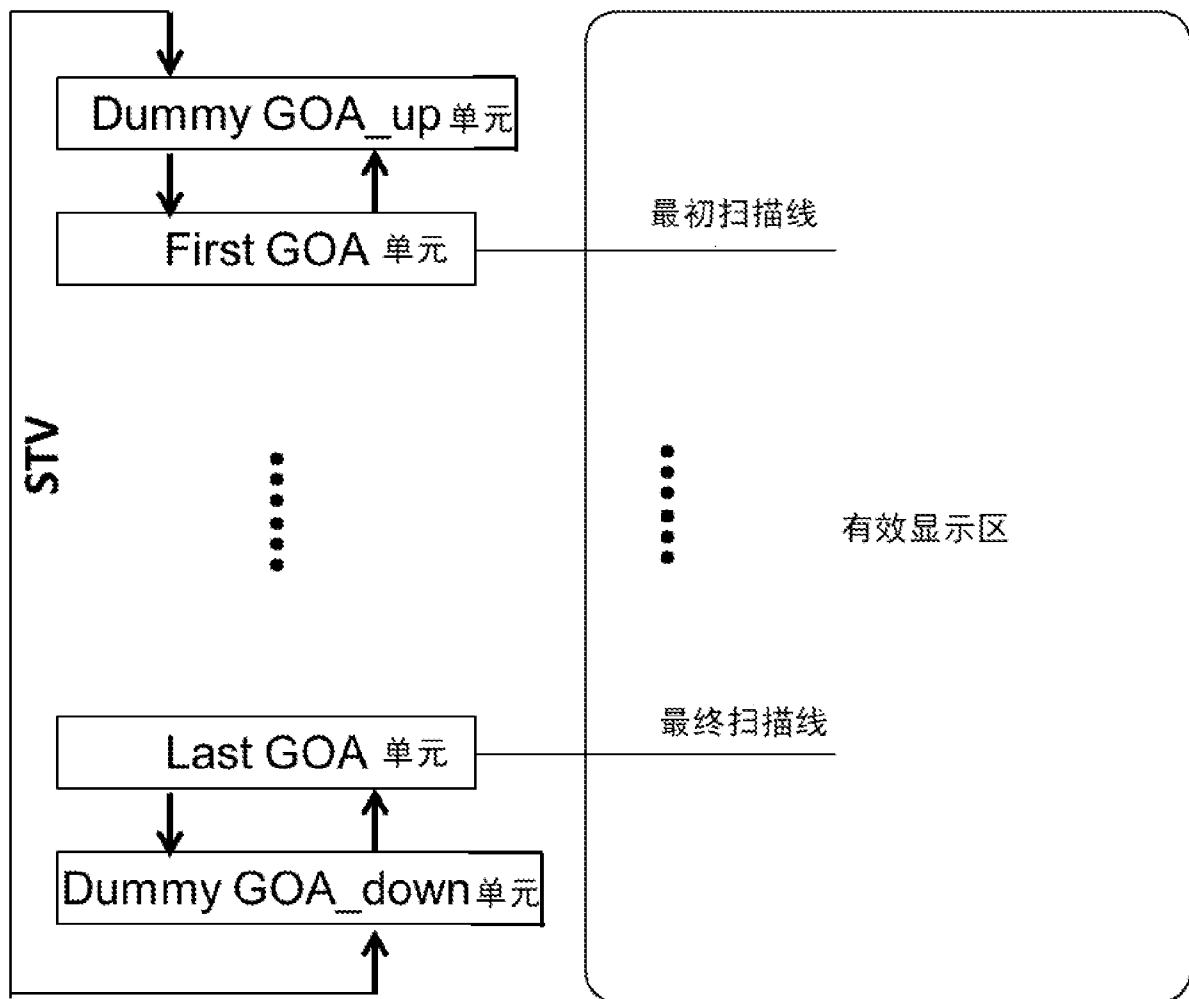


图 2

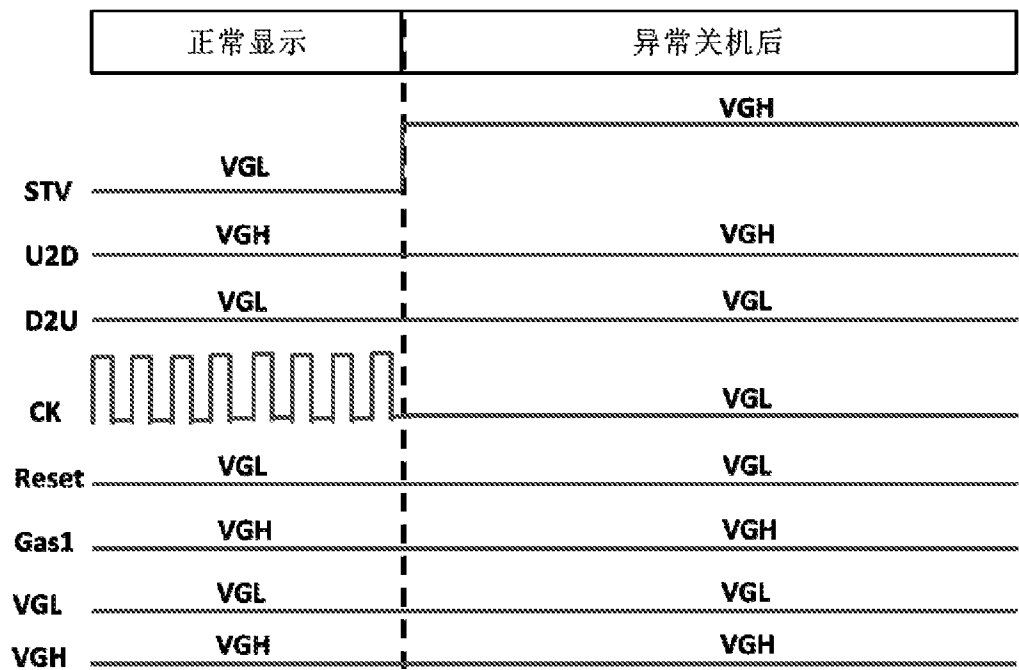


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/107143

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G, G02F, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN, CNKI: 阵列基板, 行驱动, 栅极驱动, 门驱动, GOA, 虚拟, 虚设, 伪, 冗余, 显示区, 起始信号, 开启信号, 初始信号, 异常关机, 残影, 插黑, 黑画面, gate driving, row driving, array, dummy, virtual, fake, display region, starting signals, STV, abnormal shutdown, power-off, residual image, afterimage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 107329341 A (SHENZHEN HUAXING PHOTOELECTRIC SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 07 November 2017 (2017-11-07) description, paragraphs [0036]-[0053], and figures 2-4	1-10
A	CN 104090436 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 08 October 2014 (2014-10-08) entire document	1-10
A	CN 101383133 A (AU OPTRONICS CORP.) 11 March 2009 (2009-03-11) entire document	1-10
A	CN 106019735 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 12 October 2016 (2016-10-12) entire document	1-10
A	CN 106206619 A (XIAMEN TIANMA MICROELECTRONICS CO. LTD. ET AL.) 07 December 2016 (2016-12-07) entire document	1-10
A	JP 2010020282 A (SAMSUNG ELECTRONICS CO., LTD.) 28 January 2010 (2010-01-28) entire document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 February 2019

Date of mailing of the international search report

11 March 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/107143

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107329341	A	07 November 2017	None			
CN	104090436	A	08 October 2014	CN	104090436	B	22 March 2017
				US	2015380349	A1	31 December 2015
				US	9263387	B2	16 February 2016
CN	101383133	A	11 March 2009	CN	101383133	B	01 December 2010
CN	106019735	A	12 October 2016	CN	106019735	B	23 November 2018
CN	106206619	A	07 December 2016	None			
JP	2010020282	A	28 January 2010	KR	20100006065	A	18 January 2010
				JP	5452028	B2	26 March 2014
				US	9153190	B2	06 October 2015
				US	2010007653	A1	14 January 2010
				CN	101625839	A	13 January 2010
				CN	101625839	B	10 July 2013
				JP	2014067065	A	17 April 2014
				KR	101472513	B1	16 December 2014
				JP	5739515	B2	24 June 2015

国际检索报告

国际申请号

PCT/CN2018/107143

A. 主题的分类

G09G 3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G, G02F, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, VEN, CNKI: 阵列基板, 行驱动, 栅极驱动, 门驱动, GOA, 虚拟, 虚设, 伪, 冗余, 显示区, 起始信号, 开启信号, 初始信号, 异常关机, 残影, 插黑, 黑画面, gate driving, row driving, array, dummy, virtual, fake, display region, starting signals, STV, abnormal shutdown, power-off, residual image, afterimage

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 107329341 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 7日 (2017 - 11 - 07) 说明书[0036]-[0053]段、图2-4	1-10
A	CN 104090436 A (京东方科技集团股份有限公司 等) 2014年 10月 8日 (2014 - 10 - 08) 全文	1-10
A	CN 101383133 A (友达光电股份有限公司) 2009年 3月 11日 (2009 - 03 - 11) 全文	1-10
A	CN 106019735 A (京东方科技集团股份有限公司 等) 2016年 10月 12日 (2016 - 10 - 12) 全文	1-10
A	CN 106206619 A (厦门天马微电子有限公司 等) 2016年 12月 7日 (2016 - 12 - 07) 全文	1-10
A	JP 2010020282 A (SAMSUNG ELECTRONICS CO LTD) 2010年 1月 28日 (2010 - 01 - 28) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 2月 19日

国际检索报告邮寄日期

2019年 3月 11日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

吴娟

电话号码 86-(10)-62089845

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/107143

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107329341	A	2017年 11月 7日	无			
CN	104090436	A	2014年 10月 8日	CN	104090436	B	2017年 3月 22日
				US	2015380349	A1	2015年 12月 31日
				US	9263387	B2	2016年 2月 16日
CN	101383133	A	2009年 3月 11日	CN	101383133	B	2010年 12月 1日
CN	106019735	A	2016年 10月 12日	CN	106019735	B	2018年 11月 23日
CN	106206619	A	2016年 12月 7日	无			
JP	2010020282	A	2010年 1月 28日	KR	20100006065	A	2010年 1月 18日
				JP	5452028	B2	2014年 3月 26日
				US	9153190	B2	2015年 10月 6日
				US	2010007653	A1	2010年 1月 14日
				CN	101625839	A	2010年 1月 13日
				CN	101625839	B	2013年 7月 10日
				JP	2014067065	A	2014年 4月 17日
				KR	101472513	B1	2014年 12月 16日
				JP	5739515	B2	2015年 6月 24日

表 PCT/ISA/210 (同族专利附件) (2015年1月)