(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 115362631 A
(43)申请公布日 2022.11.18

(21)申请号 202180025782.2

(22)申请日 2021.02.08

(30)优先权数据
2020-060599 2020.03.30 JP

(85)PCT国际申请进入国家阶段日
2022.09.29

(86)PCT国际申请的申请数据
PCT/JP2021/004604 2021.02.08

(87)PCT国际申请的公布数据
WO2021/199683 JA 2021.10.07

(71)申请人 罗姆股份有限公司
地址 日本京都府

(72)发明人 筱部晃生 柳岛大辉

(74)专利代理机构 北京银龙知识产权代理有限公司 11243
专利代理师 龚伟 李鹤松

(51)Int.Cl.
H03K 5/08(2006.01)
H01L 21/822(2006.01)
H01L 27/04(2006.01)
G01K 7/01(2006.01)

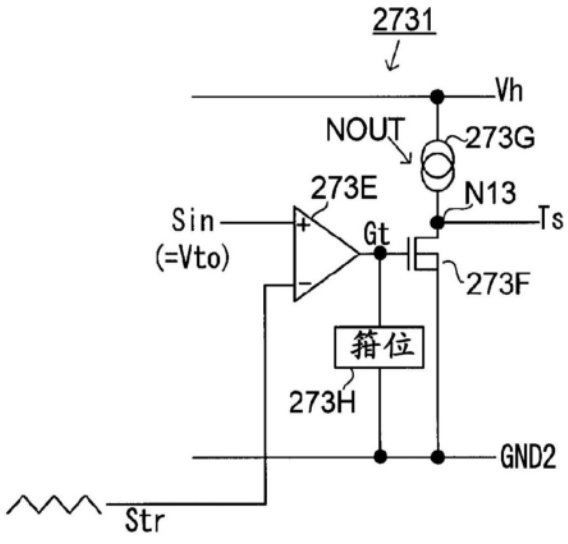
权利要求书2页 说明书12页 附图9页

(54)发明名称

比较器电路

(57)摘要

提供了一种比较器电路,包括:第一比较器,其接收输入信号和要与输入信号比较的比较目标信号的输入;第一输出级,其包括N沟道晶体管,该N沟道晶体管具有控制端子,从第一比较器输出的第一控制端子电压被施加到该控制端子;以及第一箝位单元,其将第一控制端子电压限制为不高于第一预定电压,该第一预定电压高于N沟道晶体管的第一阈值电压,但低于当第一控制端子电压没有被限制时作为高电平从第一比较器输出的第一高边电压。



CN 115362631 A

1.一种比较器电路,其包括:

第一比较器,其被配置为接收输入信号和要与所述输入信号比较的比较目标信号的输入;

第一输出级,其包括N沟道晶体管,所述N沟道晶体管具有控制端子,从所述第一比较器输出的第一控制端子电压被施加到所述控制端子;以及

第一箝位单元,其被配置为将所述第一控制端子电压限制为不高于第一预定电压,所述第一预定电压高于所述N沟道晶体管的第一阈值电压,但低于当所述第一控制端子电压没有被限制时作为高电平从所述第一比较器输出的第一高边电压。

2.根据权利要求1所述的比较器电路,其中,所述第一预定电压具有所述第一阈值电压的两倍的值。

3.根据权利要求1或2所述的比较器电路,其中,所述比较目标信号是三角波信号。

4.根据权利要求1至3中任一项所述的比较器电路,

其中,

所述第一输出级包括:在比所述N沟道晶体管高的电位侧与所述N沟道晶体管连接的第一恒定电流源。

5.根据权利要求1至4中任一项所述的比较器电路,其中,所述第一箝位单元包括二极管连接的NMOS晶体管。

6.根据权利要求1到5中任一权利要求所述的比较器电路,其还包括:

第二比较器,其被配置为接收所述输入信号和所述比较目标信号的输入;

第二输出级,其包括P沟道晶体管,所述P沟道晶体管具有控制端子,从所述第二比较器输出的第二控制端子电压被施加到所述控制端子;

第二箝位单元,其被配置为将所述第二控制端子电压限制为不低于第二预定电压,所述第二预定电压低于第三阈值电压,但高于当所述第二控制端子电压没有被限制时作为低电平从所述第二比较器输出的低电平电压,所述第三阈值电压比作为高电平从所述第二比较器输出的第二高边电压低了所述P沟道晶体管的第二阈值电压;以及

输出单元,其被配置为在检测到无论所述第一输出级的第一输出信号和所述第二输出级的第二输出信号各自的上升时刻/下降时刻中哪一个较早时都产生第三输出信号。

7.一种比较器电路,其包括:

第二比较器,其被配置为接收输入信号和要与所述输入信号比较的比较目标信号的输入;

第二输出级,其包括P沟道晶体管,所述P沟道晶体管具有控制端子,从所述第二比较器输出的第二控制端子电压被施加到所述控制端子;以及

第二箝位单元,其被配置为将所述第二控制端子电压限制为不低于第二预定电压,所述第二预定电压低于第三阈值电压,但高于当所述第二控制端子电压没有被限制时作为低电平从所述第二比较器输出的低电平电压,所述第三阈值电压比作为高电平从所述第二比较器输出的第二高边电压低了所述P沟道晶体管的第二阈值电压。

8.根据权利要求7所述的比较器电路,

其中,

所述第二预定电压比所述第二高边电压低了所述第二阈值电压的两倍的电压。

9.根据权利要求7或8所述的比较器电路,其中,所述比较目标信号是三角波信号。

10.根据权利要求7至9中任一项所述的比较器电路,

其中,

所述第二输出级包括:在比所述P沟道晶体管低的电位侧与所述P沟道晶体管连接的第二恒定电流源。

11.根据权利要求7至10中任一项所述的比较器电路,其中,所述第二箝位单元包括二极管连接的PMOS晶体管。

12.一种温度监控电路,其包括:

根据权利要求1至11中任一项所述的比较器电路;以及

恒定电流电路,其被配置为将恒定电流馈送到二极管;

其中,

所述输入信号是基于所述二极管的正向电压的信号。

13.一种IC封装,其包括:

根据权利要求12所述的温度监控电路;

脉冲发生器,其被配置为基于从所述温度监控电路输出的温度感测信号来产生脉冲;

隔离变压器,其被配置为传输所述脉冲;以及

逻辑单元,其被配置为:操作使得基于由所述隔离变压器传输的所述脉冲从外部端子在外部输出温度输出信号。

比较器电路

技术领域

[0001] 本发明涉及一种比较器电路。

背景技术

[0002] 在下面标识的专利文献1中公开了传统温度感测装置的一个例子。在专利文献1的温度感测装置中，二极管用作温度传感器。该温度感测装置通过利用如下特性而感测温度：当恒定电流被馈送到二极管时，二极管的正向电压的值随温度而改变。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1：日本特开第2012-227517号公报

发明内容

[0006] 发明要解决的问题

[0007] 使用二极管作为上面描述的温度传感器的传统温度感测装置包括比较器电路，该比较器电路使用在二极管中产生的正向电压作为温度感测电压并将该温度感测电压与三角波信号进行比较。该比较器电路输出具有与温度成比例的占空比的脉冲信号。

[0008] 这里，在上面描述的比较器电路中，需要适应作为与三角波信号比较的目标的输入信号的电平的更宽范围。然而，该问题不限于在温度感测装置中使用的比较器电路。

[0009] 根据前述内容，本发明的目的是提供一种能够适应输入信号的更宽范围的比较器电路。

[0010] 解决问题的方案

[0011] 根据本发明的一个方面，比较器电路包括：

[0012] 第一比较器，其被配置为接收输入信号和要与输入信号比较的比较目标信号的输入；

[0013] 第一输出级，其包括N沟道晶体管，该N沟道晶体管具有控制端子，从第一比较器输出的第一控制端子电压被施加到控制端子；以及

[0014] 第一箝位单元，其被配置为将第一控制端子电压限制为不高于第一预定电压，该第一预定电压高于N沟道晶体管的第一阈值电压，但低于当第一控制端子电压没有被限制时作为高电平从第一比较器输出的第一高边电压(第一构造)。

[0015] 在上面描述的第一构造中，优选地，第一预定电压具有第一阈值电压的两倍的值(第二构造)。

[0016] 在上面描述的第一或第二构造中，优选地，比较目标信号是三角波信号(第三构造)。

[0017] 在上面描述的第一至第三构造中的任一构造中，优选地，第一输出级包括在比N沟道晶体管高的电位侧与N沟道晶体管连接的第一恒定电流源(第四构造)。

[0018] 在上面描述的第一至第四构造中的任一构造中，优选地，第一箝位单元包括二极

管连接的NMOS晶体管(第五构造)。

[0019] 优选地,上面描述的第一至第五构造中的任一构造还包括:第二比较器,其被配置为接收输入信号和比较目标信号的输入,

[0020] 第二输出级,其包括P沟道晶体管,该P沟道晶体管具有控制端子,从第二比较器输出的第二控制端子电压被施加到控制端子;

[0021] 第二箝位单元,其被构造以将第二控制端子电压限制为不低于第二预定电压,该第二预定电压低于第三阈值电压,但高于当第二控制端子电压没有被限制时作为低电平从第二比较器输出的低电平电压,所述第三阈值电压比作为高电平从第二比较器输出的第二高边电压低了P沟道晶体管的第二阈值电压;以及

[0022] 输出单元,其被配置为在检测到无论第一输出级的第一输出信号和第二输出级的第二输出信号各自的上升时刻/下降时刻中哪一个较早时都产生第三输出信号(第六构造)。

[0023] 根据本发明的另一个方面,比较器电路包括:第二比较器,其被配置为接收输入信号和要与输入信号比较的比较目标信号的输入,

[0024] 第二输出级,其包括P沟道晶体管,该P沟道晶体管具有控制端子,从第二比较器输出的第二控制端子电压被施加到控制端子;以及

[0025] 第二箝位单元,其被配置为将第二控制端子电压限制为不低于第二预定电压,该第二预定电压低于第三阈值电压,但高于当第二控制端子电压没有被限制时作为低电平从第二比较器输出的低电平电压,所述第三阈值电压比作为高电平从第二比较器输出的第二高边电压低了P沟道晶体管的第二阈值电压(第七构造)。

[0026] 在上面描述的第七构造中,优选地,第二预定电压比第二高边电压低了第二阈值电压的两倍的电压(第八构造)。

[0027] 在上面描述的第七或第八构造中,优选地,比较目标信号是三角波信号(第九构造)。

[0028] 在上面描述的第七至第九构造中的任一构造中,优选地,第二输出级包括在比P沟道晶体管低的电位侧与P沟道晶体管连接的第二恒定电流源(第十构造)。

[0029] 在上面描述的第七至第十构造中的任一构造中,优选地,第二箝位单元包括二极管连接的PMOS晶体管(第十一构造)。

[0030] 根据本发明的又一个方面,温度监控电路包括具有上面描述的任一构造的比较器电路,以及被配置为将恒定电流馈送到二极管的恒定电流电路。这里,输入信号是基于二极管的正向电压的信号(第十二构造)。

[0031] 根据本发明的又一个方面,IC封装包括具有上面描述的构造的温度监控电路、被配置为基于从温度监控电路输出的温度感测信号产生脉冲的脉冲发生器、被配置为传输脉冲的隔离变压器以及被配置为操作为使得基于由隔离变压器传输的脉冲从外部端子在外部输出温度输出信号的逻辑单元(第十三构造)。

[0032] 发明的效果

[0033] 根据本发明,比较器电路可以适应输入信号的更宽范围。

附图说明

[0034] 图1是示出根据本发明的示例性实施方式的栅极驱动器的构造的图。

[0035] 图2是示出温度监控电路的内部构造示例的图。

[0036] 图3A是示出根据第一比较例的比较器电路的构造的电路图。

[0037] 图3B是示出根据第一实施方式的比较器电路的构造的电路图。

[0038] 图3C是示出图3B中的箝位单元的具体示例的图。

[0039] 图4A是示出根据第一比较例(具有比较低的输入信号的情况)的比较器电路中的操作示例的时序图。

[0040] 图4B是示出根据第一比较例(具有比较高的输入信号的情况)的比较器电路中的操作示例的时序图。

[0041] 图5A是示出根据第一实施方式(具有比较低的输入信号的情况)的比较器电路中的操作示例的时序图。

[0042] 图5B是示出根据第一实施方式(具有比较高的输入信号的情况)的比较器电路中的操作示例的时序图。

[0043] 图6A是示出根据第二比较例的比较器电路的构造的电路图。

[0044] 图6B是示出根据第二实施方式的比较器电路的构造的电路图。

[0045] 图6C是示出图6B中的箝位单元的具体示例的图。

[0046] 图7A是示出根据第二比较例(具有比较低的输入信号的情况)的比较器电路中的操作示例的时序图。

[0047] 图7B是示出根据第二比较例(具有比较高的输入信号的情况)的比较器电路中的操作示例的时序图。

[0048] 图8A是示出根据第二实施方式(具有比较低的输入信号的情况)的比较器电路中的操作示例的时序图。

[0049] 图8B是示出根据第二实施方式(具有比较高的输入信号的情况)的比较器电路中的操作示例的时序图。

[0050] 图9是示出根据第三实施方式的比较器电路的构造的电路图。

具体实施方式

[0051] 在下文中,将参照附图描述本发明的示例性实施方式。

[0052] <栅极驱动器的构造>

[0053] 图1是示出根据本发明的示例性实施方式的栅极驱动器10的构造的图。如图1所示,栅极驱动器10是驱动NMOS晶体管M1的栅极的器件。

[0054] 栅极驱动器10包括初级侧电路1、次级侧电路2和隔离变压器3。栅极驱动器10是IC封装,其包括作为用于建立外部电连接的外部端子(引线端子)的VCC1端子、INA端子、INB端子、SENS端子、GND1端子、VCC2端子、OUT端子、TO端子、TC端子和GND2端子。

[0055] 初级侧电路1包括第一施密特触发器11、第二施密特触发器12、AND电路13、脉冲发生器14、第一欠压锁定(UVLO)单元15、PMOS晶体管16、NMOS晶体管17和逻辑单元18。

[0056] 次级侧电路2包括逻辑单元21、PMOS晶体管22、NMOS晶体管23、第二UVLO单元24、过电压保护(OVP)单元25、脉冲发生器26和温度监控电路27。

[0057] 隔离变压器3被设置为连接初级侧电路1和次级侧电路2。隔离变压器3在将初级侧电路1和次级侧电路2彼此隔离时将来自初级侧电路1和次级侧电路2中一个的信号传输到另一个。

[0058] 第一UVLO单元15监控施加到VCC1端子的电源电压Vcc1，并且在电源电压Vcc1下降到低于预定电压时，关闭初级侧电路1。

[0059] 第一施密特触发器11将外部馈送到INA端子的第一输入信号In1传输到AND电路13的第一输入端子。第二施密特触发器12将外部馈送到INB端子的第二输入信号In2传输到AND电路13的第二输入端子。

[0060] AND电路13采取馈送到第一输入端子的信号的电平和通过将馈送到第二输入端子的信号的电平反相而获得的电平的逻辑乘积。因此，在第一输入信号In1处于低电平并且第二输入信号In2处于低电平的情况下，在第一输入信号In1处于低电平并且第二输入信号In2处于高电平的情况下，以及在第一输入信号In1处于高电平并且第二输入信号In2处于高电平的情况下，AND电路13的输出处于低电平，而在第一输入信号In1处于高电平并且第二输入信号In2处于低电平的情况下，AND电路13的输出处于高电平。

[0061] 以AND电路13的输出从高电平下降到低电平作为触发，脉冲发生器14产生宽度比AND电路13的输出的宽度窄的脉冲，并将产生的脉冲输出到隔离变压器3的初级侧。馈送到隔离变压器3的初级侧的脉冲引起电流的改变，由此在隔离变压器3的次级侧上产生电流，该电流被馈送到逻辑单元21。在这种情况下，高电平信号从逻辑单元21输出以被馈送到PMOS晶体管22的栅极和NMOS晶体管23的栅极。

[0062] 这里，PMOS晶体管22(开关元件)和NMOS晶体管23(开关元件)串联连接在施加到VCC2端子的电源电压Vcc2与施加到GND2端子的第二接地电压GND2之间，从而形成开关臂。具体地，PMOS晶体管22的源极连接到用于电源电压Vcc2的施加端子。PMOS晶体管22的漏极在节点N2处连接到NMOS晶体管23的漏极。NMOS晶体管23的源极连接到用于第二接地电压GND2的施加端子。

[0063] PMOS晶体管22的栅极和NMOS晶体管23的栅极连接的节点N1连接到逻辑单元21的输出端子。

[0064] 节点N2连接到OUT端子。电阻器R1的一个端部在外部连接到OUT端子。电阻器R1的另一个端部连接到NMOS晶体管M1的栅极。NMOS晶体管M1的源极在外部连接到GND2端子。注意，用作次级侧电路2的参考电压的第二接地电压GND2不同于施加到GND1端子以用作初级侧电路1的参考电压的第一接地电压GND1。

[0065] 这里，在如前所述的来自逻辑单元21的高电平信号被施加到节点N1的情况下，PMOS晶体管22被关断，NMOS晶体管23被导通，并且作为OUT端子的电压的输出电压Out变成第二接地电压GND2(低电平)。因此，NMOS晶体管M1被关断。

[0066] 相比之下，以AND电路13的输出从低电平上升到高电平作为触发，脉冲产生器14产生宽度比AND电路13的输出的宽度窄的脉冲，并将产生的脉冲输出到隔离变压器3的初级侧。馈送到隔离变压器3的初级侧的脉冲引起电流的改变，由此在隔离变压器3的次级侧上产生电流，该电流被馈送到逻辑单元21。在这种情况下，低电平信号从逻辑单元21输出以被施加到节点N1。

[0067] 在这种情况下，PMOS晶体管22被导通，NMOS晶体管23被关断，并且输出电压Out变

成电源电压Vcc2(高电平)。因此,NMOS晶体管M1被导通。

[0068] 这里,由栅极驱动器10驱动的目标晶体管可以由IGBT代替NMOS晶体管M1构成。在这种情况下,电阻器R1的另一个端部连接到IGBT的栅极,并且GND2端子连接到IGBT的发射极。

[0069] 第二UVLO单元24监控施加到VCC2端子的电源电压Vcc2,并且在电源电压Vcc2下降到低于预定电压时,第二UVLO单元24关闭次级侧电路2。OVP单元25是感测电源电压Vcc2的过电压的电路。

[0070] 二极管D1的阳极在外部连接到TO端子。这里,二极管D1可以由图1所示的多个元件构成,也可以替代地由单个元件构成。二极管D1的阴极在外部连接到GND2端子。

[0071] 电阻器RTC的一个端部连接到TC端子。电阻器RTC的另一个端部在外部连接到GND2端子。

[0072] 温度监控电路27是通过使用作为温度传感器的二极管D1来感测温度的电路。电阻器RTC是设置在温度监控电路27中产生的恒定电流的电流值的元件。

[0073] 温度监控电路27将感测到的温度作为温度感测信号Ts输出到脉冲发生器26,该温度感测信号Ts是脉冲信号。类似于先前描述的脉冲发生器14,脉冲发生器26产生宽度比从温度监控电路27馈送的脉冲信号(温度感测信号Ts)的宽度短的脉冲,并将产生的脉冲输出到隔离变压器3的次级侧。馈送到隔离变压器3的次级侧的脉冲引起电流的改变,由此在绝缘变压器3的初级侧上产生电流,该电流被馈送到逻辑单元18。在这种情况下,高电平或低电平信号从逻辑单元18输出以被馈送到PMOS晶体管16的栅极和NMOS晶体管17的栅极。

[0074] 这里,PMOS晶体管16(开关元件)和NMOS晶体管17(开关元件)串联连接在施加到VCC1端子的电源电压Vcc1与施加到GND1端子的第一接地电压GND1之间,从而形成开关臂。具体地,PMOS晶体管16的源极连接到用于电源电压Vcc1的施加端子。PMOS晶体管16的漏极在节点N4处连接到NMOS晶体管17的漏极。NMOS晶体管17的源极连接到用于第一接地电压GND1的施加端子。

[0075] PMOS晶体管16的栅极和NMOS晶体管17的栅极连接的节点N3连接到逻辑单元18的输出端子。节点N4连接到SENS端子。

[0076] 基于从逻辑单元18输出的脉冲,通过由PMOS晶体管16和NMOS晶体管17构成的开关臂,从SENS端子在外部输出作为脉冲信号的温度输出信号Tsout。以这种方式,可以将由用作温度传感器的二极管D1感测到的温度信息输出到IC外部。注意,第一输入信号In1、第二输入信号In2和温度输出信号Tsout例如在IC(栅极驱动器10)外部的电子控制单元(ECU)(未被示出)与IC之间传送。

[0077] <温度监控电路的构造>

[0078] 图2是示出温度监控电路27的内部构造示例的图。图2所示的温度监控电路27包括恒定电流电路271、振荡器272和比较器电路273。

[0079] 恒定电流电路271包括误差放大器271A、NMOS晶体管271B和POS晶体管271C和271D。

[0080] 向误差放大器271A的非反相输入端子(+)施加参考电压Vtc。电阻器RTC的一个端部经由TC端子连接到误差放大器271A的反相输入端子(-)。误差放大器271A的输出端子连接到NMOS晶体管271B的栅极。NMOS晶体管271B的源极连接到TC端子。

[0081] PMOS晶体管271C和271D构成电流镜。具体地,PMOS晶体管271C的栅极和漏极短路。PMOS晶体管271C的漏极连接到NMOS晶体管271B的漏极。PMOS晶体管271C的栅极连接到PMOS晶体管271D的栅极。PMOS晶体管271C和271D的源极连接到VCC2端子。PMOS晶体管271D的漏极连接到TO端子。

[0082] 对于这种构造,执行控制使得TC端子的电压与参考电压Vtc一致,并且使恒定电流Iin通过NMOS晶体管271B,该恒定电流Iin具有由参考电压Vtc和电阻器RTC的电阻值Rtc确定的电流值。然后,通过由PMOS晶体管271C和271D构成的电流镜,例如使恒定电流Iin的电流值增大10倍,从而成为要从TO端子馈送到二极管D1的恒定电流Iout。即,恒定电流电路271产生要馈送到二极管D1的恒定电流Iout。

[0083] 二极管D1具有在恒定电流下其正向电压随着温度上升而减小的特性。因此,可以通过将恒定电流Iout馈送到用作温度传感器的二极管D1并测量在二极管D1中产生的正向电压来感测温度。

[0084] 比较器电路273将作为二极管D1的正向电压产生的TO端子的电压Vto与由振荡器272产生的三角波信号Str进行比较,并将作为脉冲信号的温度感测信号Ts作为比较结果输出。温度感测信号Ts是具有对应于感测温度的占空比的脉冲信号。

[0085] <比较器电路的第一实施方式>

[0086] 接下来,将给出对温度监控电路27中的比较器电路273的各种实施方式的描述。

[0087] 首先,将描述比较器电路273的第一实施方式。图3A是示出根据第一比较例的比较器电路2731X的构造的电路图,该第一比较例被给出用于更好地理解比较器电路273的第一实施方式的特性。

[0088] 如图3A所示,根据第一比较例的比较器电路2731X包括比较器273E、NMOS晶体管273F(N沟道晶体管)和恒定电流源273G。NMOS晶体管273F和恒定电流源273G构成输出级NOUT。图3A还示出了施加第二接地电压GND2的线以及施加预定高边电压Vh(其是高于第二接地电压GND2的电压)的线。这里,高边电压Vh例如是基于电源电压Vcc2产生的预定内部电压Vreg。

[0089] TO端子的电压Vto(参见图2)作为输入信号Sin被馈送到比较器273E的非反相输入端子(+)。三角波信号Str被馈送到比较器273E的反相输入端子(-)。比较器273E将输入信号Sin与三角波信号Str进行比较,并将栅极信号(控制端子电压)Gt作为比较结果输出到NMOS晶体管273F的栅极(控制端子)。即,三角波信号Str是要与输入信号Sin比较的比较目标信号的示例。

[0090] NMOS晶体管273F的源极连接到用于第二接地电压GND2的施加端子。恒定电流源273G设置在用于高边电压Vh的施加端子与NMOS晶体管273F的漏极之间。NMOS晶体管273F根据栅极信号Gt来导通/关断,从而在恒定电流源273G和NMOS晶体管273F的漏极连接的节点N13处,产生温度感测信号Ts。即,从输出级NOUT输出温度感测信号Ts。

[0091] 现在,将参照图4A和图4B所示的时序图来给出对根据第一比较例的如此构造的比较器电路2731X的操作的描述。

[0092] 在图4A和图4B中,以从顶部级开始的顺序,示出了输入信号Sin、三角波信号Str、栅极信号Gt和温度感测信号Ts的波形。这也适用于稍后将描述的其他时序图。

[0093] 在图4A和图4B中,连同栅极信号Gt一起,还示出了NMOS晶体管273F的阈值电压

VthN。阈值电压VthN与高边电压Vh之间的电压差大于阈值电压VthN与第二接地电压GND2之间的电压差。

[0094] 图4A是示出输入信号Sin比较低的情况的示例的时序图。在这种情况下，在三角波信号Str从低于输入信号Sin到高于输入信号Sin上升到与输入信号Sin相交的时刻t1，栅极信号Gt开始从高电平(高边电压Vh)向低电平(第二接地电压GND2)下降。然后，当栅极信号Gt在时刻t2达到阈值电压VthN时，NMOS晶体管273F被关断，并且温度感测信号Ts上升到高电平。此后，栅极信号Gt继续下降并达到低电平。

[0095] 此后，在三角波信号Str从高于输入信号Sin到低于输入信号Sin下降到与输入信号Sin相交的时刻t3，栅极信号Gt开始向高电平上升。然后，当栅极信号Gt在时刻t4达到阈值电压VthN时，NMOS晶体管273F被导通，并且温度感测信号Ts下降到低电平。

[0096] 此后，在三角波信号Str从低于输入信号Sin到高于输入信号Sin上升到与输入信号Sin相交的时刻t5，栅极信号Gt开始向低电平下降。然后，当栅极信号Gt在时刻t6达到阈值电压VthN时，NMOS晶体管273F被关断，并且温度感测信号Ts上升到高电平。此后，栅极信号Gt继续下降并达到低电平。

[0097] 以这种方式，在图4A所示的示例中，通过输入信号Sin与三角波信号Str之间的比较，产生温度感测信号Ts，该温度感测信号Ts是包括高电平和低电平的脉冲信号。然而，由于阈值电压VthN与高边电压Vh之间的电压差大于阈值电压VthN与第二接地电压GND2之间的电压差，因此在三角波信号Str向上与输入信号Sin相交时到温度感测信号Ts上升的延迟时间T1(时刻t1到时刻t2)长于在三角波信号Str向下与输入信号Sin相交时到温度感测信号Ts下降的延迟时间T2(时刻t3到时刻t4)，因此存在较大的延迟时间差。

[0098] 图4B是示出输入信号Sin比较高的情况的示例的时序图。在这种情况下，在三角波信号Str从低于输入信号Sin到高于输入信号Sin上升到与输入信号Sin相交的时刻t11，栅极信号Gt开始向低电平下降。

[0099] 此后，在时刻t12，三角波信号Str从高于输入信号Sin到低于输入信号Sin下降到与输入信号Sin相交，但比较高的输入信号Sin使从时刻t11到时刻t12的时间段较短，使得栅极信号Gt在达到阈值电压VthN之前开始上升。因此，NMOS晶体管273F保持导通，温度感测信号Ts因此保持在低电平。此后，栅极信号Gt达到高电平。

[0100] 以这种方式，图4B所示的示例具有如下缺点：虽然三角波信号Str已经向上与输入信号Sin相交，但是温度感测信号Ts不上升到高电平。

[0101] 因此，根据本发明的第一实施方式的比较器电路2731具有图3B所示的构造。图3B所示的比较器电路2731与根据第一比较例的比较器电路2731x在构造上的不同之处在于，比较器电路2731包括箝位单元273H。

[0102] 箝位单元273H具有将栅极信号Gt限制为不高于第一预定电压V1的功能，该第一预定电压V1低于高边电压Vh，但高于阈值电压VthN。图3C示出了箝位单元273H的具体构造的示例。在图3C中，箝位单元273H由二极管连接的NMOS晶体管NM构成。另外，箝位单元273H可以例如由齐纳二极管等构成。

[0103] 现在，将参照图5A和图5B所示的时序图来给出对根据第一实施方式的如此构造的比较器电路2731的操作的描述。在图5A和图5B中，连同栅极信号Gt一起，还示出了第一预定电压V1。这里，作为优选值，第一预定电压V1的值是阈值电压VthN的两倍(2·VthN)。

[0104] 图5A示出了输入信号Sin比较低的情况，对应于根据先前描述的第一比较例的图4A。在这种情况下，在三角波信号Str从低于输入信号Sin到高于输入信号Sin上升到与输入信号Sin相交的时刻t21，栅极信号Gt开始从第一预定电压V1向低电平下降，第一预定电压V1是由箝位单元273H设置的栅极信号Gt的极限。然后，当栅极信号Gt在时刻t22达到阈值电压VthN时，NMOS晶体管273F被关断，并且温度感测信号Ts上升到高电平。此后，栅极信号Gt继续下降并达到低电平。

[0105] 此后，在三角波信号Str从高于输入信号Sin到低于输入信号Sin下降到与输入信号Sin相交的时刻t23，栅极信号Gt开始向高电平上升。然后，当栅极信号Gt在时刻t24达到阈值电压VthN时，NMOS晶体管273F被导通，并且温度感测信号Ts下降到低电平。

[0106] 以这种方式，通过使栅极信号Gt被箝位单元273H限制为不高于第一预定电压V1，可以减小第一预定电压V1与阈值电压VthN之间的电压差和阈值电压VthN与第二接地电压GND2之间的电压差之间的差值，因此可以减小在三角波信号Str向高于输入信号Sin与输入信号Sin相交时到温度感测信号Ts上升的延迟时间T11(时刻t21到时刻t22)与在三角波信号Str向低于输入信号Sin与输入信号Sin相交时到温度感测信号Ts下降的延迟时间T12(时刻t23到时刻t24)之间的延迟时间差。特别地，在图5A中，第一预定电压V1被设置为等于2·VthN，该延迟时间差可以被减小到大约为零。

[0107] 图5B示出了输入信号Sin比较高的情况，对应于根据先前描述的第一比较例的图4B。在这种情况下，在三角波信号Str从低于输入信号Sin到高于输入信号Sin上升到与输入信号Sin相交的时刻t31，栅极信号Gt开始从第一预定电压V1向低电平下降，第一预定电压V1是由箝位单元273H设置的栅极信号Gt的极限。然后，当栅极信号Gt在时刻t32达到阈值电压VthN时，NMOS晶体管273F被关断，并且温度感测信号Ts上升到高电平。此后，栅极信号Gt继续下降并达到低电平。

[0108] 此后，在三角波信号Str从高于输入信号Sin到低于输入信号Sin下降到与输入信号Sin相交的时刻t33，栅极信号Gt开始向高电平上升。然后，当栅极信号Gt在时刻t34达到阈值电压VthN时，NMOS晶体管273F被导通，并且温度感测信号Ts下降到低电平。

[0109] 以这种方式，在图5B中，与图4B中不同，在时刻t31，栅极信号Gt开始从第一预定电压V1下降，因此，虽然从时刻t31到时刻t33的时间段较短，但是栅极信号Gt可以在时刻t32达到阈值电压VthN。因此，温度感测信号Ts可上升到高电平。此外，与图5A中类似，可以减小延迟时间T11和延迟时间T12之间的延迟时间差。

[0110] 以这种方式，对于根据本实施方式的比较器电路2731，不管输入信号Sin是高还是低，可以适当地产生温度感测信号Ts，因此可以适应输入信号Sin的更宽范围。

[0111] <比较器电路的第二实施方式>

[0112] 接下来，将描述比较器电路的第二实施方式。图6A是示出根据第二比较例的比较器电路2732X的构造的电路图，该第二比较例被提供用于更好地理解比较器电路273的第二实施方式的特性。

[0113] 根据第二比较例的比较器电路2732X与第一比较例(图3A)在构造上的不同之处在于，比较器电路2732X包括构成输出级POUT的PMOS晶体管273I(P沟道晶体管)和恒定电流源273J。具体地，向PMOS晶体管273I的栅极(控制端子)施加从比较器273E输出的栅极信号(控制端子电压)Gt。PMOS晶体管273I的源极连接到用于高边电压Vh的施加端子。恒定电流源

273J设置在PMOS晶体管273I的漏极与用于第二接地电压GND2的施加端子之间。在PMOS晶体管273I的漏极和恒定电流源273J连接的节点N14处，产生温度感测信号Ts。即，从输出级POUT输出温度感测信号Ts。

[0114] 现在，将参照图7A和图7B所示的时序图来给出对根据第二比较例的如此构造的比较器电路2732X的操作的描述。

[0115] 在图7A和图7B中，连同栅极信号Gt一起，还示出了阈值电压(Vh-VthP)，该阈值电压是比高边电压Vh低出PMOS晶体管273I的阈值电压VthP的电压。阈值电压(Vh-VthP)与高边电压Vh之间的电压差小于阈值电压(Vh-VthP)与第二接地电压GND2之间的电压差。

[0116] 图7A是示出输入信号Sin比较低的情况的示例的时序图。在这种情况下，在三角波信号Str从低于输入信号Sin到高于输入信号Sin上升到与输入信号Sin相交的时刻t41，栅极信号Gt开始从高电平(高边电压Vh)向低电平(第二接地电压GND2)下降。然后，当栅极信号Gt在时刻t42达到阈值电压(Vh-VthP)时，PMOS晶体管273I被导通，并且温度感测信号Ts上升到高电平。此后，栅极信号Gt继续下降并达到低电平。

[0117] 此后，在三角波信号Str从高于输入信号Sin到低于输入信号Sin下降到与输入信号Sin相交的时刻t43，栅极信号Gt开始向高电平上升。此后，在时刻t44，三角波信号Str从低于输入信号Sin到高于输入信号Sin与输入信号Sin相交。比较低的输入信号Sin使时刻t43与时刻t44之间的时间段较短，使得栅极信号Gt在达到阈值电压(Vh-VthP)之前开始下降。因此，PMOS晶体管273I保持导通，温度感测信号Ts因此保持在高电平。此后，栅极信号Gt达到低电平。

[0118] 以这种方式，图7A所示的示例具有如下缺点：虽然三角波信号Str已经向低于输入信号Sin与输入信号Sin相交，但是温度感测信号Ts不下降到低电平。

[0119] 图7B是示出输入信号Sin比较高的情况的示例的时序图。在这种情况下，在三角波信号Str从低于输入信号Sin到高于输入信号Sin上升到与输入信号Sin相交的时刻t51，栅极信号Gt开始从高电平向低电平下降。然后，当栅极信号Gt在时刻t52达到阈值电压(Vh-VthP)时，PMOS晶体管273I被导通，并且温度感测信号Ts上升到高电平。此后，栅极信号Gt继续下降。

[0120] 此后，在三角波信号Str从高于输入信号Sin到低于输入信号Sin下降到与输入信号Sin相交的时刻t53，栅极信号Gt开始向高电平上升。然后，当栅极信号Gt在时刻t54达到阈值电压(Vh-VthP)时，PMOS晶体管273I被关断，并且温度感测信号Ts下降到低电平。此后，栅极信号Gt继续上升并达到高电平。

[0121] 以这种方式，在图7B所示的示例中，阈值电压(Vh-VthP)与高边电压Vh之间的电压差小于阈值电压(Vh-VthP)与第二接地电压GND2之间的电压差，因此在三角波信号Str向高于输入信号Sin与输入信号Sin相交时到温度感测信号Ts上升的延迟时间T21(时刻t51到时刻t52)短于在三角波信号Str向低于输入信号Sin与输入信号Sin相交时到温度感测信号Ts下降的延迟时间T22(时刻t53到时刻t54)，因此存在较大的延迟时间差。

[0122] 因此，根据本发明的第二实施方式的比较器电路2732具有图6B所示的构造。图6B所示的比较器电路2732与根据第二比较例的比较器电路2732X在构造上的不同之处在于，比较器电路2732包括箝位单元273K。

[0123] 箝位单元273K具有将栅极信号Gt限制为不低于第二预定电压V2的功能，该第二预

定电压V2低于阈值电压(Vh-VthP),但高于第二接地电压GND2(低电平电压)。图6C示出了箝位单元273K的具体构造的示例。在图6C中,箝位单元273K由二极管连接的PMOS晶体管PM构成。箝位单元273K可以以其他方式构成,例如,箝位单元273K可以由齐纳二极管等构成。

[0124] 现在,将参照图8A和图8B所示的时序图来给出对根据第二实施方式的如此构造的比较器电路2732的操作的描述。在图8A和图8B中,连同栅极信号Gt一起,还示出了第二预定电压V2。这里,作为优选值,第二预定电压V2的电压比高边电压Vh低出的值是阈值电压VthP的两倍(2·VthP)。

[0125] 图8A示出了输入信号Sin比较低的情况,对应于根据先前描述的第二比较例的图7A。在这种情况下,在三角波信号Str从低于输入信号Sin到高于输入信号Sin上升到与输入信号Sin相交的时刻t61,栅极信号Gt开始从高电平向低电平下降。然后,当栅极信号Gt在时刻t62达到阈值电压(Vh-VthP)时,PMOS晶体管273I被导通,并且温度感测信号Ts上升到高电平。此后,栅极信号Gt继续下降到被限制为等于第二预定电压V2。

[0126] 此后,在三角波信号Str从高于输入信号Sin到低于输入信号Sin下降到与输入信号Sin相交的时刻t63,栅极信号Gt开始向高电平上升。然后,当栅极信号Gt在时刻t64达到阈值电压(Vh-VthP)时,PMOS晶体管273I被关断,并且温度感测信号Ts下降到低电平。

[0127] 此后,在时刻t65,三角波信号Str从低于输入信号Sin到高于输入信号Sin上升到与输入信号Sin相交,栅极信号Gt因此开始向低电平下降。

[0128] 以这种方式,在图8A中,与图7A中不同,在时刻t63,栅极信号Gt开始从第二预定电压V2上升,因此,虽然从时刻t63到时刻t65的时间段较短,但是栅极信号Gt可以在时刻t64达到阈值电压(Vh-VthP)。因此,温度感测信号Ts可下降到低电平。

[0129] 此外,通过使栅极信号Gt被箝位单元273K限制为不低于第二预定电压V2,可以减小阈值电压(Vh-VthP)与高边电压Vh之间的电压差和阈值电压(Vh-VthP)与第二预定电压V2之间的电压差之间的差值,因此可以减小在三角波信号Str向高于输入信号Sin与输入信号Sin相交时到温度感测信号Ts上升的延迟时间T31(时刻t61到时刻t62)与在三角波信号Str向低于输入信号Sin与输入信号Sin相交时到温度感测信号Ts下降的延迟时间T32(时刻t63到时刻t64)之间的延迟时间差。特别地,在图8A中,第二预定电压V2被设置为等于V2-2·VthP,该延迟时间差可以被减小到大约为零。

[0130] 图8B示出了输入信号Sin比较高的情况,对应于根据先前描述的第二比较例的图7B。在这种情况下,在三角波信号Str从低于输入信号Sin到高于输入信号Sin上升到与输入信号Sin相交的时刻t71,栅极信号Gt开始从高电平向低电平下降。然后,当栅极信号Gt在时刻t72达到阈值电压(Vh-VthP)时,PMOS晶体管273I被导通,并且温度感测信号Ts上升到高电平。此后,栅极信号Gt继续下降到被限制为等于第二预定电压V2。

[0131] 此后,在三角波信号Str从高于输入信号Sin到低于输入信号Sin下降到与输入信号Sin相交的时刻t73,栅极信号Gt开始向高电平上升。然后,当栅极信号Gt在时刻t74达到阈值电压(Vh-VthP)时,PMOS晶体管273I被关断,并且温度感测信号Ts下降到低电平。

[0132] 在图8B的情况下,类似于图8A的情况,可以减小延迟时间T31与延迟时间T32之间的延迟时间差。

[0133] 以这种方式,不管输入信号Sin是高还是低,根据本实施方式的比较器电路2732也可以产生适当的温度感测信号Ts,因此可以适应输入信号Sin的更宽范围。

[0134] <比较器电路的第三实施方式>

[0135] 接下来,将描述比较器电路273的第三实施方式。图9是示出根据第三实施方式的比较器电路2733的构造的电路图。

[0136] 在该实施方式中,向先前描述的第一实施方式的构造,添加第二实施方式的构造。也就是说,如图9所示,除了第一实施方式的构造之外,比较器电路2733还包括第二实施方式的构造(比较器273E'、PMOS晶体管273I、恒定电流源273J和箝位单元273K)。

[0137] 输入信号Sin和三角波信号Str都被馈送到比较器273E'以及比较器273E。

[0138] 比较器电路2733还包括输出单元273L。输出单元273L接收在节点N13处产生的第一输出信号Out1和在节点14处产生的第二输出信号Out2,并且输出单元273L输出温度感测信号Ts(第三输出信号)。输出单元273L在无论第一输出信号Out1的上升时刻和第二输出信号Out2的上升时刻中哪一个较早时都升高温度感测信号Ts,并且在无论第一输出信号Out1的下降时刻和第二输出信号Out2的下降时刻中哪一个较早时都降低温度感测信号Ts。

[0139] 例如,在输入信号Sin比较低的情况下,比较器电路2733如先前描述的图5A和图8A所示的那样工作,并且图5A所示的温度感测信号Ts对应于第一输出信号Out1,图8A所示的温度感测信号Ts对应于第二输出信号Out2。

[0140] 关于输出信号的上升,由PMOS晶体管273I和恒定电流源273J构成的输出级POUT在工作速度上比由NMOS晶体管273F和恒定电流源273G构成的输出级NOUT快。关于输出信号的下降,输出级NOUT在工作速度上比输出级POUT快。

[0141] 因此,第二输出信号Out2的上升时刻(图8A中的t62)稍早于第一输出信号Out1的上升时刻(图5A中的t22),因此在第二输出信号Out2的上升时刻,温度感测信号Ts升高。此外,第一输出信号Out1的下降时刻(图5A中的t24)稍早于第二输出信号Out2的下降时刻(图8A中的t64),因此在第一输出信号Out1的下降时刻,温度感测信号Ts降低。

[0142] <其他>

[0143] 应当理解,以上实施方式在所有方面都是示例,而不是限制性的;本发明的技术范围不由以上实施方式的描述指示,而是由权利要求指示;并且在权利要求的范围内的所有修改以及与权利要求等同的含义被涵盖。

[0144] 工业上的可利用性

[0145] 例如,本发明可用在温度监控电路中。

[0146] 符号的说明

[0147] 10 栅极驱动器

[0148] 1 初级侧电路

[0149] 11 第一施密特触发器

[0150] 12 第二施密特触发器

[0151] 13 AND电路

[0152] 14 脉冲发生器

[0153] 15 第一UVLO单元

[0154] 16 PMOS晶体管

[0155] 17 NMOS晶体管

[0156] 18 逻辑单元

[0157] 2 次级侧电路

[0158] 21 逻辑单元

[0159] 22 PMOS晶体管

[0160] 23 NMOS晶体管

[0161] 24 第二UVLO单元

[0162] 25 OVP单元

[0163] 26 脉冲发生器

[0164] 27 温度监控电路

[0165] 271 恒定电流电路

[0166] 271A 误差放大器

[0167] 271B NMOS晶体管

[0168] 271C、271D PMOS晶体管

[0169] 272 振荡器

[0170] 273、2731、2731X、2732、2732X、2733 比较器电路

[0171] 273E 比较器

[0172] 273F NMOS晶体管

[0173] 273G 恒定电流源

[0174] 273H 箝位单元

[0175] 273I PMOS晶体管

[0176] 273J 恒定电流源

[0177] 273K 箝位单元

[0178] 273L 输出单元

[0179] NOUT、POUT 输出级

[0180] R1、RTC 电阻器

[0181] M1 NMOS 晶体管

[0182] D1 二极管

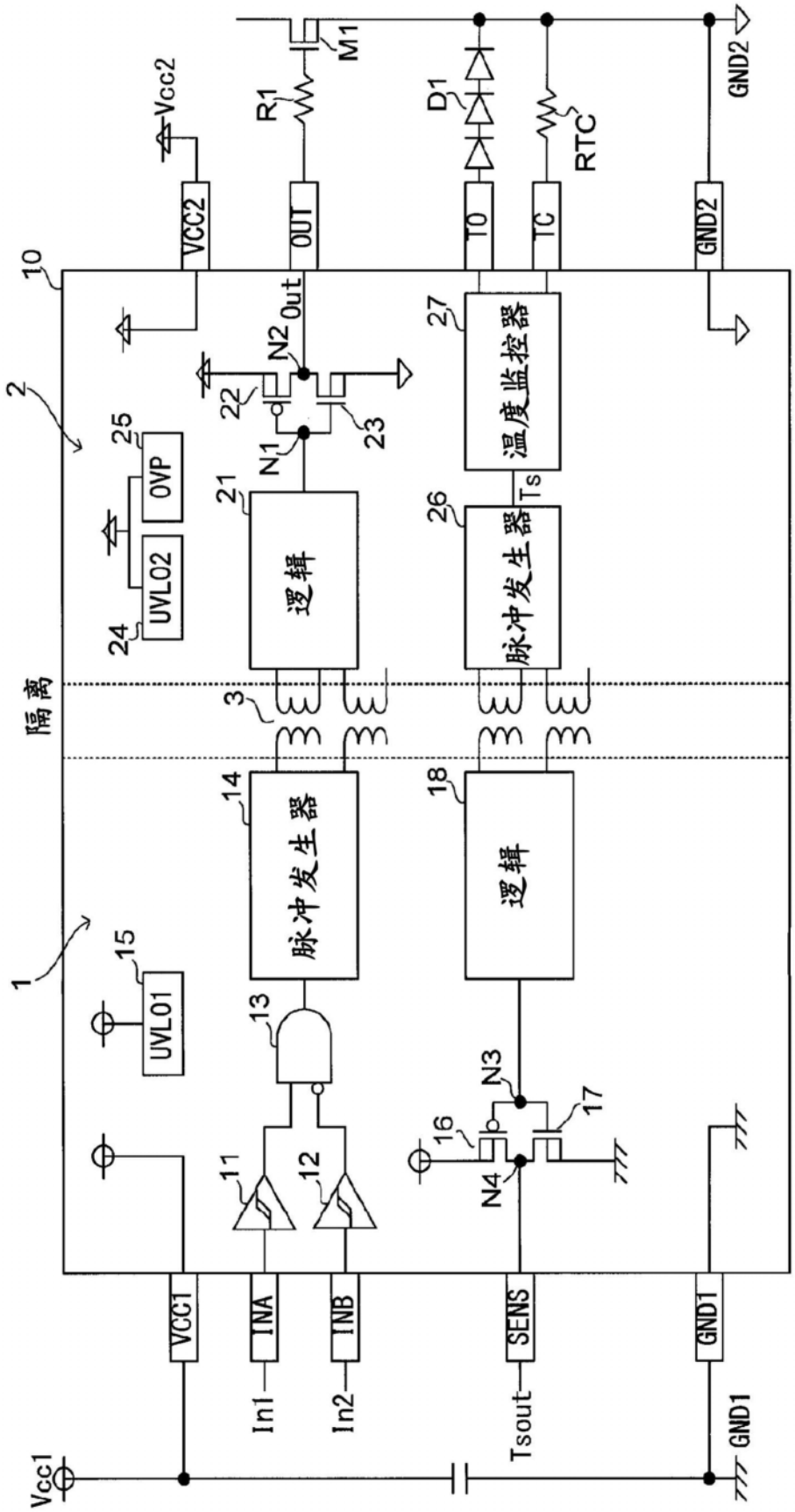

Vcc2
R1
M1
D1
RTC
GND2
VCC2
OUT
TO
TC
GND2
10
2
N2
Out
22
23
N1
27
温度监控器
25
OVP
UVL02
24
21
逻辑
26
脉冲发生器
Ts
隔离
3
14
脉冲发生器
18
逻辑
1
15
UVL01
13
N3
17
16
N4
11
12
VCC1
INA
INB
SENS
GND1
In1
In2
Tsout
Vcc1
GND1

图1

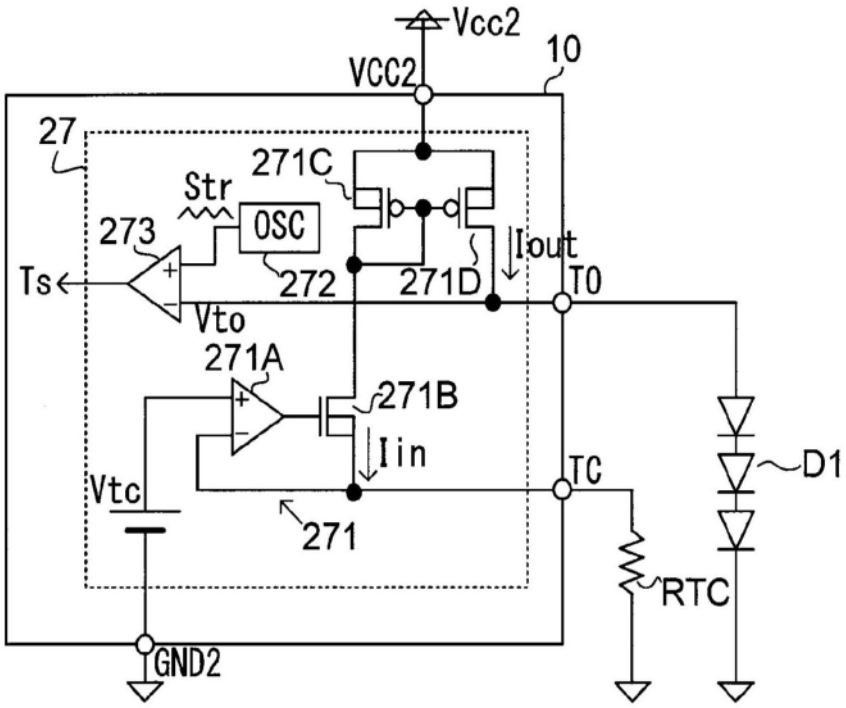

Vcc2
VCC2
10
27
271C
Str
OSC
273
Ts
272
271D
Iout
TO
Vto
271A
271B
Iin
TC
D1
Vtc
271
RTC
GND2

图2

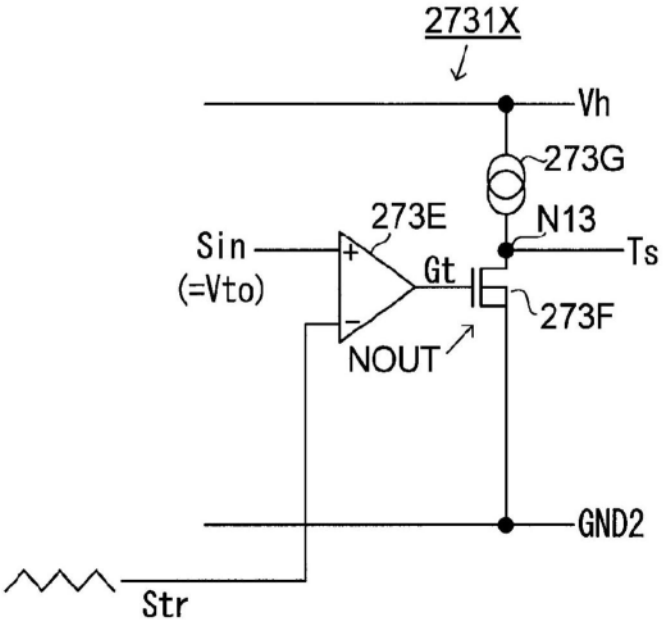

2731X
Vh
273G
273E
N13
Sin
(=Vto)
Gt
Ts
273F
NOUT
GND2
Str

图3A

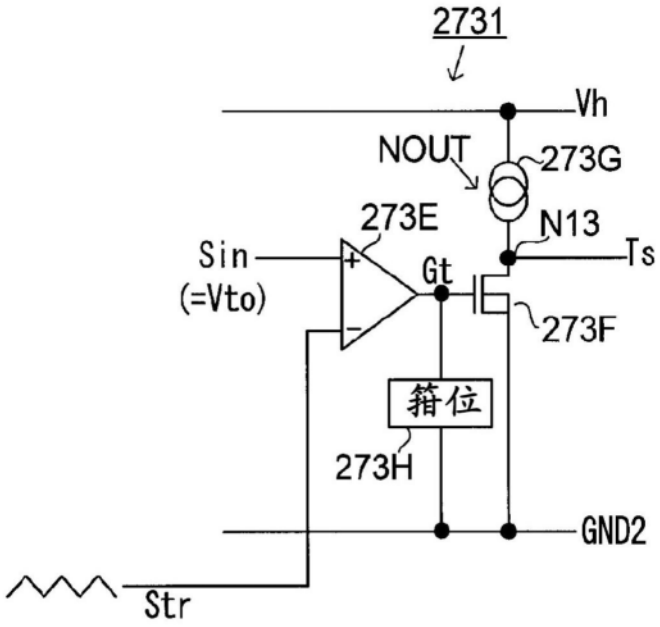

2731
Vh
NOUT
273G
273E
N13
Sin
(=Vto)
Gt
Ts
273F
箝位
273H
GND2
Str

图3B

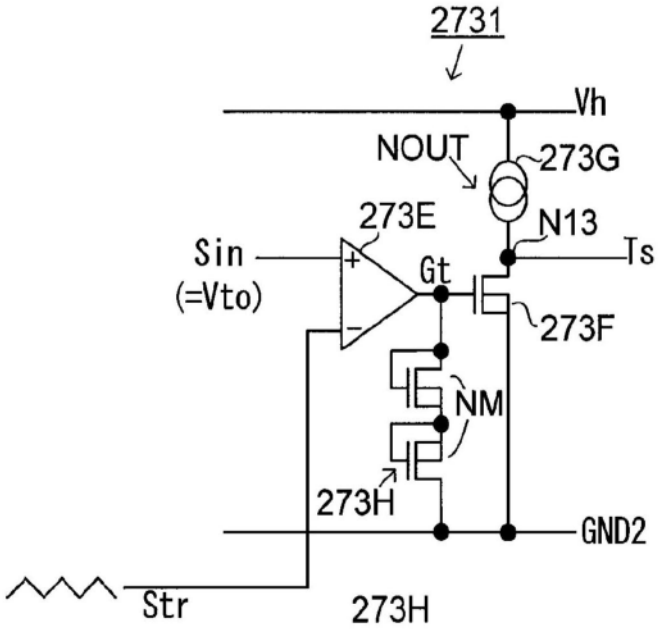

2731
Vh
NOUT
273G
273E
N13
Sin
(=Vto)
Gt
Ts
273F
NM
273H
GND2
Str
273H

图3C

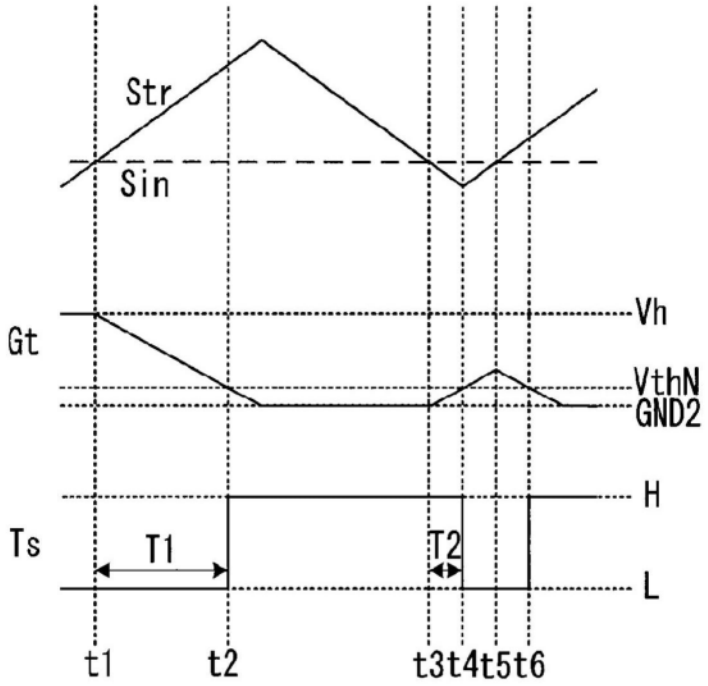

Str
Sin
Gt
Vh
VthN
GND2
Ts
T1
T2
H
L
t1
t2
t3t4t5t6

图4A

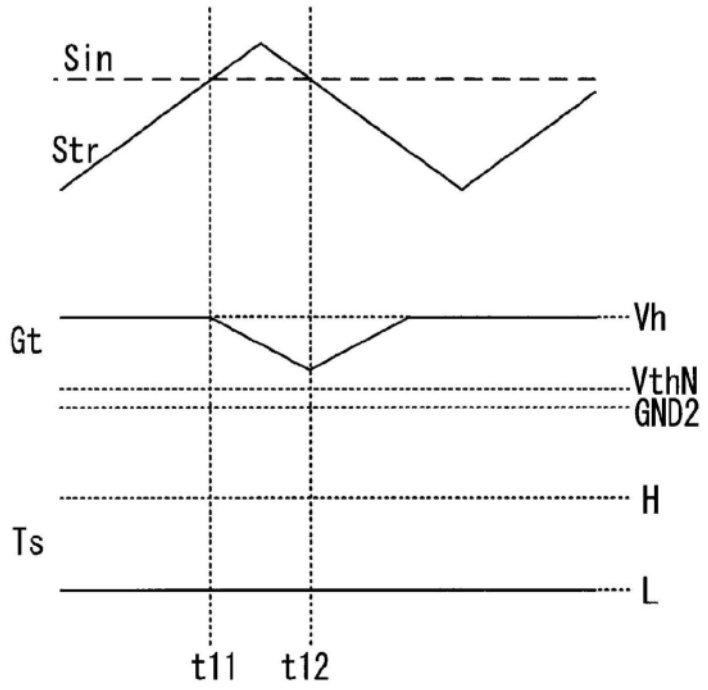

Sin
Str
Gt
Vh
VthN
GND2
Ts
H
L
t11
t12

图4B

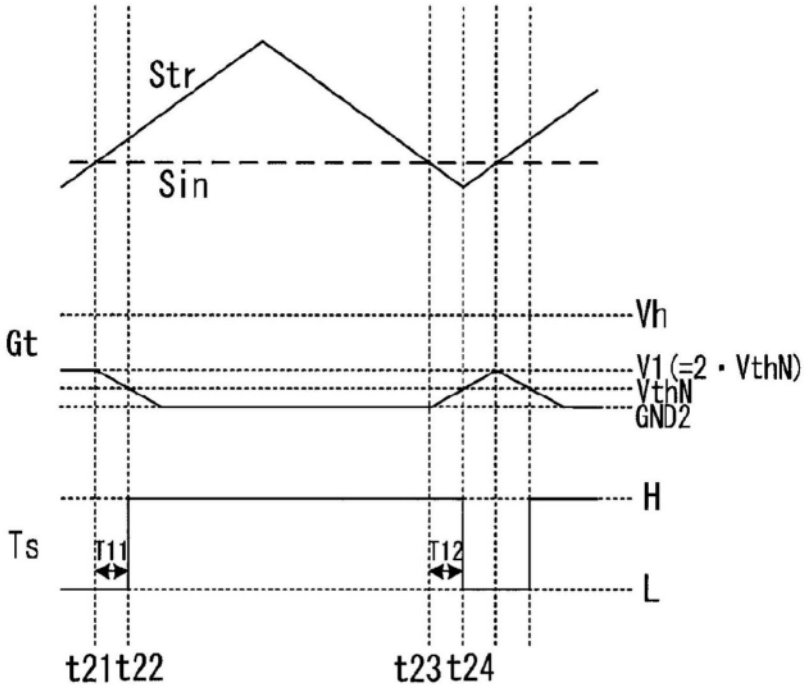

Str
Sin
Vh
Gt
V1(=2・VthN)
VthN
GND2
H
Ts
T11
T12
L
t21t22
t23t24

图5A

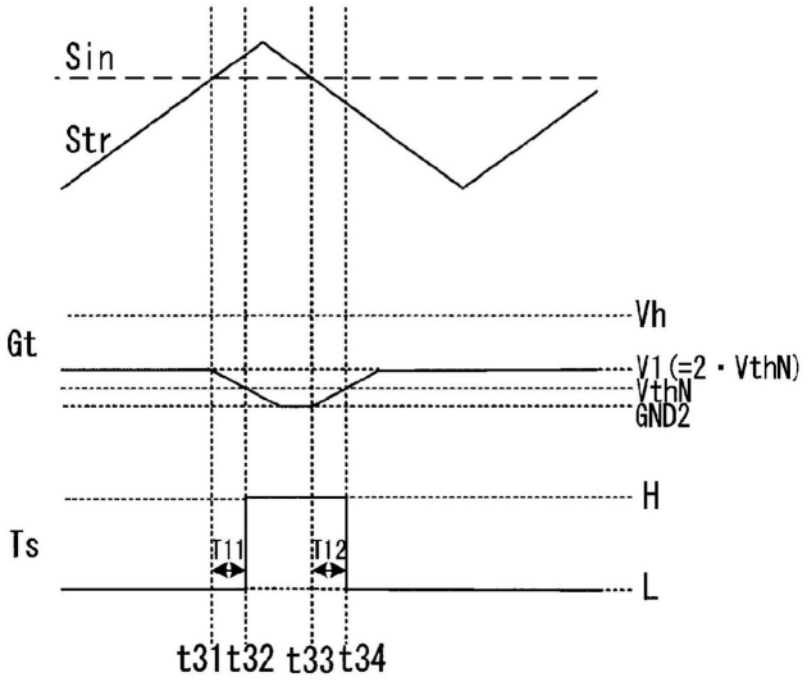

Sin
Str
Vh
Gt
V1(=2・VthN)
VthN
GND2
H
Ts
T11
T12
L
t31t32 t33t34

图5B

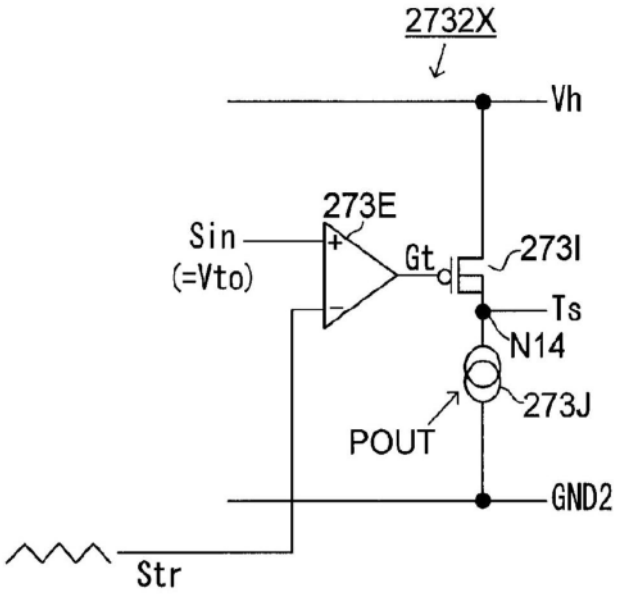

2732X
Vh
273E
Sin
(=Vto)
Gt
273I
Ts
N14
273J
POUT
GND2
Str

图6A

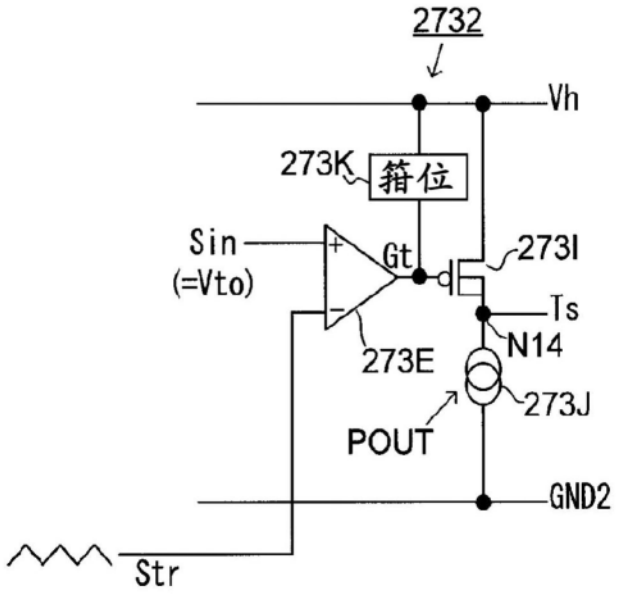

2732
Vh
273K
箝位
Sin
(=Vto)
Gt
273I
Ts
N14
273E
273J
POUT
GND2
Str

图6B

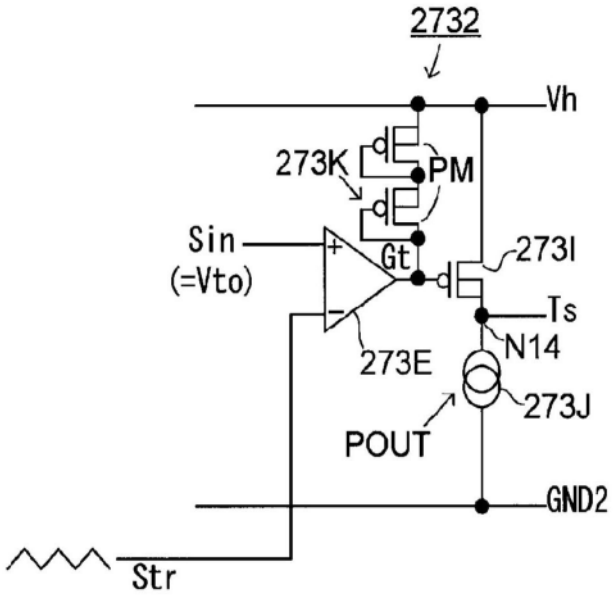

2732
Vh
273K
PM
Sin
(=Vto)
Gt
273I
Ts
N14
273E
273J
POUT
GND2
Str

图6C

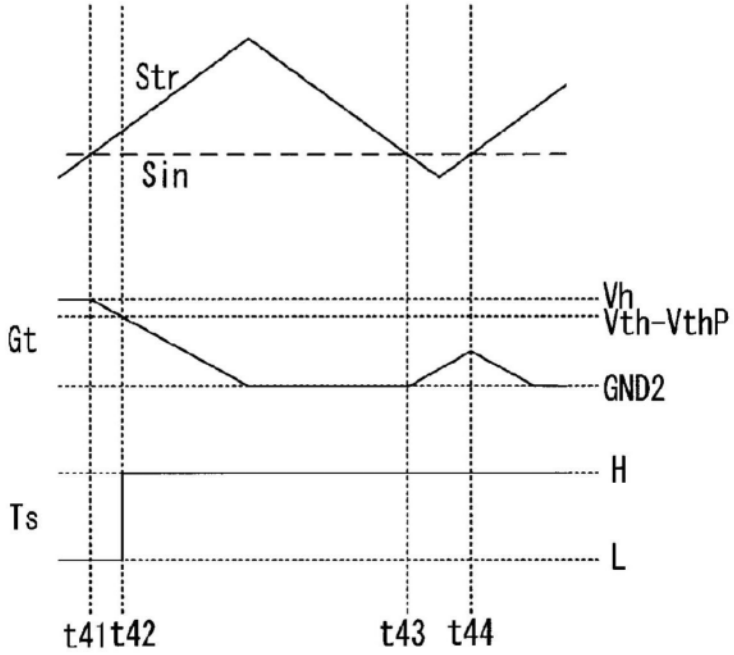

Str
Sin
Vh
Vth-VthP
Gt
GND2
H
Ts
L
t41
t42
t43
t44

图7A

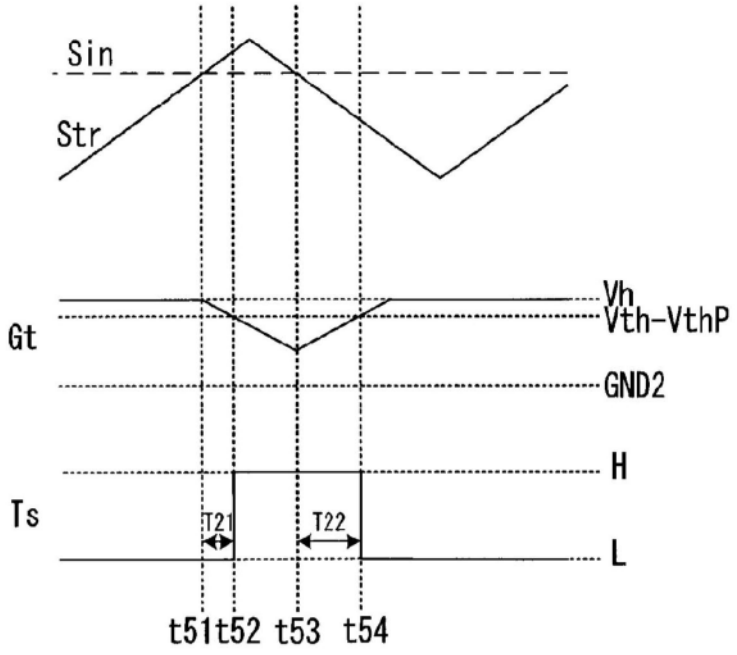

Sin
Str
Vh
Vth-VthP
Gt
GND2
H
Ts
T21
T22
L
t51t52 t53 t54

图7B

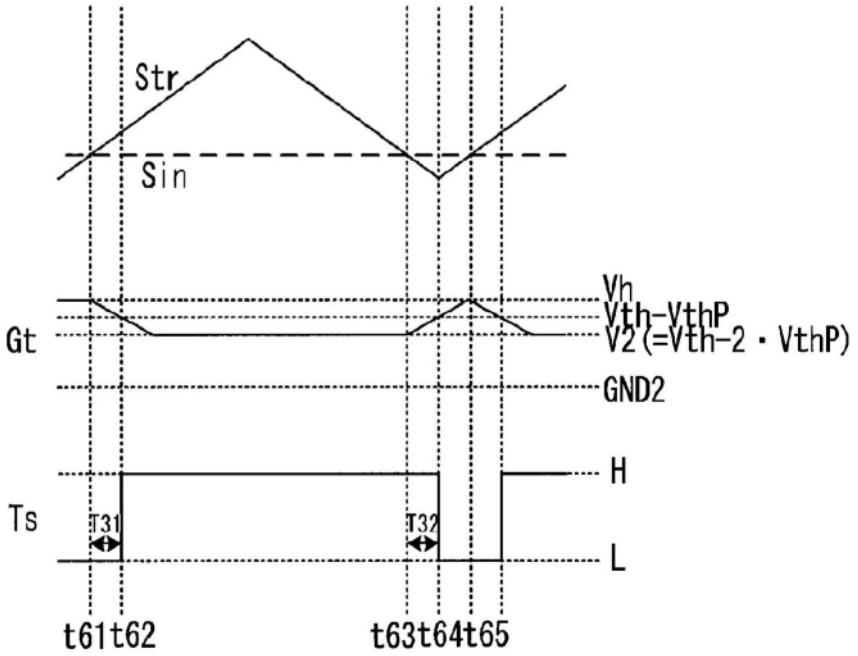

Str
Sin
Vh
Vth-VthP
Gt
V2 (=Vth-2 · VthP)
GND2
H
Ts
T31
T32
L
t61t62
t63t64t65

图8A

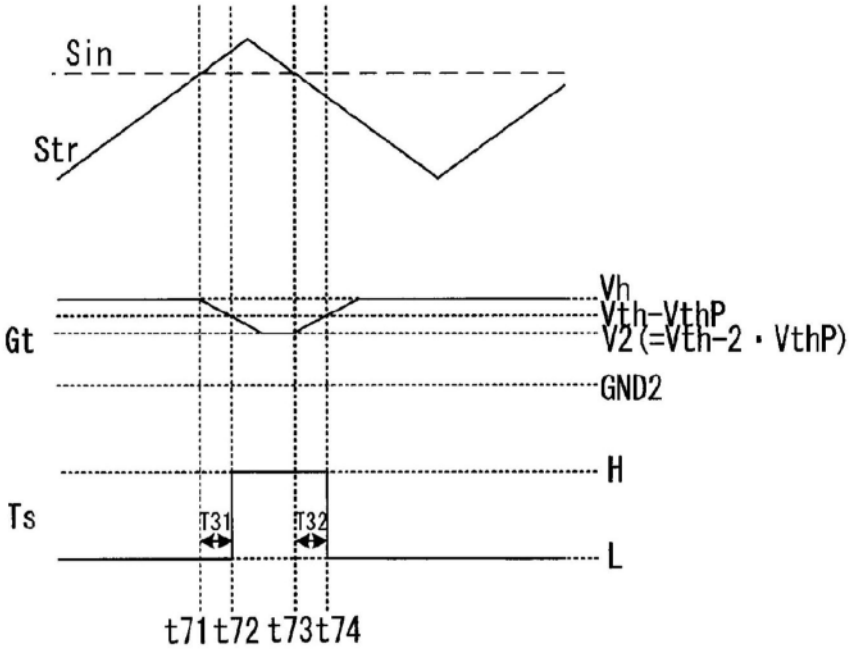

Sin
Str
Gt
Vh
Vth-VthP
V2(=Vth-2・VthP)
GND2
H
Ts
T31
T32
L
t71 t72 t73 t74

图8B

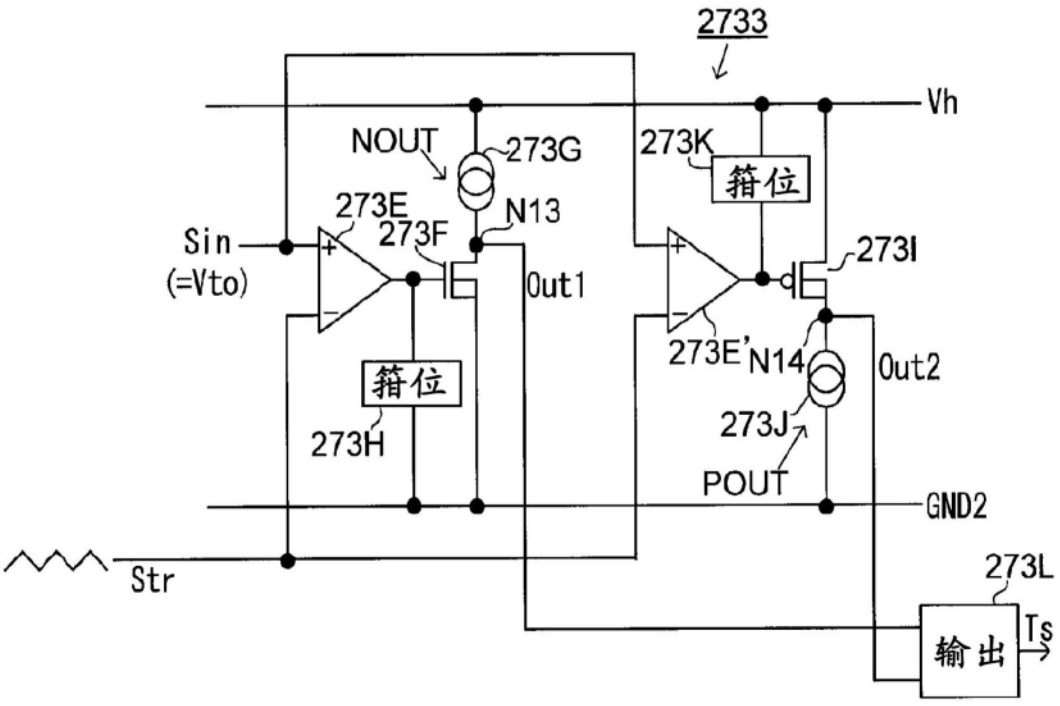

2733
Vh
NOUT
273G
273K
箝位
273E
N13
273F
Sin
(=Vto)
Out1
273I
273E'
N14
Out2
箝位
273H
273J
POUT
GND2
Str
273L
输出
Ts

图9