



Patent tymczasowy dodatkowy  
do patentu nr \_\_\_\_\_

Zgłoszono: 13.12.1971 (P. 152111)

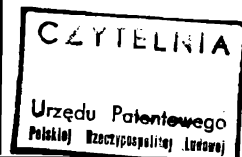
Pierwszeństwo: \_\_\_\_\_

Zgłoszenie ogłoszono: 30.05.1973

Opis patentowy opublikowano: 30.04.1975

KL. 21e,1/30

MKP G01r 1/30



**Twórcy wynalazku:** Konrad Adamowicz, Edmund Porządkowski

**Uprawniony z patentu tymczasowego:** Politechnika Warszawska,  
Warszawa (Polska)

**Układ wejściowy z bramką pamięci zwłaszcza w przetworniku  
cyfrowo-analogowym do elektronicznych mierników zliczających**

1

Przedmiotem wynalazku jest układ wejściowy z bramką pamięci zwłaszcza w przetworniku cyfrowo-analogowym do elektronicznych mierników zliczających.

Znane dotychczas układy wejściowe w przetwornikach cyfrowo-analogowych wykonywane były w postaci bramek pamięci z pojedynczym wejściem przystosowanym do przyjmowania napięć binarnych ujemnych.

Zasadniczą wadą tych przetworników z układem wejściowym w postaci bramki pamięci jest niemożliwość współpracy z każdym ze znanych obecnie przyrządów cyfrowych. Zakres ich stosowania ograniczony jest do współpracy z przyrządami cyfrowymi wykonanymi na tranzystorach p-n-p.

Celem wynalazku jest opracowanie uniwersalnego układu wejściowego z bramką pamięci zwłaszcza w przetworniku cyfrowo-analogowym, umożliwiającym współpracę elektronicznych mierników zliczających pracujących zarówno w logice binarnych napięć dodatnich jak i ujemnych z rejestratorami piszącymi.

Cel ten został osiągnięty zgodnie z wynalazkiem przez zastosowanie w układzie wejściowym dwóch układów kluczy tranzystorowych, wtórnika emiterowego i bramki pamięci, przy czym kolektor tranzystora klucza pierwszego, połączony jest poprzez rezystor z bazą tranzystora drugiego klucza, natomiast kolektor tego tranzystora połączony jest z kolei z bazą tranzystora wtórnika emiterowego,

2

którego kolektor połączony jest ze wspólnym wejściem zasilającym, z którym połączony jest kolektor tranzystora klucza pierwszego poprzez rezystor oraz kolektor tranzystora klucza drugiego także poprzez rezystor. Emiter tranzystora wtórnika jest połączony poprzez rezystor z bazą tranzystora bramki pamięci, a kolektor tego tranzystora jest z kolei połączony z wejściem sterującym całego układu wejściowego oraz z przerzutnikiem pamięci poprzez rezystor i diodę włączoną w kierunku przewodzącym od tego kolektora.

Baza tranzystora pierwszego klucza połączona jest poprzez rezystor z wejściem układu, przystosowanym do przyjmowania z miernika zliczającego napięć binarnych ujemnych, zaś baza tranzystora klucza drugiego połączona jest także przez rezystor z wejściem układu, przystosowanym do przyjmowania napięć binarnych dodatnich.

Układ wejściowy z bramką pamięci według wynalazku jest przystosowany do współpracy z przyrządami cyfrowymi budowanymi nie tylko na tranzystorach p-n-p, ale także na tranzystorach n-p-n. Umożliwia współpracę elektronicznych mierników zliczających działających zarówno w logice binarnych napięć dodatnich jak i ujemnych z rejestratorami piszącymi.

Przykład wykonania układu wejściowego według wynalazku został bliżej określony na rysunku, na którym fig. 1 — przedstawia schemat ideowy tego układu, zaś fig. 2 — przebiegi napięć w poszczegół-

nych punktach układu przy binarnych napięciach ujemnych, a fig. 3 — takie same przebiegi, lecz przy binarnych napięciach dodatnich.

Na fig. 1 układ wejściowy z bramką pamięci według wynalazku wyposażony jest w dwa układy kluczy tranzystorowych  $K_1$  i  $K_2$ , wtórnik emiterowy  $W$  oraz bramkę pamięci  $B_p$ . Kolektor tranzystora  $T_1$  klucza  $K_1$  połączony jest poprzez rezystor  $R_4$  z bazą tranzystora  $T_2$  klucza  $K_2$ , natomiast kolektor tranzystora  $T_2$  połączony jest z kolei z bazą tranzystora  $T_3$  wtórnika emiterowego  $W$ , którego kolektor połączony jest ze wspólnym wejściem zasilającym napięcia  $U_1$ , które połączone jest także z kolektorem tranzystora  $T_2$  poprzez rezystor  $R_7$  oraz z kolektorem tranzystora  $T_1$  poprzez rezystor  $R_3$ . Natomiast emiter tranzystora  $T_3$  wtórnika emiterowego jest połączony z bazą tranzystora  $T_4$  bramki pamięci  $B_p$  poprzez rezystor  $R_9$ , a kolektor tego tranzystora połączony jest z wejściem sterującym  $E$  układu poprzez rezystor  $R_{11}$  oraz z przerzutnikiem pamięci  $P_p$  poprzez rezystor  $R_{12}$  i diodę  $D_3$  włączoną w kierunku przewodzącym od tego kolektora.

Układ wyposażony jest w wejście  $A$ , przystosowane do przyjmowania z miernika zliczającego napięć binarnych ujemnych, które to wejście połączone jest poprzez rezystor  $R_1$  z bazą tranzystora  $T_1$  układu klucza  $K_1$ , zaś wejście  $B$  układu połączone poprzez rezystor  $R_5$  z bazą tranzystora  $T_2$  układu klucza  $K_2$ , przystosowane jest do przyjmowania napięć binarnych dodatnich. Napięcie regulacyjne do układu klucza  $K_1$  doprowadzane jest wejściem  $U_2$ , zaś wejściem  $U_3$  doprowadzane jest napięcie regulacyjne do drugiego układu klucza  $K_2$ . Klucze  $K_1$  i  $K_2$  spełniają rolę układu standaryzującego napięcia podawane na bramkę pamięci  $B_p$  przetwornika, niezależnie od poziomu i znaku napięcia wejściowego.

Działanie układu wejściowego według wynalazku jest następujące. Jeżeli napięcie binarne w  $n$ -tym kanale cyfrowym jest ujemnej polaryzacji podawane jest na wejście  $A$  układu, zaś gdy napięcie to jest dodatniej polaryzacji podawane jest na wejście  $B$ . W pierwszym przypadku napięcie sterujące  $U_2$  ustawione jest na takiej wartości, że tranzystor  $T_1$  klucza  $K_1$  przy stanie „0” na wejściu (niski poziom napięcia) jest nasycony, zaś przy stanie „1” (wysoki poziom napięcia) jest zatkany.

Natomiast napięcie sterujące  $U_3$  ustawiane jest na takiej wartości, aby tranzystor  $T_2$  klucza  $K_2$  znajdował się zawsze w stanie przeciwnym do stanu tranzystora  $T_1$ . Wartości napięć sterujących  $U_2$  i  $U_3$  regulowane są potencjometrycznie i podawane z tych samych źródeł na wszystkie kanały wejść cyfrowych. Tranzystor  $T_2$  spełnia w tym układzie rolę inwertera. Napięcie z kolektora tego tranzystora podawane jest na wejście bramki pamięci  $B_p$  poprzez wtórnik emiterowy  $W$ .

W drugim przypadku, gdy do wejścia  $B$  układu doprowadzone są napięcia binarne dodatnie, napięcie sterujące  $U_2$  ustawia się na taką wartość, aby tranzystor  $T_1$  układu klucza  $K_1$  był nasycony. Będzie on nasycony, niezależnie od stanu tranzystora  $T_2$  układu klucza  $K_2$ , którego napięcie sterujące  $U_3$  ma taką wartość napięcia, że przy stanie „0” na

wejściu (niski poziom napięcia), tranzystor  $T_2$  jest zatkany, natomiast przy stanie „1” (wysoki poziom napięcia) jest nasycony. Diody  $D_1$  oraz  $D_2$  zabezpieczają złącza emiterowe tranzystorów wejściowych.

5 Przy takim układzie wejściowym, obojętnie z którego wejścia korzystając, przy stanie „0” na wejściu tranzystor  $T_2$  jest zatkany, natomiast przy stanie „1” nasycony. W ten sposób uzyskuje się normalizację sygnału wejściowego. Rolę bramki pamięci spełnia inwerter na tranzystorze  $T_4$ , który otrzymuje zasilanie kolektorowe  $E$  w postaci dodatnich impulsów prostokątnych. Sygnał z tego wejścia  $E$  może być oczywiście przenoszony, a więc bramka jest otwarta tylko podczas trwania tych impulsów. Napięcie podawane z kolektora tranzystora  $T_4$  oddziałuje na przerzutnik bistabilny  $P_p$ , stanowiący pamięć przetwornika. Impuls kasujący doprowadzany do wejścia  $G$  tego przerzutnika powoduje wymuszenie stanu zerowego przerzutnika pamięci.

Po otwarciu bramki pamięci  $B_p$  w przypadku pojawienia się sygnału „1” na  $n$ -tym wejściu cyfrowym, na kolektorze tranzystora  $T_4$  następuje skok napięcia od stanu nasycenia do stanu zatkania. Zmiana tego napięcia podana poprzez rezystor  $R_{12}$  i diodę  $D_3$  wymusza zmianę stanu przerzutnika pamięci  $P_p$ , o ile ten został wcześniej sprowadzony do stanu zerowego. Impulsy prostokątne doprowadzane do wejścia  $E$  układu, otwierające bramkę pamięci oraz impulsy doprowadzane do wejścia  $G$  podawane są z układu sterowania przetwornika.

#### Zastrzeżenie patentowe

35 Układ wejściowy z bramką pamięci zwłaszcza w przetworniku cyfrowo-analogowym do elektronicznych mierników zliczających, wyposażony w dwa układy kluczy tranzystorowych, wtórnik emiterowy i bramkę pamięci, znamienny tym, że kolektor tranzystora ( $T_1$ ) klucza ( $K_1$ ) połączony jest poprzez rezystor ( $R_4$ ) z bazą tranzystora ( $T_2$ ) klucza ( $K_2$ ), natomiast kolektor tego tranzystora połączony jest z kolei z bazą tranzystora ( $T_3$ ) wtórnika emiterowego ( $W$ ), którego kolektor połączony jest ze wspólnym wejściem zasilającym napięcia ( $U_1$ ), które połączone jest także z kolektorem tranzystora ( $T_1$ ) poprzez rezystor ( $R_3$ ) i z kolektorem tranzystora ( $T_2$ ) poprzez rezystor ( $R_7$ ), natomiast emiter tranzystora ( $T_3$ ) połączony jest z bazą tranzystora ( $T_4$ ) bramki pamięci ( $B_p$ ) poprzez rezystor ( $R_9$ ), a kolektor tego tranzystora połączony jest z wejściem sterującym ( $E$ ) układu poprzez rezystor ( $R_{11}$ ) oraz z przerzutnikiem pamięci ( $P_p$ ) poprzez rezystor ( $R_{12}$ ) i diodę ( $D_3$ ) włączoną w kierunku przewodzącym od tego kolektora, przy czym wejście ( $A$ ) układu przystosowane do przyjmowania z miernika zliczającego napięć binarnych ujemnych, połączone jest poprzez rezystor ( $R_1$ ) z bazą tranzystora ( $T_1$ ), z którą połączona jest wejście napięcia regulacyjnego ( $U_2$ ) poprzez rezystor ( $R_2$ ), a wejście ( $B$ ) układu przystosowane do przyjmowania napięć dodatnich, połączone jest poprzez rezystor ( $R_5$ ) z bazą tranzystora ( $T_2$ ), która połączona jest także z wejściem napięcia regulacyjnego ( $U_3$ ) poprzez rezystor ( $R_6$ ).

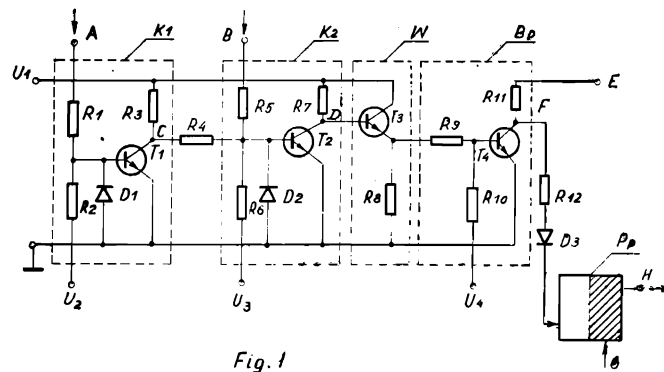


Fig. 1

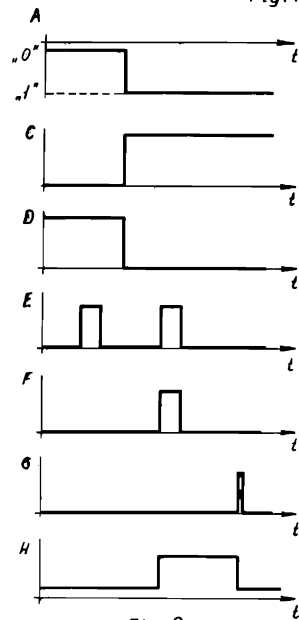


Fig. 2

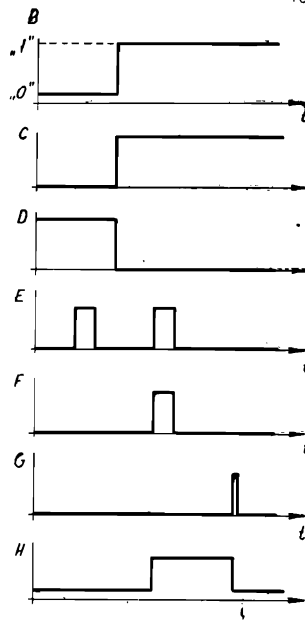


Fig. 3