

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 8 月 7 日 (07.08.2014)



(10) 国际公布号
WO 2014/117440 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) G02F 1/1362 (2006.01)
H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2013/074374
- (22) 国际申请日: 2013 年 4 月 18 日 (18.04.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310043996.X 2013 年 2 月 4 日 (04.02.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 张春芳 (ZHANG, Chunfang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。魏燕 (WEI, Yan); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。徐超 (XU, Chao); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。金熙哲 (KIM, Heecheol); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: ARRAY SUBSTRATE, DISPLAY DEVICE, AND METHOD FOR MANUFACTURING ARRAY SUBSTRATE

(54) 发明名称: 阵列基板、显示装置及阵列基板的制造方法

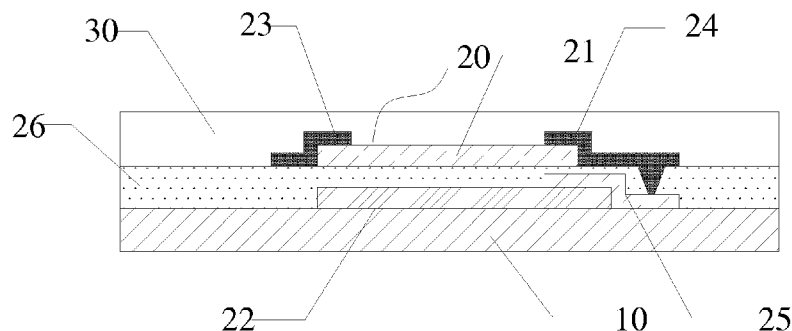


图 3 / FIG.3

(57) Abstract: Provided are an array substrate, a display device, and a method for manufacturing the array substrate. The array substrate comprises a substrate (10) and multiple electrostatic discharge short-circuit rings (20) arranged on the substrate (10). Each electrostatic discharge short-circuit ring (20) comprises a gate (22), a gate insulating layer (26), an active layer (21), a source (23), a drain (24), and a passivation layer (30). The electrostatic discharge short-circuit ring (20) further comprises a transparent conducting layer (25) connecting the gate (22) with the drain (24), and the transparent conducting layer (25) is located below the passivation layer (30).

(57) 摘要: 提供一种阵列基板、显示装置及阵列基板的制造方法。该阵列基板包括基板 (10) 以及设置在基板 (10) 上的多个静电放电短路环 (20)。每个静电放电短路环 (20) 包括栅极 (22)、栅极绝缘层 (26)、有源层 (21)、源极 (23)、漏极 (24) 和钝化层 (30)。静电放电短路环 (20) 还包括将栅极 (22) 和漏极 (24) 连接的透明导电层 (25), 且透明导电层 (25) 位于钝化层 (30) 的下方。



WO 2014/117440 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

阵列基板、显示装置及阵列基板的制造方法

技术领域

5 本发明的实施例涉及阵列基板、显示装置及阵列基板的制造方法。

背景技术

在平板显示装置中，薄膜晶体管液晶显示器（Thin Film Transistor Liquid Crystal Display，简称 TFT-LCD）具有体积小、功耗低、制造成本相对较低
10 和无辐射等特点，在当前的平板显示器市场占据了主导地位。

目前，TFT-LCD 的显示模式主要有 TN（Twisted Nematic，扭曲向列）模式、VA（Vertical Alignment，垂直取向）模式、IPS（In-Plane-Switching，平面方向转换）模式和 AD-SDS（Advanced Super Dimension Switch，高级超维场转换技术，简称 ADS）模式等。

15 图 1 和图 2 示出了两种传统的 TFT-LCD 阵列基板的示例。图 1 和图 2 所示的阵列基板均包括基板 10、设置在基板 10 上的静电放电短路环 20 和钝化层 30。所述静电放电短路环 20 包括栅极 22、有源层 21、源极 23、漏极 24 以及将栅极 22 和漏极 24 连接的透明导电层 25，且透明导电层 25 位于所述钝化层 30 的上方。

20 随着显示装置的边框越来越窄，阵列基板周边的布线区域越来越窄，部件之间的间隔越来越小。在装配显示装置时，裸露在阵列基板最外面的透明导电层很容易被其他部件划伤，从而导致阵列基板的静电导电部分不能正常的工作，影响显示装置的质量。

25 发明内容

根据本发明的一个方面，提供了一种阵列基板。该阵列基板包括基板以及设置在基板上的多个静电放电短路环，每个所述静电放电短路环包括栅极、栅极绝缘层、有源层、源极、漏极、钝化层，其中所述静电放电短路环还包括将栅极和漏极连接的透明导电层，且所述透明导电层位于所述钝化层的下
30 方。

在一个实施例中，所述透明导电层形成在所述基板和所述栅极绝缘层之间并搭接在所述栅极上，所述栅极绝缘层具有过孔，所述漏极通过过孔与所述透明导电层连接。

5 在一个实施例中，所述透明导电层形成在所述基板和所述栅极绝缘层之间并搭接在所述漏极上，所述栅极绝缘层具有过孔，所述栅极通过过孔与所述透明导电层连接。

10 在一个实施例中，所述栅极、栅极绝缘层、有源层、源极和漏极、钝化层依次形成在所述基板上；所述静电放电短路环还包括：设置在源极和漏极与钝化层之间的第二钝化层，以及设置在钝化层和第二钝化层之间的平坦化层；所述平坦化层和第二钝化层具有第一过孔和第二过孔，所述透明导电层设置于所述平坦化层与所述钝化层之间，且所述透明导电层通过所述第一过孔与栅极连接，并通过所述第二过孔与漏极连接。

15 在一个实施例中，所述有源层、源极和漏极、栅极绝缘层、栅极和钝化层依次形成在所述基板上；所述静电放电短路环还包括：设置在栅极与钝化层之间的第二钝化层，以及设置在钝化层和第二钝化层之间的平坦化层；所述平坦化层和第二钝化层具有第一过孔和第二过孔，所述透明导电层设置于所述平坦化层与所述钝化层之间，且所述透明导电层通过所述第一过孔与栅极连接，并通过所述第二过孔与漏极连接。

在一个实施例中，所述平坦化层为树脂层。

20 根据本发明的另一个方面，提供了一种显示装置。该显示装置包括上述阵列基板。

根据本发明的再一个方面，提供了一种阵列基板的制造方法。该阵列基板包括基板以及设置在基板上的多个静电放电短路环。该方法包括形成静电放电短路环的步骤。所述形成静电放电短路环的步骤包括：

25 形成栅极；
形成栅极绝缘层；
形成有源层、源极和漏极；
形成将栅极和漏极连接的透明导电层；以及
形成钝化层；
30 其中所述透明导电层形成在所述钝化层下方。

在一个实施例中，所述栅极、栅极绝缘层、有源层、源极和漏极、钝化层依次形成在所述基板上；在形成钝化层的步骤之前，所述方法还包括：

形成位于所述基板和所述栅极绝缘层之间并与所述栅极搭接的透明导电层；

5 在栅极绝缘层的位于透明导电层上方的部分中形成过孔；

在栅极绝缘层上形成漏极，且漏极通过过孔与透明导电层连接。

在一个实施例中，所述有源层、源极和漏极、栅极绝缘层、栅极、钝化层依次形成在所述基板上；在形成钝化层的步骤之前，所述方法还包括：

10 形成位于所述基板和所述栅极绝缘层之间并与所述漏极搭接的透明导电层；

在栅极绝缘层的位于透明导电层上方的部分中形成过孔；

在栅极绝缘层上形成栅极，且栅极通过过孔与透明导电层连接。

在一个实施例中，所述栅极、栅极绝缘层、有源层、源极和漏极、钝化层依次形成在所述基板上；在形成钝化层的步骤之前，所述方法还包括：

15 在源极和漏极上方形成覆盖基板的第二钝化层；

在第二钝化层上方形成覆盖第二钝化层的平坦化层；

在平坦化层和第二钝化层的位于栅极上方的部分中形成第一过孔、位于漏极上方的部分中形成第二过孔；

20 在平坦化层上形成透明导电层，透明导电层通过第一过孔与栅极连接，并通过第二过孔与漏极连接。

在一个实施例中，所述有源层、源极和漏极、栅极绝缘层、栅极、钝化层依次形成在所述基板上；在形成钝化层的步骤之前，所述方法还包括：

在栅极上方形成第二钝化层；

在第二钝化层上方形成覆盖第二钝化层的平坦化层；

25 在平坦化层和第二钝化层的位于栅极上方的部分中形成第一过孔、位于漏极上方的部分中形成第二过孔；

在平坦化层上形成透明导电层，透明导电层通过第一过孔与栅极连接，并通过第二过孔与漏极连接。

30 根据本发明的实施例，通过将透明导电层设置在钝化层的下方，避免了透明导电层被显示装置的其他部件划伤，提高了阵列基板的安全性能，从而

保证了显示装置的质量。

附图说明

5 为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 为传统技术的阵列基板的结构示意图；

图 2 为传统技术的阵列基板的另一结构示意图；

图 3 为根据本发明第一实施例的阵列基板的结构示意图；

10 图 4 为根据本发明第一实施例的变形的阵列基板的结构示意图；

图 5 为根据本发明第二实施例的阵列基板的结构示意图；以及

图 6 为根据本发明第二实施例的变形的阵列基板的结构示意图。

具体实施方式

15 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

20 本发明实施例提供了一种阵列基板，通过将透明导电层设置到钝化层的下方，避免了透明导电层被显示装置的其他部件损坏。有效地避免了阵列基板被损坏，保证了显示装置的质量。

图 3 为根据本发明第一实施例的阵列基板的结构示意图。

25 如图 3 所示，本实施例提供的阵列基板包括：基板 10 以及设置在基板 10 上的多个静电放电短路环 20。

每个所述静电放电短路环 20 包括栅极 22、栅极绝缘层 26、有源层 21、源极 23、漏极 24 和钝化层 30。此外，每个所述静电放电短路环 20 还包括将栅极 22 和漏极 24 连接的透明导电层 25，且所述透明导电层 25 位于所述钝化层 30 的下方。

30 在该实施例中，将透明导电层 25 设置在所述钝化层 30 的下方，从而使

得透明导电层 25 得到钝化层 30 的保护,避免了透明导电层 25 被显示装置中的其他元器件划伤,提高了阵列基板的安全性能并保证了显示装置的质量。

如图 3 所示,所述阵列基板为底栅基板。所述静电放电短路环 20 包括:设置在基板 10 上的栅极 22、设置在栅极 22 和基板 10 上的栅极绝缘层 26、
5 设置在栅极绝缘层 26 上且位于栅极 22 上方的有源层 21、设置在有源层 21 两侧的源极 23 和漏极 24、将漏极 24 和栅极 22 连接的透明导电层 25、以及覆盖有源层 21 与源极 23 和漏极 24 的钝化层 30。

为了便于生产,优选的,所述透明导电层 25 位于所述基板 10 和所述栅极绝缘层 26 之间并搭接在栅极 22 上,所述栅极绝缘层 26 具有过孔,所述漏极 24 通过过孔与所述透明导电层 25 连接。例如,通过溅射工艺在基板 10
10 上形成沉积层,并通过光刻、刻蚀工艺得到透明导电层 25。

图 4 为根据本发明第一实施例的变形的阵列基板的结构示意图。如图 4 所示,所述阵列基板为顶栅基板。在此情形下,有源层 21、源极 23 和漏极 24、栅极绝缘层 26、栅极 22 及钝化层 30 依次形成在基板 10 上。所述透明
15 导电层 25 可以位于所述基板 10 与栅极绝缘层 26 之间并搭接在漏极 24 上,所述栅极绝缘层 26 具有过孔,所述栅极 22 通过过孔与透明导电层 25 连接。

此外,如图 4 所示,该阵列基板还可以包括形成在基板 10 上的遮光层 11 以及形成在遮光层 11 和基板 10 上的绝缘层 12。在此情形下,有源层 21 形成在绝缘层 12 上,并且透明导电层 25 位于绝缘层 12 和栅极绝缘层 26 之
20 间。

图 5 为根据本发明第二实施例的阵列基板的结构示意图。如图 5 所示,该阵列基板包括基板 10 以及设置在基板 10 上的多个静电放电短路环 20。

每个所述静电放电短路环 20 包括栅极 22、栅极绝缘层 26、有源层 21、源极 23、漏极 24、钝化层 30、第二钝化层 40 和设置在钝化层 30 和第二钝化层 40 之间的平坦化层 50。此外,每个所述静电放电短路环 20 还包括将栅极 22 和漏极 24 连接的透明导电层 25,且所述透明导电层 25 位于所述钝化层 30 的下方。
25

如图 5 所示,第二钝化层 40 设置在源极 23 和漏极 24 上,平坦化层 50 设置在第二钝化层 40 上,钝化层 30 设置在平坦化层 50 上。例如,平坦化层 50 为树脂层。所述平坦化层 50 和第二钝化层 40 具有与所述栅极 22 和漏极
30

24 分别连通的第一过孔和第二过孔。所述透明导电层 25 设置于所述平坦化层 50 与所述钝化层 30 之间，且所述透明导电层 25 通过第一过孔与栅极 22 连接，并通过第二过孔与漏极 24 连接。

图 6 为根据本发明第二实施例的变形的阵列基板的结构示意图。如图 6 所示，该阵列基板为顶栅阵列基板。在此情形下，所述有源层 21、源极 23 和漏极 24、栅极绝缘层 26、栅极 22 和钝化层 30 依次形成在所述基板上。所述静电放电短路环还包括：设置在栅极 22 与钝化层 30 之间的第二钝化层 40，以及设置在钝化层 30 和第二钝化层 40 之间的平坦化层 50。所述平坦化层 50 和第二钝化层 40 具有第一过孔和第二过孔，所述透明导电层 25 设置于所述平坦化层 50 与所述钝化层 30 之间，且所述透明导电层 25 通过所述第一过孔与栅极 22 连接，并通过所述第二过孔与漏极 24 连接。

此外，如图 6 所示，该阵列基板还可以包括形成在基板 10 上的遮光层 11 以及形成在遮光层 11 和基板 10 上的绝缘层 12。在此情形下，有源层 21 形成在绝缘层 12 上。

在上述实施例中，基板 10 例如可以为玻璃基板、树脂基板或塑料基板。
在上述实施例中，栅极绝缘层 26 例如可以为氧化硅层或氮化硅层。

在上述实施例中，所述透明导电层 25 可以由具有良好的透过率和导电性的材料制成，例如氧化铟锡。

本发明实施例还提供了一种显示装置。该显示装置包括上述任意一种阵列基板。所述显示装置可以为：液晶面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

本发明实施例还提供了一种阵列基板的制造方法。该方法包括：

形成栅极；

25 形成栅极绝缘层；

形成有源层、源极和漏极；

形成将栅极和漏极连接的透明导电层；

形成钝化层；

所述透明导电层位于所述钝化层之下。

30 对于图 3 所示实施例的阵列基板，其例如可以如下制作。

步骤 201、采用溅射工艺在基板上沉积栅金属层，通过光刻、刻蚀得到栅极 22；

步骤 202、采用溅射工艺在基板上沉积氧化铟锡膜，且使氧化铟锡膜与形成的栅极 22 搭接，通过光刻、刻蚀得到透明导电层 25；

5 步骤 203、采用等离子体增强化学气相沉积法在基板上沉积氮化硅层或二氧化硅层以形成栅极绝缘层 26；

步骤 204、采用等离子体增强化学气相沉积法在栅极绝缘层 26 上沉积半导体材料层，通过光刻、刻蚀形成有源层 21；

10 步骤 205、采用干刻工艺，在栅极绝缘层 26 的位于透明导电层 25 上方的部分中刻蚀出过孔；

步骤 206、采用溅射工艺在栅极绝缘层 26 上沉积金属层，通过光刻、刻蚀形成源极 23 和漏极 24，并使漏极 24 通过过孔与透明导电层 25 连接；

步骤 207、采用等离子体增强化学气相沉积法形成钝化层 30。

对于图 4 所示实施例的阵列基板，其例如可以如下制作。

15 步骤 201、采用等离子体增强化学气相沉积法在基板 10 上沉积半导体材料层，通过光刻、刻蚀形成有源层 21；

步骤 202、采用溅射工艺在基板 10 上沉积金属层，通过光刻、刻蚀形成源极 23 和漏极 24；

20 步骤 203、采用溅射工艺在基板上沉积氧化铟锡膜，且使氧化铟锡膜与形成的漏极 24 搭接，通过光刻、刻蚀得到透明导电层 25；

步骤 204、采用等离子体增强化学气相沉积法在基板和有源层上沉积氮化硅层或二氧化硅层以形成栅极绝缘层 26；

步骤 205、采用干刻工艺，在栅极绝缘层 26 的位于透明导电层 25 上方的部分中刻蚀出过孔；

25 步骤 206、采用溅射工艺在基板上沉积栅金属层，通过光刻、刻蚀得到栅极 22，并使栅极 22 通过过孔与透明导电层 25 连接；

步骤 207、采用等离子体增强化学气相沉积法形成钝化层 30。

此外，对于图 4 所示实施例的阵列基板，在形成有源层 21 之前还可以在基板 10 上形成遮光层 11 并在遮光层 11 和基板 10 上形成绝缘层 12。在此情形下，有源层 21 形成在绝缘层 12 上，并且透明导电层 25 位于绝缘层 12 和

30

栅极绝缘层 26 之间。

对于图 5 所示实施例的阵列基板，其例如可以如下制作：

步骤 301、采用溅射工艺在基板上沉积栅金属层，通过光刻、刻蚀得到栅极 22；

5 步骤 302、采用等离子体增强化学气相沉积法在基板上沉积氮化硅层或二氧化硅层以形成栅极绝缘层 26；

步骤 303、采用等离子体增强化学气相沉积法在栅极绝缘层 26 上沉积半导体材料层，通过光刻、刻蚀形成有源层 21；

10 步骤 304、采用溅射工艺在栅极绝缘层 26 上形成金属层，通过光刻、刻蚀得到源极 23 和漏极 24；

步骤 305、采用等离子体增强化学气相沉积法在栅极绝缘层和有源层上形成第二钝化层 40；

步骤 306、采用涂敷的方式在第二钝化层 40 上形成平坦化层 50；

15 步骤 307、采用干刻工艺，在平坦化层 50 和第二钝化层 40 的位于栅极上方的部分中形成第一过孔、位于漏极上方的部分形成第二过孔；

步骤 308、采用溅射工艺在平坦化层 50 上沉积氧化铟锡膜，并通过光刻、刻蚀得到透明导电层 25，形成的透明导电层 25 通过步骤 307 形成的第一过孔与栅极 22 连接，并通过第二过孔与漏极 24 连接；

20 步骤 309、采用等离子体增强化学气相沉积法在形成的平坦化层 50 上形成钝化层 30。

对于图 6 所示实施例的阵列基板，其例如可以如下制作：

步骤 301、采用等离子体增强化学气相沉积法在基板 10 上沉积半导体材料层，通过光刻、刻蚀形成有源层 21；

25 步骤 302、采用溅射工艺在基板 10 上沉积金属层，通过光刻、刻蚀形成源极 23 和漏极 24；

步骤 303、采用等离子体增强化学气相沉积法在基板和有源层上沉积氮化硅层或二氧化硅层以形成栅极绝缘层 26；

步骤 304、采用溅射工艺在栅极绝缘层 26 上沉积栅金属层，通过光刻、刻蚀得到栅极 22；

30 步骤 305、采用等离子体增强化学气相沉积法在栅极绝缘层 26 和栅极 22

上形成第二钝化层 40;

步骤 306、采用涂敷的方式在第二钝化层 40 上形成平坦化层 50;

步骤 307、采用干刻工艺, 在平坦化层 50 和第二钝化层 40 的位于栅极上方的部分中形成第一过孔、位于漏极上方的部分形成第二过孔;

5 步骤 308、采用溅射工艺在平坦化层 50 上沉积氧化铟锡膜, 并通过光刻、刻蚀得到透明导电层 25, 形成的透明导电层 25 通过步骤 307 形成的第一过孔与栅极 22 连接, 并通过第二过孔与漏极 24 连接;

步骤 309、采用等离子体增强化学气相沉积法在形成的平坦化层 50 上形成钝化层 30。

10 此外, 对于图 6 所示实施例的阵列基板, 在形成有源层 21 之前还可以在基板 10 上形成遮光层 11 并在遮光层 11 和基板 10 上形成绝缘层 12。在此情形下, 有源层 21 形成在绝缘层 12 上。

可见通过上述工艺流程, 可以方便地形成透明导电层, 位于透明导电层上方的钝化层可以很好的保护透明导电层, 避免了透明导电层被显示装置的其他部件划伤。

15 以上所述仅是本发明的示范性实施方式, 而非用于限制本发明的保护范围, 本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种阵列基板，包括基板以及设置在基板上的多个静电放电短路环，
每个所述静电放电短路环包括栅极、栅极绝缘层、有源层、源极、漏极以及
5 钝化层，其中所述静电放电短路环还包括将栅极和漏极连接的透明导电层，
且所述透明导电层位于所述钝化层的下方。

2、如权利要求 1 所述的阵列基板，其中

所述透明导电层形成在所述基板和所述栅极绝缘层之间并搭接在所述栅
极上，所述栅极绝缘层具有过孔，所述漏极通过过孔与所述透明导电层连接。

10 3、如权利要求 1 所述的阵列基板，其中

所述透明导电层形成在所述基板和所述栅极绝缘层之间并搭接在所述漏
极上，所述栅极绝缘层具有过孔，所述栅极通过过孔与所述透明导电层连接。

4、如权利要求 1 所述的阵列基板，其中

15 所述栅极、栅极绝缘层、有源层、源极和漏极、钝化层依次形成在所述
基板上；

所述静电放电短路环还包括：设置在源极和漏极与钝化层之间的第二钝
化层，以及设置在钝化层和第二钝化层之间的平坦化层；

所述平坦化层和第二钝化层具有第一过孔和第二过孔，所述透明导电层
设置于所述平坦化层与所述钝化层之间，且所述透明导电层通过所述第一过
20 孔与栅极连接，并通过所述第二过孔与漏极连接。

5、如权利要求 1 所述的阵列基板，其中

所述有源层、源极和漏极、栅极绝缘层、栅极和钝化层依次形成在所述
基板上；

25 所述静电放电短路环还包括：设置在栅极与钝化层之间的第二钝化层，
以及设置在钝化层和第二钝化层之间的平坦化层；

所述平坦化层和第二钝化层具有第一过孔和第二过孔，所述透明导电层
设置于所述平坦化层与所述钝化层之间，且所述透明导电层通过所述第一过
孔与栅极连接，并通过所述第二过孔与漏极连接。

6、如权利要求 4 或 5 所述的阵列基板，其中所述平坦化层为树脂层。

30 7、一种显示装置，其中该显示装置包括如权利要求 1~6 任一项所述的

阵列基板。

8、一种阵列基板的制造方法，该阵列基板包括基板以及设置在基板上的多个静电放电短路环，

其中该方法包括形成静电放电短路环的步骤，所述形成静电放电短路环的步骤包括：

形成栅极；

形成栅极绝缘层；

形成有源层、源极和漏极；

形成将栅极和漏极连接的透明导电层；以及

10 形成钝化层；

其中所述透明导电层形成在所述钝化层下方。

9、如权利要求 8 所述的制造方法，其中

所述栅极、栅极绝缘层、有源层、源极和漏极、钝化层依次形成在所述基板上；

15 在形成钝化层的步骤之前，所述方法还包括：

形成位于所述基板和所述栅极绝缘层之间并与所述栅极搭接的透明导电层；

在栅极绝缘层的位于透明导电层上方的部分中形成过孔；

在栅极绝缘层上形成漏极，且漏极通过过孔与透明导电层连接。

20 10、如权利要求 8 所述的制造方法，其中

所述有源层、源极和漏极、栅极绝缘层、栅极、钝化层依次形成在所述基板上；

在形成钝化层的步骤之前，所述方法还包括：

形成位于所述基板和所述栅极绝缘层之间并与所述漏极搭接的透明导电层；

在栅极绝缘层的位于透明导电层上方的部分中形成过孔；

在栅极绝缘层上形成栅极，且栅极通过过孔与透明导电层连接。

11、如权利要求 8 所述的制造方法，其中

所述栅极、栅极绝缘层、有源层、源极和漏极、钝化层依次形成在所述基板上；

在形成钝化层的步骤之前，所述方法还包括：

在源极和漏极上方形成覆盖基板的第二钝化层；

在第二钝化层上方形成覆盖第二钝化层的平坦化层；

在平坦化层和第二钝化层的位于栅极上方的部分中形成第一过孔、位于

5 漏极上方的部分中形成第二过孔；

在平坦化层上形成透明导电层，透明导电层通过第一过孔与栅极连接，并通过第二过孔与漏极连接。

12、如权利要求 8 所述的制造方法，其中

所述有源层、源极和漏极、栅极绝缘层、栅极、钝化层依次形成在所述

10 基板上；

在形成钝化层的步骤之前，所述方法还包括：

在栅极上方形成第二钝化层；

在第二钝化层上方形成覆盖第二钝化层的平坦化层；

在平坦化层和第二钝化层的位于栅极上方的部分中形成第一过孔、位于

15 漏极上方的部分中形成第二过孔；

在平坦化层上形成透明导电层，透明导电层通过第一过孔与栅极连接，并通过第二过孔与漏极连接。

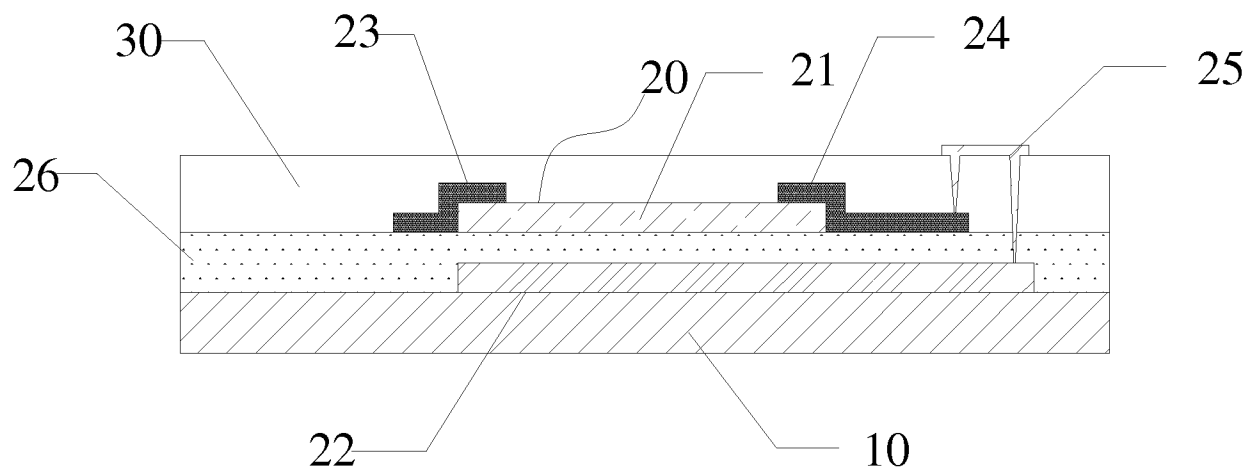


图 1

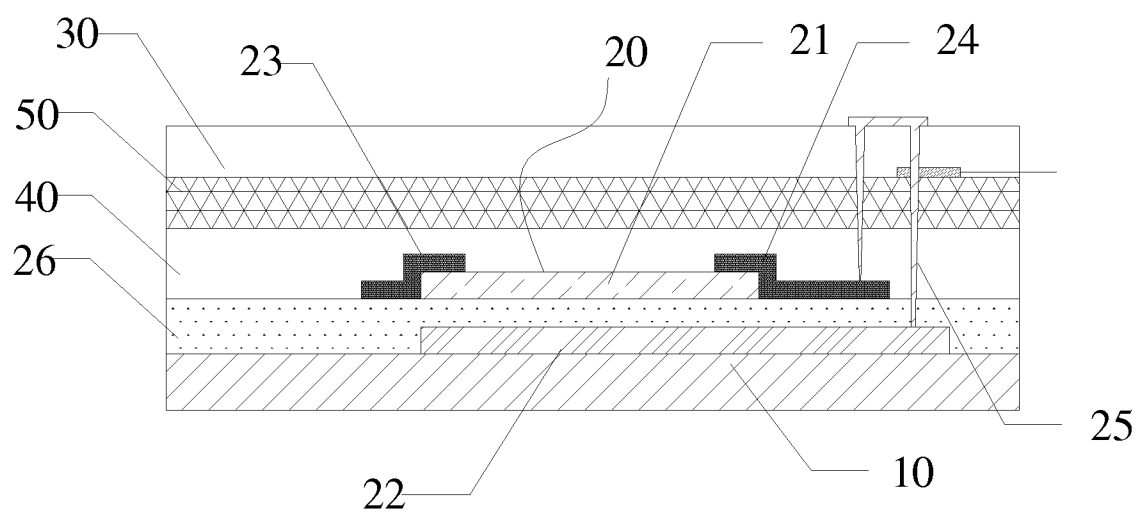


图 2

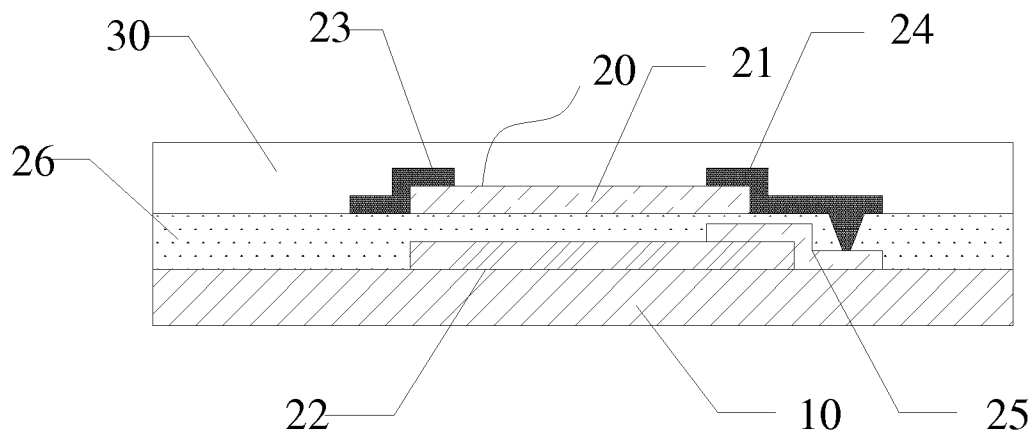


图 3

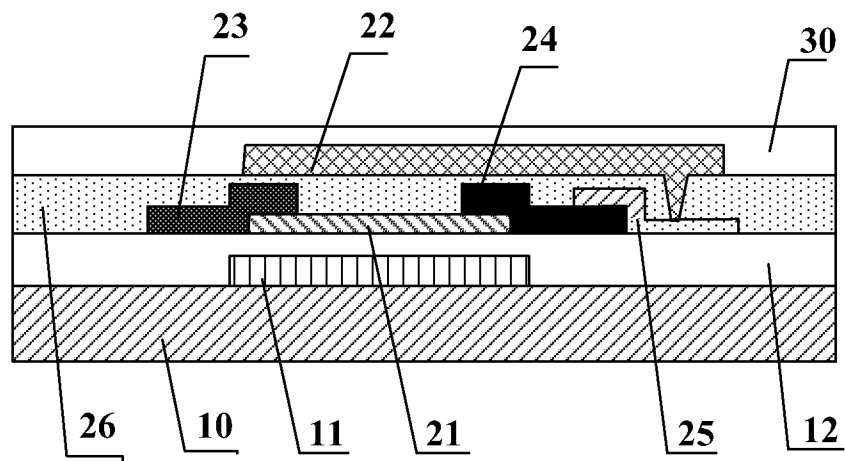


图 4

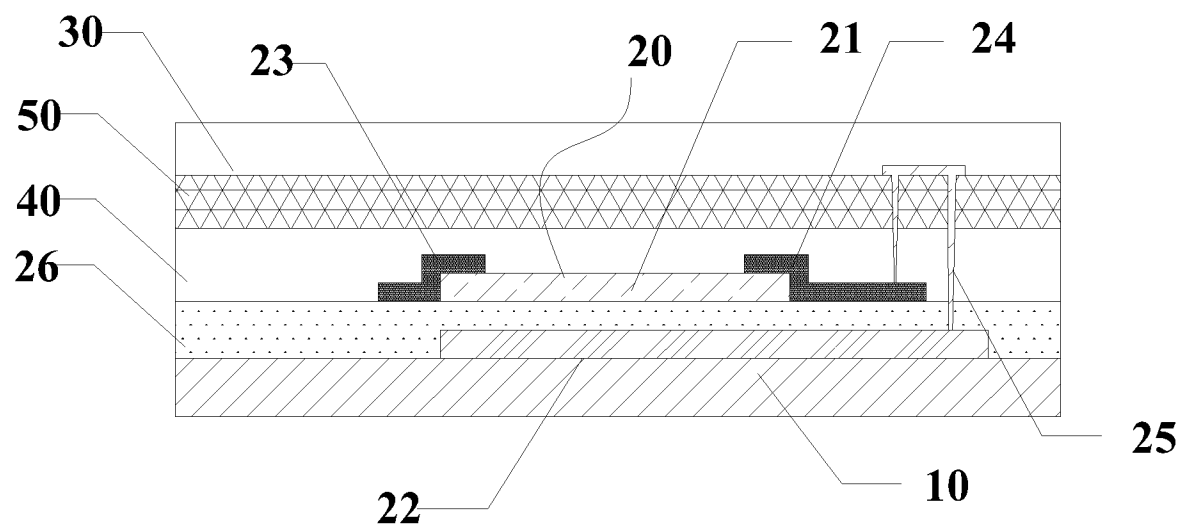


图 5

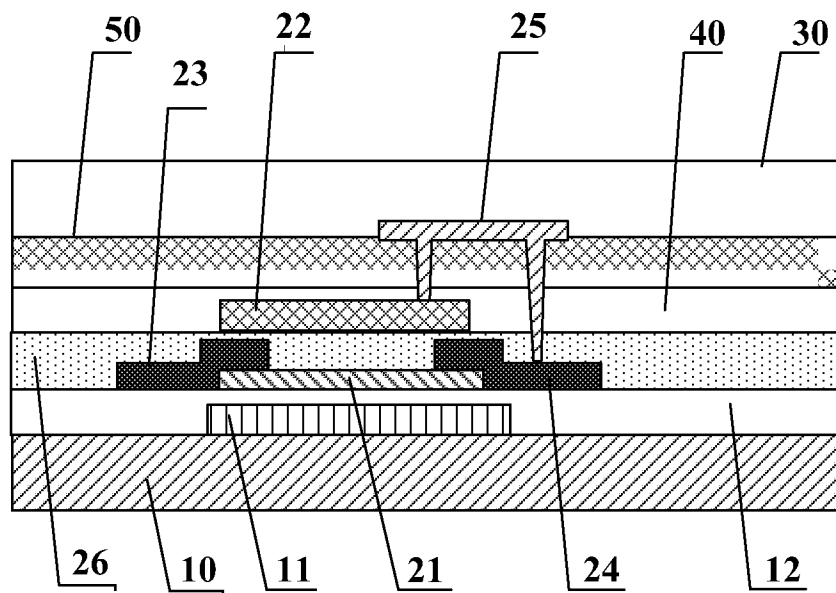


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/074374

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, SIPOABS, CNKI: array substrate discharge electric state ESD transpar+ gate insulat+ isolate+ dielectric open
via contact connect plat transparence oxide transparence conducting ITO gate oxide source drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 2006-0021530 A (BOE HYDIS TECHNOLOGY CO., LTD.) 08 March 2006	1, 7, 8
Y	(08.03.2006) description, page 3, line 27 to page 5, line 2, figures 1a-1f	4-6, 11, 12
Y	CN 102902095 A (BOE TECHNOLOGY GROUP CO., LTD.) 30 January 2013 (30.01.2013) description, paragraphs [0038]-[0043], fig. 2	4-6, 11, 12
A	CN 1591137 A (YUODA PHOTOELECTRIC CO., LTD.) 09 March 2005 (09.03.2005) the whole document	1-12
A	CN 1797159 A (LG PHILIPS LCD CO., LTD.) 05 July 2006 (05.07.2006) the whole document	1-12
A	US 6642086 B2 (LIM et al.) 04 November 2003 (04.11.2003) the whole document	1-12

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 28 October 2013 (28.10.2013)	Date of mailing of the international search report 07 November 2013 (07.11.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer CHE, Xiaolu Telephone No. (86-10) 62411843

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/074374

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
KR 2006-0021530 A	08.03.2006	None	
CN 102902095 A	30.01.2013	None	
CN 1591137 A	09.03.2005	CN 100368904 C	13.02.2008
CN 1797159 A	05.07.2006	DE 102005056703 B4	05.01.2012
		US 2006145157 A1	06.07.2006
		JP 4965853 B2	04.07.2012
		JP 2006191015 A	20.07.2006
		CN 100421017 C	24.09.2008
		DE 102005056703 A1	17.08.2006
		KR 100654569 B1	05.12.2006
		KR 20060077721 A	05.07.2006
US 6642086 B2	04.11.2003	US 2002171083 A1	21.11.2002

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/074374

Continuation of: **CLASSIFICATION OF SUBJECT MATTER**

H01L 27/12 (2006.01) i

H01L 21/77 (2006.01) i

G02F 1/1362 (2006.01) n

国际检索报告

国际申请号

PCT/CN2013/074374

A. 主题的分类

参见 附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS,CNTEXT,DWPI,SIPOABS,CNKI:阵列基板 静电 ESD 透明氧化 透明导电 ITO 栅氧化 栅介电 栅绝缘 孔开口 源漏 连接 接触 平坦 array substrate discharge electric state transpar+ gate insulat+ isolate+ dielectric open via contact connect plat

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	KR2006-0021530 A (BOE HYDIS TECHNOLOGY CO LTD) 08.3 月 2006	1,7-8
Y	(08.03.2006) 说明书第 3 页第 27 行到第 5 页第 2 行, 附图 1a-1f	4-6,11-12
Y	CN102902095 A (京东方科技集团股份有限公司) 30.1 月 2013 (30.01.2013) 说明书第[0038]-[0043]段, 附图 2	4-6,11-12
A	CN1591137 A (友达光电股份有限公司) 09.3 月 2005 (09.03.2005) 全文	1-12
A	CN1797159 A (LG. 飞利浦 LCD 株式会社) 05.7 月 2006 (05.07.2006) 全文	1-12
A	US6642086 B2 (LIM 等) 04.11 月 2003 (04.11.2003) 全文	1-12



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

28.10 月 2013 (28.10.2013)

国际检索报告邮寄日期

07.11 月 2013 (07.11.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

车晓璐

电话号码: (86-10) **62411843**

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2013/074374

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
KR2006-0021530 A	08.03.2006	无	
CN102902095 A	30.01.2013	无	
CN1591137 A	09.03.2005	CN100368904 C	13.02.2008
CN1797159 A	05.07.2006	DE102005056703 B4	05.01.2012
		US2006145157 A1	06.07.2006
		JP4965853 B2	04.07.2012
		JP2006191015 A	20.07.2006
		CN100421017 C	24.09.2008
		DE102005056703 A1	17.08.2006
		KR100654569 B1	05.12.2006
		KR20060077721 A	05.07.2006
US6642086 B2	04.11.2003	US2002171083 A1	21.11.2002

续: A. 主题的分类

H01L 27/12 (2006.01) i

H01L 21/77 (2006.01) i

G02F 1/1362 (2006.01) n