

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5918128号
(P5918128)

(45) 発行日 平成28年5月18日(2016.5.18)

(24) 登録日 平成28年4月15日(2016.4.15)

(51) Int.Cl. F I
HO 4 N 19/593 (2014.01) HO 4 N 19/593
HO 4 N 19/463 (2014.01) HO 4 N 19/463
HO 4 N 19/70 (2014.01) HO 4 N 19/70

請求項の数 10 (全 25 頁)

(21) 出願番号	特願2012-517501 (P2012-517501)	(73) 特許権者	501263810
(86) (22) 出願日	平成22年6月29日 (2010.6.29)		トムソン ライセンシング
(65) 公表番号	特表2012-532489 (P2012-532489A)		Thomson Licensing
(43) 公表日	平成24年12月13日 (2012.12.13)		フランス国, 92130 イッシー レ
(86) 国際出願番号	PCT/US2010/001862		ムーリノー, ル ジャンヌ ダルク,
(87) 国際公開番号	W02011/002504		1-5
(87) 国際公開日	平成23年1月6日 (2011.1.6)		1-5, rue Jeanne d' A
審査請求日	平成25年6月17日 (2013.6.17)		rc, 92130 ISSY LES
(31) 優先権主張番号	61/222,177		MOULINEAUX, France
(32) 優先日	平成21年7月1日 (2009.7.1)	(74) 代理人	100134094
(33) 優先権主張国	米国 (US)		弁理士 倉持 誠
		(74) 代理人	100121175
			弁理士 石井 たかし
		(74) 代理人	100123629
			弁理士 吹田 礼子

最終頁に続く

(54) 【発明の名称】 ビデオエンコーダおよびデコーダについての大きなブロックにつきイントラ予測を信号伝達する方法および装置

(57) 【特許請求の範囲】

【請求項 1】

ピクチャ内の少なくとも一つの大きなブロックにつき、イントラ予測が実行されるということを決定することにより、ピクチャデータを復号化するビデオデコーダを備え、前記イントラ予測は、基本的符号化単位サイズを決定し、該基本的符号化単位サイズにつき、単一の空間イントラ・パーティション・タイプを決定することにより決定され、前記単一の空間イントラ・パーティション・タイプは、複数の空間イントラ・パーティション・タイプから決定可能であり、

前記少なくとも一つの大きなブロックは、前記基本的符号化単位サイズのブロックサイズより大きい大きなブロックサイズを有し、前記大きなブロックサイズは、 32×32 以上であり、

前記イントラ予測は、階層的なレイヤイントラ予測であり、前記大きなブロックサイズから前記基本的符号化単位サイズへの分割の信号伝達を行うことと、前記基本的符号化単位サイズから前記大きなブロックサイズへの結合の信号伝達を行うこととの少なくとも一方を選択および実行することにより、前記少なくとも一つの大きなブロックについて実行される、装置。

【請求項 2】

前記複数の空間イントラ・パーティション・タイプの各々については、複数の利用可能なイントラ予測モードのうち最も頻繁に使用される特定のイントラ予測モードに対し、より高い優先度が割り当てられる、請求項 1 に記載の装置。

【請求項 3】

前記大きなブロックサイズが適宜、決定される、請求項 1 に記載の装置。

【請求項 4】

空間イントラ・パーティション・タイプテーブルおよびイントラ予測モードテーブルの少なくとも一つが事前に格納され、前記ビデオデコーダにより使用されて、前記少なくとも一つの大きなブロックを復号化し、前記少なくとも一つの大きなブロックは、対応するエンコーダにより、その場所に事前に格納されている前記空間イントラ・パーティション・タイプテーブルおよび前記イントラ予測モードテーブルの少なくとも一つを使用して、事前に符号化されている、請求項 1 に記載の装置。

【請求項 5】

空間イントラ・パーティション・タイプテーブルおよびイントラ予測モードテーブルの少なくとも一つは、一つ以上のハイレベル・シンタックス要素を使用して前記ビデオデコーダにより受信され、前記ビデオデコーダにより使用されて、前記少なくとも一つの大きなブロックを復号化する、請求項 1 に記載の装置。

【請求項 6】

ピクチャ内の少なくとも一つの大きなブロックにつき、イントラ予測が実行されるということを決定することにより、ピクチャデータを復号化するステップを備え、前記イントラ予測は、基本的符号化単位サイズを決定し、該基本的符号化単位サイズにつき、単一の空間イントラ・パーティション・タイプを決定することにより決定され、前記単一の空間イントラ・パーティション・タイプは、複数の空間イントラ・パーティション・タイプから決定可能であり、

前記少なくとも一つの大きなブロックは、前記基本的符号化単位サイズのブロックサイズより大きい大きなブロックサイズを有し、前記大きなブロックサイズは、 32×32 以上であり、

前記イントラ予測は、階層的なレイヤイントラ予測であり、前記大きなブロックサイズから前記基本的符号化単位サイズへの分割の信号伝達を行うことと、前記基本的符号化単位サイズから前記大きなブロックサイズへの結合の信号伝達を行うこととの少なくとも一方を選択および実行することにより、前記少なくとも一つの大きなブロックについて実行される、ビデオデコーダにおける方法。

【請求項 7】

前記複数の空間イントラ・パーティション・タイプの各々については、複数の利用可能なイントラ予測モードの中から、最も頻繁に使用される特定のイントラ予測モードのうちより高い優先度が割り当てられる、請求項 6 に記載の方法。

【請求項 8】

前記大きなブロックサイズが適宜、決定される、請求項 6 に記載の方法。

【請求項 9】

空間イントラ・パーティション・タイプテーブルおよびイントラ予測モードテーブルの少なくとも一つが事前に格納され、前記ビデオデコーダにより使用されて、前記少なくとも一つの大きなブロックを復号化し、前記少なくとも一つの大きなブロックは、対応するエンコーダにより、その場所に事前に格納されている前記空間イントラ・パーティション・タイプテーブルおよび前記イントラ予測モードテーブルの少なくとも一つを使用して、事前に符号化されている、請求項 6 に記載の方法。

【請求項 10】

空間イントラ・パーティション・タイプテーブルおよびイントラ予測モードテーブルの少なくとも一つは、一つ以上のハイレベル・シンタックス要素を使用して前記ビデオデコーダにより受信され、前記ビデオデコーダにより使用されて、前記少なくとも一つの大きなブロックを復号化する、請求項 6 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本願は、米国特許仮出願番号第61/222,177号(2009年7月1日出願、代理人整理番号PU090082)の利益を主張し、当該出願は参照されることにより、その内容は全体として本明細書に参考として包含されている。

【0002】

本発明の原理は、一般にビデオ符号化および復号化に関し、より詳細にはビデオエンコーダおよびデコーダについての大きなブロックにつきイントラ予測を信号伝達する方法および装置に関する。

【背景技術】

【0003】

直近のビデオ符号化標準は、種々の符号化モードを採用し、空間ドメインと時間ドメインの相関を効果的に減少させている。例えば、国際標準化機構/国際電気標準会議(ISO/IEC)動画専門グループ4(MPEG-4; Moving Picture Experts Group-4)のパート10、高度動画像圧縮符号化(AVC; Advanced Video Coding)規格/国際電気通信連合電気通信セクタ(ITU-T)H.264勧告(以下「MPEG-4 AVD規格」という)においては、動画はフレーム内符号化またはフレーム間符号化が可能である。イントラピクチャでは、すべてのマクロブロックは、イントラ・モードで符号化されるため、ピクチャ内の空間的相関を活用することができる。イントラ・モードは以下の3つのタイプに分類できる: INTRA 4x4, INTRA 8x8, INTRA 16x16である。INTRA 4x4およびINTRA 8x8は9つのINTRA予測モードに対応しており、INTRA 16x16は4つのintra予測モードに対応している。

【0004】

INTRA 4x4およびINTRA 8x8は、以下の9つのイントラ予測モードに対応している: 垂直、水平、DC、斜め左下、斜め右下、垂直左、水平下、垂直右、水平上予測である。INTRA 16x16は、以下の4つのイントラ予測モードに対応している: 垂直、水平、DC、平面予測である。図1を参照すると、INTRA 4x4およびINTRA 8x8予測モードは、全体的に参照番号100により示されている。図1では、参照番号0は垂直予測モードを示しており、参照番号1は水平予測モードを示しており、参照番号3は斜め左下モードを示しており、参照番号4は斜め右下予測モードを示しており、参照番号5は垂直右予測モードを示しており、参照番号6は水平下予測モードを示しており、参照番号7は、垂直左予測モードを示しており、参照番号8は水平上予測モードを示している。DCモードはINTRA 4x4およびINTRA 8x8予測モードの一部であり、図示されていない。図2を参照すると、INTRA 16x16予測モードは、参照番号200により全体的に示されている。図2においては、参照番号0が垂直予測モードを示しており、参照番号1が水平予測モード1を示しており、参照番号3が平面予測モードを示している。DCモードは、INTRA 16x16予測モードの一部であり、図示されていない。

【0005】

INTRA 4x4は、4x4離散コサイン変換(DCT)を使用している。INTRA 8x8は、8x8変換を使用している。INTRA 16x16は、縦続型4x4変換を使用している。信号伝達のために、INTRA 4x4およびINTRA 8x8は、同一のマクロブロックタイプ(mb_type)0を共有し、変換サイズフラグ(transform_8x8_size_flag)により区別される。そしてINTRA 4x4またはINTRA 8x8のイントラ予測モードの選択は、必要であれば、おそらく残りのモードと共に最も確からしいモードにより信号伝達される。INTRA 16x16については、符号化ブロックパターン(cbp)タイプと共に、すべてのイントラ予測モードがmb_typeで信号伝達され、これはmb_type値1~24を使用している。表1は、イントラ符号化スライス(イスライス)についてのマクロブロックタイプのための詳細な信号伝達を示している。16x16より大きなブロックサイズがイントラ予測に使用される

場合は、以下のようにいくつかの起こりうる課題に直面する。

【 0 0 0 6 】

(1) 単に M P E G 4 A V C 規格の `mb_type` を単に拡張することにより、I N T R A 3 2 × 3 2 または I N T R A 6 4 × 6 4 予測が追加される場合、これらの 2 つの新たなモードに過剰なオーバーヘッドを引きおこし、さらにイントラ予測の階層型を許容しない。イントラ予測の階層型の具体例は以下のように説明される。3 2 × 3 2 ブロックが大きなブロックとして使用され、サブパーティションを 1 6 × 1 6 として許容すると、各 1 6 × 1 6 サブパーティションについては、I N T R A 4 × 4、I N T R A 8 × 8、I N T R A 1 6 × 1 6 が許容されるべきである。

(2) 縦続型変換の代わりにより大きなサイズの変換 (1 6 × 1 6 変換など) が I N T R A 1 6 × 1 6 に使用されると、現在の信号伝達は適用できない。

10

(3) 一つのイントラ・パーティション・タイプ内のイントラ予測モードにつき、種々な優先的扱いをする必要がある。

【 0 0 0 7 】

【表 1】

mb_type	Name of mb_type	transform_size_8x8_flag	MbPartPredMode (mb_type, 0)	Intra16x16-PredMode	CodedBlock-PatternChroma	CodedBlock-PatternLuma
0	I_NxN	0	Intra_4x4	na	Equation 7-33	Equation 7-33
0	I_NxN	1	Intra_8x8	na	Equation 7-33	Equation 7-33
1	I_16x16_0_0_0	na	Intra_16x16	0	0	0
2	I_16x16_1_0_0	na	Intra_16x16	1	0	0
3	I_16x16_2_0_0	na	Intra_16x16	2	0	0
4	I_16x16_3_0_0	na	Intra_16x16	3	0	0
5	I_16x16_0_1_0	na	Intra_16x16	0	1	0
6	I_16x16_1_1_0	na	Intra_16x16	1	1	0
7	I_16x16_2_1_0	na	Intra_16x16	2	1	0
8	I_16x16_3_1_0	na	Intra_16x16	3	1	0
9	I_16x16_0_2_0	na	Intra_16x16	0	2	0
10	I_16x16_1_2_0	na	Intra_16x16	1	2	0
11	I_16x16_2_2_0	na	Intra_16x16	2	2	0
12	I_16x16_3_2_0	na	Intra_16x16	3	2	0
13	I_16x16_0_0_1	na	Intra_16x16	0	0	15
14	I_16x16_1_0_1	na	Intra_16x16	1	0	15
15	I_16x16_2_0_1	na	Intra_16x16	2	0	15
16	I_16x16_3_0_1	na	Intra_16x16	3	0	15
17	I_16x16_0_1_1	na	Intra_16x16	0	1	15
18	I_16x16_1_1_1	na	Intra_16x16	1	1	15
19	I_16x16_2_1_1	na	Intra_16x16	2	1	15
20	I_16x16_3_1_1	na	Intra_16x16	3	1	15
21	I_16x16_0_2_1	na	Intra_16x16	0	2	15
22	I_16x16_1_2_1	na	Intra_16x16	1	2	15
23	I_16x16_2_2_1	na	Intra_16x16	2	2	15
24	I_16x16_3_2_1	na	Intra_16x16	3	2	15
25	I_PCM	na	na	na	na	na

【 0 0 0 8 】

MPEG 4 AVC 規格の拡張における大きな動作（インター）パーティションの信号伝達に関し、いくつかの先行技術アプローチが存在する。MPEG 4 AVC 規格の拡張において、どの程度大きな動作（インター）パーティションが信号伝達されるかの一つの具体例は、最初の先行技術アプローチに関して記載されている。最初の先行技術アプローチは、階層的符号化構造を使用して、 32×32 ブロックまたは 64×64 ブロックにつき、どのように信号伝達がなされるかを記載している。

【 0 0 0 9 】

10

20

30

40

50

さらに、MPEG 4 AVC規格の既存の動作パーティションサイズ(16×16, 16×8, 8×16, 8×8, 8×4, 4×8, 4×4)に加え、32×32, 32×16, 16×32パーティションを使用して、MPEG 4 AVC規格の拡張につき、インター符号化も提案されてきた。図3を参照すると、32×32ブロックに使用される動作パーティションは、参照番号300により全体的に示されている。当該パーティションには、32×32, 32×16, 16×32, 16×16がある。16×16パーティションは更に、サイズ16×16, 16×8, 8×16, 8×8のパーティションに細分化できる。また8×8のパーティションは、サイズ8×8, 8×4, 4×8, 4×4のパーティションに更に細分化できる。

【0010】

各32×32のブロックについては、SKIPモードまたはDIRECTモードが、mb32__skip__flagを使用して、MPEG 4 AVC規格の他のモードについて行われたのと同様の態様で信号伝達される。さらにMPEG 4 AVC規格のM×N(M=8または16かつN=8または16)パーティションについての本来のmb__typeも、32×32ブロックの2M×2Nパーティションを信号伝達するためにも使用される。32×32のmb32__typeが、16×16パーティションが使用されることを示している場合、4つの16×16ブロックが、MPEG 4 AVC規格のmacroblock__layer()と同一のシンタックス要素を使用することにより、ラスタスキャン順序で信号伝達される。各16×16ブロックは、四分木手法で更にサイズ16×16からサイズ4×4に至るまで分割することができる。

【0011】

64×64のマクロブロックサイズについては、32×32ブロックで使用されるパーティションに加え、以下のパーティションが追加される。すなわち64×64、64×32、32×64である。よってもう一つの階層的なレイヤが、ブロックサイズ32×32に加え、マクロブロックパーティションに追加される。64×64マクロブロックの4M×4Nマクロブロックパーティションを信号伝達するために、MPEG 4 AVC規格のM×N(M=8または16かつN=8または16)マクロブロックパーティションについての本来のmb__typeが使用される。32×32マクロブロックパーティションが64×64ブロックに使用されると、各32×32ブロックは、上記で記載したのと同様の態様で処理される。

【0012】

しかし既存の文献は、大きいイントラ・モードが、32×32と等しいか、それより大きいサイズのパーティションブロックを伴うイントラ予測を意味するように定義される場合、どの程度の大きさのイントラ・モードが信号伝達されるかの問題を扱っていない。

【発明の概要】

【0013】

先行技術の上記かつ他の欠点および不都合は、本発明の原理により対処されており、これはビデオエンコーダおよびデコーダについての大きなブロックにつきイントラ予測を信号伝達する方法および装置を対象としている。

【0014】

本発明の原理の一つの態様によると、一つの装置が提供されている。当該装置は、少なくとも一つの大きなブロックにつきイントラ予測を信号伝達することにより、ピクチャ内の少なくとも一つの大きなブロックにつき、ピクチャデータを符号化するビデオエンコーダを含んでいる。イントラ予測は、基本的符号化単位サイズを選択し、基本的符号化単位サイズについての単一の空間イントラ・パーティション・タイプを割り当てることにより信号伝達される。単一の空間イントラ・パーティション・タイプは、複数の空間イントラ・パーティション・タイプから選択可能である。少なくとも一つの大きなブロックは、基本的符号化単位のブロックサイズより大きい、大きなブロックサイズを有する。イントラ予測は、階層的なレイヤイントラ予測であり、大きなブロックサイズから基本的符号化単位サイズに分割すること、および基本的符号化単位サイズから大きなブロックサイズに結

10

20

30

40

50

合することの少なくとも一つにより、少なくとも一つの大きなブロックにつき実行される。

【 0 0 1 5 】

本発明の原理の別の態様によれば、ビデオエンコーダにおける一つの方法が提供される。当該方法は、少なくとも一つの大きなブロックにつきイントラ予測を信号伝達することにより、ピクチャ内の少なくとも一つの大きなブロックにつき、ピクチャデータを符号化するステップを含んでいる。基本的符号化単位サイズを選択し、基本的符号化単位サイズについての単一の空間イントラ・パーティション・タイプを割り当てることにより、イントラ予測は信号伝達される。単一の空間イントラ・パーティション・タイプは、複数の空間イントラ・パーティション・タイプから選択可能である。少なくとも一つの大きなブロックは、基本的符号化単位のブロックサイズより大きい、大きなブロックサイズを有する。イントラ予測は、階層的なレイヤイントラ予測であり、大きなブロックサイズから基本的符号化単位サイズに分割すること、および基本的符号化単位サイズから大きなブロックサイズに結合することの少なくとも一つにより、少なくとも一つの大きなブロックにつき実行される。

10

【 0 0 1 6 】

本発明の原理のさらに別の態様によれば、一つの装置が提供される。当該装置は、イントラ予測が少なくとも一つの大きなブロックにつき実行されるべきことを決定することにより、ピクチャ内の少なくとも一つの大きなブロックにつき、ピクチャデータを復号化するビデオデコーダを含んでいる。イントラ予測は、基本的符号化単位サイズを決定し、基本的符号化単位サイズにつき、単一の空間イントラ・パーティション・タイプを決定することにより、決定される。単一の空間イントラ・パーティション・タイプは、複数の空間イントラ・パーティション・タイプから決定可能である。少なくとも一つの大きなブロックは、基本的符号化単位のブロックサイズより大きい、大きなブロックサイズを有する。イントラ予測は、階層的なレイヤイントラ予測であり、大きなブロックサイズから基本的符号化単位サイズに分割すること、および基本的符号化単位サイズから大きなブロックサイズに結合することの少なくとも一つにより、少なくとも一つの大きなブロックにつき実行される。

20

【 0 0 1 7 】

本発明の原理のさらに別の態様によれば、ビデオデコーダにおける一つの方法が提供される。当該方法は、イントラ予測が少なくとも一つの大きなブロックにつき実行されるべきことを決定することにより、ピクチャ内の少なくとも一つの大きなブロックにつき、ピクチャデータを復号化するステップを含んでいる。イントラ予測は、基本的符号化単位サイズを決定し、基本的符号化単位サイズにつき、単一の空間イントラ・パーティション・タイプを決定することにより、決定される。単一の空間イントラ・パーティション・タイプは、複数の空間イントラ・パーティション・タイプから決定可能である。少なくとも一つの大きなブロックは、基本的符号化単位のブロックサイズより大きい、大きなブロックサイズを有する。イントラ予測は、階層的なレイヤイントラ予測であり、大きなブロックサイズから基本的符号化単位サイズに分割すること、および基本的符号化単位サイズから大きなブロックサイズに結合することの少なくとも一つにより、少なくとも一つの大きなブロックにつき実行される。

30

40

【 0 0 1 8 】

本発明の原理の上記および他の態様、特徴および利点は、添付図面に関連して解釈される例示的实施形態の以下の詳細な説明から明らかになる。

【 図面の簡単な説明 】

【 0 0 1 9 】

本発明の原理は、以下の例示的図面によりより良く理解できる。

【 図 1 】 本発明の原理を適用できる I N T R A 4 × 4 および I N T R A 8 × 8 予測モードを示す概略図である。

【 図 2 】 本発明の原理を適用できる I N T R A 1 6 × 1 6 予測モードを示す概略図である

50

。

【図 3】本発明の原理を適用できる 32×32 ブロックに使用する動作パーティションを示す概略図である。

【図 4】本発明の原理の実施形態により、本発明の原理を適用できる例示的ビデオエンコーダのブロック図である。

【図 5】本発明の原理の実施形態により、本発明の原理を適用できる例示的ビデオデコーダのブロック図である。

【図 6】本発明の原理の実施形態により、本発明の原理を適用できる例示的階層的パーティションのブロック図である。

【図 7 A】本発明の原理の実施形態により、大きなブロックについて、イントラ予測を信号伝達することにより、大きなブロックについてピクチャデータを符号化する例示的方法の流れ図を示す。

10

【図 7 B】本発明の原理の実施形態により、大きなブロックについて、イントラ予測を信号伝達することにより、大きなブロックについてピクチャデータを符号化する例示的方法の流れ図を示す。

【図 8 A】本発明の原理の実施形態により、イントラ予測が大きなブロックに適用されるべきことを決定することにより、大きなブロックについてピクチャデータを復号化する例示的方法を示す流れ図を示す。

【図 8 B】本発明の原理の実施形態により、イントラ予測が大きなブロックに適用されるべきことを決定することにより、大きなブロックについてピクチャデータを復号化する例示的方法を示す流れ図を示す。

20

【発明を実施するための形態】

【0020】

本発明の原理は、ビデオエンコーダおよびビデオデコーダについての大きなブロックにつきイントラ予測を信号伝達する方法および装置を対象としている。

【0021】

本説明は、本発明の原理を記述している。よって当業者は、種々の構成配置を考案し、本明細書に明示的に記述されておらず、または図示されていない場合であっても、本発明の原理を採用してその趣旨および範囲に含めることが可能であることが理解される。

【0022】

30

本明細書に列挙されたすべての具体例および条件付文言は、技術を進歩させるために発明者（ら）が提供する本発明の原理および概念を理解する際に、読み手を助けるという教育目的を有しており、特に列挙されたかかる具体例および条件に限定することがないものとして解釈されるべきである。

【0023】

また、本発明の原理の原則、態様および実施形態を列挙する本明細書中のすべての記述、ならびにこれらの特定の具体例は、これらの構造的かつ機能的な均等物の双方を包含することを意図としている。また、かかる均等物は、現在知られており、かつ将来開発される均等物、すなわち構造に関わらず、同一の機能を発揮する開発されたいずれの構成要件も包含することを意図している。

40

【0024】

よって、例えば、本明細書で提示されたブロック図は、本発明の原理を具体化する例示的回路の概念図を表現していることが、当業者により理解されるであろう。同様に、いずれのフローチャート、流れ図、状態遷移図、擬似コード等も、コンピュータまたはプロセッサが明示的に示されているか否かにかかわらず、コンピュータ読み取り可能媒体に十分に表現することができ、コンピュータまたはプロセッサによりそのように実行される種々のプロセスを表現することが理解されるであろう。

【0025】

図面に示された種々の要素の機能は、専用ハードウェアならびに適切なソフトウェアと関連してソフトウェアを実行できるハードウェアの使用を介して提供できる。プロセッサに

50

より提供される場合、機能は単一の専用プロセッサにより提供されてもよいし、単一の共有プロセッサにより提供されてもよいし、一部を共有できる複数の個別のプロセッサにより提供されてもよい。また、「プロセッサ」または「コントローラ」の文言の明示的使用は、ソフトウェアを実行することができるハードウェアのみを言及するように解釈されるべきではなく、黙示的にデジタル信号プロセッサ(DSP)ハードウェア、ソフトウェアを記憶する読み出し専用メモリ(ROM)、ランダムアクセスメモリ(RAM)、不揮発性記憶装置を含むが、これに限定されない。

【0026】

従来型および/またはカスタムの他のハードウェアが含まれてもよい。同様に、図示されたいずれのスイッチも概念的に過ぎない。その機能は、プログラムロジックの動作を介して、専用のロジックを介して、プログラム制御および専用のロジックの相互作用を介して、あるいは手動でも実行でき、特定の技術は、コンテキストからより詳細に理解されるように、実施者により選択可能である。

【0027】

本明細書の請求項において、特定の機能を実行するための手段として表わされる任意の要素は、例えば、a)その機能を実行する複数の回路素子の組み合わせ、またはb)ファームウェア、マイクロコードなどを含む任意の形態のソフトウェアであって、その機能を実行する当該ソフトウェアを実行するための適切な回路と組み合わせられたものなどを含め、当該機能を実行する任意の方法を含むことが意図されている。請求項によって定義される本発明の原理は、列挙される様々な手段によって提供される機能が、請求項によって提唱される手法で組み合わせられ、かつ結合されるという事実に属する。したがって、これらの機能を提供することができるいずれの手段も、本明細書に示されているものと均等であるとみなされる。

【0028】

明細書中の本発明の原理の「一つの実施形態」または「ある実施形態」並びにその他の変形に対する言及は、実施形態との関連で記載される特定の特徵、構造、特性等が、本発明の原理の少なくとも一つの実施形態に含まれることを意味している。よって、明細書全体を通して様々な箇所に現れている「一つの実施形態においては」または「ある実施形態においては」のフレーズの出現、並びに他のいずれの変形も、必ずしも全てが同一の実施形態に言及しているものではない。

【0029】

例えば、「A/B」、「Aおよび/またはB」、「AおよびBの少なくとも一つ」という場合の以下の「/」、「および/または」、「および「少なくとも一つの」のいずれかの使用は、最初に挙げたオプション(A)のみの選択を含むか、2番目に列記されたオプション(B)のみの選択を含むか、双方のオプション(AおよびB)の選択を意図している」と理解されるべきである。他の具体例としては、「A、Bおよび/またはC」と「A、B、Cのうち少なくとも一つ」の場合は、当該フレーズは、最初に挙げられたオプション(A)のみの選択を含むか、第2番目に挙げられたオプション(B)のみの選択を含むか、第3番目に挙げられたオプション(C)のみの選択を含むか、第1および第2番目に挙げられたオプション(AおよびB)のみの選択を含むか、第1および第3番目に挙げられたオプション(AおよびC)のみの選択を含むか、第2および第3番目に挙げられたオプション(BおよびC)のみの選択を含むか、3つすべてのオプション(AおよびBおよびC)の選択を含むことを意図している。上記は、当該技術分野および関連する技術分野の当業者に直ちに明かなように、列挙された多くの項目についても拡張適用できる。

【0030】

さらに、本発明の原理の1つ以上の実施形態が、MPEG 4 AVC規格の拡張に関して、本明細書に記載されており、一方で本発明の原理は、この拡張および/またはこの規格にのみ限定されるものではないため、本発明の原理の趣旨を維持しつつ、他のビデオ符号化標準、勧告、およびその拡張に関しても利用できる点が理解されるべきである。

【0031】

本明細書で使用される際、「ハイレベル・シンタックス」は、マクロブロックレイヤよりも上の階層に存在するビットストリーム内に存在するシンタックスをいう。例えば、本明細書において使用されているハイレベル・シンタックスは、スライスヘッダレベルのシンタックス、付加拡張情報 (S E I) レベルのシンタックス、ピクチャパラメータセット (P P S) レベルのシンタックス、シーケンスパラメータセット (S P S) レベルのシンタックス、及びネットワーク抽象化レイヤ (N A L) ユニットヘッダレベルのシンタックスを指す場合もあるが、これらに限定されない。

【 0 0 3 2 】

さらに本明細書で使用される際に、「ピクチャ」および「画像」の用語は、互換可能に使用され、静止画またはビデオシーケンスからのピクチャを指す。周知のように、ピクチャはフレームあるいはフィールドであってもよい。

10

【 0 0 3 3 】

さらに本明細書で使用される際に、「信号伝達」の用語は、対応するデコーダに何かを示すことを指す。例えば、いずれの特定の予測タイプ (例えば、イントラまたはインター) がエンコーダ側で使用されたかをデコーダに知らせるために、(本明細書で定義される) 特定の大きなブロックにイントラ予測が使用されるように指定されることをエンコーダは信号伝達することができる。このように、同一の予測タイプがエンコーダ側とデコーダ側の双方で使用できる。よって例えば、単にデコーダが当該大きなブロックにつき同一の予測タイプを知り、かつこれを選択できるように、当該大きなブロック上でイントラ予測が実行されるべきである、という特定の大きなブロックに関する表示 (すなわち信号) を、エンコーダは送信できる。信号伝達は種々の態様で実現できることが理解されるべきである。例えば、対応するデコーダに情報を信号伝達するために、1つ以上のシンタックス要素、フラグ等を使用してもよい。

20

【 0 0 3 4 】

図 4 を参照すると、本発明の原理の実施形態に従って本発明の原理が適用できる例示的ビデオエンコーダは、参照番号 4 0 0 により全体的に表示されている。

【 0 0 3 5 】

ビデオエンコーダ 4 0 0 は、コンバイナ 4 8 5 の非反転入力と信号通信する出力を備えたフレーム順序付けバッファ 4 1 0 を含む。コンバイナ 4 8 5 の出力は、変換器および量子化器 4 2 5 の第 1 の入力と信号通信により接続されている。変換器および量子化器 4 2 5 の出力は、エントロピーコーダ 4 4 5 の第 1 の入力、ならびに逆変換器および逆量子化器 4 5 0 の第 1 の入力と信号通信により接続されている。エントロピーコーダ 4 4 5 の出力は、コンバイナ 4 9 0 の第 1 の非反転入力と信号通信により接続されている。コンバイナ 4 9 0 の出力は、出力バッファ 4 3 5 の第 1 の入力と信号通信により接続されている。

30

【 0 0 3 6 】

エンコーダコントローラ 4 0 5 の第 1 の出力は、フレーム順序付けバッファ 4 1 0 の第 2 の入力と、逆変換器および逆量子化器 4 5 0 の第 2 の入力と、ピクチャタイプ決定モジュール 4 1 5 の入力と、マクロブロック (m a c r o b l o c k) タイプ (M B タイプ) 決定モジュール 4 2 0 の入力と、超イントラ予測モジュール 4 6 0 の第 2 の入力と、デブロッキングフィルタ 4 6 5 の第 2 の入力と、動き補償手段 4 7 0 の第 1 の入力と、動き予測手段 4 7 5 の第 1 の入力と、参照ピクチャバッファ 4 8 0 の第 2 の入力と信号通信により接続されている。

40

【 0 0 3 7 】

エンコーダコントローラ 4 0 5 の第 2 の出力は、付加拡張情報 (S E I) インサータ 4 3 0 の第 1 の入力と、変換器および量子化器 4 2 5 の第 2 の入力と、エントロピーコーダ 4 4 5 の第 2 の入力と、出力バッファ 4 3 5 の第 2 の入力と、シーケンスパラメータセット (S P S) およびピクチャパラメータセット (P P S) インサータ 4 4 0 の入力と信号通信により接続されている。

【 0 0 3 8 】

ピクチャタイプ決定モジュール 4 1 5 の第 1 の出力は、フレーム順序付けバッファ 4 1

50

0の第3の入力と信号通信により接続されている。ピクチャタイプ決定モジュール415の第2の出力は、マクロブロック-タイプ決定モジュール420の第2の入力と信号通信により接続されている。

【0039】

シーケンスパラメータセット(SPS)およびピクチャパラメータセット(PPS)インサータ440の出力は、コンバイナ490の第3の非反転入力と信号通信により接続されている。

【0040】

逆量子化器および逆変換器450の出力は、コンバイナ419の第1の非反転入力と信号通信により接続されている。コンバイナ419の出力は、超イントラ予測モジュール460の第1の入力と、デブロッキングフィルタ465の第1の入力と信号通信により接続されている。デブロッキングフィルタ465の出力は、参照ピクチャバッファ480の第1の入力と信号通信により接続されている。参照ピクチャバッファ480の出力は、動き予測手段475の第2の入力と信号通信により接続されている。動き予測手段475の第1の出力は、動き補償手段470の第2の入力と信号通信により接続されている。動き予測手段475の第2の出力は、エントロピーコード445の第3の入力と信号通信により接続されている。

【0041】

動き補償手段470の出力は、スイッチ497の第1の入力と信号通信により接続されている。超イントラ予測モジュール460の出力は、スイッチ497の第2の入力と信号通信により接続されている。マクロブロック-タイプ決定モジュール420の出力は、スイッチ497の第3の入力と信号通信により接続されている。スイッチ497の第3の入力は、(制御入力、すなわち第3の入力と比較して)スイッチの「データ」入力が、動き補償手段470または超イントラ予測モジュール460により提供されるべきか否かを決定する。スイッチ497の出力は、コンバイナ419の第2の非反転入力およびコンバイナ485の反転入力と信号通信により接続されている。

【0042】

フレーム順序付けバッファ410およびエンコーダコントローラ405の入力は、入力ピクチャ401を受信するためのエンコーダ400の入力として利用可能である。また、付加拡張情報(SEI)インサータ430の入力は、メタデータを受信するためのエンコーダ400の入力として利用可能である。出力バッファ435の出力は、ビットストリームを出力するためのエンコーダ400の出力として利用可能である。

【0043】

図5を参照すると、本発明の原理の実施形態により本発明の原理が適用可能な例示的ビデオデコーダが、参照番号500により全体的に示されている。

【0044】

ビデオデコーダ500は、エントロピーデコーダ545の第1の入力と信号通信により接続されている出力を備えた入力バッファ510を含んでいる。エントロピーデコーダ545の第1の出力は、逆変換器および逆量子化器550の第1の入力と信号通信により接続されている。逆変換器および逆量子化器550の出力は、コンバイナ525の第2の非反転入力と信号通信により接続されている。コンバイナ525の出力は、デブロッキングフィルタ565の第2の入力と超イントラ予測モジュール560の第1の入力と信号通信により接続されている。デブロッキングフィルタ565の第2の出力は、参照ピクチャバッファ580の第1の入力と信号通信により接続されている。参照ピクチャバッファ580の出力は、動き補償手段570の第2の入力と信号通信により接続されている。

【0045】

エントロピーデコーダ545の第2の出力は、動き補償手段570の第3の入力と、デブロッキングフィルタ565の第1の入力と信号通信により接続されている。エントロピーデコーダ545の第3の出力は、デコーダコントローラ505の入力と信号通信により接続されている。デコーダコントローラ505の第1の出力は、エントロピーデコーダ5

10

20

30

40

50

45の第2の入力と信号通信により接続されている。デコーダコントローラ505の第2の出力は、逆変換器および逆量子化器550の第2の入力と信号通信により接続されている。デコーダコントローラ505の第3の出力は、デブロッキングフィルタ565の第3の入力と信号通信により接続されている。デコーダコントローラ505の第4の出力は、スーパーイントラ予測モジュール560の第2の入力、動き補償手段570の第1の入力、参照ピクチャバッファ580の第2の入力と信号通信により接続されている。

【0046】

動き補償手段570の出力は、スイッチ597の第1の入力と信号通信により接続されている。超イントラ予測モジュール560の出力は、スイッチ597の第2の入力と信号通信により接続されている。スイッチ597の出力は、コンバイナ525の第1の非反転入力と信号通信により接続されている。

10

【0047】

入力バッファ510の入力は、入力ビットストリームを受信するためのデコーダ500の入力として利用可能である。デブロッキングフィルタ565の第1の出力は、出力ピクチャを出力するためのデコーダ500の出力として利用可能である。

【0048】

上記で言及したように、本発明の原理は、ビデオエンコーダおよびデコーダについての大きなブロックにつきイントラ予測を信号伝達する方法および装置を対象とする。また上記で言及したように、本発明の原理を適用できる大きなブロックは、 32×32 と等しいか、それより大きいサイズのブロックを意味するように定義される。

20

【0049】

ある実施形態においては、言及を容易にするために、イントラ予測の信号伝達を以下の2つの部分に分割する。`sip_type`（空間イントラ・パーティション・タイプであって、`INTRA4x4`、`INTRA8x8`、`INTRA16x16`等であってもよい）、および各`sip_type`内のイントラ予測モード（`intra_pred_mode`）（例えば、`INTRA4x4`および`INTRA8x8`内の9つのイントラ予測モードなど）である。特定の実施形態に関連してより詳細には、本発明の原理に関する以下の3つのルールを提案する。（1）基本的符号化単位を選択し、（2）最大イントラ予測タイプから分割すること、あるいは基本的符号化単位から結合することにより、階層的なレイヤイントラ予測を可能にし、（3）各`sip_type`について、最も頻繁に使用されるイントラ予測モード（`intra_pred_mode`）に対し、より高い優先度を割り当てる。ルール（1）に関しては、基本的符号化単位について複数の`sip_type`（空間イントラ・パーティション・タイプ）を認める。

30

【実施例1】

【0050】

ある実施形態においては、基本的符号化単位を 16×16 に設定する。この符号化単位では、`sip_type`（空間イントラ・パーティション・タイプ）を`INTRA4x4`、`INTRA8x8`、`INTRA16x16`とすることができる。さらに図6に示すような階層的なレイヤイントラ予測を可能にする。

【0051】

40

図6を参照すると、本発明の原理を適用できる例示的階層的パーティションは、参照番号600により全体的に示されている。この実施形態においては、最大ブロックサイズが 64×64 に設定されている場合、階層的なレイヤイントラ予測を可能にするために、「信号伝達の分割」を利用する。すなわち、ある実施形態では、`intra64_flag`を加える。`intra64_flag`が1に等しい場合は、`INTRA64x64`が使用される。あるいは`intra64_flag`が0に等しい場合は、 64×64 ブロック611を4つの 32×32 ブロック621に分割する。各 32×32 ブロック621については、`intra32_flag`を加える。`intra32_flag`が1に等しい場合は、`INTRA32x32`が使用される。あるいは`intra32_flag`が0に等しい場合は、 16×16 基本的符号化単位で認められるすべての`sip_type`（空間イ

50

ントラ・パーティション・タイプ)が(すなわち32×32ブロック621に関して)ここでも認められる。INTRA16×16のイントラ予測モード(intra_pred_mode)については、DCモード、方向モードがあり、後者はモード情報を送信することにより、異なるタイプの方向予測を可能にしている。よって、32×32イントラ予測ブロック621は、更に4つの16×16イントラ予測ブロック631に分割できる。4つの16×16イントラ予測ブロック631のうち1つ以上は、更にDCモード(図示せず)、16×16モード641、8×8モード651、4×4モード661に分割できる。この実施形態においては、以下の4つの16×16イントラ予測モード、すなわちDC、水平(HOR)、垂直(VER)、多方向(Multi-DIR)を有すると仮定する。イントラ予測モード(intra_pred_mode)は、各モードの優先度を考慮して信号伝達される。INTRA16×16においては、DCモードが他のモードより頻繁に使用されるため、INTRA16×16の前にsip_type(空間イントラ・パーティション・タイプ)テーブルにINTRA16×16_DCを加える。そして、INTRA16×16についてのイントラ予測モード(intra_pred_mode)の最優先モード(most_probable_mode)表示を削除する。その代わりに他の3つのモード(16×16、8×8、4×4)が確実に表示される。

【0052】

シンタックス

表2および表3にこの実施形態に関するシンタックスの具体例を記述する。特に表2は、本発明の原理の実施形態に従った16×16符号化ユニットについてのsip_type(空間イントラ・パーティション・タイプ)の例示的仕様を示し、表3は、本発明の原理の実施形態に従った例示的INTRA16×16予測モードを示している。INTRA32×32/INTRA64×64については、INTRA16×16と同一のモードが使用される。信号伝達については、DCが最も頻繁に使用されるため、最優先モード(most_probable_mode)表示をintra32_DC_flagおよびintra64_DC_flagで置き換える。そして他のイントラ予測モード(intra_pred_mode)を確実に符号化する。

【0053】

INTRA4×4およびINTRA8×8についてのイントラ予測モード(intra_pred_mode)信号伝達は、MPEG4 AVC規格におけるのと全く同様に実行することができるため、いずれの表にもこれらのモードは挙げないこととする。

【0054】

【表2】

sip_type(空間イントラ・パーティション・タイプ)	インデクス	二値化ビット
SIP8x8	0	0
SIP16x16DC	1	10
SIP16x16	2	110
SIP4x4	3	1110

【0055】

【表 3】

イントラ予測モード	インデクス	二値化ビット
VER	0	0
HOR	1	10
Multi-DIR	2	11

10

表 4 は、本発明の原理の実施形態により、例示的マクロブロックレイヤシンタックスを示している。

【 0 0 5 6 】

【表 4】

macroblock_layer() {	C	Descriptor
...		
intra64_flag	2	u(1)
if (intra64_flag==1) {		
intra64_DC_flag	2	u(1)
if (intra64_DC_flag==0) {		
intra_pred_mode_64	2	ue(v)/se(v)
if (intra_pred_mode_64==Multi-DIR) {		
intra64_multidir_index	2	ue(v)/se(v)
}		
}		
else {		
for (i32=0; i32<4; i32++) {		
intra32_flag[i32]	2	u(1)
if (intra32_flag[i32]==1) {		
intra32_DC_flag[i32]	2	u(1)
if (intra32_DC_flag[i32]==0) {		
intra_pred_mode_32[i32]	2	ue(v)/se(v)
if (intra_pred_mode_32[i32]==Multi-DIR) {		
intra32_multidir_index[i32]	2	ue(v)/se(v)
}		
}		
}		
}		
else {		
for (i16=0; i16<4; i16++) {		
sip_type[i16]	2	ue(v)/se(v)
if (sip_type[i16]==SIP16x16) {		
intra_pred_mode_16[i16]	2	ue(v)/se(v)
if (intra_pred_mode_16[i16]==Multi-DIR) {		
intra16_multidir_index[i16]	2	ue(v)/se(v)
}		
}		
else if (sip_type[i16]!=SIP16x16_DC) {		
mb_intra_prediction_syntax(); /*this is same as H.264*/		
}		
}		
...		
}		

【 0 0 5 7 】

表 4 の一部のシンタックス要素のセマンティクスは以下の通りである。

1 に等しい `Intra64_flag` は、`INTRA64x64` が使用されることを指定している。0 と等しい `Intra64_flag` は、`64x64` の大きなブロックが 3

10

20

30

40

50

2 × 3 2 の区画に更に分割されることを指定している。

1 に等しい `Intra64_DC_flag` は、`INTRA64 × 64` についての `intra_pred_mode` (イントラ予測モード) が DC モードであることを指定している。0 に等しい `Intra64_DC_flag` は、`INTRA64 × 64` につき、`intra_pred_mode` (イントラ予測モード) が DC モードではないことを指定している。

`intra_pred_mode_64` は、`INTRA64 × 64` につき (DC モードを含まない) イントラ予測モードを指定している。

10

`Intra64_multidir_index` は、`INTRA64 × 64` の `Multidir` モードにつき角度の指数を指定している。

1 に等しい `intra32_flag[i]` は、`INTRA32 × 32` が、 i 番目の 32×32 の大きなブロックに使用されることを指定している。0 に等しい `intra32_flag[i]` は、 i 番目の 32×32 の大きなブロックが、更に 16×16 のパーティションに更に分割されることを指定している。

1 に等しい `intra32_DC_flag[i]` は、`intra_pred_mode` (イントラ予測モード) が、 i 番目の 32×32 のブロックにつき、`INTRA32 × 32` のための DC モードであることを指定している。0 に等しい `intra32_DC_flag[i]` は、 i 番目の 32×32 ブロックにつき、`intra_pred_mode` (イントラ予測モード) が、`INTRA32 × 32` のための DC モードではないことを指定している。

20

`intra_pred_mode_32[i]` は、 i 番目の 32×32 の大きなブロックにつき、`INTRA32 × 32` のための (DC モードを含まない) イントラ予測モードを指定している。

30

`Intra32_multidir_index` は、`INTRA32 × 32` の `Multidir` (多方向) モードにつき角度の指数を指定している。

`sip_type[i]` は、 i 番目の 16×16 のブロックの基本的ブロック符号化単位についての空間イントラ・パーティション・タイプを指定している。

`Intra_pred_mode_16[i]` は、 i 番目の 16×16 のブロックにつき、`INTRA16 × 16` のための (DC モードを含まない) イントラ予測モードを指定している。

40

`Intra16_multidir_index` は、 i 番目の 16×16 のブロックにつき、`INTRA16 × 16` の `Multidir` モードについての角度の指数を指定している。

【実施例 2】

【0058】

他の実施形態においては適宜、大きなブロック単位を 32×32 または 64×64 であるように選択する。選択は、1 つ以上のハイレベル・シンタックス要素を使用して信号伝達することができる。ある実施形態において 32×32 が選択される場合、 64×64 に関連するすべてのシンタックスを単に削除するだけである。

【0059】

50

他の実施形態では、階層的なレイヤイントラ予測は、基本的符号化単位から結合することを伴う場合がある。例えば、最大ブロック単位が 64×64 であり、基本的符号化単位が 16×16 の場合、「一つの 64×64 のブロック内の 16×16 のブロックのすべてが 16×16 符号化タイプである場合」を表示するのに、一つのフラグ (`is_all_16x16_coding`) を使用する。(`is_all_16x16_coding`) が 1 に等しい場合は、これは、 16×16 符号化タイプが使用されることを示しており、信号伝達を中止する。他の場合は、一つの 64×64 のブロック内の 32×32 のブロックのすべてが 32×32 符号化タイプである場合を表示するのに、一つのフラグ (`is_all_32x32_coding`) を使用する。(`is_all_32x32_coding`) が 1 に等しい場合は、これは、一つの 64×64 のブロック内の 32×32 のブロックのすべてが 32×32 符号化タイプであることを示している。他の場合は、(`is_all_32x32_coding`) および (`is_all_16x16_coding`) が 0 に等しい場合は、これは、`INTRA64x64` が使用されることを示している。

10

【0060】

他の実施形態では、 16×16 以上のサイズのブロック単位 (`large_sip_type`) につき `SIP_type` (空間イントラ・パーティション・タイプ) を導入する。3つのタイプは以下を指す：`large_intra_16x16`；`large_intra_32x32`；`large_intra_64x64`である。`large_intra_16x16` は、一つの大きなブロック内のすべての 16×16 のブロックは、 16×16 符号化タイプであることを意味している。`large_intra_32x32` は、一つの大きなブロック内のすべての 32×32 のブロックは、 32×32 符号化タイプであることを意味している。ある実施形態においては、`large_intra_32x32` は、上記の実施形態と `intra32_flag` と共に組合せることにより、階層的なイントラ予測が可能になる。`large_intra_64x64` は、一つの大きなブロック内のすべての 64×64 のブロックは、`INTRA64x64` として符号化されることを意味する。

20

【0061】

他の実施形態においては、複数の `sip_mode` テーブルを導入することができる。テーブルは、エンコーダおよびデコーダの双方に事前に格納することができ、あるいはテーブルはユーザ指定であってもよく、1つ以上のハイレベル・シンタックス要素を使用して送信できる。表5は、本発明の原理一つの実施形態に従って例示的マクロブロックレイヤシンタックスを示している。

30

【0062】

【表 5】

macroblock_layer() {	C	Descriptor
...		
is_all_16x16_coding	2	u(1)
if (is_all_16x16_coding == 0) {		
is_all_32x32_coding	2	u(1)
if (is_all_32x32_coding == 0) {		
decode_with_64x64_coding_type()		
}		
else{		
decode_with_32x32_coding_type()		
}		
}		
else {		
decode_with_16x16_coding_type()		
}		
...		
}		

【 0 0 6 3 】

表 5 の一部のシンタックス要素のセマンティクスは以下の通りである。

1 に等しい (`is_all_16x16_coding`) は、一つの大きなブロック内のすべての 16×16 のブロックは、 16×16 符号化タイプにより符号化されることを指定している。0 に等しい (`is_all_16x16_coding`) は、大きなブロックは 16×16 符号化タイプにより符号化されないことを指定している。

1 に等しい (`is_all_32x32_coding`) は、一つの大きなブロック内のすべての 32×32 のブロックは、 32×32 符号化タイプにより符号化されることを指定している。0 に等しい (`is_all_32x32_coding`) は、大きなブロックが 32×32 符号化タイプにより符号化されないことを指定している。

【 0 0 6 4 】

図 7 A および 7 B を参照すると、これらの図は共に、大きなブロックについてのイントラ予測を信号伝達することにより、大きなブロックについてのピクチャデータを符号化する例示的方法を表しており、全体的に参照番号 7 0 0 により示されている。当該方法 7 0 0 は、制御を機能ブロック 7 1 0 に渡す開始ブロック 7 0 5 を含んでいる。機能ブロック 7 1 0 は初期設定を行い、制御をループ端ブロック 7 1 5 に渡す。ループ端ブロック 7 1 5 は、 64×64 ブロック（すなわち 64×64 のブロックサイズを有するブロック）をループ（以下「ループ 1」ともいう）にかけ、制御を機能ブロック 7 8 5 およびループ端ブロック 7 2 0 に渡す。

【 0 0 6 5 】

機能ブロック 7 8 5 は、 $\text{Intra } 64 \times 64$ モード決定を行い、 $\text{Intra } 64_DC_flag$ を $RD64$ （すなわち、 $\text{Intra } 64 \times 64$ モード決定から生じるレート歪み）に基づいて設定し、制御を決定ブロック 7 7 0 に渡す。

【 0 0 6 6 】

ループ端ブロック 7 2 0 は、4 つの 32×32 ブロック（すなわち 32×32 のブロックサイズを有し、現 64×64 ブロックがループ 1 により処理されることにより得られる 4 つのブロック）をループ（以下「ループ 2」ともいう）にかけ、制御ブロック 7 9 0 およびループ端ブロック 7 2 5 に制御を渡す。

【0067】

機能ブロック790は、`Intra32x32`モード決定を行い、`Intra32__DCflag`を`RD32`（すなわち、`Intra32x32`モード決定から生じるレート歪み）に基づいて設定し、制御を決定ブロック750に渡す。

【0068】

ループ端ブロック725は、4つの 16×16 ブロック（すなわち 16×16 のブロックサイズを有し、現 32×32 ブロックがループ2により処理されることにより得られる4つのブロック）をループ（以下「ループ3」ともいう）にかけ、機能ブロック730および機能ブロック735に制御を渡す。

【0069】

機能ブロック730は、`Intra16x16__DC`モードを判定し、制御を機能ブロック740に渡す。機能ブロック735は、他の 16×16 モード（すなわち`Intra16x16__DC`以外）およびそれ以下のモード（例えば、 8×8 、 4×4 等）を判定し、制御を機能ブロック740に渡す。

【0070】

機能ブロック740は、`RD16`（すなわち、`intra16x16`モード決定から生じるレート歪み）に基づいて、 16×16 モード決定を行い、次に（4つの 16×16 ブロックにより符号化された場合の 32×32 ブロック全体の全レート歪みを示す）`TotRD16`を得るために、各 16×16 ブロックの`RD16`を蓄積し、制御をループ端ブロック745に渡す。ループ端ブロック745は、 16×16 ブロックのループ（すなわち「ループ3」）を閉じ、決定ブロック750に制御を渡す。

【0071】

決定ブロック750は、 $RD32 < TotRD16$ か否か（すなわち、現 32×32 ブロックについてのレート歪コストが、現 32×32 ブロックから得られた4つの 16×16 ブロックについての全レート歪コストより少ないか否か）を判断する。そうであれば、制御が機能ブロック755に渡される。そうでない場合は、制御は機能ブロック742に渡される。

【0072】

機能ブロック755は、1に等しい`Intra32__flag`を設定し、機能ブロック760に制御を渡す。機能ブロック742は、0に等しい`Intra32__flag`を設定し、機能ブロック760に制御を渡す。

【0073】

機能ブロック760は、各 32×32 ブロックの`RD32`の蓄積を`TotRD32`に設定し、4つの 32×32 ブロックにより符号化された場合に全 64×64 ブロックの全レート歪を表示し、ループ端ブロック765に制御を渡す。ループ端ブロック765は、 32×32 ブロックのループ（すなわちループ2）を閉じ、決定ブロック770に制御を渡す。

【0074】

決定ブロック770は、 $RD64 < TotRD32$ か否か（すなわち、現 64×64 ブロックについてのレート歪コストが、現 64×64 ブロックから得られた4つの 32×32 ブロックについての全レート歪コストより少ないか否か）を判断する。そうであれば、制御が機能ブロック775に渡される。そうでない場合は、制御は機能ブロック780に渡される。

【0075】

機能ブロック775は、1に等しい`Intra64__flag`を設定し、ループ端ブロック795に制御を渡す。機能ブロック780は、0に等しい`Intra64__flag`を設定し、機能ブロック795に制御を渡す。

【0076】

機能ブロック795は、 64×64 ブロックのループ（すなわちループ1）を閉じ、機能ブロック797に制御を渡す。機能ブロック797は、フラグ、イントラ予測モード（

10

20

30

40

50

`intra_pred_mode`)、残余をエントロピー符号化し、終了ブロック 99 に制御を渡す。

【0077】

図 8 A および図 8 B を参照すると、これらの図は共に、イントラ予測が大きなブロックに適用されるべきと決定することにより、大きなブロックについてピクチャデータを復号化する例示的方法を表しており、全体的に参照番号 800 により示されている。当該方法 800 は、機能ブロック 808 に制御を渡す開始ブロック 805 を含んでいる。機能ブロック 808 はデコーダを初期化した後、機能ブロック 810 に制御を渡す。機能ブロック 810 はビットストリームを構文解析し、ループ端ブロック 815 に制御を渡す。ループ端ブロック 815 は 64×64 ブロックをループ（以下「ループ 1」）にかけ、決定ブロック 820 に制御を渡す。決定ブロック 820 は、`Intra64_flag` が 1 に等しく設定されているか否かを判断する。そうであれば、制御が機能ブロック 885 に渡される。そうでない場合は、制御はループ端ブロック 825 に渡される。

【0078】

機能ブロック 885 は、`intra64_DC_flag` が 1 に等しく設定されているか否かを判断する。そうであれば、制御が機能ブロック 887 に渡される。そうでない場合は、制御は機能ブロック 888 に渡される。機能ブロック 887 は、 $intra64 \times 64$ DC 予測を行った後、機能ブロック 890 に制御を渡す。機能ブロック 888 は、 $intra64 \times 64$ DC モード以外の $intra64 \times 64$ 予測を行った後、制御ブロック 890 に制御を渡す。機能ブロック 890 は、現 64×64 ブロックを復号化し、ループ端ブロック 880 に制御を渡す。ループ端ブロック 880 は、 64×64 ブロックのループ（すなわちループ 1）を閉じ、終了ブロック 899 に制御を渡す。

【0079】

ループ端ブロック 825 は、4 つの 32×32 ブロックをループ（以下「ループ 2」という）にかけ、決定ブロック 830 に制御を渡す。決定ブロック 830 は、`Intra32_flag` が 1 に等しいか否かを判断する。そうであれば、制御は機能ブロック 835 に渡される。そうでない場合は、制御はループ端ブロック 845 に渡される。

【0080】

機能ブロック 835 は、`Intra32_DC_flag` が 1 に等しいか否かを判断する。そうであれば、制御は機能ブロック 837 に渡される。そうでない場合は、制御は機能ブロック 838 に渡される。機能ブロック 837 は、 $intra32 \times 32$ DC 予測を行い、制御を機能ブロック 840 に渡す。機能ブロック 838 は、 $intra32 \times 32$ DC モード以外のイントラ予測を行った後、機能ブロック 840 に制御を渡す。機能ブロック 840 は、 32×32 ブロックを復号化し、ループ端ブロック 875 に制御を渡す。

【0081】

ループ端ブロック 875 は、 32×32 ブロックのループ（すなわちループ 2）を閉じ、ループ端ブロック 880 に制御を渡す。

【0082】

ループ端ブロック 845 は、4 つの 16×16 ブロックをループ（以下「ループ 3」という）にかけ、決定ブロック 850 に制御を渡す。決定ブロック 850 は、`sip_type`（空間イントラ・パーティション・タイプ）= `Intra16_DC` であるか否かを判断する。そうであれば、制御は機能ブロック 855 に渡される。そうでない場合は、制御は機能ブロック 860 に渡される。

【0083】

機能ブロック 855 は、 $Intra16 \times 16$ DC モード予測を行い、機能ブロック 865 に制御を渡す。機能ブロック 860 は、他のイントラ予測モード（すなわち、 $Intra16 \times 16$ DC モード以外）を使用してモード予測を行い、機能ブロック 865 に制御を渡す。

【0084】

機能ブロック 865 は 16×16 ブロックを復号化し、ループ端ブロック 870 に制御

10

20

30

40

50

を渡す。ループ端ブロック 870 は、 16×16 ブロックのループ（すなわちループ 3）を閉じ、ループ端ブロック 875 に制御を渡す。

【0085】

本発明の多くの付随する利点／特徴の幾つかに関する記載がなされており、その一部は上述されている。例えば、一つの利点／特徴は、装置が、少なくとも一つの大きなブロックにつき、イントラ予測を信号伝達することにより、ピクチャ内の少なくとも一つのブロックについてのピクチャデータを符号化するビデオエンコーダを有しているという点である。イントラ予測は、基本的符号化単位サイズを選択し、基本的符号化単位サイズについての単一の空間イントラ予測タイプを割り当てることにより信号伝達される。単一の空間イントラ・パーティション・タイプは、複数の空間イントラ・パーティション・タイプから選択可能である。少なくとも一つの大きなブロックは、基本的符号化単位のブロックサイズより大きい大きなブロックサイズを有する。イントラ予測は、階層的なレイヤイントラ予測であり、大きなブロックサイズから基本的符号化単位サイズに分割し、基本的符号化単位サイズから大きなブロックサイズに結合することの少なくとも一つにより、少なくとも一つの大きなブロックにつき実行される。

10

【0086】

他の利点／特徴は、装置が上記したビデオエンコーダを有し、複数の空間イントラ・パーティション・タイプの各々については、複数の利用可能なイントラ予測モードのうち最も頻繁に使用される特定のイントラ予測モードに対し、より高い優先度が割り当てられる、という点である。

20

【0087】

更にもう一つの利点／特徴は、装置が上記したビデオエンコーダを有し、大きなブロックサイズが適宜、選択されるという点である。

【0088】

更にもう一つの利点／特徴は、装置が上記したビデオエンコーダを有し、信号伝達は、1つ以上のハイレベル・シンタックス要素を使用して行われる、という点である。

【0089】

また他の利点／特徴は、装置が上記したビデオエンコーダを有し、空間イントラ・パーティション・タイプテーブルおよびイントラ予測モードテーブルの少なくとも一つが事前に格納され、ビデオエンコーダにより使用され、少なくとも一つの大きなブロックを符号化する、という点である。空間イントラ・パーティション・タイプテーブルおよびイントラ予測モードテーブルの少なくとも一つは、事前に格納され、対応するビデオデコーダにより使用され、少なくとも一つの大きなブロックを復号化するように構成されている。

30

【0090】

更に他の利点／特徴は、装置が上記したビデオエンコーダを有し、空間イントラ・パーティション・タイプテーブルおよびイントラ予測モードテーブルの少なくとも一つがビデオエンコーダにより使用され、少なくとも一つの大きなブロックを符号化し、かつ一つ以上のハイレベル・シンタックス要素を使用して、ビデオエンコーダにより送信される、という点である。

【0091】

本発明の原理の上記および他の特徴および利点は、本明細書に記載された教示に基づき、関連する技術分野の当業者により容易に確認できる。本発明の原理の教示は、様々な形態のハードウェア、ソフトウェア、ファームウェア、専用プロセッサまたはこれらの組合せにより実施できる。

40

【0092】

最も好ましくは、本発明の原理の教示は、ハードウェアおよびソフトウェアの組合せとして実施される。さらにソフトウェアは、プログラム記憶装置上で実体的に具現化されるアプリケーションプログラムとして実施されてもよい。アプリケーションプログラムは、何らかの適切なアーキテクチャを有するマシンにアップロードされ、そのマシンによって実行されてもよい。好ましくは、マシンは1つ以上の中央処理装置（CPU）、ランダム

50

アクセスメモリ（ＲＡＭ）、および入力／出力（Ｉ／Ｏ）インターフェース等のハードウェアを有するコンピュータ・プラットフォーム上で実施される。コンピュータ・プラットフォームには、オペレーティングシステムおよびマイクロインストラクションコードを含んでいてもよい。本明細書に記載される種々の処理および機能は、マイクロインストラクションコードの一部、アプリケーションプログラムの一部、またはそのいずれの組合せであってもよく、ＣＰＵにより実行されるものであってもよい。また他の種々の周辺装置は、補助データ記憶装置および印刷装置等のコンピュータ・プラットフォームに接続されていてもよい。

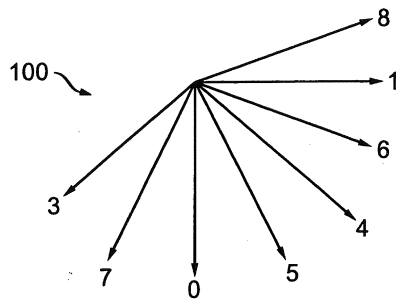
【 0 0 9 3 】

添付図面に記載された構成システム要素および方法の一部は、ソフトウェアによって好適に実施されるため、システム構成要素間又はプロセス機能ブロック間の実際の接続は、本発明の原理がプログラミングされる態様によって異なる場合があることが理解されるべきである。本明細書に記載された教示を前提とすると、当業者は、本発明の原理のこれらおよび類似の実装または構造を予測することができるであろう。

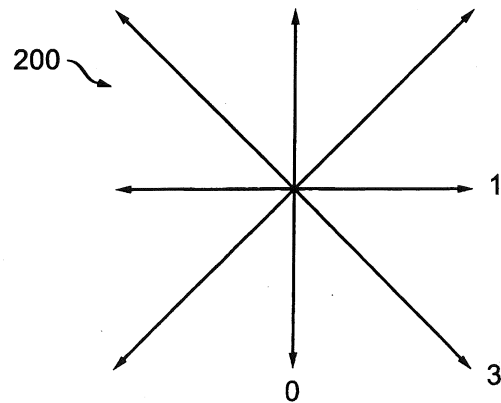
【 0 0 9 4 】

例示的实施形態が添付の図面を参照して本明細書中で記載されてきたが、当然に、本発明の原理はこれらの厳密な実施形態に限られず、様々な変更及び改変が、本発明の原理の範囲及び趣旨から逸脱することなく、当該実施形態において当業者によって行われ得る。全てのこのような変更及び改変は、添付の特許請求の範囲に記載されている本発明の原理の範囲内に包含されることが意図される。

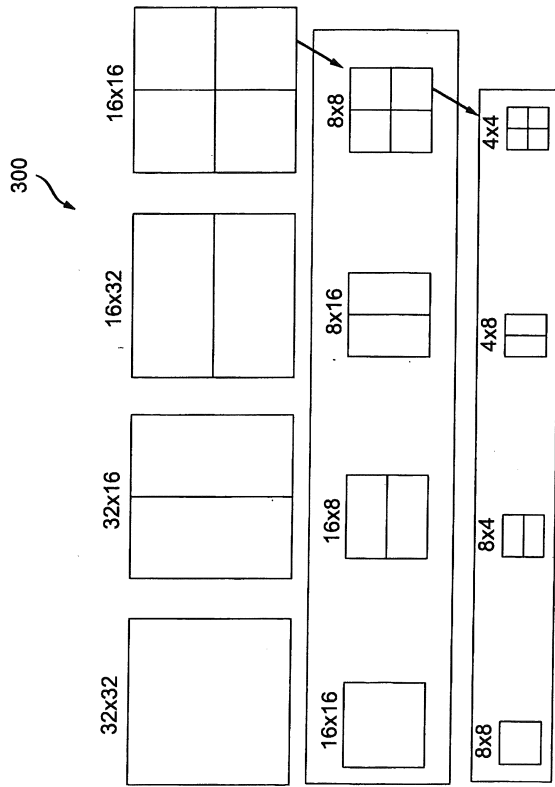
【 図 1 】



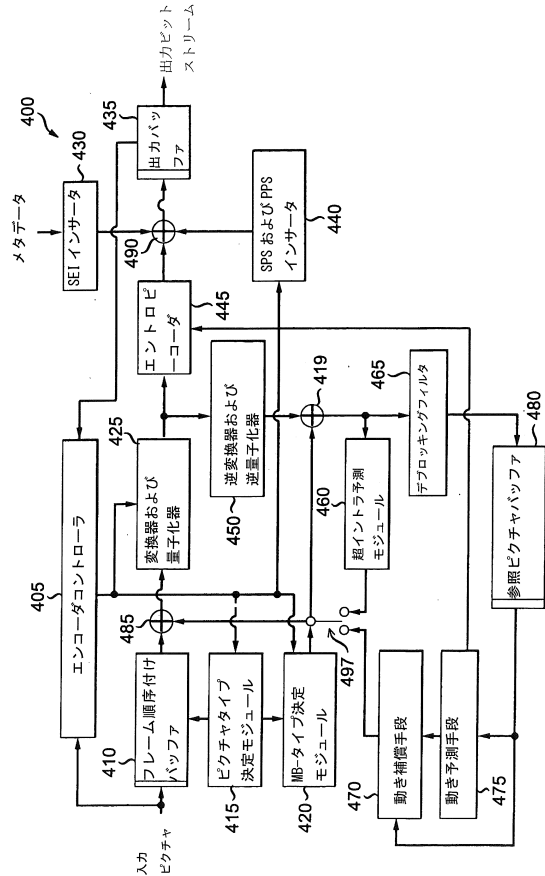
【 図 2 】



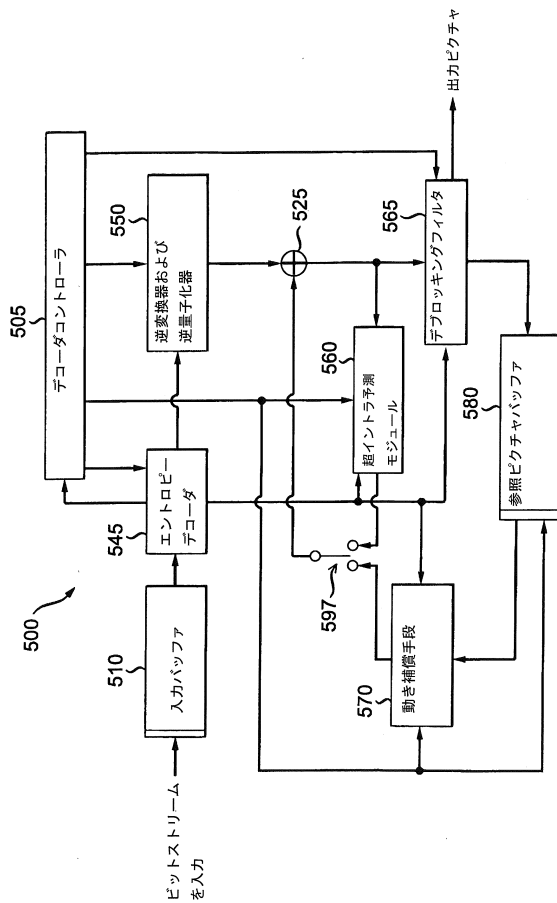
【 図 3 】



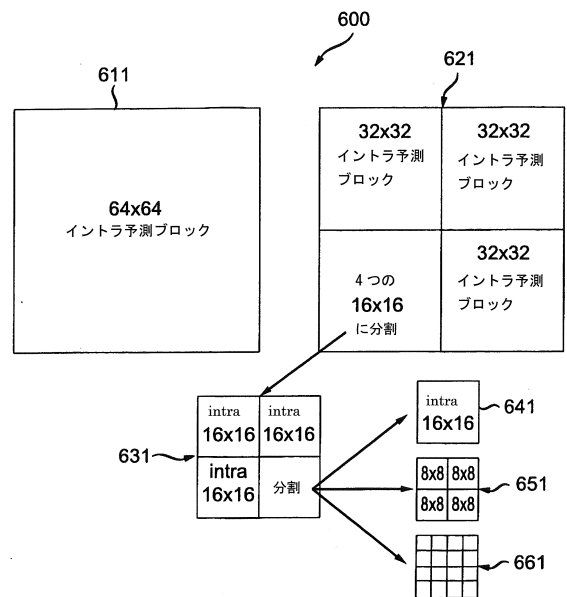
【 図 4 】



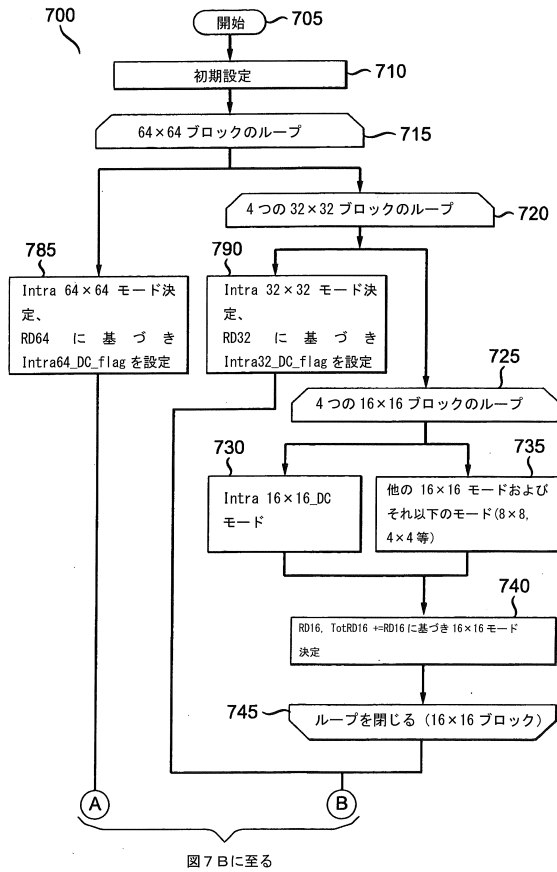
【 図 5 】



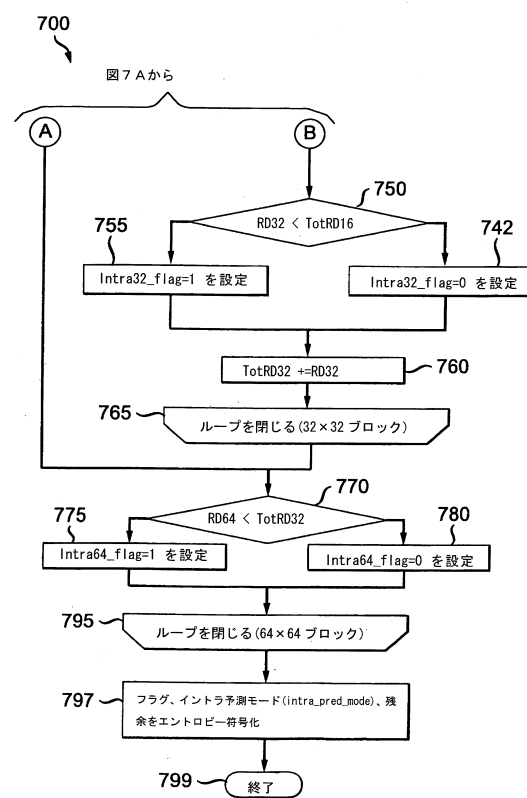
【 図 6 】



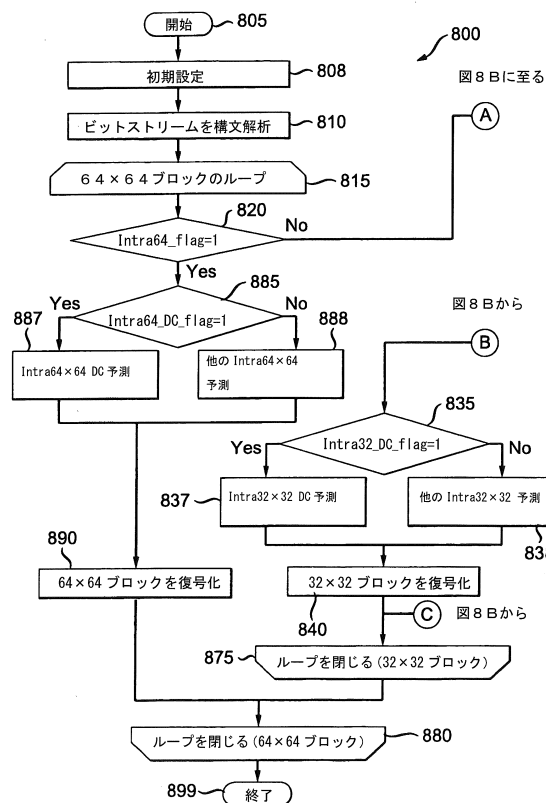
【図 7 A】



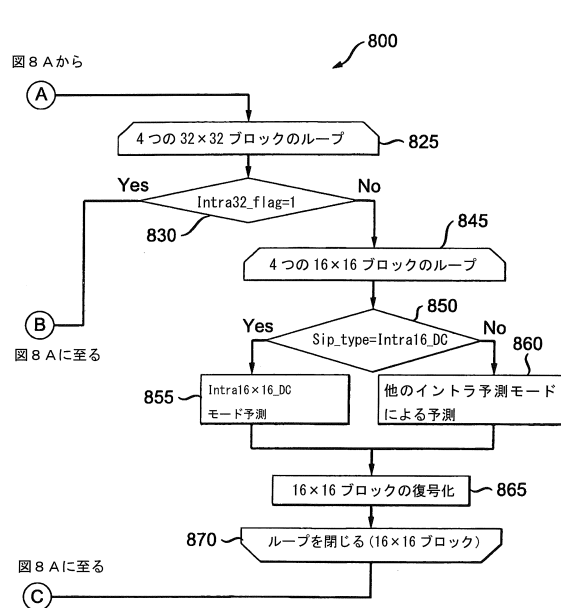
【図 7 B】



【図 8 A】



【図 8 B】



フロントページの続き

- (74)代理人 100191824
弁理士 西谷 明子
- (72)発明者 ジェン, ユンフエイ
アメリカ合衆国 カリフォルニア州 サン・ディエゴ アパートメント エス205 トーリイ・
サークル 4615
- (72)発明者 シュイ, チエン
アメリカ合衆国 カリフォルニア州 フォルサム アパートメント 220 ナトーマ・ステーシ
ョン・ドライブ 240
- (72)発明者 ルウ, シャオアン
アメリカ合衆国 ニュージャージー州 プリンストン ケネディ・コート 30
- (72)発明者 イン, ペン
アメリカ合衆国 ニューヨーク州 イサカ ジョン・ストリート 6
- (72)発明者 ソレ, ジョエル
アメリカ合衆国 カリフォルニア州 ラ・ホーヤ ユニット 106 ヴイラ・ラ・ホーヤ・ドラ
イブ 8722
- (72)発明者 アツバス, アデイル
アメリカ合衆国 ニュージャージー州 パサイク アpartment 15ジー エイクリツグ・アベ
ニュー 285

審査官 堀井 啓明

- (56)参考文献 国際公開第2008/088140(WO, A1)
国際公開第2008/027192(WO, A1)
国際公開第2007/034918(WO, A1)
特表2005-519543(JP, A)
特表2007-528675(JP, A)
特開2009-118233(JP, A)
特開2004-128749(JP, A)
特開平08-280020(JP, A)
Mathias Wien, Variable Block-Size Transforms for H.264/AVC, Circuits and Systems for V
ideo Technology, IEEE Transactions on, 米国, IEEE, 2003年 7月, Volume:13, Issue:
7, p.604-613

- (58)調査した分野(Int.Cl., DB名)
H04N19/00-19/98