

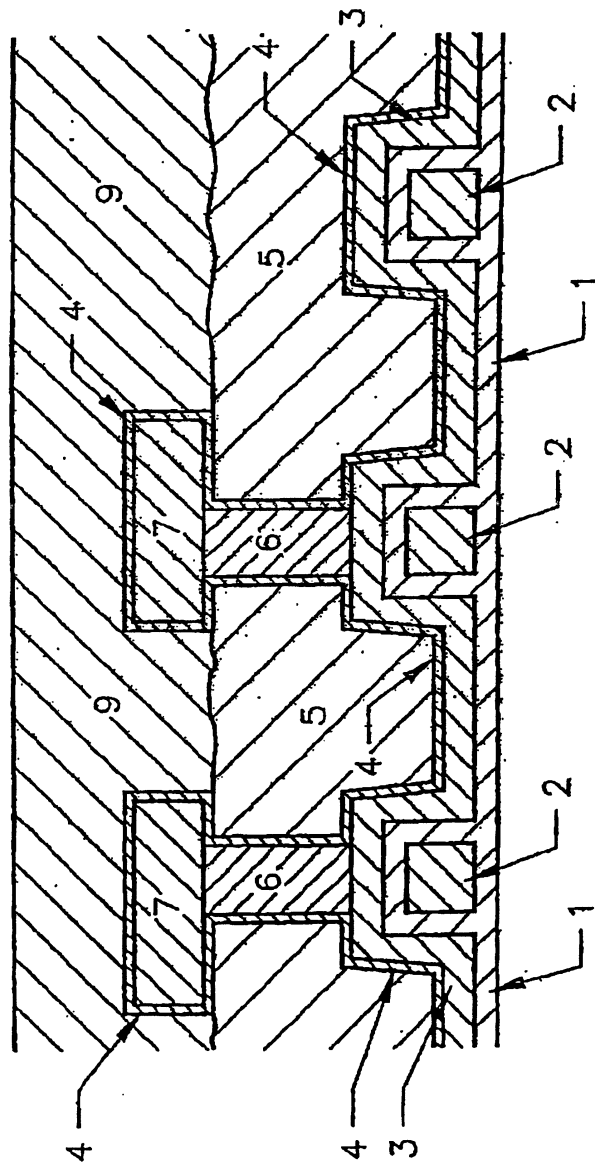


圖 1

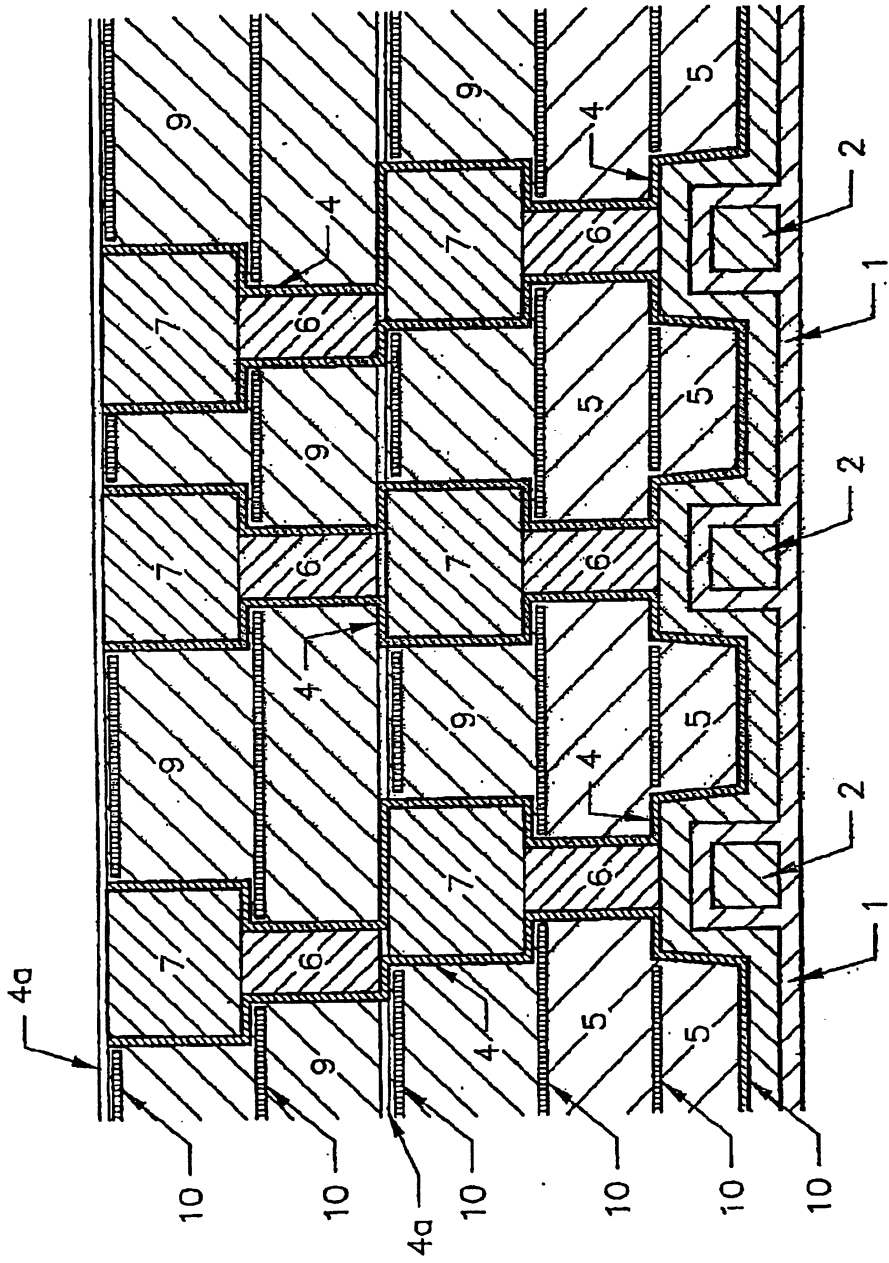


圖 2

I272694

85年10月24日修正/更正/補充

申請日期	91.1.3.
案 號	091100016
類 別	H01L 21/168

A4

中文說明書替換本(95年10月)

公告本

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	金屬離子擴散屏障層
	英 文	"METAL ION DIFFUSION BARRIER LAYERS"
二、發明人	姓 名	馬克 強 羅伯達 MARK JON LOBODA
	國 籍	美國
	住、居所	美國密西根州拜城市摩尼賽街4729號
三、申請人	姓 名 (名 稱)	美商道康寧公司 DOW CORNING CORPORATION
	國 籍	美國
	住、居所 (事務所)	美國密西根州密蘭市西薩爾茲堡路2200號
	代 表 人 姓 名	羅傑 哥布洛吉 ROGER GOBROGGE

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權美國 2001年01月03日 60/259,489 ☒有☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

五、發明說明 (1)

本申請案主張2001年1月3日申請之美國臨時申請案60/259,489之優先權。

發明背景

傳統上，如非晶型氮化矽(a-SiN:H)及非晶型氮化碳化矽(a-SiC:H)之材料與半導體積體電路(IC)製造中所用之接觸或金屬間介電隔離技術有關，以避免熱或電場驅動裝置內相互連接金屬之擴散。IC內之金屬擴散作用導致裝置永久失效。使用該等材料係基於一般電隔離電介質如SiO₂及類似氧化物相關材料之已知性質但具有不良屏障性。隨著與電路相互連接有關之電阻-電容(RC)延遲最小化之工業需求，前述碳化物及氮化物已受到挑戰因該等材料與SiO₂具有相等或較高之介電電容率且導致增加之相互連接電容。

本發明有關使用低電容率材料，具有Si_wC_xO_yH_z組成之合金薄膜作為有效抗金屬離子如Cu、Al等於多層金屬積體電路及金屬線路板設計中擴散之有效屏障。Si_wC_xO_yH_z薄膜之功能為阻止金屬離子在相鄰導體(其為電路中之裝置相互連接)之間移動。藉Si_wC_xO_yH_z薄膜加入電路之可靠性可允許使用低電阻導體及低介電常數材料作為導體間之絕緣介質。

發明概述

本發明有關一種具有更大操作速度及可靠性之改良積體電路。該電路包括於半導體材料所製得之基材中所形成之固體狀態裝置之次組裝。該次組裝中之裝置藉導電金屬所

五、發明說明 (2)

形成之金屬接線連接。該金屬接線與具有 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 組成之合金薄膜之擴散屏障層接觸(其中 w 之值為 10 至 33, 較好 18 至 20 原子%, x 之值為 1 至 66, 較好 18 至 21 原子%, y 之值為 1 至 66, 較好 5 至 38 原子%, 及 z 之值為 0.1 至 60, 較好 25 至 32 原子%; 及 $w+x+y+z=100$ 原子%)。

圖式簡單說明

圖 1 為使用抹去技術所形成之裝置截面圖。

圖 2 為使用波紋蝕刻技術形成之裝置截面圖。

詳細說明

本發明有關具有 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 組成之合金薄膜之用途(其中 w 之值為 10 至 33, 較好 18 至 20 原子%, x 之值為 1 至 66, 較好 18 至 21 原子%, y 之值為 1 至 66, 較好 5 至 38 原子%, 及 z 之值為 0.1 至 60, 較好 25 至 32 原子%; 及 $w+x+y+z=100$ 原子%)。該 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜用以阻止金屬原子在電路中相鄰裝置相互連接之間移動。 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜亦比非晶型氮化氮化矽(a-SiN:H)及非晶型氮化碳化矽(a-SiC:H)具有更低之介電電容率。 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜之介電電容率可能比該等氮化物及碳化物小 50% 以上。該降低之介電電容率有助於降低相互連接有關之電容。 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜亦比 SiO_2 薄膜具更低之電容率。因此, 除了避免金屬擴散以外, 該材料本身為適宜之電介質。置於多功能材料, 使用 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜可藉消除金屬間隔離圖中數個中間層材料之需求而簡化 IC 製造, 且因此降低 IC 製造成本。由於 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜材料為抗金屬擴散之屏障, 因此

五、發明說明 (3)

可消除相鄰導體金屬本身所用之金屬為主之擴散屏障之需求。一實例為消除鄰接銅導體之Ti或Ta為主之層。最後，該等Ti及Ta為主之層對金屬相互連接中可達到之最低電阻亦有限制，及其消除具有降低相互連接電阻之機會。因此，其可主張利用 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜可藉消除高電容率介電薄膜及高電阻金屬為主之障壁金屬之需求而可製造極低RC延遲相互連接。此將導致高速積體電路整體性能之改良。

本發明方法中所用之積體電路次組裝並不重要且可用本技藝已知及/或商業製造之任一種。圖1代表藉抹去技術製造之電路組裝。當使用抹去技術時，製得金屬接線層接著線路以中間層材料覆蓋。圖2代表使用波紋蝕刻技術製得之電路組裝。使用波紋蝕刻技術時，在中間層電介質沉積及形成用以隔離金屬接線之壕溝之後，於壕溝內施加金屬接線。

用以製造此電路之方法亦為已知且於本發明中並不重要。此電路實例為包括其上生長有外延層之半導體基材者(如矽、砷化鎵)。此外延層經適當摻雜形成構成電路主動固體狀態裝置區域之PN-接合區域。該等主動裝置區域為藉金屬線路層適當相互連接時可形成積體電路之二極體及半導體管。圖1顯示此電路組裝(1)具有裝置區域(2)及相互連接該裝置之薄膜金屬接線(3)。圖2顯示交替電路組裝(1)具有裝置區域(2)及相互連接該裝置之薄膜接線(3)。本發明不欲限定應用 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜於該兩個結構

五、發明說明 (4)

中。本文亦可利用其中 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜於積體電路中提供對金屬離子擴散作用之屏障之另一結構。

用於金屬接線層之材料並無限制只要其為導電金屬。積體電路次組裝上之金屬接線層一般為鋁或銅薄膜。此外，金屬接線層可為銀、金、合金、超導體等。

沉積金屬層之方法為本技藝已知。所用之特定方法並不重要。此方法實例包含各種物理蒸氣沉積(PVD)技術如濺鍍及電子束蒸發作用。

$\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜係形成與金屬接線層接觸及保護其中金屬離子可於裝置內擴散之該等區域。當裝置使用抹去技術形成時， $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜在接線塗布至裝置上之後但在施用任何其他中間層之前施用至接線上。使用波紋蝕刻技術時，在形成相互連接及金屬接線之前 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜施用至壕溝。 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜接著可施加在金屬接線任何剩餘暴露表面上。另外， $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜可在金屬接線層下方施用，例如圖1及2所示之層(4)。另外，亦可選擇恰在接線上例如藉遮蔽施加 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜或可塗布整個表面接著蝕刻除其中不需要 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜之該等區域。 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜可與已知擴散屏障材料一起使用。例如，接線可部份以傳統屏障金屬覆蓋及接著剩餘接線可以 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜覆蓋。

$\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜施加方法對本發明並不重要且許多為本技藝已知。施用方法實例包含各種化學蒸氣沉積技術如習知 CVD、光化學蒸氣沉積、電漿促進之化學蒸氣沉積

五、發明說明 (5)

(PECVD)、電子迴轉加速共振(ECR)、噴射蒸氣沉積等，及各種物理蒸氣沉積技術如濺射、電子束蒸發等。該等方法包含對蒸發物種加入能量(以熱、電漿等狀態)而引起所需反應或使能量集中在材料固體樣品而引起其沉積。

較好 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜藉 USP 專利申請號 09/086811 (1998 年 5 月 29 日申請且讓渡給道康寧公司) 所述之方法施用，其中有關如何形成 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜之教示併於本文供參考。依據此方法， $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜係自包括含甲基之矽烷及供氧氣體之反應性氣體混合物所製得。可使用之含甲基之矽烷包含甲基矽烷(CH_3SiH_3)、二甲基矽烷($(\text{CH}_3)_2\text{SiH}_2$)、三甲基矽烷($(\text{CH}_3)_3\text{SiH}$)及四甲基矽烷($(\text{CH}_3)_4\text{Si}$)，較好為三甲基矽烷。在沉積室中存在有控制量之氧。氧可藉所用供氧方式或藉所用供氧氣體量而加以控制。沉積室中存在太多氧，將產生化學計量接近 SiO_2 之氧化矽。若沉積室中氧存在不足，則將產生化學計量接近 SiC 之碳化矽薄膜。在該等狀況下，將無法達成薄膜所需性質。供氧氣體包含(但不限於)空氣、臭氧、氧氣、一氧化二氮及二氧化氮，較佳為一氧化二氮。供氧氣體量典型上每體積份含甲基之矽烷為小於 5 體積份之供氧氣體，更好每體積份含甲基之矽烷為 0.1 至 4.5 體積份之供氧氣體。熟知本技藝者易於依據供氧氣體類型及沉積條件而決定供氧氣體量，產生具有 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 組成之薄膜(其中 w 之值為 10 至 33，較好 18 至 20 原子%，x 之值為 1 至 66，較好 18 至 21 原子%，y 之值為 1 至 66，較好 5 至 38 原子%，及 z 之值為 0.1 至 60，

五、發明說明 (6)

較好25至32原子%；及 $w+x+y+z=100$ 原子%)。

習知化學蒸氣沉積中，塗層係藉使所需前驅物氣體液流通過加熱之基材上而沉積。當前驅物氣體接觸熱表面時反應及沉積塗層。基材溫度在約100-1000°C即足以於數分鐘至數小時內形成該等塗層，視前驅物及所需塗層厚度而定。若需要，此方法中可使用反應性金屬以加速沉積。

PECVD中，所需前驅物氣體藉使其通過電漿場而反應。因此形成之反應性物種接著集中在基材易附著處。通常，此方法比CVD更具有之優點為可使用較低基材溫度。例如，基材溫度可為約50°C至約600°C。

此方法中所用之電漿可包括得自各種來源之能源如放電、無線頻率或微波範圍之電磁場、雷射或粒子束。通常在大部分電漿沉積方法中較好使用在適度功率密度(0.1-5瓦特/公分²)之無線頻率(10 kHz - 102 MHz)或微波(0.1-10 GHz)能量。然而該特定頻率、功率及壓力通常適合所用前驅物氣體及設備。

本文可使用本技藝已知形成 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜之其他前驅物。該前驅物可為提供Si、C、O及H元素或前驅物如甲基矽氧之單一化合物。或該前驅物可為化合物之混合物而提供Si、C、O及H元素，例如矽烷、氧源(亦即 O_2 、 O_3 、 H_2O_2 、 N_2O 等)及有機化合物(亦即甲烷)；或含甲基之矽烷及上述氧源。形成 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜之較佳方法為三甲基矽烷以 N_2O 之電漿促進之化學蒸氣沉積。

本文所用之薄膜亦可藉液體前驅物藉旋塗或其他液體沉

五、發明說明 (7)

積技術塗布而產生。塗布後接著固化之有機矽氧烷及倍半矽氧烷可用以產生形成 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜。

本文所用之薄膜可藉式 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 表示(其中w之值為10至33, 較好18至20原子%, x之值為1至66, 較好18至21原子%, y之值為1至66, 較好31至38原子%, 及z之值為0.1至60, 較好25至32原子%; 及 $w+x+y+z=100$ 原子%)。其他元素如氟(F)可導入薄膜中, 只要該等元素不改變薄膜之擴散屏障性質即可。

本文所形成之裝置一般為多層裝置, 但可於單一層裝置中使用該 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜。其他材料如傳統介電材料可施加於該 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜上。圖1顯示藉相互連接(6)與接線第一層之經選擇區域相互連接之第二金屬接線層(7)。然而, $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜需沉積在電介質及金屬之間以避免金屬擴散入電介質中。此 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜可如上述形成。此方式中, 金屬接線夾於 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜間。此方法可對電路中金屬化各層重複數次。

亦須注意此技術可施加至接線板上於其上架設有上述電路。金屬接線及 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜在該等接線板上之結構可與上述相同。其他用途包含覆蓋金屬中不希望金屬擴散入另一層之處。

圖1及2中該層可如下數:

- 1為電路組裝。此可為本技藝已知之任何電路組裝。
- 2為裝置區域。裝置區域為本技藝已知且概述如上。
- 3為第一金屬接線層。形成金屬接線層之方法為本技藝

五、發明說明 (8)

已知且概述如上。該金屬接線(3)係自導電金屬如前述般形成。

4為屏障(擴散屏障層)。屏障(4)可為 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜或 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜與一或多種屏障材料如 a-SiC:H 、 a-SiN:H 、 a-SiCN:H 、屏障金屬(亦即Ta、Ti)及其他已知屏障材料之組合。典型上,當使用屏障材料之組合時,該材料覆蓋接線不同部分。較好該屏障層為本文所述之 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜。較好層4藉三甲基矽烷與 N_2O 之電漿增進之化學蒸氣沉積所製得。

4(a)亦為本文所述之屏障層(擴散屏障層)。4(a)僅表示於圖2。

5為第一中間介電層。此中間介電層可自任何已知中間層材料如氧化矽、碳化矽、氧碳化矽、氮化矽、氧氮化矽、碳氮化矽、有機材料如聚醯亞胺、環氧、PARYLENETM、SiLK®、自氫倍半矽氧烷所製得者(Fox®、XLKTM)所製得。此外,中間介電層可為本文所述之 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜作為屏障層。此為使用 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜之獨特特徵。該 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 薄膜當以足夠厚度至少部分填入金屬接線間隙時,亦可作為介電材料之功能。此係由於此材料之低介電常數及低電阻之故。

6為相互連接。相互連接(6)使金屬接線之第一層與第二層金屬接線連接。此相互連接(6)可自金屬接線所用之相同或不同導電金屬形成。

7為金屬接線之第二層。此第二金屬接線(7)可自與第一

五、發明說明(9)

金屬接線層相同或不同導電金屬所製得。

9為第二金屬間電介質。該第二中間介電層(9)可與第一中間介電層(5)相同或不同。

10為蝕刻柱塞(圖2)。此層施加以避免形成壕溝時藉波紋蝕刻技術所形成之裝置中金屬接線中向下蝕刻至另一層。

本發明不欲限制於僅具有該等層之裝置。可影響偏極化、鈍化、保護或裝置操作之其他層可於裝置中或之上形成。

實例

下列提供非限制性實例因此熟知本技藝者更可了解本發明。

下列實例證明沉積氧化之有機錫烷薄膜具有優異擴散屏障性質及低k值。該等實例使用化學蒸氣沉積室"DxZ"進行，其包含固體狀態RF相符單元及藉Applied材料公司所製造之室加工套組。

實例1

在8.7托耳室壓及370°C溫度在8-吋矽晶圓上沉積氧化之三甲基矽烷薄膜，由其中於反應器中吹入下列反應性氣體：

三甲基矽烷(CH ₃) ₃ SiH，在	210 sccm
氬，He，在	600 sccm
二氧化矽，CO ₂ ，在	165 sccm

五、發明說明 (10)

基材放置離氣體分配淋浴頭(gas distribution showerhead)435密耳(mils)處及對淋浴頭施加585瓦高頻功率(13.56 MHz)供電漿促進沉積作用。氧化之三甲基矽烷材料之折射指數為1.88，其以1467A/分鐘之速率沉積晶圓均勻度為2%且介電常數為4.5。

實例2

在7托耳室壓及370°C溫度在8-吋矽晶圓上沉積氧化之三甲基矽烷薄膜，由其中於反應器中吹入下列反應性氣體：

三甲基矽烷(CH ₃) ₃ SiH，在	350 sccm
氮，He，在	300 sccm
一氧化二氮，N ₂ O，在	420 sccm

基材放置離氣體分配淋浴頭300密耳處及對淋浴頭施加800瓦高頻功率(13.56 MHz)供電漿促進沉積作用。氧化之三甲基矽烷材料之折射指數為1.46，其以14080A/分鐘之速率沉積晶圓均勻度為3%且介電常數為2.6。

實例3

在6托耳室壓及370°C溫度在8-吋矽晶圓上沉積氧化之三甲基矽烷薄膜，由其中於反應器中吹入下列反應性氣體：

三甲基矽烷(CH ₃) ₃ SiH，在	350 sccm
氮，He，在	300 sccm
一氧化二氮，N ₂ O，在	820 sccm

基材放置離氣體分配淋浴頭400密耳處及對淋浴頭施加

五、發明說明 (11)

625 瓦高頻功率 (13.56 MHz) 加上 95 瓦低頻功率 (350 KHz) 供電漿促進沉積作用。氧化之三甲基矽烷材料之折射指數為 1.44，其以 16438A/分鐘之速率沉積晶圓均勻度為 5% 且介電常數為 2.5。

實例 4

在 8.7 托耳室壓及 370°C 溫度在 8-吋矽晶圓上沉積氧化之三甲基矽烷薄膜，由其中於反應器中吹入下列反應性氣體：

三甲基矽烷 (CH ₃) ₃ SiH，在	210 sccm
氦，He，在	600 sccm
氧氣，O ₂ ，在	100 sccm

基材放置離氣體分配淋浴頭 435 密耳處及對淋浴頭施加 700 瓦高頻功率 (13.56 MHz) 供電漿促進沉積作用。氧化之三甲基矽烷材料之折射指數為 1.41，其以 5965A/分鐘之速率沉積晶圓均勻度為 4% 且介電常數為 2.6。

實例 5

在 8.7 托耳室壓及 370°C 溫度在 8-吋矽晶圓上沉積氧化之三甲基矽烷薄膜，由其中於反應器中吹入下列反應性氣體：

三甲基矽烷 (CH ₃) ₃ SiH，在	200 sccm
氦，He，在	800 sccm
一氧化二氮，N ₂ O，在	150 sccm
氮氣，N ₂ ，在	200 sccm

五、發明說明 (12)

基材放置離氣體分配淋浴頭435密耳處及對淋浴頭施加585瓦高頻功率(13.56 MHz)供電漿促進沉積作用。氧化之三甲基矽烷材料之折射指數為1.59，其以2058A/分鐘之速率沉積晶圓均勻度為6.5%且介電常數為3.4。

實例6

在8.7托耳室壓及370°C溫度在8-吋矽晶圓上沉積氧化之三甲基矽烷薄膜，由其中於反應器中吹入下列反應性氣體：

三甲基矽烷(CH ₃) ₃ SiH，在	200 sccm
--	----------

氦，He，在	800 sccm
--------	----------

一氧化二氮，N ₂ O，在	150 sccm
--------------------------	----------

氮氣，N ₂ ，在	100 sccm
----------------------	----------

基材放置離氣體分配淋浴頭435密耳處及對淋浴頭施加585瓦高頻功率(13.56 MHz)供電漿促進沉積作用。氧化之三甲基矽烷材料之折射指數為1.48，其以5410A/分鐘之速率沉積晶圓均勻度為5%且介電常數為3.0。

實例7

添加及添加少量N₂O於Applied材料公司之PECVD工具中之氣體混合物中進行SiCH薄膜沉積。表1概述沉積參數。

實驗編號	沉積時間(秒)	RF (W)	壓力(T)	(CH ₃) ₃ SiH (sccm)	He (sccm)	N ₂ O (sccm)	k
7-1	46.0	585	8.7	210	600	0	4.6
7-2	39.2	585	8.7	210	600	61	3.8
7-3	39.2	585	8.7	210	600	81	3.5

五、發明說明 (¹³)

7-4	39.2	585	8.7	210	600	101	3.4
7-5	46.0	585	8.7	210	600	0	5.1
7-6	28	585	8.7	210	600	101	3.9

介電常數k使用以Cu電極所形成之電容器結構加以測量，及在1 MHz之結果示於表中。併入更多N₂O略使相對電容率k降低。

在室溫之介電衰退強度測量顯示包含N₂O沉積薄膜之方法展現較高之衰退強度在4-5 MV/cm範圍內，與無N₂O者相反(其約為3.0 MV/cm)。該等材料另一測試中，對銅擴散之偏斜-溫度-應力測試，係於電容器施加高電場(2.5 MV/cm)同時維持在250°C。對電極施加正電壓將嘗試驅動電極中之銅通過電容器至對側電極。當此發生時，電容器將變成導電且發生短路。藉由達到短電路條件所花費之時間評估屏障性質。已發現無N₂O之下沉積之薄膜(如a-SiC:H)產生電容器失效之時間約30000-80000秒，比有N₂O下沉積之薄膜所測得者低10-100倍。因此導入氧化劑亦可改良屏障性質。

四、中文發明摘要(發明之名稱: 金屬離子擴散屏障層)

一種積體電路，包括於半導體材料所製得之基材中所形成之固體狀態裝置之次組裝。該次組裝中之裝置藉導電金屬所形成之金屬接線連接。在至少該金屬接線上形成具有 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 組成之合金薄膜之擴散屏障層(其中w之值為10至33，較好18至20原子%，x之值為1至66，較好18至21原子%，y之值為1至66，較好5至38原子%，及z之值為0.1至60，較好25至32原子%；及 $w+x+y+z=100$ 原子%)。

英文發明摘要(發明之名稱: "METAL ION DIFFUSION BARRIER LAYERS")

An integrated circuit comprising a subassembly of solid state devices formed into a substrate made of a semiconducting material. The devices within the subassembly are connected by metal wiring formed from conductive metals. A diffusion barrier layer of an alloy film having the composition of $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ where w has a value of 10 to 33, preferably 18 to 20 atomic %, x has a value of 1 to 66, preferably 18 to 21 atomic percent, y has a value of 1 to 66, preferably 5 to 38 atomic % and z has a value of 0.1 to 60, preferably 25 to 32 atomic %; and $w + x + y + z = 100$ atomic % is formed on at least the metal wiring.

六、申請專利範圍

1. 一種積體電路，係由在半導體材料所製得之基材中所形成之固體狀態裝置之次組裝、連接該固體狀態裝置之金屬接線、及至少在該金屬接線上形成之擴散屏障層所構成，其中該擴散屏障層為具有 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 組成之合金薄膜，其中 w 之值為 10 至 33， x 之值為 1 至 66， y 之值為 1 至 66， z 之值為 0.1 至 60，及 $w+x+y+z=100$ 原子%，其中擴散屏障層係由包括含甲基之矽烷及控制量之一氧化二氮之反應性氣體混合物藉化學蒸氣沉積所製得。
2. 如申請專利範圍第 1 項之積體電路，其中含甲基之矽烷為三甲基矽烷。
3. 如申請專利範圍第 1 項之積體電路，其中 w 值為 18 至 20 原子%。
4. 如申請專利範圍第 1 項之積體電路，其中 x 值為 18 至 21 原子%。
5. 如申請專利範圍第 1 項之積體電路，其中 y 值為 5 至 38 原子%。
6. 如申請專利範圍第 1 項之積體電路，其中 z 值為 25 至 32 原子%。
7. 如申請專利範圍第 1 項之積體電路，其中金屬接線為鋁。
8. 如申請專利範圍第 1 項之積體電路，其中金屬接線為銅。
9. 一種避免具有金屬接線之電路中相鄰裝置相互連接間金屬離子移動之方法，其係於至少該金屬接線上施加具有

六、申請專利範圍

$\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 組成之合金薄膜之擴散屏障層，其中 w 之值為 10 至 33， x 之值為 1 至 66， y 之值為 1 至 66， z 之值為 0.1 至 60，及 $w+x+y+z=100$ 原子%，其中擴散屏障層係由包括含甲基之矽烷及控制量之一氧化二氮之反應性氣體混合物藉化學蒸氣沉積所製得。

10. 如申請專利範圍第 9 項之方法，其中含甲基之矽烷為三甲基矽烷。
11. 如申請專利範圍第 10 項之方法，其中 w 值為 18 至 20 原子%。
12. 如申請專利範圍第 11 項之方法，其中 x 值為 18 至 21 原子%。
13. 如申請專利範圍第 12 項之方法，其中 y 值為 31 至 38 原子%。
14. 如申請專利範圍第 13 項之方法，其中 z 值為 25 至 32 原子%。
15. 如申請專利範圍第 14 項之方法，其中金屬接線為鋁。
16. 如申請專利範圍第 15 項之方法，其中金屬接線為銅。