

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-108457

(P2007-108457A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623A	5C006
G02F 1/133 (2006.01)	G09G 3/20 622A	5C080
	G09G 3/20 623R	
	G09G 3/20 621M	
審査請求 未請求 請求項の数 12 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2005-299650 (P2005-299650)
 (22) 出願日 平成17年10月14日(2005.10.14)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 橋本 義春
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 (72) 発明者 葉山 浩
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 (72) 発明者 久米 徹
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内

最終頁に続く

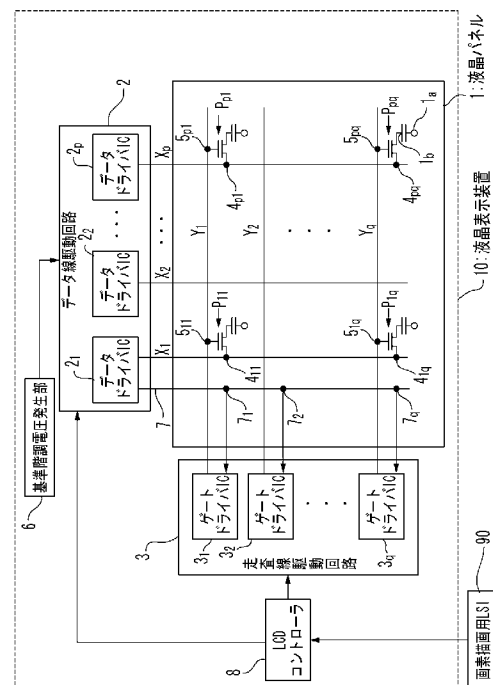
(54) 【発明の名称】 表示装置、データドライバIC、ゲートドライバIC、及び走査線駆動回路

(57) 【要約】

【課題】 大型、高精細な表示パネル上の場所による輝度の均一性を改善し、画質を向上することができる。

【解決手段】 本発明による表示装置10は、列方向に配列された複数のデータ線 $X_1 \sim X_p$ と、行方向に配列された複数の走査線 $Y_1 \sim Y_q$ と、複数のデータ線 $X_1 \sim X_p$ の各々と複数の走査線 $Y_1 \sim Y_q$ の各々が交差する位置に形成された複数の画素 $P_{11} \sim P_{pq}$ と、複数のデータ線 $X_1 \sim X_p$ に対して並列に配置されたダミー信号線7とを備える表示パネル1と、複数のデータ線 $X_1 \sim X_p$ を駆動するデータ線駆動回路2と、複数の走査線 $Y_1 \sim Y_q$ を駆動する走査線駆動回路3と、ダミー信号線7を駆動するダミー信号線駆動回路9とを具備し、ダミー信号線駆動回路9は、ダミー信号線7を介して走査線駆動回路にダミー信号HOEを出力し、走査線駆動回路3は、ダミー信号HOEにตอบสนองして複数の走査線 $Y_1 \sim Y_q$ を駆動する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

列方向に配列された複数のデータ線と、行方向に配列された複数の走査線と、前記複数のデータ線と前記複数の走査線とが交差する位置に形成された複数の画素と、前記複数のデータ線に対して並列に配置されたダミー信号線とを備える表示パネルと、

前記複数のデータ線を駆動するデータ線駆動回路と、

前記複数の走査線を駆動する走査線駆動回路と、

前記ダミー信号線を駆動するダミー信号線駆動回路とを具備し、

前記ダミー信号線駆動回路は、前記ダミー信号線を介して前記走査線駆動回路にダミー信号を出力し、

10

前記走査線駆動回路は、前記ダミー信号に応答して前記複数の走査線を駆動する表示装置。

【請求項 2】

請求項 1 に記載の表示装置において、

前記データ線駆動回路は、前記複数のデータ線を駆動する複数のデータドライバ I C を備え、

前記ダミー信号線は、前記走査線駆動回路に最も近い位置に設けられた第 1 のデータ線と前記走査線駆動回路との間に設けられ、

前記ダミー信号線駆動回路は、前記第 1 のデータ線を駆動する第 1 のデータドライバ I C 内に設けられる

20

表示装置。

【請求項 3】

請求項 2 に記載の表示装置において、

前記第 1 のデータドライバ I C は前記第 1 のデータ線を駆動するための表示信号を出力するデータ線駆動部を含み、

前記ダミー信号線駆動回路は、前記ダミー信号を前記ダミー信号線に出力するダミー信号線駆動部を含み、

前記データ線駆動部と前記ダミー信号線駆動部は同じ回路構成である

表示装置。

【請求項 4】

30

請求項 1 から 3 に記載の表示装置において、

前記ダミー信号線駆動回路は、前記複数の走査線と前記ダミー信号線とが交差する位置に形成された複数の接続点を介して前記走査線駆動回路に対し前記ダミー信号を出力する表示装置。

【請求項 5】

請求項 4 に記載の表示装置において、

前記走査線駆動回路は、前記複数の走査線を駆動する複数のゲートドライバ I C を備え、

前記複数のゲートドライバ I C の各々は、前記ダミー信号が入力されるコンパレータと、出力回路部とを備え、

40

前記コンパレータは、入力されたダミー信号と基準電圧とから走査制御信号を生成して前記出力回路部に出力し、

前記出力回路部は、前記走査制御信号に応答して前記複数の走査線のいずれかに対し走査信号を出力して前記走査線を駆動する

表示装置。

【請求項 6】

請求項 5 に記載の表示装置において、

前記データ線駆動回路から遠い位置に設けられた第 1 のゲートドライバ I C における第 1 のコンパレータから出力された第 1 の走査制御信号のパルス幅が、前記データ線駆動回路から近い位置に設けられた第 2 のゲートドライバ I C における第 2 のコンパレータから

50

出力された第2の走査制御信号のパルス幅よりも大きくなるように、前記第1のコンパレータに入力される第1の基準電圧と、前記第2のコンパレータに入力される第2の基準電圧が設定される

表示装置。

【請求項7】

列方向に配列された複数のデータ線と、行方向に配列された複数の走査線と、前記複数のデータ線と前記複数の走査線とが交差する位置に形成された複数の画素とを備える表示パネルと、

前記複数のデータ線を駆動するデータ線駆動回路と、

前記複数の走査線を駆動する走査線駆動回路とを具備し、

前記走査線駆動回路は、前記データ線駆動回路の動作に応答して決定されたパルス幅で前記複数の走査線を駆動する

表示装置。

【請求項8】

データ線を駆動するデータ線駆動部と、

前記データ線に並列に設けられたダミー信号線を駆動するダミー信号回路とを具備し、

前記ダミー信号線駆動回路は、前記ダミー信号線を介して、複数の走査線を駆動する走査線駆動回路に対しダミー信号を出力して、前記走査線駆動回路を制御する

データドライバIC。

【請求項9】

請求項8に記載のデータドライバICにおいて、

前記データ線駆動部は、前記走査線駆動回路に最も近い位置に設けられた第1のデータ線を駆動し、

前記ダミー信号線駆動回路は、前記第1のデータ線と前記走査線駆動回路との間に設けられたダミー信号線を介して、前記走査線駆動回路に対しダミー信号を出力して、前記走査線駆動回路を制御する

データドライバIC。

【請求項10】

請求項8又は9に記載のデータドライバICにおいて、

前記ダミー信号線駆動回路は、前記ダミー信号を前記ダミー信号線に出力するダミー信号線駆動部を含み、

前記データ線駆動部と前記ダミー信号線駆動部は同じ回路構成である

データドライバIC。

【請求項11】

ダミー信号が入力されるコンパレータと、出力回路部とを備え、

前記コンパレータは、入力されたダミー信号と基準電圧とから走査制御信号を生成して前記出力回路部に出力し、

前記出力回路部は、前記走査制御信号に応答して前記複数の走査線のいずれかに対し走査信号を出力して走査線を駆動する

ゲートドライバIC。

【請求項12】

請求項10に記載のゲートドライバICを複数備え、

複数のデータ線を駆動するデータ線駆動回路から遠い位置に設けられた第1のゲートドライバICにおける第1のコンパレータから出力された第1の走査制御信号のパルス幅が、前記データ線駆動回路に近い位置に設けられた第2のゲートドライバICにおける第2のコンパレータから出力された第2の走査制御信号のパルス幅よりも大きくなるように、前記第1のコンパレータに入力される第1の基準電圧と、前記第2のコンパレータに入力される第2の基準電圧が設定される

走査線駆動回路。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、表示装置、データドライバIC、ゲートドライバIC、及び走査線駆動回路に関し、特に、大型、高精細な表示パネルを駆動する技術に関する。

【背景技術】

【0002】

近年、各種の電子装置の低電圧及び低電力化、小型及び軽量化にともない多種多様な薄型の表示装置が急速に普及しつつある。特に液晶表示装置は、他の表示装置に比べて低消費電力、軽量、薄型であるため、テレビやパソコンのモニタ等、様々な電子機器の表示装置として採用されている。液晶表示装置には、単純マトリクス型と、画素にTFT (Thin Film Transistor) などのアクティブ素子を用いたアクティブマトリクス型(AMLCD: Active Matrix Liquid Crystal Display)などがある。 10

【0003】

従来のアクティブマトリクス型の液晶表示装置に使用される液晶パネルは、列方向に配列され、データ線駆動回路によって駆動される複数のデータ線と、行方向に配列され、走査線駆動回路によって駆動される複数の走査線と、データ線と走査線の交差する領域に形成されたTFTを含む画素とを具備している。大画面化への要求が増大している。

【0004】

一方、近年、各種薄型表示装置と同様に液晶表示装置も表示パネルの大型化、高精細化の要求が増大している。しかし、液晶パネルが大型化、高精細化すると、データ線及び走査線の容量性負荷及び抵抗性負荷によりデータ線駆動回路及び走査線駆動回路から遠距離に位置する画素への信号波形が鈍り、液晶パネル上の場所によって輝度が異なるという問題を生じていた。特に、データ線駆動回路及び走査線駆動回路に近い位置の画素と、遠く離れた位置の画素との輝度やコントラストの差は大きく、表示される画像が歪曲してしまうという問題があった。 20

【0005】

そのため、特開2005-004205号公報に、データ線駆動回路から出力される表示データと走査線駆動回路から出力される走査線駆動信号が実質的に同一な時間に、該当する画素領域に印加されることができ、表示データまたは走査線駆動信号の遅延による映像の歪曲を防止することができる液晶表示装置が記載されている（特許文献1参照）。 30

【0006】

図6は特許文献1に記載の発明による液晶表示装置100のブロック図である。図6を参照して、従来技術による液晶表示装置100は、液晶パネル11、データ線駆動回路12、走査線駆動回路13を具備している。液晶パネル11上には、列方向に配列された複数のデータ線 $X_1 \sim X_p$ (p は2以上の自然数)、行方向に配列された複数の走査線 $Y_1 \sim Y_q$ (q は2以上の自然数)、データ線 $X_1 \sim X_p$ と走査線 $Y_1 \sim Y_q$ との交差する領域にTFT11cを含む画素 $P_{11} \sim P_{pq}$ と、走査線 $Y_1 \sim Y_p$ と並列に設けられた出力指示信号線17とを備えている。ただし、図を見やすくするために、図6には4つの画素 P_{11} 、 P_{1q} 、 P_{p1} 、 P_{pq} しか図示されていない。各画素 $P_{11} \sim P_{pq}$ のTFTのゲート電極は、それぞれノード15 $_{11} \sim 15_{pq}$ を介して走査線 $Y_1 \sim Y_q$ に接続され、ドレイン電極は、ノード14 $_{11} \sim 14_{pq}$ を介してデータ線 $X_1 \sim X_p$ に接続されている。 40

【0007】

データ線駆動回路12は、タイミングコントローラ16と、タイミングコントローラから入力される出力指示信号TPに応答して、表示データをデータ線 $X_1 \sim X_p$ のそれぞれに inputs データドライバIC12 $_1 \sim 12_p$ とを備える。タイミングコントローラ16は、1つのデータ側TCP (Tape Carrier Package) を通じて出力指示信号TPを出力指示信号に inputs。出力指示信号TPは、出力指示信号線17における容量性負荷及び抵抗性負荷によって所定時間だけ遅延されて各データ線駆動回路12に inputs される。これによって、データドライバIC12 $_1 \sim 12_p$ からそれぞれ inputs される表示データを遅延さ 50

せることができ、走査駆動回路 13 から離れた位置において遅延が発生した走査線信号との信号のずれを解消することができる。

【0008】

また、特開 2004-126581 号公報には、走査信号のパルス幅をデータ線駆動回路から遠くなるほど大きい値にする信号制御部を備える表示装置が記載されている（特許文献 2 参照）。特許文献 2 に記載の表示装置では、走査信号のパルス幅をロジック演算により求めるか、制御回路に抵抗 R と容量 C を設け、抵抗値を可変してパルス幅を調節している。

【特許文献 1】特開 2005-004205 号公報

【特許文献 2】特開 2004-126581 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、これらの従来技術にはいくつかの問題点がある。図 7 (a) を参照して、特許文献 1 に記載の表示装置における出力指示信号 TP は、データ線駆動回路 12 内部のバッファなどで波形成形され、ノード 17₁ ではパルス幅が Ta1 の TP12₁ となり、出力指示信号線 17 の容量性負荷や抵抗性負荷によって走査線駆動回路から最も遠い位置のノード 17_p では、パルス幅が Ta1 よりも広い Tb1 の TP12_p となる。このように波形成形されてタイミングが異なる出力指示信号 TP1 ~ TP_p が入力されたデータドライバ IC12₁ ~ 12_p は、この出力指示信号 TP₁ ~ TP_p に応じて図 7 (b) に示されるようなパルス幅が異なる表示信号をデータ線に出力する。このため、走査線駆動回路 13 から遠い位置の画素（例えば画素 P_{p1}）に入力される表示信号は、走査線駆動回路 13 に近い位置の画素（例えば画素 P₁₁）に入力される表示信号に対して遅延する。

20

【0010】

しかし、走査線駆動回路 13 から走査線 Y₁ ~ Y_q に印加される走査信号は、バッファを介さないで波形成形されない。つまり、走査信号の波形が鈍ることはあっても、走査信号が遅延することはない。例えば、TF T のしきい電圧が V_{t h 1} である場合、走査信号がしきい V_{t h 1} 以下の電圧では、TF T のオン抵抗が非常に高く、所定の時間内に液晶に電圧を書き込むことができない。そのため、しきい電圧 V_{t h 1} よりかなり高めの走査信号が走査線 Y₁ ~ Y_q に印加されなければならない。図 7 (b) に示すように、走査信号の信号波形の中心電圧より上側の電圧（V_{t h 2} 以上）であれば、走査信号が V_{t h 2} 以上の期間は、TF T がオンとなり、データの書き込みが可能となる。図 7 (b) に示されるように走査線駆動回路 13 から最も近いノード 15₁₁ における走査信号のパルス幅は Tc2、最も遠いノード 15_{p1} でのパルス幅 Td2 の関係は、期間 Tc2 > 期間 Td2 となり、データの書き込み可能時間は走査線駆動回路 13 から遠い位置ほど短くなる。このため、実際には走査線駆動回路 13 から遠い位置の画素（例えば P_{p1}）は近い位置の画素（例えば P₁₁）よりコントラストが低下する。更に、図 8 に示されるように、データドライバ IC12₁ ~ 12_p から出力され、データ線駆動回路 12 から遠い位置の画素 P に入力される表示信号はパルス幅が広がり、遅延する。しかし、走査信号は、データ線駆動回路 12 から画素 P までの距離に依存して遅延せず、パルス幅も同じであるため、データ線駆動回路 12 から遠い位置にある画素 P（例えば画素 P_{1q}）では、走査信号 S_q による TF T のオン状態と、表示信号が TF T に入力されるタイミングとのずれが大きくなり、データ線駆動回路 12 から遠い画素（例えば画素 P_{1q}）の輝度は近い画素（例えば P₁₁）に比べ低下する。

30

40

【0011】

又、特許文献 2 に記載の表示装置では、データ線及び走査線の容量性負荷及び抵抗性負荷は、パネルごとに異なるので、ロジック演算だけでパルス幅を調節するのは困難である。又、制御回路で抵抗値 R を可変するのも同様に、制御回路で使用する抵抗の特性と、パネル上のデータ線、走査線の抵抗性負荷の特性が同じではなく、温度特性や、劣化の速度

50

が異なるので抵抗値 R で調節するのが困難である。このように、従来技術では、データ線及び走査線の容量性負荷及び抵抗性負荷に起因する液晶パネルの輝度（コントラストの均一性）の低下を改善することが困難となっている。

【課題を解決するための手段】

【0012】

上記の課題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、[特許請求の範囲]の記載と[発明を実施するための最良の形態]の記載との対応関係を明らかにするために、[発明を実施するための最良の形態]で使用される番号・符号が付加されている。但し、付加された番号・符号は、[特許請求の範囲]に記載されている発明の技術的範囲を限定的に解釈するために用いてはな

10

【0013】

本発明による表示装置(10)は、列方向に配列された複数のデータ線($X_1 \sim X_p$)と、行方向に配列された複数の走査線($Y_1 \sim Y_q$)と、複数のデータ線($X_1 \sim X_p$)と複数の走査線($Y_1 \sim Y_q$)とが交差する位置に形成された複数の画素($P_{11} \sim P_{pq}$)と、複数のデータ線($X_1 \sim X_p$)に対して並列に配置されたダミー信号線(7)とを備える表示パネル(1)と、複数のデータ線($X_1 \sim X_p$)を駆動するデータ線駆動回路(2)と、複数の走査線($Y_1 \sim Y_q$)を駆動する走査線駆動回路(3)と、ダミー信号線(7)を駆動するダミー信号線駆動回路(9)とを具備する。ダミー信号線駆動回路(9)は、ダミー信号線(7)を介して走査線駆動回路にダミー信号(HOE)を出力する。走査線駆動回路(3)は、ダミー信号(HOE)に応答して複数の走査線($Y_1 \sim Y_q$)を駆動する。同一表示パネル(1)上に、並列に設けられたデータ線($X_1 \sim X_p$)とダミー線(7)の容量性負荷や抵抗性負荷の値は近似する。このため、データ線($X_1 \sim X_p$)を介して画素($P_{11} \sim P_{pq}$)に入力される表示信号($DS_{11} \sim DS_{pq}$)の波形鈍りと同様に变化するダミー信号(HOE)が走査線駆動回路(3)に入力される。走査線駆動回路(3)は、このようなダミー信号(HOE)に応答して複数の走査線($Y_1 \sim Y_q$)を駆動するため、表示パネル(1)上の位置に起因して波形変形する表示信号($DS_{11} \sim DS_{pq}$)に対応した走査信号($S_1 \sim S_q$)を出力して走査線($Y_1 \sim Y_q$)を駆動することができる。

20

【0014】

データ線駆動回路(2)は、複数のデータ線($X_1 \sim X_p$)を駆動する複数のデータドライバIC($2_1 \sim 2_p$)を備える。ダミー信号線(7)は、走査線駆動回路(3)に最も近い位置に設けられた第1のデータ線(X_1)と走査線駆動回路(3)との間に設けられることが望ましい。又、ダミー信号線駆動回路(9)は、第1のデータ線(X_1)を駆動する第1のデータドライバIC(2_1)内に設けられることが望ましい。このように、ダミー信号線(7)と走査線駆動回路(3)との距離を最短にすることで、走査線駆動回路(3)に入力されるダミー信号(HOE)に対する波形形成の変化量と、各画素($P_{11} \sim P_{pq}$)に入力される表示信号($DS_{11} \sim DS_{pq}$)に対する波形形成の変化量との相違を最小にできる。

30

【0015】

第1のデータドライバIC(2_1)は第1のデータ線(X_1)を駆動するための表示信号($DS_{11} \sim DS_{1q}$)を出力するデータ線駆動部(22_1)を含む。又、ダミー信号線駆動回路(9)は、ダミー信号(HOE)をダミー信号線(7)に出力するダミー信号線駆動部(26)を含む。ここで、データ線駆動部(22_1)とダミー信号線駆動部(26)は同じ回路構成であることが望ましい。このため、ダミー信号(HOE)と表示信号($DS_{11} \sim DS_{1q}$)の各種パラメータについての相対値のばらつき量が小さくなる。

40

【0016】

ダミー信号線駆動回路(9)は、複数の走査線($Y_1 \sim Y_q$)とダミー信号線(7)とが交差する位置に形成された複数の接続点($7_1 \sim 7_q$)を介して走査線駆動回路(3)に対しダミー信号($HOE_1 \sim HOE_q$)を出力することが望ましい。

50

【0017】

走査線駆動回路(3)は、複数の走査線($Y_1 \sim Y_q$)を駆動する複数のゲートドライバIC($3_1 \sim 3_q$)を備える。複数のゲートドライバIC($3_1 \sim 3_q$)の各々は、ダミー信号($HOE_1 \sim HOE_q$)が入力されるコンパレータ($3_{2_1} \sim 3_{2_q}$)と、出力回路部($3_{1_1} \sim 3_{1_q}$)とを備える。コンパレータ($3_{2_1} \sim 3_{2_q}$)は、入力されたダミー信号($HOE_1 \sim HOE_q$)と基準電圧($V_{ref_1} \sim V_{ref_q}$)とから走査制御信号($VOE_1 \sim VOE_q$)を生成して出力回路部($3_{1_1} \sim 3_{1_q}$)に出力する。出力回路部($3_{1_1} \sim 3_{1_q}$)は、走査制御信号($VOE_1 \sim VOE_q$)にตอบสนองして複数の走査線($Y_1 \sim Y_q$)のいずれかに対し走査信号($S_1 \sim S_q$)を出力して走査線($Y_1 \sim Y_p$)を駆動する。

10

【0018】

データ線駆動回路(2)から遠い位置に設けられた第1のゲートドライバIC(例えばゲートドライバIC 3_q)における第1のコンパレータ(例えばコンパレータ 3_{2_q})から出力された第1の走査制御信号(例えば VOE_q)のパルス幅が、データ線駆動回路(2)から近い位置に設けられた第2のゲートドライバIC(例えばゲートドライバIC 3_1)における第2のコンパレータ(例えばコンパレータ 3_{2_1})から出力された第2の走査制御信号(例えば VOE_1)のパルス幅よりも大きくなるように、第1のコンパレータ(例えばコンパレータ 3_{2_q})に入力される第1の基準電圧(例えば V_{ref_q})と、第2のコンパレータ(例えばコンパレータ 3_{2_1})に入力される第2の基準電圧(例えば V_{ref_1})が設定される。

20

【0019】

このような構成の表示装置によれば、表示パネル上のデータ線駆動回路(2)に近い位置の画素(例えば画素 P_{1_1})と遠い位置の画素(例えば画素 P_{1_q})のそれぞれに入力される表示信号とTF Tのオンする期間のずれ量の差を均等にすることができる。このため、表示パネル上の場所による輝度の均一性を向上することができる。

【発明の効果】

【0020】

本発明によれば、大型、高精細な表示パネル上における場所による輝度の均一性を向上することができる。

【0021】

30

更に、表示パネルの画質を向上することができる。

【発明を実施するための最良の形態】

【0022】

以下、添付図面を参照しながら本発明の実施の形態が説明される。図面において同一、又は類似の参照符号は、同一、類似、又は等価な構成要素を示している。

【0023】

(構成)

1. 液晶表示装置の全体構成

図1は、本発明の実施形態に係る液晶表示装置10の構成を示すブロック図である。図1を参照して、本発明による液晶表示装置100は、液晶パネル1、データ線駆動回路2、走査線駆動回路3、基準階調電圧発生部6、LCD(liquid crystal display)コントローラ8、及び図示しない電源回路を具備している。液晶パネル1上には、列方向に配列された複数のデータ線 $X_1 \sim X_p$ (p は2以上の自然数)、行方向に配列された複数の走査線 $Y_1 \sim Y_q$ (q は2以上の自然数)、データ線 $X_1 \sim X_p$ と走査線 $Y_1 \sim Y_q$ との交差する領域にTF T1cを含む画素 $P_{1_1} \sim P_{p_q}$ と、データ線 $X_1 \sim X_p$ と並列に設けられたダミー信号線7とを備えている。ただし、図を見やすくするために、図1には4つの画素 P_{1_1} 、 P_{1_q} 、 P_{p_1} 、 P_{p_q} しか図示されていない。各画素 $P_{1_1} \sim P_{p_q}$ のTF Tのゲート電極は、それぞれノード $5_{1_1} \sim 5_{p_q}$ を介して走査線 $Y_1 \sim Y_q$ に接続され、ドレイン電極は、ノード $4_{1_1} \sim 4_{p_q}$ を介してデータ線 $X_1 \sim X_p$ に接続されている。以下において、例えば、データ線 X_p と走査線 Y_q とが交

40

50

差する位置に設けられた画素は、画素 $P_{p,q}$ と記載される。各画素 $P_{p,q}$ は、コモン電極 1a に対向する画素電極 1b と TFT 1c とを備えている。画素 $P_{p,q}$ の TFT 1c がターンオンされた状態でデータ線 X_p に表示信号 DS が供給されると、画素 $P_{p,q}$ の液晶容量（即ち、コモン電極 1a と画素電極 1b とで構成される容量）に表示信号 $DS_{p,q}$ が書き込まれる。

【0024】

LCD コントローラ 8 は、データ線駆動回路 2 と走査線駆動回路 3 を制御し、これによって液晶パネル 1 に所望の画像を表示させる。LCD コントローラ 8 は、画像描画用 LSI 90（例えば、CPU (Central Processor Unit)、及び DSP (Digital signal processor)）から表示データ (display data) を受け取り、受け取った表示データをデータ線駆動回路 2 に転送する。表示データは、液晶パネル 1 の各画素 P の階調を指示するデータである。以下において、例えば画素 $P_{p,q}$ に対応する表示データは、表示データ $D_{p,q}$ と記載される。更に LCD コントローラ 8 は、垂直同期信号 $Vsync$ 、水平同期信号 $Hsync$ 、データイネーブル信号 DE 、ドットクロック信号 CLK 、その他の制御信号を画像描画用 LSI 90 から受け取り、これらの制御信号に基づいてデータ線駆動回路 2 にデータ線側制御信号 101 を、走査線駆動回路 3 に走査線側制御信号 102 を供給する。

【0025】

大型の液晶表示装置 10 におけるデータ線駆動回路 2 には半導体製造装置の都合上、チップサイズの上限が制限された半導体基板上に集積化された複数のデータドライバ IC $2_1 \sim 2_p$ が設けられる。各データドライバ IC $2_1 \sim 2_p$ は、LCD コントローラ 8 から入力されるデータ線側制御信号 101 及び表示データ $D_{1,1} \sim D_{p,q}$ に応答して、表示信号 (display signal) $DS_{1,1} \sim DS_{p,q}$ を各データ線 $X_1 \sim X_p$ に入力する。データ線 X_1 は入力される表示信号 $DS_{1,1} \sim DS_{1,q}$ によって駆動される。以下において、例えば、画素 $P_{p,q}$ に入力される表示信号は、表示信号 $DS_{p,q}$ と記載される。尚、データ線 $X_1 \sim X_p$ の駆動には、基準階調電圧発生部 6 から供給される階調電圧 V_g が使用される。又、走査線駆動回路 3 に最も近い位置に設けられたデータ線 X_1 を駆動するデータドライバ IC 2_1 は、ダミー信号線 7 に接続するダミー信号線駆動回路 9 を備える。ダミー信号線駆動回路 9 は、基準階調電圧発生部 6 から供給される階調電圧 V_g に応答してダミー信号 HOE をダミー信号線 7 に出力する。

【0026】

液晶パネル 1 に設けられるダミー信号線 7 は、走査線駆動回路 3 に最も近いデータ線 X_1 と走査線駆動回路 3 との間に、データ線 X_1 と並列に形成されることが望ましい。ダミー信号線 7 が走査線駆動回路 3 に近接して設けられることで、ダミー信号線 7 の容量性負荷等によるダミー信号 HOE の鈍りを抑制することができる。ダミー信号線 7 には、光が漏れないように遮光された複数のダミー画素に接続するデータ線が利用される。ここで、ダミー画素において、画素 $P_{1,1} \sim P_{p,q}$ とデータ線 $X_1 \sim X_p$ との接続点であるノード $4_{1,1} \sim 4_{p,q}$ に対応する位置をノード $7_1 \sim$ ノード 7_q とする。ダミー信号線 7 は各ノード $7_1 \sim 7_q$ を介して各走査線駆動回路 3 に接続され、ダミー信号線駆動回路 9 から入力されたダミー信号 HOE は、各ノード $7_1 \sim$ ノード 7_q を介して各ゲートドライバ IC $3_1 \sim 3_q$ に入力される。

【0027】

走査線駆動回路 3 にはデータ線駆動回路 2 と同様に、チップサイズの上限が制限された半導体基板上に集積化された複数のゲートドライバ IC $3_1 \sim 3_p$ が設けられる。各ゲートドライバ IC $3_1 \sim 3_p$ は、LCD コントローラ 8 から入力される走査線側制御信号 102、及びダミー信号線駆動回路 9 から入力されるダミー信号 HOE に応答して、走査信号 $S_1 \sim S_q$ を走査線 $Y_1 \sim Y_q$ に出力する。詳細には、各ゲートドライバ IC $3_1 \sim 3_q$ は、ダミー信号線 7 上の各ノード $7_1 \sim 7_q$ を介して入力される各ダミー信号 $HOE_1 \sim HOE_q$ に応答して、各走査信号 $S_1 \sim S_q$ を各走査線 $Y_1 \sim Y_q$ に入力する。

【0028】

以上のような構成により、本発明による液晶表示装置 10 では、LCD コントローラ 8 からの制御信号（データ線側制御信号 101 及び走査線側制御信号 102）と、基準階調電圧発生部 6 からの階調電圧 V_g とに応じて、走査線駆動回路 3 が走査線 $Y_1 \sim Y_q$ を逐次に走査し、データ線駆動回路 2 が表示データ $D_{11} \sim D_{pq}$ に応じた表示信号 $DS_{11} \sim DS_{pq}$ を出力することによって、各画素 $P_{11} \sim P_{pq}$ を駆動して、1つの映像が液晶パネル 1 に表示される。この際、走査線駆動回路 3 は、データドライバ IC 21 内のダミー信号線駆動回路 9 から出力されるダミー信号 HOE に応じて走査線 $Y_1 \sim Y_q$ を駆動する。

【0029】

2. データドライバ IC の構成

図 2 (a) は、データドライバ IC 21 の構成の一部を示すブロック図である。図 2 (b) はデータドライバ IC 2j ($j = 2 \sim p$) の構成の一部を示すブロック図である。図 2 (a) を参照して、本発明に係るデータドライバ IC 21 は、複数の階調電圧 V_g の中から表示データ $D_{11} \sim D_{1q}$ とに回答して選択した階調電圧で、データ線 X_1 を駆動する表示信号出力回路 201 と、複数の階調電圧 V_g の中の所定の 2つの階調電圧 (V_{top} 、 V_{btm}) で回答して、ダミー信号線 7 を駆動するダミー信号線駆動回路 9 とを具備する。表示信号出力回路 201 は、表示データ $D_{11} \sim D_{1q}$ に応じて階調電圧を選択する D/A 変換回路（セレクタ）211 と、D/A 変換回路 211 で選択された階調電圧を表示信号 $DS_{11} \sim DS_{1q}$ のいずれかとしてデータ線 X_1 に出力するデータ線駆動部（ボルテージフォロア）221 とを備える。ダミー信号線駆動回路 9 は、入力される複数の階調電圧 V_g からレベルの異なる 2種類の階調電圧 V_{top} 、 V_{btm} を出力するバッファ 25 と、バッファ 25 から出力された 2種類の階調電圧 V_{top} 、 V_{btm} に応じたダミー信号 HOE を出力するダミー信号線駆動部 26 とを備える。ここで、ダミー信号線駆動部 26 は、データ線駆動部 221 と同じ回路で構成される。しかし、駆動能力は異なっても良い。

【0030】

図 2 (b) を参照して、データドライバ IC 21 以外のデータドライバ IC j ($j = 2 \sim p$) は、上記の表示信号出力回路 20 と同じ構成の表示信号出力回路 20j を備え、入力される複数の階調電圧 V_g 及び表示データ $D_{11} \sim D_{1q}$ に基づき表示信号 $DS_{j1} \sim DS_{jq}$ を出力してデータ線 X_j を駆動する。

【0031】

3. ゲートドライバ IC の構成

図 3 は、ゲートドライバ IC 31 $\sim 3q$ の構成を示すブロック図である。図 3 を参照して、各ゲートドライバ IC 31 $\sim 3q$ は、LCD コントローラ 8 から入力される走査線側制御信号 102 とダミー信号駆動回路 9 から入力されるダミー信号 $HOE_1 \sim HOE_q$ とに回答して各走査線信号 $S_1 \sim S_q$ を各走査線 $Y_1 \sim Y_q$ に出力する。各ゲートドライバ IC 31 $\sim 3q$ の構成は同じであるので、ここではゲートドライバ IC 3q についてその構成が説明される。ゲートドライバ IC 3q は、走査線側制御信号 102 及びダミー信号 HOE_q に回答して走査制御信号 VOE を出力回路部 31q に出力する入力回路部 30q と、走査線側制御信号 102 と入力回路部 30q から出力された走査制御信号 VOE とに回答して走査線 Y_q を駆動する走査信号 S_q を出力する出力回路部 31q とを具備する。入力回路部 30q は、基準電圧 V_{refq} が印加されたコンパレータ 32q を備え、入力されるダミー信号 HOE_q と基準電圧 V_{refq} に基づいて走査制御信号 VOE を出力する。ここで、各ゲートドライバ IC 31 $\sim 3q$ におけるコンパレータ 321 $\sim 32q$ に供給される基準電圧 $V_{ref1} \sim V_{refq}$ の値は、階調電圧 V_{top} と V_{btm} との間の任意の電圧レベルで設定され得る。しかし、データ線駆動回路 2 に近い位置の走査線 Y を駆動するゲートドライバ IC 3 (例えばゲートドライバ IC 31) における V_{ref} は階調電圧 V_{top} と V_{btm} の中間電位よりも高く、中間電位に近い電位で設定され、データ線駆動回路 2 から遠い位置の走査線 Y を駆動するゲートドライバ IC 3 (例えばゲートドライバ IC 3q) における V_{ref} は階調電圧 V_{top} と V_{btm} の中間電位よりも高く、階調

10

20

30

40

50

電圧 $V_{t \circ p}$ 側に近い電位に設定されることが好ましい。このような設定により、後述する動作によってデータ線駆動回路 2 に近い位置のゲート線 Y にはパルス幅の狭い走査信号 S が入力され、遠い位置のゲート線 Y にはパルス幅の長い走査信号 S が入力される。

【0032】

(動作)

図 4 は、本発明による液晶表示装置 10 において、第 1 水平期間（走査線 Y_1 上の画素が駆動される期間）から第 q 水平期間（走査線 Y_q 上の画素が駆動される期間）における走査線駆動回路 3 の動作を示すタイミングチャートである。図 4 を参照して、ゲートドライバ IC 31 及びゲートドライバ IC 3q による走査信号を一例に走査線駆動回路 3 の動作が説明される。

10

【0033】

図 4 (a) に示される HSTB 信号は、LCD コントローラ 8 からデータ線駆動回路 2 に入力されるデータ線側制御信号 101 に含まれる信号で、表示データ $D_{11} \sim D_{pq}$ のラッチや、データ線駆動部 22 の出力タイミングを制御する。この HSTB 信号の立ち上がりから次の信号の立ち上がりまでを一水平期間とする。図 4 (b) に示される VCLK 信号は、走査線駆動回路 3 に入力される走査線側制御信号 102 に含まれるクロック信号である。走査線駆動回路 3 は、走査線側制御信号 102 として垂直スタート信号が入力されると、VCLK 信号に同期して各走査線 $Y_1 \sim Y_q$ に対して順に走査信号を出力する。

【0034】

ダミー信号回路 9 は、入力されるデータ線側制御信号 101 に基づき一水平期間に一回、ダミー信号 HOE として $V_{t \circ p}$ と $V_{b \circ t \circ m}$ の電圧幅のパルスを出力する（図 4 (c) 参照）。ダミー信号回路 9 から出力されたダミー信号 HOE はダミー線 7 上の各ノード $7_1 \sim 7_q$ を介して各ゲートドライバ IC 31 $\sim$ 3q に入力される。

20

【0035】

図 4 (d) は、データドライバ IC 21 に最も近い位置のゲートドライバ IC 31 に入力されるダミー信号 HOE1 の波形を示すタイミングチャートである。図 4 (d) を参照して、ゲートドライバ IC 31 のコンパレータ 321 に供給する基準電圧 V_{ref1} の値を階調電圧 $V_{t \circ p}$ と $V_{b \circ t \circ m}$ の中間電位より高く、中間電位に近い電圧に設定すると、コンパレータ 321 は、期間 Ta だけローレベルの走査制御信号 VOE1 を生成し（図 4 (e)）、出力回路部 311 は、走査制御信号 VOE1 に基づいた走査信号 S1 を走査線 Y_1 に出力する（図 4 (e)）。

30

【0036】

図 4 (g) は、データドライバ IC 21 に最も遠い位置のゲートドライバ IC 3q に入力されるダミー信号 HOE_q の波形を示すタイミングチャートである。図 4 (g) を参照して、ゲートドライバ IC 3q のコンパレータ 32q に供給する基準電圧 V_{refq} の値を階調電圧 $V_{t \circ p}$ に近い電圧に設定すると、コンパレータ 32q は、期間 Tb だけローレベルの走査制御信号 VOE_q を生成し（図 4 (h)）、出力回路部 31q は、走査制御信号 VOE_q に基づいた走査信号 S_q を走査線 Y_q に出力する（図 4 (i)）。

【0037】

このように、各ゲートドライバ IC 31 $\sim$ 3q は、走査制御信号 VOE1 $\sim$ VOE_q のローレベルの期間だけ順次に走査信号 S1 $\sim$ S_q を出力する。

40

【0038】

ここで、データドライバ IC 21 に近い側に位置するゲートドライバ IC のコンパレータ 32 に供給される基準電圧 V_{ref} は、 $V_{t \circ p}$ と $V_{b \circ t \circ m}$ の中間電位よりも高く、中間電位に近い電圧が設定され、データドライバ IC 21 から遠い側に位置するゲートドライバ IC のコンパレータ 32 に供給される基準電圧 V_{ref} は、 $V_{t \circ p}$ と $V_{b \circ t \circ m}$ の中間電位よりも高く、階調電圧 $V_{t \circ p}$ に近い電圧が設定される。又、ダミー線 7 における容量性負荷や抵抗性負荷により、ゲートドライバ IC 3q に入力されるダミー信号 HOE_q は、ゲートドライバ IC 31 に入力されるダミー信号 HOE1 に比べ、波形の鈍りが大きくなる。このため、走査制御信号 VOE の生成期間は期間 Ta < 期間 Tb となる。すな

50

わち、データ線駆動回路2から最も遠いゲートドライバIC3_qの走査信号S_qのパルス幅は、データ線駆動回路2から最も近い走査ドライバIC3₁の走査信号S₁のパルス幅より長くなるように設定される。

【0039】

図5は、データ線X₁上に設けられた各画素P₁₁～P_{1q}に印加される表示信号DS₁₁～DS_{1q}、及び走査信号S₁₁～S_{1q}のタイミングチャートである。データ線駆動回路3から遠い位置の画素Pに入力される表示信号Sはパルス幅が広がり、遅延する(図5(a)、(c)、(e))。一方、データ線駆動回路2から遠い位置のゲートドライバICから出力される走査信号Sのパルス幅は、データ線駆動回路2から近い位置の走査ドライバICから出力された走査信号Sのパルス幅より長い。このため、データ線駆動回路2から画素P₁₁～P_{1q}までの距離によって生じていた、TF T1cのオン状態と、表示信号DSがTF T1cに入力されるタイミングとのずれの大きさが抑制される。すなわち、データ線駆動回路2から遠い画素(例えば画素P_{1q})の輝度と近い画素(例えばP₁₁)の輝度の差が解消され(又は、小さくなり)、液晶パネル1における場所によるコントラストの不均一性を解消することができる。

【0040】

本発明による液晶表示装置10では、同一パネル上にダミー線7とデータ線X₁～X_pが並列に設けられているため、両者の容量性負荷及び抵抗性負荷の相対値のばらつき量は非常に小さい。又、ダミー信号HOEを出力するダミー線駆動部26と各表示信号DS₁₁～DS_{pq}を出力するデータ線駆動部22₁～22_pとの各種パラメータについての相対値のばらつき量も小さい。従って、データ線X₁からX_qの負荷の変化や、温度によるデータドライバIC2₁におけるデータ線駆動部22₁の特性変化に対応して、各データ線X₁～X_qに入力される各表示信号DS₁₁～DS_{1q}と、各ゲートドライバIC3₁～3_qに入力される各ダミー信号HOE₁～HOE_qの波形鈍りも同様に変化する。各ダミー信号HOE₁～HOE_qの波形鈍りが大きくなれば各走査信号S₁～S_qのパルス幅も長くなるので、これらの特性変動要因に対しては自動的に調節することができる。

【0041】

以上、本発明の実施の形態を詳述してきたが、具体的な構成は上記実施の形態に限られるものではなく、本発明の要旨を逸脱しない範囲の変更があっても本発明に含まれる。本実施の形態では、データ線駆動回路2から遠い走査線に対して入力される走査信号のパルス幅を長くするように設定したが、コンパレータ32₁～32_qに供給するV_{ref1}～V_{refq}を適切に設定することで、データ線駆動回路2に近い走査線に対して入力される走査信号のパルス幅を短くするように設定しても構わない。これにより、場所による輝度の差が低減されるため、画面全体における画像の歪曲や色むら等が解消され、画質が向上される。又、本実施の形態では、表示装置として液晶表示装置10を一例に説明されたが、有機EL表示装置等の他のマトリクス型表示装置であっても良い。

【図面の簡単な説明】

【0042】

【図1】図1は、本発明による液晶表示装置の実施の形態における構成を示すブロック図である。

【図2】図2(a)は、本発明に係るダミー信号線駆動回路を含むデータドライバICの構成の一部を示すブロック図である。図2(b)は、その他のデータドライバICの構成の一部を示すブロック図である。

【図3】図3は、本発明に係るゲートドライバICの構成を示すブロック図である。

【図4】図4は、本発明による液晶表示装置において、第1水平期間から第q水平期間における走査線駆動回路の動作を示すタイミングチャートである。

【図5】図5は、本発明による液晶表示装置において、データ線上に設けられた画素に印加される表示信号、及び走査信号のタイミングチャートである。

【図6】図6は、従来技術による液晶表示装置の構成を示すブロック図である。

【図7】図7は、従来技術による液晶表示装置における出力支持信号と走査線駆動回路に

10

20

30

40

50

近い位置の画素と、遠い位置の画素に印加される走査信号の波形を示すタイムチャートである。

【図 8】図 8 は、従来技術による液晶表示装置において、データ線上に設けられた画素に印加される表示信号、及び走査信号のタイミングチャートである。

【符号の説明】

【0043】

- 1：液晶パネル
- 1a：コモン電極
- 1b：画素電極
- 1c：TFT
- 2：データ線駆動回路
- 2₁～2_p：データドライバIC
- 20₁～20_q：表示信号出力回路
- 21₁～21_q：D/A変換回路（セクタ）
- 22₁～22_q：データ線駆動部
- 25：バッファ
- 26：ダミー線駆動部
- 3：走査線駆動回路
- 30₁～30_q：入力回路部
- 31₁～31_q：出力回路部
- 32₁～32_q：コンパレータ
- 33₁～33_q：入力回路部
- 3₁～3_q：ゲートドライバIC
- 4₁₁～4_{pq}、5₁₁～5_{pq}、7₁～7_q：ノード
- 6：基準階調電圧発生部
- 7：ダミー線
- 8：LCDコントローラ
- 9：ダミー信号線駆動回路
- 10：液晶表示装置
- 90：画素描画用LSI
- 101：データ線側制御信号
- 102：走査線側制御信号
- X₁～X_p：データ線
- Y₁～Y_q：走査線
- P₁₁～P_{pq}：画素
- HOE、HOE₁～HOE_q：ダミー信号
- VOE₁～VOE_q：走査制御信号
- V_{top}、V_{btm}：階調電圧
- V_g、V_{ref1}～V_{refq}：基準電圧
- D₁₁～D_{pq}：表示データ
- DS₁₁～DS_{pq}：表示信号
- S₁～S_q：走査信号

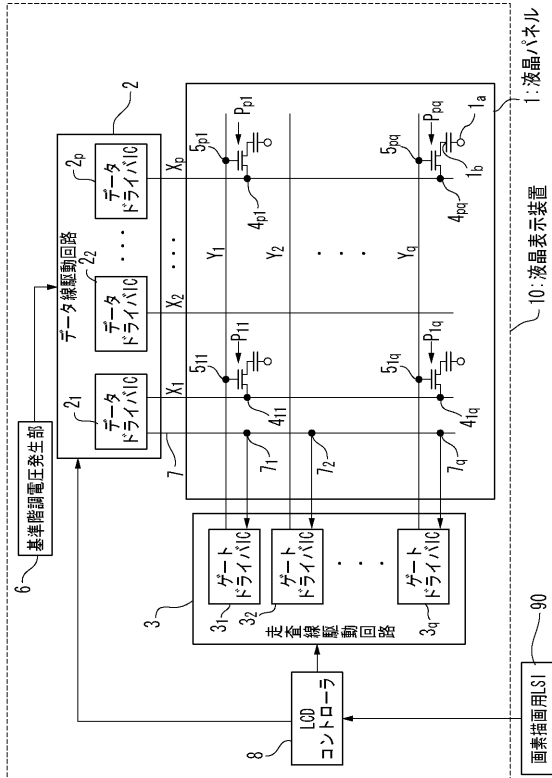
10

20

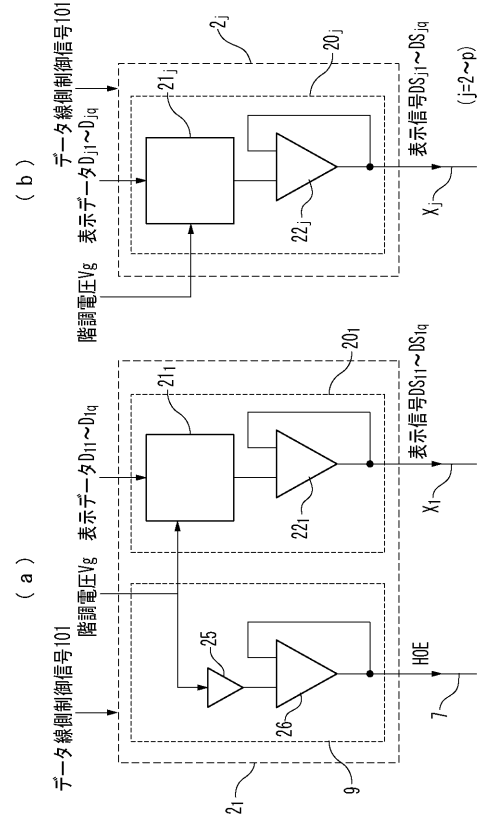
30

40

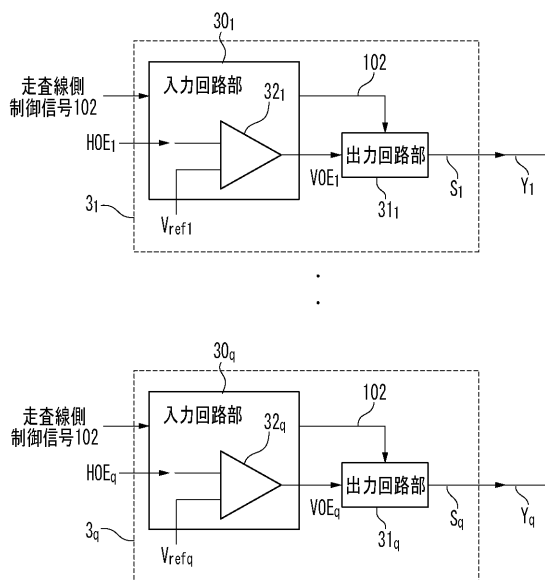
【図 1】



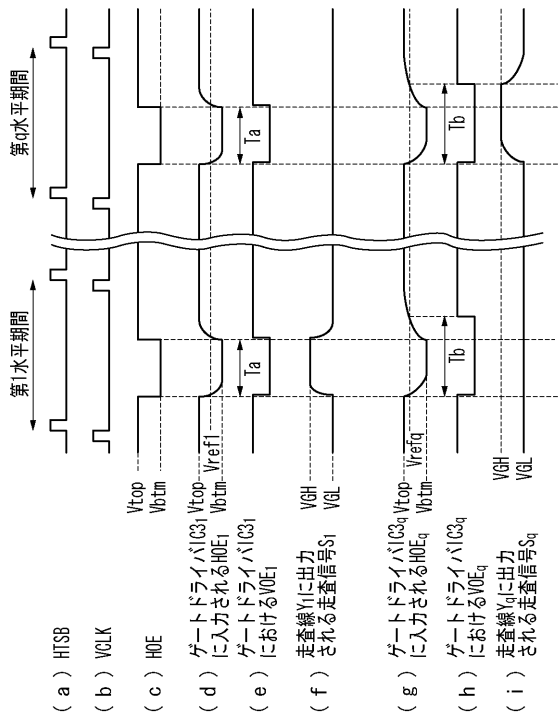
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 4 2 P
G 0 9 G	3/20	6 4 2 A
G 0 2 F	1/133	5 0 5
G 0 2 F	1/133	5 5 0

Fターム(参考)	2H093	NA16	NA46	NA80	NB11	NC11	NC21	NC34	NC59	ND09	NE03
	5C006	AA11	AC11	AC24	AF42	AF43	AF50	AF51	AF53	AF54	AF59
		BB16	BC02	BC03	BC11	BC22	BC23	BF14	FA22		
	5C080	AA10	BB05	DD05	EE28	FF11	JJ02	JJ03	JJ04		