

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6041500号
(P6041500)

(45) 発行日 平成28年12月7日(2016. 12. 7)

(24) 登録日 平成28年11月18日(2016. 11. 18)

(51) Int.Cl.	F I
HO 4 N 5/378 (2011. 01)	HO 4 N 5/335 7 8 O
HO 4 N 5/374 (2011. 01)	HO 4 N 5/335 7 4 O
HO 4 N 5/347 (2011. 01)	HO 4 N 5/335 4 7 O
GO 2 B 7/34 (2006. 01)	GO 2 B 7/34
GO 3 B 13/36 (2006. 01)	GO 3 B 13/36

請求項の数 17 (全 24 頁)

(21) 出願番号	特願2012-45652 (P2012-45652)	(73) 特許権者	000001007
(22) 出願日	平成24年3月1日(2012. 3. 1)		キヤノン株式会社
(65) 公開番号	特開2013-183279 (P2013-183279A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成25年9月12日(2013. 9. 12)	(74) 代理人	100126240
審査請求日	平成27年3月2日(2015. 3. 2)		弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	橋本 誠二
			東京都大田区下丸子3丁目30番2号キヤ
			ノン株式会社内
		(72) 発明者	鈴木 建
			東京都大田区下丸子3丁目30番2号キヤ
			ノン株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置、撮像システム、撮像装置の駆動方法、撮像システムの駆動方法

(57) 【特許請求の範囲】

【請求項 1】

各々が入射光に基づく信号電荷を生成する n 個 (n は 2 以上の自然数) の光電変換部を有する画素と、

複数のアナログデジタル変換部と、を有し、
前記複数のアナログデジタル変換部が、
前記 n 個の光電変換部が含む m 個 (m は n > m の関係式を満たす自然数) の前記光電変換部が入射光に基づいて生成する信号電荷に基づく第 1 の光電変換信号をデジタル信号に変換する動作の少なくとも一部を第 1 の期間に行う第 1 のアナログデジタル変換部と、
前記 n 個の前記光電変換部が入射光に基づいて生成する信号電荷に基づく第 2 の光電変換信号をデジタル信号に変換する動作の少なくとも一部を前記第 1 の期間に行う第 2 のアナログデジタル変換部と、を有することを特徴とする撮像装置。

【請求項 2】

前記撮像装置はさらに複数の前記画素と加算回路を有し、
前記複数の画素の各々は前記加算回路に前記第 1 の光電変換信号と前記第 2 の光電変換信号を出力し、
前記加算回路は、
前記複数の画素の各々から出力された前記第 1 の光電変換信号同士を加算して前記第 1 のアナログデジタル変換部に出力し、前記複数の画素の各々から出力された前記第 2 の光電変換信号同士を加算して前記第 2 のアナログデジタル変換部に出力することを特徴とす

【請求項 3】

前記加算回路が、前記第 1 の画素と前記第 2 の画素の各々の前記第 1 の光電変換信号同士及び前記第 2 の光電変換信号同士を加算することを特徴とする請求項 2 に記載の撮像装置。

前記撮像装置は増幅回路をさらに有し、

10

20

前記第 1 の期間に、

30

40

【請求項 10】

50

【請求項 1 1】

請求項 1 ~ 1 0 のいずれか 1 項に記載の撮像装置と、
前記撮像装置から出力される信号を処理する信号処理部と、
を有することを特徴とする撮像システム。

【請求項 1 2】

請求項 1 0 に記載の撮像装置と、前記撮像装置から信号が入力される信号処理部と、を有する撮像システムであって、

前記複数の画素の前記第 1 の光電変換信号に基づくデジタル信号と前記第 2 の光電変換信号に基づくデジタル信号とが前記撮像装置から前記信号処理部に出力され、

前記信号処理部は、

前記画素の出力した前記第 1 の光電変換信号と前記第 2 の光電変換信号のそれぞれに基づくデジタル信号の差分である差分信号を得て、前記第 1 の光電変換信号に基づくデジタル信号と前記差分信号とによって焦点検出を行い、

さらに、前記信号処理部は、前記撮像装置から出力された、前記複数の画素の前記第 2 の光電変換信号に基づくデジタル信号によって画像を形成することを特徴とする撮像システム。

【請求項 1 3】

各々が入射光に基づく信号電荷を生成する n 個 (n は 2 以上の自然数) の光電変換部を有する画素と、

複数のアナログデジタル変換部と、を有する撮像装置の駆動方法であって、

前記複数のアナログデジタル変換部のうちの第 1 のアナログデジタル変換部は、

前記 n 個に含まれる m 個 (m は $n > m$ の関係式を満たす自然数) の前記光電変換部が入射光に基づいて生成する信号電荷に基づく第 1 の光電変換信号をデジタル信号に変換する動作の少なくとも一部を第 1 の期間に行い、

前記複数のアナログデジタル変換部のうちの第 2 のアナログデジタル変換部は、

前記 n 個の前記光電変換部が入射光に基づいて生成する信号電荷に基づく第 2 の光電変換信号をデジタル信号に変換する動作の少なくとも一部を前記第 1 の期間に行うことを特徴とする撮像装置の駆動方法。

【請求項 1 4】

前記第 1 の光電変換信号を前記第 1 のアナログデジタル変換部に出力した後に、前記第 2 の光電変換信号を前記第 2 のアナログデジタル変換部に出力することを特徴とする請求項 1 3 に記載の撮像装置の駆動方法。

【請求項 1 5】

前記撮像装置は、

前記第 1 の光電変換信号が前記第 1 のアナログデジタル変換部に出力され、前記第 2 の光電変換信号が前記第 2 のアナログデジタル変換部に出力される第 1 の動作と、

前記第 1 の光電変換信号が前記複数のアナログデジタル変換部に出力されず、前記第 2 の光電変換信号を前記第 1 のアナログデジタル変換部と前記第 2 のアナログデジタル変換部との少なくとも一方に出力する第 2 の動作とを実行可能であり、

前記第 1 の動作では、

前記第 1 のアナログデジタル変換部が前記第 1 の光電変換信号をデジタル信号に変換する動作の少なくとも一部を前記第 1 の期間に行い、

前記第 2 のアナログデジタル変換部が前記第 2 の光電変換信号をデジタル信号に変換する動作の少なくとも一部を前記第 1 の期間に行い、前記第 2 の動作では、前記第 2 の光電変換信号が出力された、前記第 1 のアナログデジタル変換部と前記第 2 のアナログデジタル変換部との少なくとも一方が前記第 2 の光電変換信号をデジタル信号に変換する動作を行うことを特徴とする請求項 1 3 または 1 4 に記載の撮像装置の駆動方法。

【請求項 1 6】

前記撮像装置はさらに複数の前記画素を有し、

前記複数の画素の各々は前記第 1 の光電変換信号と前記第 2 の光電変換信号を出力し、

10

20

30

40

50

前記複数の画素の各々から出力された前記第 1 の光電変換信号同士を加算して前記第 1 のアナログデジタル変換部に出力し、前記複数の画素の各々から出力された前記第 2 の光電変換信号同士を加算して前記第 2 のアナログデジタル変換部に出力することを特徴とする請求項 1 5 に記載の撮像装置の駆動方法。

【請求項 1 7】

撮像システムの駆動方法であって、

前記撮像システムは、

撮像装置と、前記撮像装置から出力される信号の信号処理を行う信号処理部とを有し、前記撮像装置は、

各々が入射光に基づく信号電荷を生成する n 個（ n は 2 以上の自然数）の光電変換部を、各々が有する複数の画素と、

10

複数のアナログデジタル変換部と、

マイクロレンズを複数有するレンズアレイと、を有し、

1 つの前記マイクロレンズで集光された光が前記画素の有する前記 n 個の光電変換部に入射し、前記 n 個に含まれる m 個（ m は $n > m$ の関係式を満たす自然数）の光電変換部が入射光に基づいて生成する信号電荷に基づく第 1 の光電変換信号と、

前記 n 個の前記光電変換部が入射光に基づいて生成する信号電荷に基づく第 2 の光電変換信号と、がそれぞれ前記複数のアナログデジタル変換部に出力され、

前記複数のアナログデジタル変換部のうちの第 1 のアナログデジタル変換部は、

前記第 1 の光電変換信号をデジタル信号に変換する動作の少なくとも一部を第 1 の期間に行い、

20

前記複数のアナログデジタル変換部のうちの第 2 のアナログデジタル変換部は、

前記第 2 の光電変換信号をデジタル信号に変換する動作の少なくとも一部を前記第 1 の期間に行い、

前記撮像装置は、前記複数の画素の各々の前記第 1 の光電変換信号に基づくデジタル信号と、前記複数の画素の各々の前記第 2 の光電変換信号に基づくデジタル信号とを前記信号処理部に出力し、

前記信号処理部は、同一の画素の出力した前記第 1 の光電変換信号と前記第 2 の光電変換信号とのそれぞれに基づくデジタル信号の差分である差分信号を得て、前記第 1 の光電変換信号に基づくデジタル信号と前記差分信号とによって焦点検出を行い、

30

さらに前記信号処理部は、前記複数の画素の各々の前記第 2 の光電変換信号に基づくデジタル信号によって画像を形成することを特徴とする撮像システムの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の光電変換部を含む画素を複数有する撮像装置に関するものである。

【背景技術】

【0002】

近年、光電変換部を有する画素が配された撮像装置では、より高速な信号出力が求められている。

40

撮像装置の一例として、光電変換を行い、入射光に基づく信号を出力する画素と、画素が行列状に配された画素アレイの各列に A/D 変換器を有する列並列型のアナログデジタル変換回路（以下、アナログデジタル変換回路を A/D C (Analog Digital Converter)、列並列型の A/D C を列 A/D C と表記する）と、を有する撮像装置が知られている。列 A/D C においては、各列の回路部が画素から出力されるアナログ信号（以下、画素から出力されるアナログ信号を画素信号と表記する）をデジタル信号に変換するアナログデジタル変換（以下、A/D 変換と表記する）を行う。

一方、特許文献 1 には複数の光電変換部を 2 次元に配列したマイクロレンズアレイのマイクロレンズ毎に設けて、位相差検出方式の焦点検出を行う撮像装置が記載されている。

さらに、複数の光電変換部の第 1 の光電変換部の信号電荷に基づく信号、第 1 の光電変換

50

部とは別の第2の光電変換部の信号電荷に基づく信号、第1の光電変換部と第2の光電変換部とを合わせた信号電荷に基づく信号を出力する形態が記載されている。

また、特許文献2には画素が行列状に配され、異なる行に配された画素が出力する信号を加算し、加算した信号を演算増幅器に出力する構成が記載されている。特許文献2には、画素の各列に演算増幅器が設けられた構成が記載されている。さらに特許文献2に記載の撮像装置では、ある列の演算増幅器と隣接する列の演算増幅器の非反転入力端子(-)とがスイッチを介して接続されている。これにより、隣接する列の画素の信号を加算して演算増幅器に出力することができる。

【先行技術文献】

【特許文献】

10

【0003】

【特許文献1】特開2001-83407号公報

【特許文献2】特開2002-320146号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1の撮像装置では、画素から出力される少なくとも2つのアナログ信号を高速にデジタル信号に変換する検討がなされていなかった。

特許文献2には、複数列の画素のそれぞれから出力される少なくとも2つのアナログ信号を高速にデジタル信号に変換する検討が充分では無かった。

20

【課題を解決するための手段】

【0005】

本発明は上記の課題を鑑みて為されたものであり、一の態様は、各々が入射光に基づく信号電荷を生成する n 個 (n は2以上の自然数) の光電変換部を有する画素と、複数のアナログデジタル変換部と、を有し、前記複数のアナログデジタル変換部が、前記 n 個の光電変換部が含む m 個 (m は $n > m$ の関係式を満たす自然数) の前記光電変換部が入射光に基づいて生成する信号電荷に基づく第1の光電変換信号をデジタル信号に変換する動作の少なくとも一部を第1の期間に行う第1のアナログデジタル変換部と、前記 n 個の前記光電変換部が入射光に基づいて生成する信号電荷に基づく第2の光電変換信号をデジタル信号に変換する動作の少なくとも一部を前記第1の期間に行う第2のアナログデジタル変換部と、を有することを特徴とする撮像装置である。

30

【0006】

また、一の態様は、各々が入射光に基づく信号電荷を生成する n 個 (n は2以上の自然数) の光電変換部を有する画素と、複数のアナログデジタル変換部と、を有する撮像装置の駆動方法であって、前記複数のアナログデジタル変換部のうちの第1のアナログデジタル変換部は、前記 n 個に含まれる m 個 (m は $n > m$ の関係式を満たす自然数) の前記光電変換部が入射光に基づいて生成する信号電荷に基づく第1の光電変換信号をデジタル信号に変換する動作の少なくとも一部を第1の期間に行い、前記複数のアナログデジタル変換部のうちの第2のアナログデジタル変換部は、前記 n 個の前記光電変換部が入射光に基づいて生成する信号電荷に基づく第2の光電変換信号をデジタル信号に変換する動作の少なくとも一部を前記第1の期間に行うことを特徴とする撮像装置の駆動方法である。

40

【0007】

また、一の態様は、撮像システムの駆動方法であって、前記撮像システムは、撮像装置と、前記撮像装置から出力される信号の信号処理を行う信号処理部とを有し、前記撮像装置は、各々が入射光に基づく信号電荷を生成する n 個 (n は2以上の自然数) の光電変換部を、各々が有する複数の画素と、複数のアナログデジタル変換部と、マイクロレンズを複数有するレンズアレイと、を有し、1つの前記マイクロレンズで集光された光が前記画素の有する前記 n 個の光電変換部に入射し、前記 n 個に含まれる m 個 (m は $n > m$ の関係式を満たす自然数) の光電変換部が入射光に基づいて生成する信号電荷に基づく第1の光電変換信号と、前記 n 個の前記光電変換部が入射光に基づいて生成する信号電荷に基づく

50

第2の光電変換信号と、がそれぞれ前記複数のアナログデジタル変換部に出力され、前記複数のアナログデジタル変換部のうちの第1のアナログデジタル変換部は、前記第1の光電変換信号をデジタル信号に変換する動作の少なくとも一部を第1の期間に行い、前記複数のアナログデジタル変換部のうちの第2のアナログデジタル変換部は、前記第2の光電変換信号をデジタル信号に変換する動作の少なくとも一部を前記第1の期間に行い、前記撮像装置は、前記複数の画素の各々の前記第1の光電変換信号に基づくデジタル信号と、前記複数の画素の各々の前記第2の光電変換信号に基づくデジタル信号とを前記信号処理部に出力し、前記信号処理部は、同一の画素の出力した前記第1の光電変換信号と前記第2の光電変換信号とのそれぞれに基づくデジタル信号の差分である差分信号を得て、前記第1の光電変換信号に基づくデジタル信号と前記差分信号とによって焦点検出を行い、さらに前記信号処理部は、前記複数の画素の各々の前記第2の光電変換信号に基づくデジタル信号によって画像を形成することを特徴とする撮像システムの駆動方法である。

10

【発明の効果】

【0008】

本発明により、画素から出力される少なくとも2つのアナログ信号を高速にデジタル信号に変換できる。

【図面の簡単な説明】

【0009】

【図1】撮像装置の俯瞰図と等価回路図

【図2】撮像装置の断面図

20

【図3】撮像装置の等価回路図

【図4】撮像装置の動作タイミング図

【図5】他の一例の撮像装置に関わる動作タイミング図

【図6】他の一例の撮像装置の等価回路図

【図7】他の一例の撮像装置の動作タイミング図

【図8】他の一例の撮像装置のブロック図

【図9】他の一例の撮像装置の等価回路図

【図10】他の一例の撮像装置の動作タイミング図

【図11】撮像システムのブロック図

【発明を実施するための形態】

30

【0010】

[実施例1]

以下、図面を参照しながら本実施例の撮像装置について説明する。

【0011】

図1は本実施例に関する撮像装置の俯瞰図と、画素からの信号を読み出す回路構成を模式的に例示した図である。画素100は、第1の光電変換部である第1のフォトダイオード1、第2の光電変換部である第2のフォトダイオード51、フォトダイオード1、51に電気的に接続された画素内読み出し回路部3を有する。画素100は複数行、複数列に渡って配されている。即ち、画素100は行列状に配されている。この行列状に画素100が配された領域が画素部である。また、1つの画素100が有するフォトダイオード1とフォトダイオード51とをまとめて表す際は、受光部と表記する。入射光を受光部に導くための1つのマイクロレンズ23が、1つの受光部を覆うように配されている。つまり、1つのマイクロレンズは1つの受光部に対応して設けられており、対応する画素100の複数の光電変換部に入射光を導く。本実施例の撮像装置は、複数のマイクロレンズ23を有するマイクロレンズアレイを有する。フォトダイオードの面積は、例えばフォトダイオード1の面積は図1において示した $a \times b$ で表される面積である。フォトダイオード51についても同様に、図1に示した $c \times d$ で表される面積である。また、この $a \times b$ で表される面積を有する面がフォトダイオード1の受光面である。同様に、 $c \times d$ で表される面積を有する面がフォトダイオード51の受光面である。

40

【0012】

50

画素１００は、垂直走査回路２によって行ごとに順次走査される。垂直走査回路２が選択した行に属する画素１００から、画素信号が垂直信号線７に出力される。垂直信号線７は、画素１００から出力された画素信号を信号処理回路１０１に伝送する。信号処理回路１０１は画素１００から出力される画素信号を処理する回路である。また、信号処理回路１０１は、画素１００が出力するアナログ信号をデジタル信号に変換するアナログデジタル変換部を含む。信号処理回路１０１は、水平走査回路１４によって、列ごとに順次走査される。図１では、画素１００におけるフォトダイオード１、５１は、各列の信号処理回路１０１が並ぶ方向に沿って並んで配されている。即ち、画素１００の内部には２列のフォトダイオード１、５１が配されていると言い換えることができる。画素内信号読み出し回路３は、フォトダイオード１、５１で生成した信号電荷に基づく信号を垂直信号線７に出力する。画素内信号読み出し回路３は後述する転送ＭＯＳトランジスタ２０、５０、リセットＭＯＳトランジスタ４、増幅ＭＯＳトランジスタ５、選択ＭＯＳトランジスタ６を含んで構成される。

10

【００１３】

次に、図２に、図１で - の直線で示した部分の画素１００の断面を示す。カラーフィルタ２２はマイクロレンズ２３とフォトダイオード１、５１との間に設けられている。

【００１４】

本実施例の撮像装置に設けられた画素は、位相差検出方式による焦点検出のための焦点検出用信号の基となる信号と、撮像のための信号である画像取得用信号の基となる信号を出力する。例えば、画素部のうちの、ライン状またはクロス状の位置にある複数の画素から焦点検出用信号の基となる信号が出力される。撮像装置は、画素から出力される焦点検出用信号の基となる信号と画像取得用信号の基となる信号を処理して焦点検出用信号、画像取得用信号を出力する。撮像装置から出力された焦点検出用信号に基づいて、２つの光電変換部に対する入射光の位相差を検出することができる。この検出された位相差に基づいて焦点検出を行うことができる。

20

【００１５】

図３は本実施例の撮像装置のうち、２行２列の画素１００と、２列の信号処理回路１０１を抜き出して模式的に表したブロック図である。

【００１６】

まず、画素１００について説明する。

30

【００１７】

画素１００は転送ＭＯＳトランジスタ２０、５０、リセットＭＯＳトランジスタ４、増幅ＭＯＳトランジスタ５、選択ＭＯＳトランジスタ６を有している。フォトダイオード１、５１では光が入射すると、光電変換により信号電荷が生じる。転送ＭＯＳトランジスタ２０はフォトダイオード１と増幅ＭＯＳトランジスタ５の入力ノードに電氣的に接続されている。また、転送ＭＯＳトランジスタ５０は、フォトダイオード５１と増幅ＭＯＳトランジスタ５の入力ノードに電氣的に接続されている。転送ＭＯＳトランジスタ２０のゲートに、後述する垂直走査回路から供給される転送パルス T_1 を $H_{i g h}$ レベル（以降、 H レベルと表記する。同様に、 $L o w$ レベルを L レベルと表記する。）とすると、フォトダイオード１の信号電荷が増幅ＭＯＳトランジスタ５の入力ノードに転送される。転送ＭＯＳトランジスタ５０のゲートに、同様に垂直走査回路２から供給される転送パルス T_2 を H レベルとすると、フォトダイオード５１の信号電荷が増幅ＭＯＳトランジスタ５の入力ノードに伝送される。垂直走査回路２がリセットＭＯＳトランジスタ４のゲートに供給するリセットパルス R を H レベルとすると、増幅ＭＯＳトランジスタ５の入力ノードの電位がリセットされる。増幅ＭＯＳトランジスタ５は選択ＭＯＳトランジスタ６を介して垂直信号線７に電氣的に接続されている。増幅ＭＯＳトランジスタ５は、増幅ＭＯＳトランジスタ５の入力ノードの信号電荷に基づいて、電気信号を出力する。選択ＭＯＳトランジスタ６は選択パルス $S E L_1$ が H レベルの時に増幅ＭＯＳトランジスタ５から垂直信号線７への経路を導通させる。

40

50

【 0 0 1 8 】

フォトダイオード 1 からの信号電荷が転送された増幅 MOS トランジスタ 5 の入力ノードの電位に基づいて、垂直信号線 7 に出力される信号を A 信号と表記する。また、フォトダイオード 5 1 からの信号電荷が転送された増幅 MOS トランジスタ 5 の入力ノードの電位に基づいて、垂直信号線 7 に出力される信号を B 信号と表記する。A 信号および B 信号は焦点検出に用いられる焦点検出用信号の基となる信号である。A 信号は画素 1 0 0 が出力する第 1 の光電変換信号である。また、転送パルス T 1、T 2 を共に H レベルとすることにより、フォトダイオード 1、5 1 のそれぞれに蓄積された信号電荷が増幅 MOS トランジスタ 5 の入力ノードに転送される。この時の増幅 MOS トランジスタ 5 の入力ノードの電位に基づいて垂直信号線 7 に出力される信号を A + B 信号と表記する。A + B 信号は、画像取得用信号の基となる信号であり、第 2 の光電変換信号である。本実施例では、B 信号、すなわち、フォトダイオード 5 1 において光電変換を行って保持した信号電荷のみが増幅 MOS トランジスタ 5 の入力ノードに転送されることで垂直信号線 7 に出力される信号については、画素 1 0 0 からの出力動作を行わない。B 信号に相当する信号は、画像取得用信号と焦点検出用信号との差分処理を、後述するデジタル信号処理回路が行うことによって取得することができる。

10

【 0 0 1 9 】

本実施例では、相関二重サンプリング（以下、CDS (Correlated Double Sampling) と表記する。）を行うために、増幅 MOS トランジスタ 5 の入力ノードの電位をリセットレベルにしたことによって増幅 MOS トランジスタ 5 から選択 MOS トランジスタ 6 を介して出力される信号である N 信号と、前述した A 信号、A + B 信号の 3 つの信号をサンプリングする。

20

【 0 0 2 0 】

本実施例における画素信号とは、画素 1 0 0 から出力される N 信号、A 信号、A + B 信号を含む、画素 1 0 0 から垂直信号線 7 に出力される信号の総称である。また、A 信号、A + B 信号は、入射した光によって受光部が生成した信号電荷に基づく光電変換信号である。また、N 信号は画素 1 0 0 のノイズ成分を含むノイズ信号である。

【 0 0 2 1 】

次に信号処理回路 1 0 1 について説明する。クランプ容量 C 3 - 1、C 3 - 2 は N 信号を保持する容量である。容量 C T は、スイッチ S W 6 がオンの時に垂直信号線 7 に出力されている信号を保持する容量である。本実施例の場合では A 信号を保持する。

30

【 0 0 2 2 】

本実施例では画素 1 0 0 の 1 列に対し、比較器が比較器 9 - 1、9 - 2 の 2 つ設けられている形態である。比較器 9 - 1、9 - 2 には信号 V r e f を含む信号が入力される。比較器 9 - 1 には A + N 信号から N 信号が差し引かれ、信号 V r e f を含む A + V r e f 信号が入力される。また、比較器 9 - 2 には A + B + N 信号から N 信号が差し引かれ、信号 V r e f を含む A + B + V r e f 信号が入力される。即ち、クランプ容量 C 3 - 1、C 3 - 2 を用いて CDS を行うことにより、A + N 信号、A + B + N 信号のそれぞれから N 信号が差し引かれた信号が比較器 9 - 1、9 - 2 のそれぞれに与えられる。この比較器 9 - 1、9 - 2 にそれぞれ入力される信号を以下、A + V r e f 信号と A + B + V r e f 信号の信号 V r e f を省略して A 信号、A + B 信号と表記する。比較器 9 - 1 は A 信号と参照信号 V R A M P 1 と、比較器 9 - 2 は A + B 信号と参照信号 V R A M P 2 とを比較する。参照信号 V R A M P 1、V R A M P 2 は参照信号供給回路 1 0 より各列に設けられた容量 C 4 を介して比較器 9 - 1、9 - 2 に与えられる信号であり、時間に依存して電位が変化する信号である。比較器 9 - 1 9 - 2 の一の端子には、それぞれスイッチ S W 5 - 1、S W 5 - 2 を介して信号 V r e f が与えられる。比較器 9 - 1 は、一の端子に与えられる、クランプ容量 C 3 - 1 を介して画素 1 0 0 から入力される画素信号と、別の一の端子に与えられる参照信号 V R A M P 1 との大小関係が逆転した時にラッチ信号 L A T をカウンタ回路 1 1 - 1 に出力する。また、比較器 9 - 2 は、一の端子に与えられる、クランプ容量 C 3 - 2 を介して入力される画素信号と、別の一の端子に与えられる参照信号 V R A M P

40

50

2 参照信号との大小関係が逆転した時にラッチ信号 L A T をカウンタ回路 1 1 - 2 に出力する。この比較器 9 - 1、9 - 2 のそれぞれが出力するラッチ信号 L A T は、画素信号と参照信号とを比較した比較結果に基づく比較結果信号である。

【 0 0 2 3 】

カウンタ回路 1 1 - 1、1 1 - 2 は参照信号 V R A M P 1、V R A M P 2 が時間に依存した電位の変化を開始するのと同時に、タイミングジェネレータ（以下、T G と表記する）1 2 から与えられるクロックパルス信号 C L K のカウントを開始する。カウンタ回路 1 1 - 1、1 1 - 2 はクロックパルス信号 C L K をアップカウント、ダウンカウントするアップダウンカウンタを有している。カウンタ回路 1 1 - 1 は比較器 9 - 1 がラッチ信号 L A T を出力した時にクロックパルス信号 C L K のカウントを終了する。また、カウンタ回路 1 1 - 2 も同様に、比較器 9 - 2 がラッチ信号 L A T を出力した時にクロックパルス信号 C L K のカウントを終了する。このカウンタ回路 1 1 - 1、1 1 - 2 がクロックパルス信号をカウントした信号をカウント信号 C N T と表記する。

【 0 0 2 4 】

メモリ 1 3 - 1 はカウンタ回路 1 1 - 1 がクロックパルス信号 C L K をカウントしたカウント信号 C N T を保持する。また、メモリ 1 3 - 2 はカウンタ回路 1 1 - 2 がクロックパルス信号 C L K をカウントしたカウント信号 C N T を保持する。メモリ 1 3 - 1 が保持するカウント信号 C N T は A 信号に基づくデジタル信号である。このデジタル信号をデジタル A 信号と表記する。また、メモリ 1 3 - 2 が保持するカウント信号 C N T は A + B 信号に基づくデジタル信号である。このデジタル信号をデジタル A + B 信号と表記する。本実施例の第 1 のアナログデジタル変換部は、比較器 9 - 1、カウンタ回路 1 1 - 1、メモリ 1 3 - 1 を含む。また、本実施例の第 2 のアナログデジタル変換部は、比較器 9 - 2、カウンタ回路 1 1 - 2、メモリ 1 3 - 2 を含む。すなわち、信号処理回路 1 0 1 のそれぞれは複数のアナログデジタル変換部を有している。

【 0 0 2 5 】

水平走査回路 1 4 は T G 1 2 から与えられるクロックパルス信号 C L K に基づいて、各列のメモリ 1 3 を順次選択し、各列のメモリ 1 3 が保持したカウント信号 C N T の読み出しを行う。このメモリ 1 3 から出力されたカウント信号 C N T が撮像装置から出力される信号 S I G O U T である。

【 0 0 2 6 】

次に、図 4 を参照しながら、図 3 で例示した撮像装置の動作の一例について説明する。スイッチパルス S 1 はスイッチ S W 6 を制御するパルスであり、H レベルの時にスイッチ S W 6 は導通状態となる。信号処理回路リセットパルス C は、スイッチ S W 4 - 1、4 - 2、5 - 1、5 - 2 を制御するパルスである。信号処理回路リセットパルス C が H レベルの時にスイッチ S W 4 - 1、4 - 2、5 - 1、5 - 2 は導通状態となる。V 1 は垂直信号線 7 の電位を表している。

【 0 0 2 7 】

時刻 t 1 で画素リセットパルス R、選択パルス S E L、信号処理回路リセットパルス C、スイッチパルス S 1 をそれぞれ H レベルとする。そして、画素リセットパルス R を時刻 t 2 に L レベルとする。これにより、増幅 M O S トランジスタ 5 の入力ノードの電位がリセットされる。

【 0 0 2 8 】

時刻 t 3 において、信号処理回路リセットパルス C、スイッチパルス S 1 を L レベルとする。この時刻 t 3 において垂直信号線 7 に出力される信号が N 信号である。クランプ容量 C 3 - 1、C 3 - 2、容量 C T、容量 C 4 が時刻 t 3 の電位に基づく電荷を保持する。また、参照信号供給回路 1 0 は参照信号 V R A M P 1、V R A M P 2 の時間に依存した電位の変化を開始する。カウンタ回路 1 1 - 1、1 1 - 2 は、T G 1 2 から与えられるクロックパルス信号 C L K のカウントを開始する。この時、カウンタ回路 1 1 - 1、1 1 - 2 はダウンカウントを行う。比較器 9 - 1 は時刻 t 3 における電位に基づく電荷を保持したクランプ容量 C 3 - 1 を介して入力される信号と信号 V r e f とを含む基準信号と、

10

20

30

40

50

参照信号 V_{RAMP1} とを比較する。また、比較器 9 - 2 は時刻 t_3 における電位に基づく電荷を保持したクランプ容量 C_{3-2} を介して入力される信号と参照信号 V_{RAMP2} とを比較する。比較器 9 - 1、9 - 2 のそれぞれは、比較する信号の大小関係が逆転した時にラッチ信号 LAT をそれぞれカウンタ回路 11 - 1、11 - 2 に出力する。

【0029】

時刻 t_4 に参照信号供給回路 10 は参照信号 V_{RAMP1} 、 V_{RAMP2} の時間に依存した電位の変化を止める。この時刻 t_3 から時刻 t_4 の期間を N 変換期間 T_N と表記する。また、時刻 t_3 から時刻 t_4 に行う動作を N 変換と表記する。

【0030】

時刻 t_5 において、転送パルス T_1 、スイッチパルス S_1 を H レベルとする。これにより、垂直信号線 7 には画素 100 から A 信号が出力される。時刻 t_6 において、転送パルス T_1 、スイッチパルス S_1 を L レベルとする。容量 C_T は時刻 t_6 の時の垂直信号線 7 の電位の基づく電荷を保持する。すなわち画素 100 が出力した A 信号を保持する。

【0031】

比較器 9 - 1 には A 信号が供給されている。そして時刻 t_6 において、参照信号供給回路 10 は参照信号 V_{RAMP1} の時間に依存した電位の変化を開始する。カウンタ回路 11 - 1 は、 TG_{12} から与えられるクロックパルス信号 CLK のカウントを開始する。この時、カウンタ回路 11 - 1 は先の N 変換時に保持したカウント信号値を出発値としてアップカウントを行う。比較器 9 - 1 は参照信号 V_{RAMP1} と A 信号との大小関係が逆転した時にラッチ信号 LAT をカウンタ回路 11 - 1 に出力する。参照信号 V_{RAMP1} の時間に依存した電位の変化は、参照信号 V_{RAMP2} の時間に依存した電位の変化を開始する時刻 t_8 よりも後の時刻 t_9 に止める。この時刻 t_6 から時刻 t_9 の期間を A 変換期間 T_A と表記する。比較器 9 - 1 は第 1 の比較器である。

【0032】

時刻 t_7 において転送パルス T_2 を H レベルとする。増幅 MOS トランジスタ 5 の入力ノードには先の時刻 t_6 の時の電位が保持されているため、垂直信号線 7 には $A + B$ 信号が出力される。時刻 t_8 において、転送パルス T_2 を L レベルとする。

【0033】

比較器 9 - 2 には、 $A + B$ 信号が供給されている。そして時刻 t_8 において、参照信号供給回路 10 は参照信号 V_{RAMP2} の時間に依存した電位の変化を開始する。カウンタ回路 11 - 2 は、 TG_{12} から与えられるクロックパルス信号 CLK のカウントを開始する。この時、カウンタ回路 11 - 2 は先の N 変換時に保持したカウント信号値を出発値としてアップカウントを行う。比較器 9 - 2 は参照信号 V_{RAMP2} と $A + B$ 信号との大小関係が逆転した時にラッチ信号 LAT をカウンタ回路 11 - 2 に出力する。

【0034】

時刻 t_{10} において、参照信号 V_{RAMP2} の時間に依存した電位の変化を止める。時刻 t_8 から時刻 t_{10} の期間を $A + B$ 変換期間 T_{AB} と表記する。比較器 9 - 2 は第 2 の比較器である。

また時刻 t_1 から時刻 t_{10} までの期間、すなわち画素 100 が画素信号を出力してからデジタル信号に変換するまでの期間を AD 変換期間 T_{AD} と表記する。

【0035】

時刻 t_{11} において、水平走査回路 14 は水平走査信号 H を H レベルとして、メモリ 13 - 1 が保持したデジタル N 信号、デジタル A 信号、メモリ 13 - 2 が保持したデジタル N 信号、デジタル $A + B$ 信号をメモリ 13 - 1、13 - 2 のそれぞれから転送する。

【0036】

本実施例の撮像装置は、 A 変換期間 T_A の一部と $A + B$ 変換期間 T_{AB} の一部が重なっている。この A 変換期間 T_A と $A + B$ 変換期間 T_{AB} とが重なっている期間が第 1 の期間である。即ち、第 1 の光電変換信号をデジタル信号に変換する動作の少なくとも一部を第 1 の期間に行う第 1 のアナログデジタル変換部と、第 2 の光電変換信号をデジタル信号に

10

20

30

40

50

変換する動作の少なくとも一部を第1の期間に行う第2のアナログデジタル変換部を有している。また、A変換期間 T_A は第1の比較器が比較動作を行う第2の期間である。また、 $A+B$ 変換期間 T_{AB} は第2の比較器が比較動作を行う第3の期間である。すなわち、第1の期間は、第2の期間と第3の期間とが重なる期間である。これにより、A変換期間 T_A と $A+B$ 変換期間 T_{AB} の一部が重なっていることにより、A変換期間 T_A と $A+B$ 変換期間 T_{AB} とに重なった期間が無い場合に比してAD変換期間 T_{AD} を短くすることができる。

【0037】

また、本実施例では、比較器9-1、9-2にそれぞれ別の参照信号VRAMP1、VRAMP2が供給される形態を説明した。しかし、比較器9-1、9-2に参照信号供給回路10から共通の参照信号VRAMPが供給される形態であっても良い。この形態の撮像装置の動作について例示したのが図5である。

10

【0038】

図5の動作タイミングにおいて示した時刻 t_1 から時刻 t_6 のそれぞれの時刻における動作は、図3の動作タイミングにおいて示した時刻 t_1 から時刻 t_6 のそれぞれにおける動作と同様とすることができる。図5の動作タイミングにおいて示した時刻 t_7' において、転送パルス T_2 をHレベルとする。これにより、垂直信号線7には $A+B$ 信号が出力される。時刻 t_8' において、転送パルス T_2 をLレベルとする。

【0039】

時刻 t_8' において、参照信号供給回路10は参照信号VRAMPの時間に依存した電位の変化を開始する。カウンタ回路11-1、11-2は、TG12から与えられるクロックパルス信号CLKのカウントを開始する。この時、カウンタ回路11-1、11-2は先のN変換時に保持したカウント信号値を出発値としてアップカウントを行う。比較器9-1はA信号と参照信号VRAMPとを比較し、大小関係が逆転した時にラッチ信号LATをカウンタ回路11-1に出力する。また、比較器9-2は $A+B$ 信号と参照信号VRAMPとを比較し、大小関係が逆転した時にラッチ信号LATをカウンタ回路11-2に出力する。

20

【0040】

時刻 t_9' において、参照信号供給回路10は参照信号VRAMPの時間に依存した電位の変化を止める。

30

【0041】

図5で示した時刻 t_{11} における動作は図4で示した時刻 t_{11} における動作と同様とすることができる。

【0042】

図4で示した動作タイミングではA変換期間 T_A の一部と $A+B$ 変換期間 T_{AB} の一部が重なっていた。図5で示した動作タイミングでは、A変換期間 T_A の全期間と $A+B$ 変換期間 T_{AB} の全期間とが重なっている形態である。この形態の第1の期間はA変換期間 T_A の全期間および $A+B$ 変換期間 T_{AB} の全期間である。この形態では、A変換期間 T_A の始まりと $A+B$ 変換期間 T_{AB} の終わりまでの期間が図4の動作タイミングに対し図5の動作タイミングでは図4で示した期間TCの分短縮できる。この図4で示した期間TCは、A変換期間 T_A の始まりである時刻 t_6 から $A+B$ 変換期間 T_{AB} の始まりである時刻 t_8 までの期間である。一方で、図4ではA変換期間 T_A の始まりは時刻 t_6 であったのに対し、図5で示した動作タイミングではA変換期間 T_A ($A+B$ 変換期間 T_{AB} でもある)、時刻 t_6 よりも遅い時刻 t_8' である。即ち、図5で示した期間TDの分だけ、図5で示した動作タイミングでは図4で示した動作タイミングに対し、A変換期間 T_A の始まりが遅くなる。従って、図5で示した動作タイミングのAD変換期間 T_{AD} は図4で示した動作タイミングのAD変換期間 T_{AD} に対し、T期間TCと期間TDの差分である $TC-TD$ の期間分短縮することができる。

40

【0043】

また、本実施例の撮像装置では、A信号を保持する容量として容量CTを有していたが

50

、容量C Tが設けられていない形態であってもよい。この形態では、時刻t 6のスイッチS W 6のオフ後もスイッチS W 6から比較器9 - 1の入力端子の電氣的経路において時刻t 6における電位が保持されるため、比較器9 - 1の入力端子にA信号が与えられる。よって、容量C Tが設けられていなくとも、実施することができる。ただし本実施例の撮像装置では、容量C Tを有することにより、スイッチS W 6のオン、オフ動作に伴ってスイッチS W 6から比較器9 - 1に至る電氣的経路の電位が不安定になるのを抑制できる効果を有する。

【0044】

また、本実施例ではスイッチパルス S 1が時刻t 3でLレベルとなった後、時刻t 4でHレベルとしていた。他の形態として、図4、図5の動作タイミング図において破線で示した通り、時刻t 1でHレベルとした後、時刻t 3でLレベルにはせず、時刻t 6でLレベルとする形態であっても良い。

【0045】

また、本実施例では、画素100が2個の光電変換部の信号電荷に基づく光電変換信号であるA + B信号と、1個の光電変換部に基づく光電変換信号であるA信号とを出力する形態を基に説明した。本実施例はこの形態に限定されるものではない。つまり、複数の画素の各々が有するm個(mは自然数)の光電変換部で生成した信号電荷に基づく第1の光電変換信号を画素が出力する。そして、この第1の光電変換信号を出力した複数の画素が、m個の光電変換部を含み、m個よりも多いn個(nは自然数)の光電変換部に基づいた第2の光電変換信号をさらに出力する形態であれば好適に実施することができる。

【0046】

また、本実施例では、1つの画素に対応して1つのマイクロレンズが設けられ、焦点検出を行うことのできる撮像装置を例に説明したが、本実施例はこの焦点検出を行うことのできる撮像装置に限られるものではない。つまり、フォトダイオード1、フォトダイオード51に対して異なるマイクロレンズが配されている形態であっても好適に実施することができる。

【0047】

本実施例の画素100は、入射光を受け、入射光に基づいて信号電荷を生成するフォトダイオードを複数有し、複数のフォトダイオードの信号電荷に基づく光電変換信号を複数回出力する形態であれば良い。複数回出力される光電変換信号とは、本実施例において説明した構成においてはA信号、B信号、A + B信号である。さらに多くのフォトダイオードを有する画素100であれば、さらに多くの種類の光電変換信号が出力されうる。そして撮像装置は、画素100が出力する複数の光電変換信号のうち第1の光電変換信号が第1の比較器に入力され、複数の光電変換信号のうち第2の光電変換信号が第2の比較器に入力される形態であれば良い。この形態において、第1の比較器が第1の光電変換信号と参照信号とを比較する少なくとも一部の動作と、第2の比較器が第2の光電変換信号と参照信号とを比較する少なくとも一部の動作とが第1の期間に行われれば良い。これにより、第2の期間と第3の期間とが全く重なっていない形態に比して、AD変換期間TADを短縮できる効果を有する。

【0048】

また、本実施例では、時間に依存して電位が変化する参照信号と光電変換信号とを比較する、いわゆるランプ型のAD変換を例に説明したが、本実施例は他の形式のAD変換であっても好適に実施することができる。すなわち、第1のアナログデジタル変換部が第1の光電変換信号をデジタル信号に変換する動作の少なくとも一部を第1の期間に行い、第2のアナログデジタル変換部が第2の光電変換信号をデジタル信号に変換する動作の少なくとも一部を第1の期間に行う形態であれば良い。

【0049】

本実施例の撮像装置は、画素100がA + N信号とA + B + N信号を出力する第1のモードと、A + N信号を出力せず、A + B + N信号を出力する第2のモードで動作することができる。第1のモードでは、図4あるいは図5を参照しながら説明した動作タイミング

10

20

30

40

50

に基づいて動作させればよい。第2のモードでは、少なくとも比較器9-1, 9-2のいずれか一方がA+B信号のAD変換を行えばよい。例えば、第1のモードでは焦点検出動作を行いながら画像を得る動作を行うため、動画撮影に好適である。また、第2のモードは静止画を撮影するのに好適である。

【0050】

以上述べた通り、本実施例の撮像装置は、第2の期間の少なくとも一部と第3の期間の少なくとも一部が重なっている。これにより、第2の期間と第3の期間とに重なった期間が無い場合に比してAD変換期間TADを短くすることができる効果を有する。

【0051】

[実施例2]

以下、図面を参照しながら本実施例の撮像装置について、実施例1と異なる点を中心に説明する。

【0052】

図6は本実施例の撮像装置の等価回路図の一例である。図6のそれぞれで例示した各部材は、図3と同じ機能を持つものについて図3と同じ符号を付して表している。

【0053】

本実施例の撮像装置は、画素100が配された各列にオペアンプ15を含む反転増幅回路16を有する点で実施例1の撮像装置と異なる。反転増幅回路16は、オペアンプ15、帰還容量Cfb、クランプ容量C0、スイッチSW1、SW2を有している。オペアンプ15の反転入力端子には、クランプ容量C0を介して画素100が出力する画素信号が与えられる。オペアンプ15の非反転入力端子には、信号Vrが与えられる。オペアンプ15の帰還経路には帰還容量CfbとスイッチSW2とが設けられている。スイッチSW2がオンの時、帰還容量Cfbの容量値とクランプ容量C0の容量値との比による反転ゲインがオペアンプ15の出力端子に発生する。また、スイッチSW1をオンとしてオペアンプ15の出力端子と入力端子をショートさせることにより、帰還容量Cfbに保持された電荷がリセットされる。帰還容量Cfbは図6では1つとして示しているが、複数の容量がオペアンプ15の帰還経路に並列して設けられ、使用する帰還容量を複数の容量から選択できる構成であっても良い。オペアンプ15が出力した信号は、スイッチSW6がオンの時には容量CTに保持され、さらに比較器9-1の入力端子に出力される。また、オペアンプ15が出力した信号は、クランプ容量C3-2を介して比較器9-2に出力される。

【0054】

次に図7を参照しながら、図6で例示した撮像装置の動作の一例について説明する。

【0055】

図7に示したV1'はオペアンプ15の出力端子の電位を表している。本実施例では、画素信号が反転増幅回路16によって反転増幅されて比較器9-1、9-2に出力される。従って、本実施例の電位V1'は、実施例1の電位V1に対し、信号の極性が逆となる。同様に、参照信号VRAMPが時間に依存して電位が変化する方向についても実施例1とは逆の方向である。

【0056】

時刻t1で、スイッチパルスSW1、SW2をHレベルとし、スイッチSW1、SW2を導通させる。

【0057】

時刻t2において、リセットパルスR、スイッチパルスSW1をLレベルとする。スイッチパルスSW1をLレベルとすることで、画素100が出力するN信号が容量C0に保持される。これにより、オペアンプ15の出力端子にはオペアンプ15のオフセット成分を含む基準信号が出力される。

【0058】

時刻t3に、信号処理回路リセットパルスCをLレベルとする。これにより、オペアンプ15のオフセット成分を含む基準信号がクランプ容量C3-1、C3-2のそれぞれ

10

20

30

40

50

に保持される。

【 0 0 5 9 】

時刻 t_3 から時刻 t_4 の期間に比較器 9 - 1、9 - 2 はオペアンプ 15 からクランプ容量 C_{3-1} 、 C_{3-2} を介して入力された信号と参照信号 V_{RAMP} との比較を行う。

【 0 0 6 0 】

時刻 $t_{8'}$ から時刻 t_9 の期間においても、比較器 9 - 1、9 - 2 はオペアンプ 15 からクランプ容量 C_{3-1} 、 C_{3-2} を介して入力された信号と参照信号 V_{RAMP} との比較を行う。

【 0 0 6 1 】

これらの点を除き、図 7 に例示した動作タイミングは実施例 1 で述べた図 5 の動作タイミングと同様とすることができる。

10

【 0 0 6 2 】

本実施例のクランプ容量 C_{3-1} 、 C_{3-2} は、時刻 t_3 においてオペアンプ 15 のオフセット成分を含む基準信号を保持する。このオフセット成分を含む基準信号をクランプ容量 C_{3-1} 、 C_{3-2} が保持することにより、時刻 t_6 、時刻 $t_{8'}$ に比較器 9 - 1、9 - 2 に与えられる信号は、基準信号を差し引いた信号とすることができる。よって、各列のオペアンプ 15 のオフセット成分のばらつきによって生じる画質の低下を低減することができる。

【 0 0 6 3 】

また、N 変換を比較器 9 - 1、9 - 2 のそれぞれが行い、S 変換で得たデジタル信号から差し引くことで、比較器毎の動作のばらつきによって生じる画質の低下を低減することができる。

20

本実施例の撮像装置は実施例 1 で述べた撮像装置と同様に、A 変換期間 T_A と A + B 変換期間 T_{AB} とが重なっている。これにより、A 変換期間 T_A と A + B 変換期間 T_{AB} とに重なった期間が無い場合に比して A D 変換期間 T_{AD} を短くすることができる効果を有する。

【 0 0 6 4 】

本実施例は、図 3 で例示した撮像装置のように、比較器 9 - 1、9 - 2 に参照信号 V_{RAMP1} 、 V_{RAMP2} が別々に与えられる形態であっても良い。この形態であっても、実施例 1 の図 4 に例示した動作タイミング図と同様にして動作させることができる。この形態では A 変換期間 T_A の少なくとも一部と A + B 変換期間 T_{AB} の少なくとも一部が重なっている。これにより、A 変換期間 T_A と A + B 変換期間 T_{AB} とに重なった期間が無い場合に比して A D 変換期間 T_{AD} を短くすることができる効果を有する。

30

【 0 0 6 5 】

また、本実施例においてもスイッチパルス S_1 は図 7 の動作タイミング図において破線で示した通り、時刻 t_1 で H レベルとした後、時刻 t_3 で L レベルにはせず、時刻 t_6 で L レベルとする形態であっても良い。

【 0 0 6 6 】

[実施例 3]

以下、図面を参照しながら本実施例の撮像装置について実施例 2 と異なる点を中心に説明する。

40

【 0 0 6 7 】

図 8 は本実施例の撮像装置を模式的に表したブロック図である。図 8 は複数行複数列配された画素 100 のうち、2 行 4 列の画素 100 を抜き出して示すとともに、1 行目の画素 100 から画素信号が出力される場合を示したものである。それぞれの画素 100 は実施例 1 で図 2 を参照しながら説明した通り、カラーフィルタを有している。カラーフィルタは赤 (R)、緑 (G)、青 (B) の三色である。この三色のカラーフィルタはベイア配列で配されている。図 8 では、画素 100 が出力する画素信号についてカラーフィルタの色、出力する光電変換信号 (A 信号、A + B 信号)、画素が配された列 (図 8 の左から数えた列である。特に断りのない限り、本明細書において X 列目と記載した場合

50

には左から数えた列を指す。)を用いて表している。例えば、1行目1列目に配された画素100から出力されるA信号、A+B信号はそれぞれ、 GA_1 、 $G(A+B)_1$ として表記している。これは緑(G)のカラーフィルターを有する画素100が出力する、A信号もしくはA+B信号であって、図8で示した画素列の左から数えて1列目の画素100から出力される画素信号であることを示している。

【0068】

1行目の画素100から加算回路17に画素信号が出力される。加算回路17は同色のカラーフィルターを有する複数の画素100のA信号同士とA+B信号同士を加算する。すなわち、複数の画素100の出力する第1の光電変換信号同士、第2の光電変換信号同士で加算する。同じ緑のカラーフィルターを有する画素100では、1列目と3列目の画素100のA信号同士、A+B信号同士を加算し、加算して得た2つの信号を別々の比較器に出力する。すなわち、信号 GA_1 と信号 GA_3 とを加算した信号 $GA_1 + GA_3$ を比較器9-3に出力する。また、信号 $G(A+B)_1$ と信号 $G(A+B)_3$ とを加算した信号 $G(A+B)_1 + G(A+B)_3$ を比較器9-5に出力する。比較器9-3に出力された信号 $GA_1 + GA_3$ は実施例1の図5を参照しながら説明したAD変換動作によりデジタル信号に変換されてメモリ13-3から出力される。メモリ13-3から出力されるデジタル信号を $D(GA_1 + GA_3)$ と表記する。同様に、比較器9-5に入力された信号 $G(A+B)_1 + G(A+B)_3$ はAD変換動作によりデジタル信号に変換されてメモリ13-5から出力される。このデジタル信号を $D(G(A+B)_1 + G(A+B)_3)$ と表記する。

【0069】

これまで緑のカラーフィルターを有する1列目、3列目の画素100から出力された画素信号について述べた。赤のカラーフィルターを有する2列目、4列目の画素100から出力される画素信号についても同様にしてメモリ13-4からデジタル信号 $D(RA_2 + RA_4)$ 、メモリ13-6からデジタル信号 $D(R(A+B)_2 + R(A+B)_4)$ がそれぞれ出力される。

【0070】

図9は、図8のブロック図で模式的に示した撮像装置の詳細を示した等価回路図である。図9では図8で示した2行4列の画素100のうち、2行3列の画素100について示している。図9のそれぞれで例示した各部材は、図5と同じ機能を持つものについて図5と同じ符号を付して表している。

【0071】

以下、実施例2の図6と異なる点を中心に1列目、3列目の画素100、信号処理回路101について説明する。2列目および不図示の4列目の画素100、信号処理回路101についてはそれぞれ、1列目、3列目の画素100、信号処理回路101と同様とすることができる。実施例1、2では画素100の1列に対し比較器が2つ配されている形態であったが、本実施例では画素100の1列に対し、比較器が1つ設けられている形態である。

【0072】

1列目の画素100から出力される画素100はクランプ容量 C_{0-1} を介してオペアンプ15-3の反転入力端子に電氣的に接続されている。また、3列目の画素100はスイッチ SW_{22} 、クランプ容量 C_{0-3b} を介してオペアンプ15-3に電氣的に接続されている。さらに、3列目の画素100はクランプ容量 C_{0-3a} を介してオペアンプ15-5に電氣的に接続されている。ただし、本実施例の形態では、スイッチ SW_{21} をオフとし、比較器9-5にはオペアンプ15-5が出力する信号は供給されない場合を説明する。スイッチ SW_{21} の動作を制御する信号は、図示を省略した。

【0073】

オペアンプ15-3から出力された信号は、クランプ容量 C_{3-3} を介して比較器9-3に与えられる。クランプ容量 C_{3-3} は実施例2の図6を参照しながら説明したクランプ容量 C_{3-1} と同様に動作する。また、スイッチ SW_{6-2} がオンの時には、オペアン

プ 1 5 - 3 から出力された信号はスイッチ S W 6 - 2 を介して容量 C T - 2 に保持されるとともに、クランプ容量 C 3 - 5 を介して比較器 9 - 5 に与えられる。

【 0 0 7 4 】

例えば、1 列目の画素 1 0 0 が出力した光電変換信号は第 1 のアナログデジタル変換部と第 2 のアナログデジタル変換部に与えられる。この第 1 のアナログデジタル変換部は、比較器 9 - 3、カウンタ回路 1 1 - 3、メモリ 1 3 - 3 を含む。また、第 2 のアナログデジタル変換部は、比較器 9 - 5、カウンタ回路 1 1 - 5、メモリ 1 3 - 5 を含む。

【 0 0 7 5 】

次に図 1 0 を参照しながら、図 9 で例示した撮像装置の動作について、実施例 2 の図 7 と異なる点を中心に説明する。

10

【 0 0 7 6 】

スイッチパルス E はスイッチ S W 2 2 を制御するパルスであり、H レベルの時にスイッチ S W 2 2 は導通状態となる。スイッチパルス S 2 はスイッチ S W 6 - 2 を制御するパルスであり、H レベルの時にスイッチ S W 6 - 2 は導通状態となる。

【 0 0 7 7 】

時刻 t 1 において、スイッチパルス E を H レベルとする。他の時刻 t 1 から時刻 t 1 1 までの動作は、実施例 2 で述べた図 7 における時刻 t 1 から時刻 t 1 1 までのそれぞれの動作と同様とすることができる。以下、オペアンプ 1 5 - 3、比較器 9 - 3、9 - 5 のそれぞれに入力される信号およびそれぞれが出力する信号について述べる。

【 0 0 7 8 】

20

時刻 t 1 で、スイッチパルス S W 1、S W 2 を H レベルとし、スイッチ S W 1 を導通させる。

【 0 0 7 9 】

時刻 t 2 において、リセットパルス R、スイッチパルス S W 1 を L レベルとする。スイッチパルス S W 1 を L レベルとすることで、1 列目の画素 1 0 0 が出力する N 信号 (G N 1) が容量 C 0 - 1 に保持される。また、3 列目の画素 1 0 0 が出力する N 信号 (G N 3) が容量 C 0 - 3 b に保持される。これにより、オペアンプ 1 5 - 3 の出力端子にはオペアンプ 1 5 - 3 のオフセット成分を含む基準信号が出力される。

【 0 0 8 0 】

時刻 t 3 において、信号処理回路リセットパルス C を L レベルとする。これにより、オペアンプ 1 5 - 3 のオフセット成分を含む基準信号が容量 C 3 - 3、C 3 - 5 のそれぞれに保持される。また、時刻 t 3 においてスイッチパルス S 2 を L レベルとする。容量 C T - 2 には、時刻 t 3 におけるオペアンプ 1 5 - 3 が出力したオフセット成分を含む基準信号が保持される。

30

【 0 0 8 1 】

時刻 t 3 から時刻 t 4 の期間に比較器 9 - 3、9 - 5 はオペアンプ 1 5 - 3 からクランプ容量 C 3 - 3、C 3 - 5 を介して入力された信号と参照信号 V R A M P との比較を行う。

【 0 0 8 2 】

そして、参照信号供給回路 1 0 は参照信号 V R A M P の時間に依存した電位の変化を開始する。比較器 9 - 3、9 - 5 はそれぞれ、オペアンプ 1 5 - 3 が出力する信号から基準信号が差し引かれた信号と参照信号 V R A M P との比較を行う。

40

【 0 0 8 3 】

時刻 t 4 における動作は、実施例 2 で述べた図 7 における時刻 t 4 の動作と同様である。

【 0 0 8 4 】

時刻 t 5 において、転送パルス T 1 とスイッチパルス S 2 を H レベルとする。これにより、画素 1 0 0 から信号 G A 1 と信号 G A 3 が垂直信号線 7 に出力される。スイッチ S W 2 2 はオンとなっているため、オペアンプ 1 5 - 3 には、信号 G A 1 と信号 G A 3 とを加算した信号 G A 1 + G A 3 から、クランプ容量 C 0 - 1、C 0 - 3 b に保持された信

50

号 $GN1 + GN3$ を差し引いた信号が与えられる。オペアンプ 15 - 3 から出力される信号は、スイッチ SW 6 - 2 がオンであるため、容量 CT - 2、クランプ容量 C 3 - 5 を介して比較器 9 - 5 に与えられる。

【 0 0 8 5 】

時刻 t_6 において、転送パルス T 1 とスイッチパルス S 2 を L レベルとする。容量 CT - 2 に信号 GA 1 + GA 3 が保持される。

【 0 0 8 6 】

時刻 t_7 において、転送パルス T 2 を H レベルとする。これにより、画素 100 から信号 $G(A + B)1$ と信号 $G(A + B)3$ が垂直信号線 7 に出力される。スイッチ SW 22 はオンとなっているため、オペアンプ 15 - 3 には、信号 $G(A + B)1$ と信号 $G(A + B)3$ とを加算した信号 $G(A + B)1 + G(A + B)3$ から、クランプ容量 C 0 - 1、C 0 - 3b に保持された信号 $GN1 + GN3$ を差し引いた信号が与えられる。オペアンプ 15 - 3 から出力される信号は、スイッチ SW 6 - 2 はオフであるため、クランプ容量 C 3 - 3 を介して比較器 9 - 3 に与えられる。

【 0 0 8 7 】

時刻 t_8 に転送パルス T 2 を L レベルとする。そして、参照信号供給回路 10 は参照信号 VRAMP の時間に依存した電位の変化を開始する。比較器 9 - 3 は、オペアンプ 15 - 3 からクランプ容量 C 3 - 3 を介して出力された信号と参照信号 VRAMP とを比較する。また、比較器 9 - 5 はオペアンプ 15 - 3 からクランプ容量 C 3 - 5 を介して出力された信号と参照信号 VRAMP とを比較する。

【 0 0 8 8 】

時刻 t_9 に参照信号供給回路 10 は参照信号 VRAMP の時間に依存した電位の変化を終了する。メモリ 13 - 3 には、オペアンプ 15 - 3 からクランプ容量 C 3 - 3 を介して比較器 9 - 3 に入力された信号に基づくデジタル信号が保持される。このデジタル信号は信号 $G(A + B)1 + G(A + B)3$ に基づくデジタル信号である。また、メモリ 13 - 5 には、オペアンプ 15 - 3 からクランプ容量 C 3 - 5 を介して比較器 9 - 5 に入力された信号に基づくデジタル信号が保持される。このデジタル信号は信号 GA 1 + GA 3 に基づくデジタル信号である。

【 0 0 8 9 】

これまで 1 列目と 3 列目の画素 100 に関する動作について述べた。2 列目と 4 列目の画素 100 についても、1 列目と 3 列目の画素 100 と同様の動作とすることができる。

【 0 0 9 0 】

本実施例の撮像装置は実施例 2 で述べた撮像装置と同様に、A 変換期間 TA と A + B 変換期間 TAB とが重なっている。これにより、A 変換期間 TA と A + B 変換期間 TAB とに重なった期間が無い場合に比して AD 変換期間 TAD を短くすることができる効果を有する。

【 0 0 9 1 】

本実施例は、図 3 で例示した撮像装置のように、比較器 9 - 3、9 - 5 に異なるランプ信号 VRAMP 1、VRAMP 2 が別々に与えられる形態であっても良い。この形態であっても、実施例 1 の図 4 に例示した動作タイミング図と同様に動作させることができる。この形態では A 変換期間 TA の少なくとも一部と A + B 変換期間 TAB の少なくとも一部が重なっている。これにより、A 変換期間 TA と A + B 変換期間 TAB とに重なった期間が無い場合に比して AD 変換期間 TAD を短くすることができる効果を有する。

また、N 変換を比較器 9 - 1、9 - 2 のそれぞれが行い、S 変換で得たデジタル信号から差し引くことで、比較器毎の動作のばらつきによって生じる画質の低下を低減することができる。

【 0 0 9 2 】

また、本実施例においてもスイッチパルス S 2 は図 7 の動作タイミング図において破線で示した通り、時刻 t_1 で H レベルとした後、時刻 t_3 で L レベルにはせず、時刻 t_6 で L レベルとする形態であっても良い。

【 0 0 9 3 】

複数列の画素信号を加算する加算方式としては、アナログ信号で加算する方式とデジタル信号で加算する方式がある。本実施例はアナログ信号で加算する方式に関する。アナログ信号で加算する形態として、(1) 複数の画素で増幅 MOS トランジスタの入力ノードを共通に接続する形態、(2) 画素が出力した信号を加算する形態がある。後者の形態の中でも、オペアンプの入力で加算する形態と比較器の入力で加算する形態がある。本実施例は、オペアンプの入力で加算する形態を基に説明した。本実施例ではアナログ信号で加算することにより、使用しないオペアンプ(本実施例においてはオペアンプ 1 5 - 5) に対して供給する電流を低減する、あるいはゼロとすることで、撮像装置の消費電力を低減できる効果がある。比較器の入力で加算する加算回路を有する形態であっても、本実施例を好適に実施することができる。

10

【 0 0 9 4 】

また、本実施例では加算回路が、異なる信号線に出力された画素信号を加算する形態を説明した。他の形態として、画素 1 0 0 の 1 つの増幅 MOS トランジスタ 5 の入力ノードに複数の画素 1 0 0 の光電変換部が接続されている形態であっても良い。これにより、複数の画素 1 0 0 の光電変換部が生成した信号電荷に基づく画素信号が出力される。この複数の画素 1 0 0 の光電変換部が生成した信号電荷に基づく信号は本実施例で述べたように、複数の画素 1 0 0 の各々が出力する画素信号を加算した信号に相当する。

【 0 0 9 5 】

本実施例では加算回路が複数の画素 1 0 0 が出力する画素信号を加算する形態を基に説明した。本実施例の撮像装置は複数の画素 1 0 0 が出力する画素信号を加算せずに比較器 9 に与えるモードをさらに有していても良い。すなわち、それぞれの列に配された画素 1 0 0 の出力する画素信号が、比較器 9 のそれぞれに与えられるモードをさらに有していても良い。このような形態の一例として、図 8 の撮像装置では、1 列目の画素が出力する画素信号は比較器 9 - 3、2 列目の画素が出力する画素信号は比較器 9 - 4 のそれぞれに出力される形態がある。別の一例として、1 列目の画素が出力する画素信号は比較器 9 - 5、2 列目の画素が出力する画素信号は比較器 9 - 6 のそれぞれに出力される形態がある。すなわち撮像装置が、複数の画素が第 1 の光電変換信号である A 信号を第 1 のアナログデジタル変換部に、第 2 の光電変換信号である A + B 信号を第 2 のアナログデジタル変換部にそれぞれ出力する第 1 のモードと、複数の画素が A 信号を出力せず、A + B 信号を第 1 のアナログデジタル変換部と第 2 のアナログデジタル変換部との少なくとも一方に出力する第 2 のモードとで動作する形態であっても良い。第 1 のモードでは、第 1 のアナログデジタル変換部が第 1 の光電変換信号をデジタル信号に変換する動作の少なくとも一部を第 1 の期間に行い、第 2 のアナログデジタル変換部が第 2 の光電変換信号をデジタル信号に変換する動作の少なくとも一部を第 1 の期間に行う。第 2 のモードでは、A + B 信号が与えられた前記第 1 のアナログデジタル変換部と前記第 2 のアナログデジタル変換部との少なくとも一方が A + B 信号をデジタル信号に変換する動作を行う。この形態であっても、第 1 のモードで A 変換期間 T A の少なくとも一部と A + B 変換期間 T A B の少なくとも一部とが重なっていることにより、A 変換期間 T A と A + B 変換期間 T A B とに重なった期間が無い場合に比して A D 変換期間 T A D を短くすることができる効果を有する。第 1 のモード、第 2 のモードを有することにより、例えば第 1 のモードでは焦点検出動作を行いながらの動画撮影、第 2 のモードでは静止画撮影あるいは焦点検出動作を行わない動画撮影といったように、用途に応じてモードを使い分けることが可能である。

20

30

40

【 0 0 9 6 】

[実施例 4]

実施例 1 で述べた撮像装置を撮像システムに適用した場合の実施例について述べる。撮像システムとして、デジタルスチルカメラやデジタルカムコーダーや監視カメラなどがあげられる。図 1 1 に、撮像システムの例としてデジタルスチルカメラに撮像装置を適用した場合の模式図を示す。

【 0 0 9 7 】

50

図 1 1 に例示した撮像システムは、レンズの保護のためのバリア 1 5 1、被写体の光学像を撮像装置 1 5 4 に結像させるレンズ 1 5 2、レンズ 1 5 2 を通過する光量を可変にするための絞リ 1 5 3 を有する。レンズ 1 5 2、絞リ 1 5 3 は撮像装置 1 5 4 に光を集光する光学系である。また、図 1 1 に例示した撮像システムは撮像装置 1 5 4 より出力される出力信号の処理を行う出力信号処理部 1 5 5 を有する。

【 0 0 9 8 】

出力信号処理部 1 5 5 はデジタル信号処理部を有し、撮像装置 1 5 4 から出力されるデジタル A 信号、デジタル A + B 信号のそれぞれからデジタル N 信号を差し引く差分処理を行う。また、出力信号処理部 1 5 5 は同一画素の A + B 信号と A 信号とのそれぞれに基づく、デジタル A + B 信号とデジタル A 信号とを差し引いて差分信号を得る差分処理を行う。この差分信号がデジタル B 信号である。また、出力信号処理部 1 5 5 はその他、必要に応じて各種の補正、圧縮を行って信号を出力する動作を行う。

10

【 0 0 9 9 】

図 1 1 に例示した撮像システムはさらに、画像データを一時的に記憶する為のバッファメモリ部 1 5 6、外部コンピュータ等と通信する為の外部インターフェース部 1 5 7 を有する。さらに撮像システムは、撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体 1 5 9、記録媒体 1 5 9 に記録または読み出しを行うための記録媒体制御インターフェース部 1 5 8 を有する。さらに固体撮像システムは、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部 1 5 1 0、撮像装置 1 5 4 と出力信号処理部 1 5 5 に各種タイミング信号を出力するタイミング供給部 1 5 1 1 を有する。ここで、タイミング信号などは外部から入力されてもよく、撮像システムは少なくとも撮像装置 1 5 4 と、撮像装置 1 5 4 から出力された出力信号を処理する出力信号処理部 1 5 5 とを有すればよい。

20

【 0 1 0 0 】

出力信号処理部 1 5 5 が行う、デジタル A + B 信号からデジタル A 信号を差し引く処理は、同じ画素から出力された信号同士で行われる。すなわち、画素 1 0 0 が出力した A 信号に基づく焦点検出用信号と焦点検出用信号を出力した画素 1 0 0 が出力した A + B 信号に基づく画像取得用信号とで差分処理が行われる。これにより、画素 1 0 0 の B 信号に基づく信号が得られ、この信号と A 信号に基づく信号との信号値を比較することにより、位相差検出方式の焦点検出が行われる。また、出力信号処理部 1 5 5 は、画像取得用信号であるデジタル A + B 信号からデジタル N 信号を差し引いた信号によって画像の形成を行う。

30

【 0 1 0 1 】

以上のように、本実施例の撮像システムは、撮像装置 1 5 4 を適用して焦点検出動作、撮像動作を行うことが可能である。

【 符号の説明 】

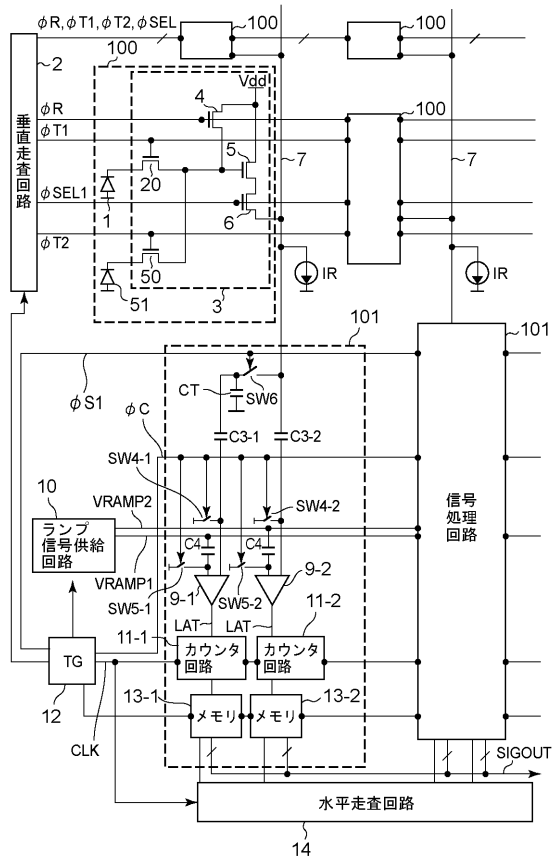
【 0 1 0 2 】

- 1、5 1 フォトダイオード
- 2 垂直走査回路
- 3 画素内信号読み出し回路
- 4 リセット MOS トランジスタ
- 5 増幅 MOS トランジスタ
- 6 選択 MOS トランジスタ
- 7 垂直信号線
- C T 容量
- C 3 - 1、C 3 - 2、C 4 クランプ容量
- 1 4 水平走査回路
- 9 - 1、9 - 2 比較器
- 1 0 参照信号供給回路
- 1 1 - 1、1 1 - 2 カウンタ回路

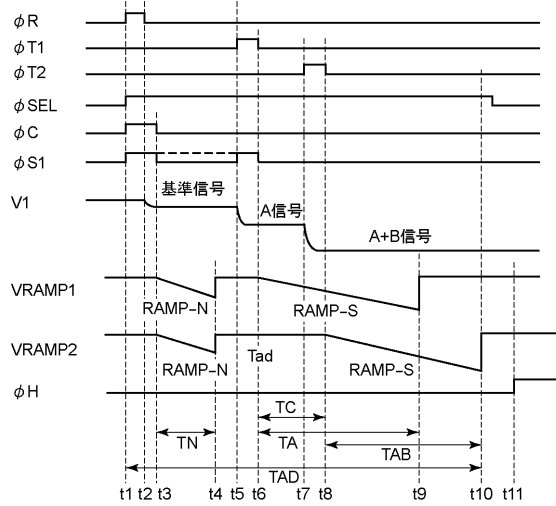
40

50

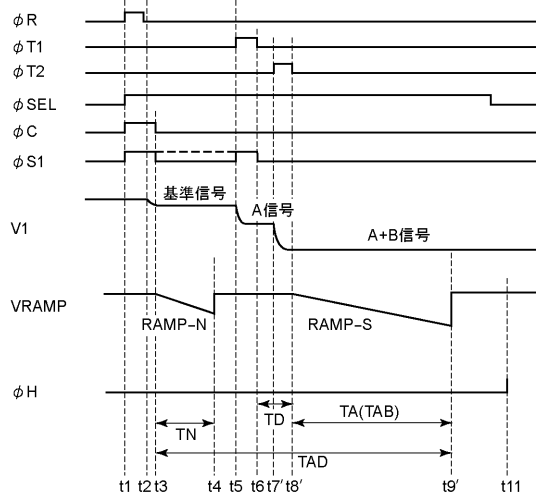
【図 3】



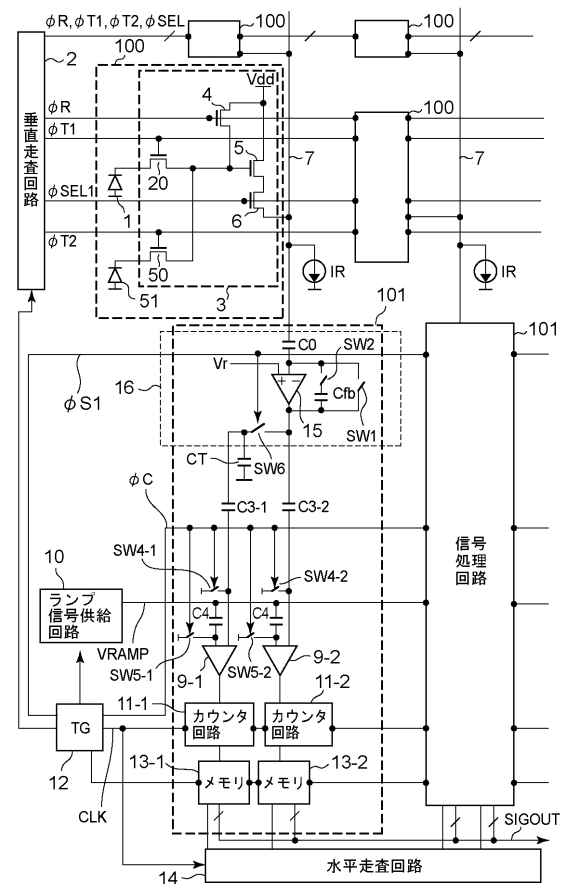
【図 4】



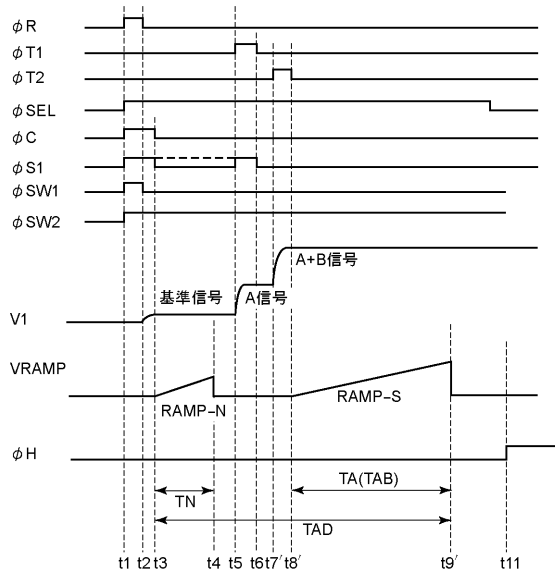
【図 5】



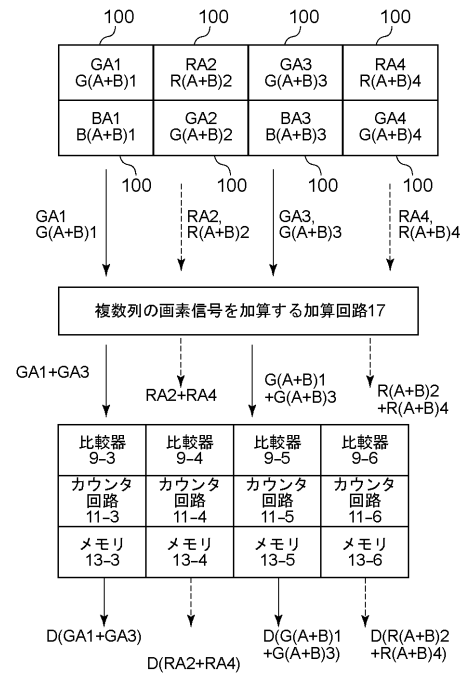
【図 6】



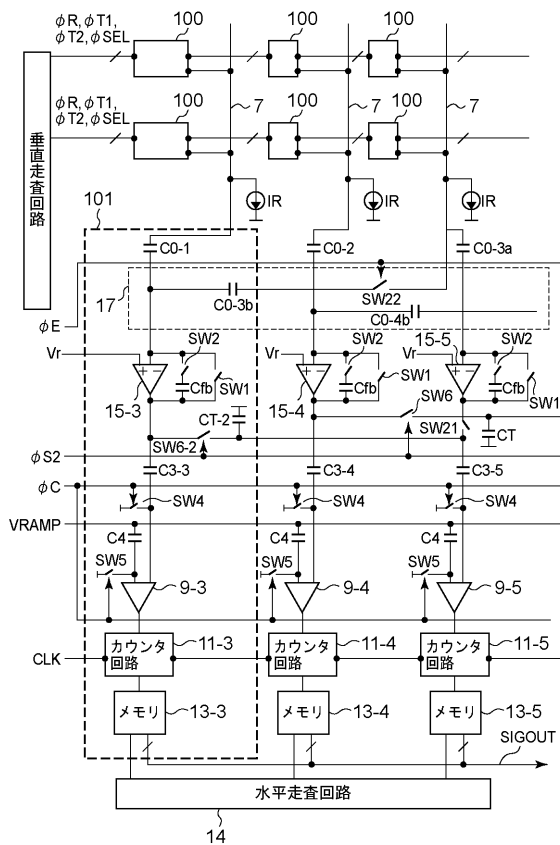
【図 7】



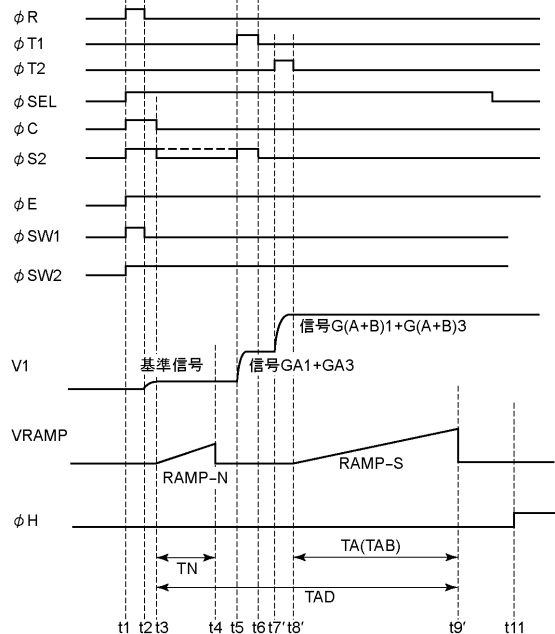
【図 8】



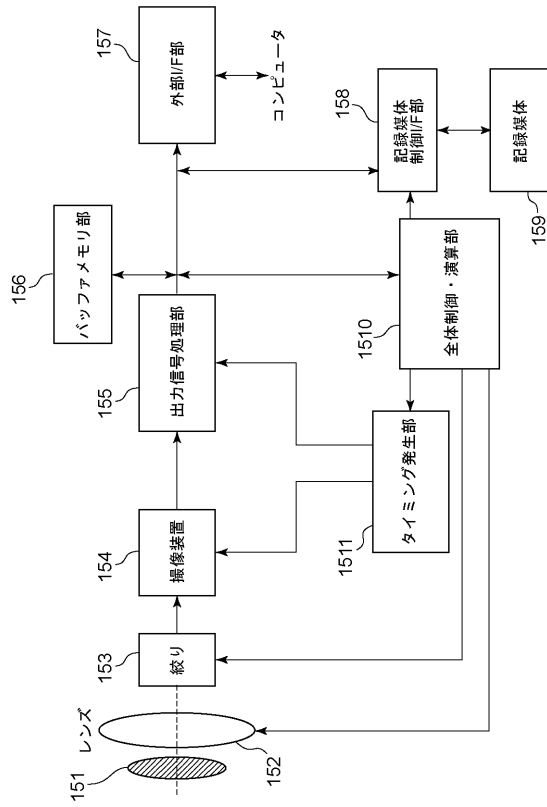
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 古林 篤
東京都大田区下丸子3丁目30番2号キャノン株式会社内

審査官 鈴木 肇

(56)参考文献 特開2001-083407(JP,A)
特開2010-109893(JP,A)
特開2011-035689(JP,A)
特開2005-347932(JP,A)
特開2006-080937(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N	5/30	-	5/378
H04N	5/222	-	5/257
H04N	9/04	-	9/11
H01L	21/339		
H01L	27/14	-	27/148
H01L	29/762		
G02B	7/28	-	7/40
G03B	3/00	-	3/12
G03B	13/30	-	13/36
G03B	21/53		