

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

87288

Patent dodatkowy
do patentu _____

Zgłoszono: 19.03.73 (P, 161 353)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 01.04.75

Opis patentowy opublikowano: 15.12.1976

MKP G11c 11/48

Int. Cl². G11C 11/48

CZYTELNICIA

Urząd Patentowy
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Janusz Dernałowicz, Eugeniusz Dzwonnik

Uprawniony z patentu: Polska Akademia Nauk Instytut Cybernetyki Stosowanej,
Warszawa (Polska)

Układ wzbudzenia prądowego uzwojeń zabraniających w koincydencyjnych pamięciach na rdzeniach ferrytowych

Przedmiotem wynalazku jest układ wzbudzenia prądowego uzwojeń zabraniających w koincydencyjnych pamięciach na rdzeniach ferrytowych.

Znany jest układ wzbudzenia prądowego uzwojeń zabraniających w koincydencyjnych pamięciach na rdzeniach ferrytowych zbudowany z trzech tranzystorów typu n-p-n, rezystorów, kondensatorów i obwodów o charakterze indukcyjnym. Wymienione elementy tworzą układ przez połączenie w sposób następujący. Baza pierwszego tranzystora jest połączona z wyjściem sterującego układu logicznego. Emiter tego tranzystora jest połączony, poprzez pierwszy rezystor, z punktem o potencjale odniesienia i, poprzez drugi rezystor i półprzewodnikową diodę, jest on połączony z uzwojeniem zakazu, przy czym anoda półprzewodnikowej diody jest połączona z drugim rezystorem, natomiast katoda jest połączona z uzwojeniem zakazu. Kolektor pierwszego tranzystora jest połączony poprzez trzeci rezystor, z pierwszym uzwojeniem transformatora. Początek tego uzwojenia jest dołączony do dodatniego bieguna źródła zasilania. Kolektor drugiego tranzystora i kolektor trzeciego tranzystora są połączone z dodatnim biegunem źródła zasilania i pierwszą okładziną pierwszego kondensatora. Druga okładzina pierwszego kondensatora jest połączona z punktem o potencjale odniesienia. Emiter drugiego tranzystora jest połączony z końcem drugiego uzwojenia transformatora, z pierwszą końcówką czwartego rezystora, z pierwszą końcówką piątego rezystora i pierwszą okładziną drugiego kondensatora. Druga okładzina drugiego kondensatora jest połączona z katodą diody półprzewodnikowej, zaś druga końcówka piątego rezystora jest połączona z pierwszą końcówką szóstego rezystora, z pierwszą końcówką siódmego rezystora i drugą końcówką ósmego rezystora. Druga końcówka szóstego rezystora i druga końcówka siódmego rezystora są połączone z katodą diody półprzewodnikowej. Baza drugiego tranzystora jest połączona z drugą końcówką czwartego rezystora i, poprzez dziewiąty rezystor, jest ona połączona z początkiem drugiego uzwojenia transformatora. Emiter trzeciego tranzystora jest połączony z pierwszą końcówką ósmego rezystora, z pierwszą okładziną trzeciego kondensatora, z pierwszą końcówką dziesiątego rezystora i z końcem trzeciego uzwojenia transformatora. Baza trzeciego tranzystora jest połączona z drugą końcówką dziesiątego rezystora i, poprzez jedenasty rezystor, jest ona połączona z początkiem trzeciego uzwojenia transformatora. Druga okładzina trzeciego kondensatora jest połączona z katodą diody półprzewodnikowej.

Pierwszy tranzystor powoduje kluczkowanie prądu w uzwojeniach zgodnie z impulsami sterującymi przyłożonymi na jego bazę ze sterującego układu logicznego. Tranzystor ten pracuje w warunkach tak zwanego „pływającego emitera” co jest wynikiem indukcyjnego charakteru uzwojenia zakazu wraz z rdzeniami ferrytowymi. Drugi i trzeci tranzystor łącznie z równolegle włączonym rezystorem umożliwiają wymuszenie impulsu prądowego w uzwojeniu zakazu. W chwili narastania impulsu napięcie na emiterze pierwszego tranzystora jest równe w przybliżeniu napięciu zasilania, a w czasie ustalonym impulsu napięcie emitera jest równe spadkowi napięcia na rezystancji uzwojenia zakazu.

Znany układ wzbudzenia prądowego uzwojeń zabraniających ma tę wadę, że przy średniej wartości napięcia zasilania, czas narastania czoła impulsu i czas opadania jego tylnego zbocza są dość długie, co przy bardzo szybkich pamięciach ferrytowych jest szkodliwe. W układzie tym skrócenie czasu narastania i czasu opadania zboczy impulsu osiąga się poprzez podwyższenie wartości napięcia zasilania i zwiększenie oporności szeregowo z uzwojeniem zabraniającym włączonego rezystora. Powoduje to duże straty mocy w tranzystorach i rezystorach. Wydzielone ciepło podgrzewa inne elementy układu pamięci ferrytowych, które muszą mieć dodatkowe chłodzenie.

Celem wynalazku jest wyeliminowanie wad znanego układu wzbudzania prądowego uzwojeń zabraniających. Cel ten osiągnięto przez skonstruowanie nowego układu wzbudzania prądowego uzwojeń zabraniających, w którym tranzystor kluczkujący, pracujący w warunkach „pływającego emitera”, jest zasilany ze źródła napięcia zasilania przez równoległe połączenie pierwszego rezystora oraz emiterowego ogranicznika prądowego w połączeniu z rezystorami drugim, trzecim i czwartym, i jest sterowany przez trzeci tranzystor za pośrednictwem rezystancyjnego dzielnika, złożonego z szeregowo połączonych rezystorów, piątego i szóstego, przy czym emiter tranzystora kluczkującego jest połączony z kolektorem drugiego tranzystora, z pierwszym rezystorem i z piątym rezystorem, kolektor tranzystora kluczkującego jest połączony z uzwojeniem zabraniającym wraz z rdzeniami ferrytowymi, natomiast baza tranzystora kluczkującego jest połączona z szóstym rezystorem i drugim końcem piątego rezystora.

Układ wzbudzenia prądowego według wynalazku ma tę zaletę, że impuls w uzwojeniu zabraniającym ma krótkie czasy narastania i opadania. Układ ma mniejszą stratę mocy ogólnej, oraz mniejszą moc strat w czasie trwania impulsu prądowego w uzwojeniu zabraniającym.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia ideowy układ wzbudzania prądowego uzwojeń zabraniających w koincydencyjnych pamięciach na rdzeniach ferrytowych, fig. 2 — kształt impulsu w uzwojeniu zabraniającym i zależności czasowe w odniesieniu do impulsu sterującego.

Układ wzbudzania prądowego uzwojeń zabraniających w koincydencyjnych pamięciach na rdzeniach ferrytowych składa się z pierwszego tranzystora kluczkującego T_1 typu p-n-p pracującego w warunkach „pływającego emitera”, z drugiego tranzystora T_2 typu p-n-p pracującego w układzie emiterowego ogranicznika prądowego, z trzeciego tranzystora T_3 typu n-p-n sterującego kluczkujący tranzystor T_1 za pomocą rezystancyjnego dzielnika R_6, R_7 , z uzwojenia zabraniającego wraz z rdzeniami ferrytowymi stanowiącego obciążenie indukcyjne kluczkującego tranzystora T_1 , z pierwszego rezystora R_1 , poprzez który zasilany jest kluczkujący tranzystor T_1 napięciem U_2 źródła zasilania, z drugiego rezystora R_2 , poprzez który zasilany jest drugi tranzystor T_2 napięciem U_1 ze źródła zasilania, oraz z trzeciego rezystora R_3 i czwartego rezystora R_4 tworzących drugi dzielnik rezystancyjny R_3, R_4 , przy czym te elementy układu są połączone w sposób następujący. Emiter pierwszego tranzystora T_1 jest połączony, poprzez pierwszy rezystor R_1 , z dodatnim biegunem źródła zasilania o napięciu U_2 i bezpośrednio z kolektorem drugiego tranzystora i pierwszym końcem piątego rezystora R_5 . Kolektor pierwszego tranzystora T_1 jest połączony z uzwojeniem zabraniającym wraz z rdzeniami ferrytowymi. Baza pierwszego tranzystora T_1 jest połączona z drugim końcem piątego rezystora R_5 i pierwszym końcem szóstego rezystora R_6 . Drugi koniec szóstego rezystora R_6 jest połączony z kolektorem trzeciego tranzystora T_3 . Baza trzeciego tranzystora T_3 jest połączona z wyjściem sterującego układu logicznego nie pokazanego na rysunku. Emiter drugiego tranzystora T_2 jest połączony, poprzez drugi rezystor R_2 , z dodatnim biegunem źródła zasilania o napięciu U_1 i z pierwszym końcem trzeciego rezystora R_3 . Baza drugiego tranzystora T_2 jest połączona z drugim końcem trzeciego rezystora R_3 i z pierwszym końcem czwartego rezystora R_4 . Drugi koniec czwartego rezystora R_4 i emiter trzeciego tranzystora T_3 są połączone z punktem o potencjale odniesienia. Punkt pracy drugiego tranzystora T_2 i wartość ograniczanego prądu zależą od wartości rezystancji drugiego rezystora R_2 oraz drugiego rezystancyjnego dzielnika R_3, R_4 i są ustalone eksperymentalnie razem z wartością rezystancji pierwszego rezystora R_1 zależnie od parametrów pamięci, warunków zasilania i temu podobnych w ten sposób, aby były spełnione następujące warunki pracy układu.

W czasie nieprzewodzenia pierwszego tranzystora T_1 napięcie na kolektorze drugiego tranzystora T_2 jest

równe napięciu U_1 i tranzystor ten jest przygotowany do przewodzenia. W czasie trwania impulsu sterującego przyłożonego na bazę trzeciego tranzystora T_3 płynie prąd I_1 w obwodzie obciążenia pierwszego tranzystora T_1 . Prąd I_1 jest superpozycją prądu I_2 płynącego przez drugi tranzystor prądu I_3 płynącego przez pierwszy rezystor R_1 , przy uwzględnieniu wpływu prądu I_1 bazy pierwszego tranzystora T_1 oraz ewentualnego wpływu pojemności rozproszonej C_1 . Prąd I_2 płynący przez drugi tranzystor T_2 ma przebieg, w którym wyróżnia się dwa obszary: część nieustaloną o maksymalnej wartości chwilowej i część ustaloną o wartości mniejszej niż w części nieustalonej. Nieustalona część impulsu jest wynikiem ładunku zebranego w obszarze baza-emiter tranzystora T_2 , a jego stromość zależy od szybkości pierwszego tranzystora T_1 , a przede wszystkim od zmiany strumienia magnetycznego w jego obwodzie obciążenia. Ustalona część impulsu jest wynikiem działania układu ograniczającego prąd. Prąd I_3 płynący przez pierwszy rezystor R_1 stanowi dopełnienie prądu I_2 płynącego przez pierwszy tranzystor T_1 .

Jeżeli napięcie U_2 źródła zasilania przełożone na pierwszy rezystor R_1 jest mniejsze od napięcia źródła zasilania, konieczne jest włączenie w szereg z pierwszym rezystorem R_1 półprzewodnikowej diody D_1 zapobiegającej przepływowi prądu przez ten rezystor R_1 ze źródła zasilania o napięciu U_1 do źródła zasilania o napięciu U_2 . Moc strat układu, pochodząca od prądu I_1 płynącego przez pierwszy tranzystor T_1 wydzielona w tym tranzystorze T_1 , w drugim tranzystorze T_2 , w pierwszym rezystorze R_1 i w drugim rezystorze R_2 , jest tym mniejsza czym większa jest różnica napięć U_1 i U_2 źródła zasilania i czym mniejsze są wartości rezystancji rezystorów R_1 i R_2 . Prąd bazy pierwszego tranzystora T_1 zależy od napięcia istniejącego na kolektorze drugiego tranzystora T_2 , które od wartości prawie równej wartości napięcia U_1 źródła zasilania w części początkowej impulsu spada do wartości zbliżonej do sumy spadku napięcia na oporności rzeczywistej obciążenia i napięcia nasycenia pierwszego tranzystora T_1 , wobec czego w części ustalonej impulsu prąd bazy jest mniejszy niż na jego początku, co zmniejsza efekt przeciągania impulsu. Tłumienie ewentualnych drgań w obwodzie zabraniającym eliminuje się włączeniem siódmego rezystora R_7 w obwód kolektora pierwszego tranzystora T_1 . Wartość rezystancji siódmego rezystora R_7 jest rzędu kilku omów.

Wysterowanie układu następuje w takim momencie cyklu pamięci, aby impuls zabraniający rozpoczął się jeszcze w czasie trwania impulsu odczytu, to znaczy w chwili rozpoczęcia jego opadania. Suma wartości chwilowych prądu odczytu i prądu zabraniającego nie może przekraczać wartości prądu połówkowego. Czas procesu zapisu w cyklu pamięciowym rozpoczyna się jeszcze w czasie trwania procesu odczytu, dając skrócenie całkowitego czasu trwania cyklu.

Zastrzeżenie patentowe

Układ wzbudzenia prądowego uzwojeń zabraniających w koincydencyjnych pamięciach na rdzeniach ferrytowych złożony z pierwszego kluczującego tranzystora pracującego w warunkach „pływającego emitera”, z drugiego tranzystora pracującego w układzie emiterowego ogranicznika prądowego, z trzeciego tranzystora i dzielnika rezystancyjnego, za pośrednictwem których jest sterowany kluczujący tranzystor sygnałem ze sterującego układu logicznego, z uzwojenia zabraniającego wraz z rdzeniami ferrytowymi, z n a m i e n n y t y m, że kluczujący tranzystor (T_1) jest zasilany napięciem stałym pobranym ze źródła zasilania poprzez równoległe połączenie pierwszego rezystora (R_1) i drugiego tranzystora (T_2) pracującego w znanym układzie emiterowego ogranicznika prądowego, przy czym emiter kluczującego tranzystora (T_1) jest połączony z kolektorem drugiego tranzystora (T_2), z pierwszym rezystorem (R_1) i z piątym rezystorem (R_5) rezystancyjnego dzielnika (R_5 , R_6), z którego pobrany jest sygnał sterujący przyłożony na bazę kluczującego tranzystora (T_1).

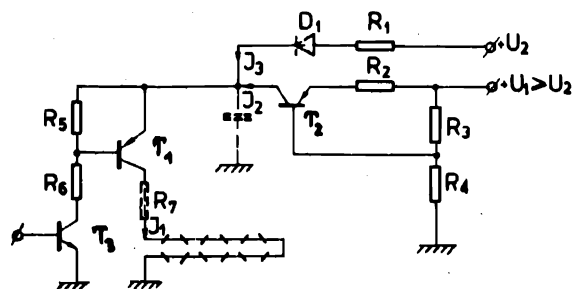


FIG. 1

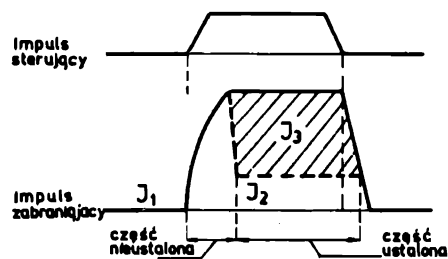


FIG. 2