

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成21年10月8日(2009.10.8)

【公開番号】特開2008-59053(P2008-59053A)

【公開日】平成20年3月13日(2008.3.13)

【年通号数】公開・登録公報2008-010

【出願番号】特願2006-232273(P2006-232273)

【国際特許分類】

G 06 F 12/06 (2006.01)

G 06 F 12/00 (2006.01)

【F I】

G 06 F 12/06 520 A

G 06 F 12/06 523 C

G 06 F 12/00 560 A

G 06 F 12/00 597 U

【手続補正書】

【提出日】平成21年8月25日(2009.8.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メインC P Uと、電気的に書き込み及び消去可能な不揮発性メモリモジュールとを具備してなり、

前記不揮発性メモリモジュールは、不揮発性メモリと、不揮発制御ユニットとを含み、

前記メインC P Uから発行されたコマンドに応答して前記不揮発制御ユニットは前記不揮発性メモリの書き込み及び消去の制御を行うものであり、

前記不揮発性メモリは、前記メインC P Uが実行するプログラムを格納するプログラム格納不揮発性メモリと、前記メインC P Uによる前記プログラムの命令実行結果のデータを格納するデータ格納不揮発性メモリとを含み、

前記不揮発制御ユニットによる前記プログラム格納不揮発性メモリへのプログラム書き込みのデータサイズは、前記不揮発制御ユニットによる前記データ格納不揮発性メモリへのデータ書き込みのデータサイズと異なるサイズに設定され、

前記メインC P Uは前記不揮発制御ユニットに前記プログラム格納不揮発性メモリへのプログラム書き込みの要求を行う際に前記プログラム書き込みのデータサイズに対応する第1のサイズ情報を前記不揮発制御ユニットへ供給して、

前記メインC P Uは前記不揮発制御ユニットに前記データ格納不揮発性メモリへのデータ書き込みの要求を行う際に前記データ書き込みのデータサイズに対応する第2のサイズ情報を前記不揮発制御ユニットへ供給して、

前記不揮発制御ユニットは前記メインC P Uから供給される前記第1のサイズ情報および前記第2のサイズ情報に応答して前記不揮発性メモリの前記プログラム格納不揮発性メモリおよび前記データ格納不揮発性メモリへのプログラムおよびデータの書き込みを実行する半導体集積回路。

【請求項2】

前記不揮発制御ユニットによる前記プログラム格納不揮発性メモリへのプログラム書き込みの前記データサイズは、前記不揮発制御ユニットによる前記データ格納不揮発性メモ

リへのデータ書き込みの前記データサイズよりも大きくされた請求項1記載の半導体集積回路。

【請求項3】

前記データ格納不揮発性メモリは少なくとも1個のフラッシュメモリを含み、前記プログラム格納不揮発性メモリは少なくとも2個のフラッシュメモリを含む請求項1または請求項2のいずれかに記載の半導体集積回路。

【請求項4】

前記メインCPUから供給される動作モードに応答して前記不揮発制御ユニットは書き込みデータを前記プログラム格納不揮発性メモリの前記2個のフラッシュメモリへシリアルにデータ転送するものである請求項3に記載の半導体集積回路。

【請求項5】

前記メインCPUから供給される他の動作モードに応答して前記不揮発制御ユニットは書き込みデータを前記プログラム格納不揮発性メモリの前記2個のフラッシュメモリへインターリーブにより交互にデータ転送するものである請求項3に記載の半導体集積回路。

【請求項6】

前記不揮発制御ユニットは、サブCPUと、コントロールメモリとを含み、

前記プログラム格納不揮発性メモリには、前記不揮発制御ユニットの前記サブCPUによる前記不揮発性メモリの書き込みおよび消去を制御する書き込み・消去制御プログラムが格納され、

システム起動時には前記プログラム格納不揮発性メモリに格納された前記書き込み・消去制御プログラムが前記不揮発制御ユニットの前記コントロールメモリへ転送され、

前記不揮発性メモリの書き込み及び消去の制御は前記メインCPUから発行されたコマンドに応答して前記不揮発制御ユニットの前記サブCPUが前記コントロールメモリに転送された書き込み・消去制御プログラムの命令を実行することにより行われるものである請求項1から請求項5のいずれかに記載の半導体集積回路。

【請求項7】

メインCPUと、電気的に書き込み及び消去可能な不揮発性メモリモジュールとを具備してなり、

前記不揮発性メモリモジュールは、不揮発性メモリと、不揮発制御ユニットとを含み、

前記メインCPUから発行されたコマンドに応答して前記不揮発制御ユニットは前記不揮発性メモリの書き込み及び消去の制御を行うものであり、

前記不揮発性メモリは、前記メインCPUが実行するプログラムを格納するプログラム格納不揮発性メモリと、前記メインCPUによる前記プログラムの命令実行結果のデータを格納するデータ格納不揮発性メモリとを含み、

前記不揮発制御ユニットによる前記プログラム格納不揮発性メモリへのプログラム書き込みのデータサイズは、前記不揮発制御ユニットによる前記データ格納不揮発性メモリへのデータ書き込みのデータサイズと異なるサイズに設定され、

前記メインCPUは前記不揮発制御ユニットに前記プログラム格納不揮発性メモリへのプログラム書き込みの要求を行う際にプログラム書き込みのデータサイズに対応する第1のサイズ情報を前記不揮発制御ユニットへ供給して、

前記メインCPUは前記不揮発制御ユニットに前記データ格納不揮発性メモリへのデータ書き込みの要求を行う際にデータ書き込みのデータサイズに対応する第2のサイズ情報を前記不揮発制御ユニットへ供給して、

前記不揮発制御ユニットは前記メインCPUから供給される前記第1のサイズ情報および前記第2のサイズ情報に応答して前記不揮発性メモリの前記プログラム格納不揮発性メモリおよび前記データ格納不揮発性メモリへのプログラムおよびデータの書き込みを実行するシングルチップマイクロコンピュータ。

【請求項8】

前記不揮発制御ユニットによる前記プログラム格納不揮発性メモリへのプログラム書き込みの前記データサイズは、前記不揮発制御ユニットによる前記データ格納不揮発性メモ

リへのデータ書き込みの前記データサイズよりも大きくされた請求項7に記載のシングルチップマイクロコンピュータ。

【請求項9】

前記データ格納不揮発性メモリは少なくとも1個のフラッシュメモリを含み、前記プログラム格納不揮発性メモリは少なくとも2個のフラッシュメモリを含む請求項7または請求項8のいずれかに記載のシングルチップマイクロコンピュータ。

【請求項10】

前記メインCPUから供給される動作モードに応答して情報前記不揮発制御ユニットは書き込みデータを前記プログラム格納不揮発性メモリの前記2個のフラッシュメモリへシリアルにデータ転送するものである請求項9に記載のシングルチップマイクロコンピュータ。

【請求項11】

前記メインCPUから供給される他の動作モードに応答して前記不揮発制御ユニットは書き込みデータを前記プログラム格納不揮発性メモリの前記2個のフラッシュメモリへインターリーブにより交互にデータ転送するものである請求項9に記載のシングルチップマイクロコンピュータ。

【請求項12】

前記不揮発制御ユニットは、サブCPUと、コントロールメモリとを含み、前記プログラム格納不揮発性メモリには、前記不揮発制御ユニットの前記サブCPUによる前記不揮発性メモリの書き込みおよび消去を制御する書き込み・消去制御プログラムが格納され、

システム起動時には前記プログラム格納不揮発性メモリに格納された前記書き込み・消去制御プログラムが前記不揮発制御ユニットの前記コントロールメモリへ転送され、

前記不揮発性メモリの書き込み及び消去の制御は前記メインCPUから発行されたコマンドに応答して前記不揮発制御ユニットの前記サブCPUが前記コントロールメモリに転送された書き込み・消去制御プログラムの命令を実行することにより行われるものである請求項7から請求項11のいずれかに記載のシングルチップマイクロコンピュータ。

【請求項13】

前記メインCPUからの前記不揮発性メモリに対する書き込みコマンドは、
前記データまたはプログラム書き込みのデータサイズに対応したサイズ情報と、
書き込まれるべきデータ情報と、を含むとされる請求項2記載の半導体集積回路。

【請求項14】

前記メインCPUからの前記不揮発性メモリに対する書き込みコマンドは、
前記データまたはプログラム書き込みのデータサイズに対応したサイズ情報と、
書き込まれるべきデータ情報と、を含むとされる請求項8記載のシングルチップマイクロコンピュータ。

【請求項15】

前記メインCPUが接続される第1バスと、
前記不揮発制御ユニットが接続される第2バスと、を有し、
前記プログラム格納不揮発性メモリは、前記第1バスを介して前記メインCPUからの読み出し動作を行い、
前記データ格納不揮発性メモリは、前記第2バスを介して前記メインCPUからの読み出し動作を行うとされる請求項1または13記載の半導体集積回路。

【請求項16】

前記メインCPUが接続される第1バスと、
前記不揮発制御ユニットが接続される第2バスと、を有し、
前記プログラム格納不揮発性メモリは、前記第1バスを介して前記メインCPUからの読み出し動作を行い、
前記データ格納不揮発性メモリは、前記第2バスを介して前記メインCPUからの読み出し動作を行うとされる請求項7または14記載のシングルチップマイクロコンピュータ

。【請求項 1 7】

前記不揮発制御ユニットは、前記第2バスに接続され、

前記メインC P Uからの前記書き込みコマンドを前記第2バス経由で供給されてなる請求項1 5記載の半導体集積回路。

【請求項 1 8】

前記不揮発制御ユニットは、前記第2バスに接続され、

前記メインC P Uからの前記書き込みコマンドを前記第2バス経由で供給されてなる請求項1 6記載のシングルチップマイクロコンピュータ。