

[51] Int. Cl⁷

H01L 23/48

H01L 21/60 H01L 21/28



[12] 发明专利申请公开说明书

[21] 申请号 200310118357.1

[43] 公开日 2004 年 6 月 9 日

[11] 公开号 CN 1503359A

[22] 申请日 2003.11.25

[21] 申请号 200310118357.1

〔30〕 優先権

[32] 2002. 11. 26 [33] .JP [31] 2002 – 342024

〔71〕 申请人 新光电气工业株式会社

地址 日本长野县

[72] 发明人 春原昌宏 村山启 真筱直宽
东光敏

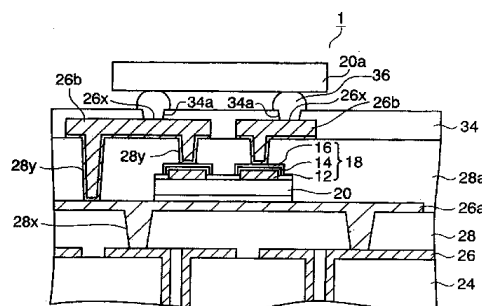
[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所
代理人 马 浩

权利要求书 4 页 说明书 16 页 附图 13 页

[54] 发明名称 电子元件封装结构及制造该电子元件封装结构的方法

[57] 摘要

提供了一种电子元件封装结构，它包括一个其上安装了一个电子元件的安装体，该电子元件具有一个连接焊盘，它以一个防蚀刻膜(铜膜、金膜、银膜或导电贴膜)作为最上层膜，并安装在安装体上，使连接焊盘方向向上，一层用于覆盖电子元件的夹层绝缘膜，一个形成在电子元件的连接焊盘上的绝缘膜中的通路孔以及一个通过通路孔连接到连接焊盘的布线图案。



LSN 1008-4274

1. 一个电子元件封装结构包括:

一个安装体, 其上安装一个电子元件;

该电子元件具有一个连接焊盘, 它由一个层叠膜构成, 层叠膜具有一个防蚀刻层作为最上层, 并且电子元件安装在安装体上使连接焊盘方向向上;

一层用于覆盖电子元件的绝缘膜;

一个至少形成在电子元件的连接焊盘上的绝缘膜的预定部分中的通路孔;以及

通过通路孔连接到连接焊盘的布线图案。

2. 根据权利要求1的一个电子元件封装结构, 其中防蚀刻膜是从由一层铜膜、一层金膜、一层银膜和一层导电贴膜组成的组中选出的的一种。

3. 根据权利要求1的一个电子元件封装结构, 其中连接焊盘是从由铝膜/镍膜/铜膜, 铝膜/镍膜/金膜, 铝膜/镍膜/铜膜/金膜, 铝膜/镍膜/银膜, 铝膜/铬膜/铜膜, 铝膜/导电贴膜, 铝膜/钛膜/导电贴膜, 铝膜/铬膜/导电贴膜, 以及铝膜/钛膜/铜膜组成的组中选出的一个层叠膜构成, 这些膜分别由底部开始依次形成。

4. 根据权利要求1的一个电子元件封装结构, 其中安装体是一个其上具有一个布线图案的基底, 或一个结构体, 其中一层绝缘膜和一个布线图案在基底上被层叠预定次数, 并且连接到所述连接焊盘的布线图案通过在绝缘膜中形成的通路孔被电连接到电子元件下方的布线图案。

5. 根据权利要求4的一个电子元件封装结构, 其中多个电子元件处于被掩埋在多个绝缘膜中的状态并被三维地封装, 并且所述多个电子元件通过在多个绝缘膜中形成的多个通路孔和布线图案相互连接。

6. 根据权利要求1的一个电子元件封装结构, 其中一个上方的

电子元件的一个突出部分安装在布线图案上，其通过倒装安装法连接到电子元件的连接焊盘。

7. 根据权利要求 1 的一个电子元件封装结构，其中电子元件的厚度被设为约等于或小于 $150\mu\text{m}$ 。

8. 一种制造一个电子元件封装结构的方法包括以下步骤：

准备一个电子元件，该电子元件具有一个由层叠膜构成的连接焊盘，该层叠膜用一层防蚀刻膜作为最上层膜；

将电子元件安装在一个安装体上，使连接焊盘方向向上。

形成一层绝缘膜以覆盖电子元件；

通过用激光蚀刻连接焊盘上方的绝缘膜的至少一个预定部分形成一个通路孔；以及

形成一个通过通路孔连接到连接焊盘的布线图案。

9. 根据权利要求 8 的一种制造一个电子元件封装结构的方法，其中防蚀刻膜是从由一层铜膜、一层金膜、一层银膜和一层导电贴膜组成的组中选出的的一种。

10. 根据权利要求 8 的一种制造一个电子元件封装结构的方法，其中连接焊盘是从由铝膜/镍膜/铜膜，铝膜/镍膜/金膜，铝膜/镍膜/铜膜/金膜，铝膜/镍膜/银膜，铝膜/铬膜/铜膜，铝膜/导电贴膜，铝膜/钛膜/导电贴膜，铝膜/铬膜/导电贴膜，以及铝膜/钛膜/铜膜组成的组中选出的一个层叠膜构成，这些膜分别由底部开始依次形成，并且连接焊盘的最上层膜在用激光形成通路孔时作为防蚀刻层。

11. 根据权利要求 10 的一种制造一个电子元件封装结构的方法，其中连接焊盘是由铝膜/镍膜/铜膜，铝膜/镍膜/金膜，铝膜/镍膜/铜膜/金膜，或铝膜/镍膜/银膜形成的，以及

准备电子元件的步骤包括以下步骤：

通过非电解电镀在具有铝焊盘的硅片的一个铝焊盘上选择性地形成镍膜，

通过非电解电镀在镍膜上选择性地形成铜膜、金膜、铜膜/金膜或银膜以形成连接焊盘，

通过研磨半导体片的背面减小厚度，以及
切割半导体片以获得电子元件。

12. 根据权利要求 10 的一种制造一个电子元件封装结构的方法，其中连接焊盘由铝膜/铬膜/铜膜，或铝膜/钛膜/铜膜形成，以及
准备电子元件的步骤包括以下步骤：

在一个具有一个铝焊盘的半导体片上依次形成铬膜或钛膜，以及铜膜，

加工制定铜膜和铬膜或钛膜的图案，使铬膜或钛膜以及铜膜留在铝焊盘上，从而形成连接焊盘，

通过研磨半导体片的背面减小厚度，以及
切割半导体片以获得电子元件。

13. 根据权利要求 10 的一种制造一个电子元件封装结构的方法，其中连接焊盘由铝膜/铬膜/铜膜，或铝膜/钛膜/铜膜形成，以及
准备电子元件的步骤包括以下步骤：

形成一个抗蚀膜，它在具有铝焊盘的半导体片的一个铝焊盘上具有一个开口部分，

在抗蚀膜和铝焊盘上依次形成铬膜或钛膜，以及铜膜，

去除抗蚀膜，并提升抗蚀膜上的铬膜或钛膜以及铜膜，以选择性地在铝焊盘上留下铬膜或钛膜以及铜膜，从而形成连接焊盘，

通过研磨半导体片的背面减小厚度，以及
切割半导体片以获得电子元件。

14. 根据权利要求 10 的一种制造一个电子元件封装结构的方法，其中连接焊盘由铝膜/铬膜/铜膜，或铝膜/钛膜/铜膜形成，以及
准备电子元件的步骤包括以下步骤：

在一个具有一个铝焊盘的半导体片上依次形成铬膜或钛膜以及一个第一铜膜，

形成一个抗蚀膜，它在第一铜膜的对应铝焊盘的一部分上具有一个开口部分，

通过电解电镀在抗蚀膜的开口部分中形成一个第二铜膜，

去除抗蚀膜，然后通过利用第二铜膜作为掩模蚀刻第一铜膜以及铬膜或钛膜，从而形成连接焊盘，

通过削磨半导体片的背面减小厚度，以及
切割半导体片以获得电子元件。

15. 根据权利要求 10 的一种制造一个电子元件封装结构的方法，其中连接焊盘由铝膜/导电贴膜，铝膜/钛膜/导电贴膜，或铝膜/铬膜/导电贴膜形成，以及

准备电子元件的步骤包括以下步骤：

通过将导电贴合材料选择性地覆盖在一个具有铝焊盘的半导体片的一个铝焊盘上，或形成在铝焊盘上的钛膜或铬膜上，以形成导电贴膜，

通过削磨半导体片的背面减小厚度，以及
切割半导体片以获得电子元件。

16. 根据权利要求 8 的一种制造一个电子元件封装结构的方法，其中安装体是一个其上具有布线图案的基底，或者一个结构体，其中一个绝缘膜和一个布线图案在基底上叠预定次数。

在形成通路孔的步骤中，通路孔同时形成在电子元件下的布线图案上的绝缘膜的一个预定部分中，以及

在形成连接到连接焊盘的布线图案的步骤中，连接到连接焊盘的布线图案被形成为通过通路孔电连接到电子元件下的布线图案。

电子元件封装结构及制造 该电子元件封装结构的方法

技术领域

本发明涉及一种电子元件封装结构和一种制造该结构的方法，尤其涉及这样一种电子元件封装结构，在该结构中电子元件以该电子元件被掩埋在一个绝缘膜中的状态被封装在一个布线基底上，以及一种制造该结构的方法。

背景技术

作为实现多媒体设备的关键技术的 LSI 技术的发展正在稳定地前进到更高速更大容量的数据传输。因此，作为 LSI 和电子设备之间的接口的封装技术也正向更高密度前进。

为响应进一步高密度的请求，存在着这样的半导体器件，其中半导体芯片以掩埋在绝缘膜中的状态安装在布线基底上。例如，在专利申请出版物（KOKAI）2001-217337(专利文献 1)中，提出了这样一种半导体器件，其中减薄的半导体芯片以掩埋在绝缘膜中的状态被面朝上的安装在布线基底上，然后半导体芯片的电极焊盘通过其上的绝缘膜中形成的通路孔连接到在布线基底两个表面上提供的外部连接终端，等等。

同时，为制造上述半导体器件，必须利用激光或类似的技术蚀刻在半导体芯片的连接焊盘上方形成的绝缘膜来形成通路孔。此时，如果半导体芯片的连接焊盘是铝(Al)膜制成的，这种 Al 膜具有易被激光蚀刻的性质。从而，通过用激光在绝缘膜上形成通路孔，引起了暴露的 Al 膜被激光所蚀刻并散布到周围的问题，因此一部分连接焊盘消失了。因此，出现了在连接焊盘下和其周围区域之下形成的电路元件被激光损坏的问题。

在这种情况下，在上述专利文献 1 中，没有考虑到在用激光蚀刻半导体芯片的连接焊盘（Al 膜）上的绝缘膜时引起的上述问题。

发明内容

本发明的一个目的是提供一种电子元件封装结构，其中通路孔可形成在电子元件的连接焊盘上且无不良影响，其中在该电子元件封装结构中，电子元件被掩埋在一个绝缘膜中并正面向上安装在一个布线基底上，以及提供一种制造该结构的方法。

本发明涉及一种电子元件封装结构，包括一个安装体，其上安装了电子元件；该电子元件具有一个连接焊盘，它是由一个以防腐蚀刻膜作为最外层膜的层叠膜构成的，并安装到安装体上以使连接焊盘方向向上；一个用于覆盖电子元件的绝缘膜；一个至少形成在电子元件的连接焊盘上的绝缘膜的预定部分中的通路孔；以及一个通过通路孔连接到连接焊盘的布线图案。

在本发明的电子元件封装结构中，电子元件安装在安装体上，以使连接焊盘方向向上（正面向上），所述电子元件处于被掩埋在绝缘膜中的状态。然后，电子元件的连接焊盘由以防蚀刻层作为最外层的层叠膜构成。

作为连接焊盘的一个首选实施方式，连接焊盘由从铝膜/镍膜/铜膜，铝膜/镍膜/金膜，铝膜/镍膜/铜膜/金膜，铝膜/镍膜/银膜，铝膜/铬膜/铜膜，铝膜/导电贴膜，铝膜/钛膜/导电贴膜，铝膜/铬膜/导电贴膜，以及铝膜/钛膜/铜膜构成的组中选出的层叠膜构成，这些膜分别从底部依次形成。

同样，通路孔也形成在电子元件的连接焊盘上的绝缘膜中，并且通过通路孔连接到连接焊盘的布线图案也形成在绝缘膜上。

在本发明的电子元件封装结构中，通过用激光在电子元件的连接焊盘上的绝缘膜中形成通路孔，连接焊盘的最外层作为激光过程中的防蚀刻层。这是因为用作防蚀刻层的铜膜、金膜、银膜、导电贴膜或类似的膜与作为连接焊盘的标准材料的铝膜相比具有非常小激光蚀

刻率。

因此，不像采用其最外层由铝膜制成的连接焊盘时的情况那样，通路孔下面的连接焊盘不可能消失，连接焊盘下和其周围下面的区域中的电路元件不可能被损坏。

在这种方法中，形成在电路元件的连接焊盘上的绝缘膜中的通路孔可由通常的激光过程很容易地形成，不会产生问题。因此，电子元件以被掩埋在绝缘膜中的状态正面向上安装在安装体上，以及电子元件的连接焊盘通过通路孔连接到布线图案的电子元件封装结构可以很容易地制造，在高产量的时候也不会引起成本增加。

附图说明

图 1A 和 1B 是显示半导体芯片被掩埋在绝缘膜中并被封装的半导体器件的制造中的缺点的截面图。

图 2A 至 2K 是显示本发明的一个第一实施方式的一种电子元件封装结构的制造方法的部分截面图。

图 3 是显示根据本发明的第一实施方式的电子元件封装结构的一个连接焊盘的一种变体 1 的部分截面图。

图 4 是显示根据本发明的第一实施方式的电子元件封装结构的一个连接焊盘的一种变体 2 的部分截面图。

图 5 是显示根据本发明的第一实施方式的电子元件封装结构的一个连接焊盘的一种变体 3 的部分截面图。

图 6A 至 6G 是显示本发明的一个第二实施方式的一种电子元件封装结构的制造方法的部分截面图。

图 7A 至 7C 是显示根据本发明的第二实施方式的电子元件封装结构的一种连接焊盘形成方法的一种变体 1 的部分截面图。

图 8A 至 8D 是显示根据本发明的第二实施方式的电子元件封装结构的一种连接焊盘形成方法的一种变体 2 的部分截面图;以及

图 9A 至 9E 是显示本发明的一个第三实施方式的一种电子元件封装结构的制造方法的部分截面图。

具体实施方式

以下参照附图说明本发明的实施方式。

首先，下文中将说明半导体芯片被掩埋在绝缘层中并被封装的半导体器件制造中的缺点。图 1A 和 1B 是显示半导体芯片被掩埋在绝缘膜中并被封装的半导体器件制造中的缺点的截面图。

首先，如图 1A 所示，一个第一夹层绝缘膜 102 形成在一个基底 100 上，该基底上具有预定的布线图案（未显示）。然后，形成一个 Cu 布线 104，该布线通过形成在第一夹层绝缘膜 102 中的通路孔（未显示）连接到基底 100 上的布线图案。一个其上具有 Al 焊盘 108a 的半导体芯片 108 通过一个粘合层 106 固定到 Cu 布线 104 上，使连接终端 108a 方向向上（以正面向上的方式）。

然后，如图 1B 所示，一个第二夹层绝缘膜 110 形成在半导体芯片 108 和 Cu 布线 104 上。然后，半导体芯片 108 上的 Al 焊盘 108a 上的第二夹层绝缘膜 110 的预定部分被激光蚀刻以形成通路孔 110a。

此时，半导体芯片 108 上的 Al 焊盘 108a 具有这样的性质：它们容易在第二夹层绝缘膜 110 的蚀刻之后执行过蚀刻时被激光所蚀刻。因此，Al 焊盘 108a 的铝散布在通路孔 110a 的周围，从而在某些情况下通路孔 110a 的底部的 Al 消失。

另外，由于 Al 焊盘 108a 被激光所破坏，因此在 Al 焊盘 108a 下和其周围以下区域中的电路元件被损坏。这引起半导体器件的芯片产量的下降。

本发明的实施方式的电子元件封装结构能够克服上述问题。

（第一实施方式）

接下来下文中将说明本发明的一个第一实施方式的一个电子元件封装结构的一种制造方法。图 2A 至 2K 是显示本发明的一个第一实施方式的一种电子元件封装结构的制造方法的部分截面图。图 3 至图 5 是显示根据本发明的第一实施方式的电子元件封装结构的一个连

接焊盘的变体的部分截面图。

首先,如图 2A 所示,准备一个硅片(半导体片)10 上形成了预定的晶体管、多层布线(未显示)等,其厚度约为 $400\mu\text{m}$ 。由铝(Al)或 Al 合金制成的 Al 焊盘 12 从硅片 10 的上表面暴露出来,硅片 10 除 Al 焊盘 12 之外的部分被由硅氮膜、聚酰亚胺树脂或类似物质制成的钝化膜 11 所覆盖。

然后,如图 2B 所示,一层镍(Ni)膜 14 通过非电解电镀形成在硅片 10 的 Al 焊盘 12 上。以下将详细说明形成方法的一个例子。首先,通过用包含酸浸渍脱脂材料的预处理溶液(1)处理硅片 10 进行脱脂。然后,通过用诸如过硫酸铵或过氧化氢溶液和硫磺酸的混合液体或类似溶液的预处理溶液(2)处理硅片 10 进行软蚀刻。

然后通过用诸如盐酸、稀硫酸或类似的溶液的预处理溶液(3)处理硅片 10 进行酸清理。然后通过用包括钯系列的催化剂应用材料的预处理溶液(4)处理硅片 10 进行催化剂处理。

通过这种方式进行了预处理,以执行硅片 10 的 Al 焊盘 12 上的 Ni 膜 14 的非电解电镀。在这种情况下,由于 Al 焊盘可以容忍上述预处理溶液(1)至(4),则不会产生 Al 焊盘 12 被预处理溶液蚀刻的问题。

然后硅片 10 被浸渍在具有例如氨基磺酸镍(400 克/升)、镍(100 克/升)、硼化镍(15 克/升)、硼酸(40 克/升)成分的电镀液体中。从而厚度约为 1 至 $3\mu\text{m}$ 的 Ni 镍膜 14 被选择性地形成在了硅片 10 的 Al 焊盘 12 上。

然后,同样如图 2B 所示,一层铜(Cu)膜 16 通过非电解电镀形成在硅片 10 的 Ni 膜 14 上。以下将详细说明形成方法的一个例子。首先通过用包含表面活性剂的预处理溶液(1)处理硅片 10 进行调节过程。然后,通过用诸如过硫酸铵或过氧化氢溶液和硫磺酸的混合液体或类似溶液的预处理溶液(2)处理硅片 10 进行软蚀刻。

然后通过用诸如盐酸、稀硫酸或类似的溶液的预处理溶液(3)处理硅片 10 进行酸清理。然后通过用包括的钯胶质溶液的预处理溶液

(4)处理硅片 10 进行催化剂处理。然后, 通过用诸如盐酸、稀硫酸或类似的溶液的预处理溶液(5)处理硅片 10 进行加速过程。

通过这种方式进行了预处理, 以执行硅片 10 的 Ni 膜 14 上的 Cu 膜的非电解电镀。在这种情况下, 由于 Ni 膜可以容忍上述预处理溶液(1)至(5), 则不会产生 Ni 膜 14 被预处理溶液蚀刻的问题。

然后, 同样如图 2B 所示, 硅片 10 被浸渍在包含诸如硫酸铜、氢氧化钠、甲醛、罗谢尔盐和表面活性剂的电镀液体(温度: 约 45°C)中。从而厚度约为 1 至 5 μm 的 Cu 膜被选择性地形成在 Ni 膜 14 上。

因此, Ni 膜 14 和 Cu 膜 16 被选择性地形成在 Al 焊盘 12 上, 从而获得了连接焊盘 18。Cu 膜 16 作为连接焊盘 18 的最上层在通路孔形成在夹层绝缘膜中时充当防蚀刻层, 夹层绝缘膜通过激光形成在 Al 焊盘 12 上。这是因为 Cu 膜与 Al 膜相比具有非常低的激光蚀刻率。

在这种情况下, 可采用直接在 Al 焊盘 12 上形成 Cu 膜 16 而不在中间使用 Ni 膜 14 的方法。但可以理解如果在 Al 焊盘 12 暴露的情况下将一系列预处理加到 Cu 膜 16 的非电解电镀中, 则将引起 Al 焊盘 12 的腐蚀, 因此这种方法是不可取的。

在以上模式中, 具有较小的激光蚀刻率的 Cu 膜 16 形成为最上层的结构被显示为连接焊盘 18。除 Cu 膜外, 金(Au)膜、银(Ag)膜或类似的膜也可作为具有较小激光蚀刻率的金属。

因此, 可采用以下结构作为连接焊盘 18 的结构。尤其地, 作为连接焊盘 18 的一个变体 1, 如图 3 所示, 连接焊盘可从底部开始依次由 Al 焊盘 12、厚度约为 1 至 3 μm 的 Ni 膜 14、厚度约为 0.05 至 0.15 μm 的金(Au)膜 17 形成。在这种情况下, Au 膜 17 选择性地形成在 Ni 膜 14 上, 形成方法是将在其上形成 Ni 膜 14 的硅片 10 浸渍在电解液(温度: 约 50°C)中, 该电解液包含金(10 克/升), 诸如柠檬酸、乙酸或类似物质的有机酸(100 克/升), 诸如 KOH、NaOH 等物质的氢氧化物(50 克/升), 以及钴或镍(100 毫克/升)。

同样，作为连接焊盘的一个变体 2，如图 4 所示，可采用从底部开始依次由 Al 焊盘 12、厚度约为 1 至 3 μm 的 Ni 膜 14、厚度约为 1 至 5 μm 的 Cu 膜 16 以及厚度约为 0.05 μm 的 Au 膜 17 形成的连接焊盘。

另外，作为连接焊盘的一个变体 3，如图 5 所示，可采用从底部开始依次由 Al 焊盘 12、厚度约为 1 至 3 μm 的 Ni 膜 14、厚度约为 1 至 5 μm 的银(Ag)膜 19 形成的连接焊盘。Ag 膜 19 通过通常的非电解电镀选择性地形成在 Ni 膜 14 上。

通过这种方式，根据本实施方式的连接焊盘 18 被形成成为激光蚀刻率小于 Al 膜的金属膜（Cu 膜 16、Au 膜 17、Ag 膜 19）被覆盖为最上层的状态。另外，在本实施方式中，在 Al 焊盘 12 上形成的金属膜不通过掩盖步骤而是通过非电解电镀选择性地形成。当然在这种情况下，也可以采用除具有上述分层结构的连接焊盘 18 的例子之外的变体。

然后，如图 2C 所示，硅片 10 的不形成元件的表面（下文中称为“背面”）被削磨机削磨。从而硅片的厚度从约 400 μm 减小为约 10 至 150 μm 。

然后，如图 2D 所示，通过切割硅片 10 获得分成单片的多个半导体芯片 20(电子元件)。在这种情况下，半导体芯片 20 是电子元件的一个例子。但也可实施不同的电子元件，例如，在一个表面上提供电容元件、电阻的硅芯片。

接下来，下文将说明其上安装了上述半导体芯片 20 的布线基底的一个例子。

首先，如图 2E 所示，准备一个用于制造内置布线基底的基底 24。此基底 24 是由诸如树脂等的绝缘材料制成的。同样，在基底 24 中提供通路孔 24a，一个连接到形成在基底 24 上的第一布线图案 26 的通路孔电镀层 24b 形成在通路孔 24a 的内表面上，通路孔被树脂体 24c 填充。

然后，形成一个用于覆盖第一布线图案 26 的第一夹层绝缘膜

28。对于第一夹层绝缘膜 28，可采用诸如环氧树脂、聚酰亚胺树脂、聚亚苯醚树脂的树脂膜。例如，通过将树脂膜层压在第一布线图案 26 上然后通过 80 至 100°C 退火固化该膜来形成厚度约为 30 至 50 μm 的树脂层。

在这种情况下，作为第一夹层绝缘膜 28 的树脂层除通过上述层压树脂膜的方法形成外，还可通过旋转覆盖方法或印刷方法形成。同样，除树脂层外，通过 CVD 方法形成的硅氧化物膜或类似的膜也可被用来作为第一夹层绝缘膜 28。

然后，第一通路孔 28x 形成在第一布线图案 26 上的第一夹层绝缘膜 28 的预定部分中。

然后，第二布线图案 26a 通过半加法形成在第一夹层绝缘膜 28 上。下文中将更详细地说明。一个种子 Cu 层（未显示）形成在第一通路孔 28x 的内表面和第一夹层绝缘层 28 的上表面上，然后形成一个在预定模式中具有开口部分的抗蚀膜（未显示）。然后，一层 Cu 膜通过用种子 Cu 膜作为电镀能量供给层进行电解电镀形成在所述抗蚀膜的开口部分上。然后抗蚀膜被去除，种子 Cu 膜通过用 Cu 膜作为掩膜被蚀刻。从而形成通过第一通路孔 28x 连接到第一布线图案 26 的第二布线图案 26a。

此处第二布线图案 26a 可通过削减法或全加法而不是半加法来形成。

然后，如图 2F 所示，上述半导体芯片 20 的背面通过粘合层 27 粘合到第二布线图案 26a。从而半导体芯片 20 以连接焊盘 18 方向向上的状态被安装（正面安装）。

然后，如图 2G 所示，在半导体芯片 20 和第二布线图案 26a 上形成一个第二夹层绝缘膜 28a，它与上述第一夹层绝缘膜 28 一样是由树脂层或类似的材料制成的。然后，第二通路孔 28y 通过用激光蚀刻半导体芯片 20 的连接焊盘 18 上的第二夹层绝缘膜 28a 的预定部分形成。根据此步骤，第二通路孔 28y 也通过用激光蚀刻第二布线图案 26a 上的第二夹层绝缘膜 28a 的预定部分形成。

此时，连接焊盘 18 的最上层在第二夹层绝缘膜 28a 被激光蚀刻后执行过蚀刻时被暴露给了激光。但是，由于连接焊盘 18 的最上层是由激光蚀刻率较小的 Cu 膜 16 制成，因此 Cu 膜 16 作为防蚀刻层。因此，不像连接焊盘由 Al 膜制成时的情况那样，现在可以避免 Al 从连接焊盘 18 散布到其周围或连接焊盘 18 以下或其周围以下区域中形成的电路元件被损坏的事件。现在如果连接焊盘 18 的最上层是由 Au 膜 17、Ag 膜 19 或类似的膜制成（图 3 至 5），则可实现相同的优点。

关于激光可采用 CO₂ 激光（波长：10.64 nm），YAG 激光（第三谐波（波长：0.355 nm））、KrF 受激准分子激光（波长：0.248 nm）或类似的激光。

如果连接焊盘 18 的最上层由 Cu 膜 16 制成，则宜采用对 Cu 膜 16 具有比其他激光更小的蚀刻率的 CO₂ 激光。同样，如果连接焊盘 18 的最上层由 Ag 膜 19 制成，则宜采用对 Ag 膜 19 具有比其他激光更小的蚀刻率的 YAG 激光。

同样，为了增强激光照射时的热传导性并抑制产生的热量，防蚀刻层（Cu 膜 16 等）宜被设为具有尽可能厚的膜厚度和尽可能大的焊盘面积。作为基于该方面的一个首选例子，Cu 膜 16 的膜厚度设为约 3μm 或更厚，连接焊盘 18 的焊盘面积设为约 80μm 至 100μm，第二通路孔 28y 的直径设为约 50 至 60μm。

此处，当用 RIE（反应离子蚀刻）代替激光形成通路孔时，具有上述结构的连接焊盘 18 与采用 Al 焊盘时的情况相比，可以更好地抑制过蚀刻时连接焊盘 18 的材料飞溅。因此，具有这样结构的连接焊盘 18 是很方便的。

然后，如图 2H 所示，一层种子 Cu 膜 30a 形成在结构体上（图 2G），半导体芯片 20 的连接焊盘从它那里被非电解电镀暴露出来。此时，如果连接焊盘 18 只由 Al 膜制成，则可能引起连接焊盘 18 和种子 Cu 膜 30a 之间的粘合度问题。但是，在本实施方式中，由于种子 Cu 膜 30a 是形成在作为连接焊盘 18 的最上层的防蚀刻层上的

(在图 2H 的例中是 Cu 膜 16)，则可以提高连接焊盘 18 和种子 Cu 膜 30a 之间的粘合度。

然后，如图 2I 所示，具有对应于第三布线图案的开口部分 32a 的抗蚀膜 32 通过光刻法形成在种子 Cu 膜 30a 上。然后，Cu 膜图案 30b 可通过电解电镀使用 Cu 膜 30a 作为电镀能供给层形成在抗蚀膜 32 的开口部分 32a 中。

然后，如图 2J 中所示，抗蚀层 32 被去除。然后，通过在用 Cu 膜图案 30b 作为掩模的同时向种子 Cu 膜 30a 应用湿法蚀刻形成第三布线图案 26b。这里，可通过在此步骤后重复图 2F 至图 2J 中的步骤预定的次数，以多层的方式形成内嵌了半导体芯片 20 的夹层绝缘膜以及布线图案。

然后，如图 2K 所示，在第三布线图案 26b 上形成一个防焊膜 34，在其连接部分 26x 上具有开口部分 34a。然后准备一个其上具有突出部分 36 的半导体芯片 20a。然后突出部分 36 通过倒装 (flip-chip bonding) 法连结到第三布线图案 26b 的连接部分 26x。此时，Ni/Au 镀层被加到第三布线图案 26b 的连接部分 26x。

在这种情况下，突出部分可通过在焊接抗蚀膜 34 中的开口部分 34a 上安装焊接球或类似的方法形成，然后半导体芯片 20a 的连接终端可连结到突出部分。以外，如果图 2K 中的结构体必须被分割以包含预定数目的半导体芯片 20a，半导体芯片 20a 可在倒装安装之前或之后分割。

以上部分完成了本发明的一个电子元件封装结构 1。

在第一实施方式的电子元件封装结构中，半导体芯片 20 正面向上安装在基底 24 上的第二布线图案 26a 上，其安装状态是该半导体芯片 20 被掩埋在第二夹层绝缘膜 28a 中。半导体芯片 20 的连接焊盘 18 以由难以被激光蚀刻的材料制成的防蚀刻层 (Cu 膜 16 或类似的膜) 作为最上层。由激光打孔的第二通路孔 28y 形成在半导体芯片 20 的连接焊盘 18 上的第二夹层绝缘膜 28a 中。

连接到半导体芯片 20 的连接焊盘 18 的第三布线图案 26b 通过

通路孔 28y 电连接到第二布线图案 26a。另外，形成在第三布线图案 26b 的连接部分 26x 处具有开口部分 34a 的抗焊膜 34，然后半导体芯片 20a 的突出部分 36 通过倒装安装到第三布线图案 26b 的连接焊盘 26x。在这种方法中，半导体芯片 20 的连接焊盘 18 连接到布线基底上的预定布线图案，并且半导体芯片 20 也与放置在此芯片上的半导体芯片 20a 相互连接。

在这种情况下，在本实施方式中，举出了半导体芯片 20 处在被掩埋在第二夹层绝缘膜 28a 中的状态并被安装在布线基底上的第二布线图案 26a 上的模式作为例子。也可采用半导体芯片 20 被类似的掩埋在夹层绝缘膜中并被安装在第一布线图案 26 或第三布线图案 26b 中的模式。另外，可采用半导体芯片 20 安装在基底 24 或第一或第二夹层绝缘膜 28、28a 上的模式。即基底 24、第一至第三布线图案 26 至 26b，第一或第二夹层绝缘膜 28、28a 等可作为安装半导体芯片 20 的安装体。

另外，可采用以下模式：多个半导体芯片 20 分别被类似地掩埋在多个夹层绝缘膜中，以多层方式三维地堆叠以进行封装，并且这些半导体芯片 20 通过多个通路孔相互连接。

在本实施方式的电子元件封装结构 1 中，如上文所述，在激光过程中半导体芯片 20 的连接焊盘 18 用防蚀刻层（Cu 膜 16、Au 膜 17、Ag 膜 19 等）作为最上层。因此，第二通路孔 28y 通过通常的激光通路形成方法在第二夹层绝缘膜 28a 中形成，不产生问题。由于此原因，在激光通路形成步骤中，消除了半导体芯片 20 的连接焊盘 18 消失或连接焊盘 18 之下或周围以下区域中的电路元件被损坏的可能。

综上所述，电子元件封装结构 1 可很容易地制造，在高产的时候也不会引起成本的增加。另外，即使通过形成内嵌了半导体芯片 20 的夹层绝缘膜来制造高密度电子元件封装结构，以及布线图案为多层时，也能高度可靠地制造高性能的封装结构。

（第二实施方式）

图 6A 至 6G 是显示本发明的一个第二实施方式的一种电子元件封装结构的制造方法的部分截面图。图 7A 至 7C 是同样地显示根据电子元件封装结构的一种连接焊盘形成方法的一种变体 1 的部分截面图。图 8A 至 8D 是同样地显示根据电子元件封装结构的一种连接焊盘形成方法的一种变体 2 的部分截面图。

第二实施方式与第一实施方式的一个不同点在于不采用非电解电镀法而采用光刻法作为在 Al 焊盘 12 上选择性地形成防蚀层的方法。在图 6A 至 6G、图 7A 至 7C 以及图 8A 至 8D 中，将省去对与图 2A 至 2K 中相同的元素和相同步骤的详细说明。

在根据本发明的第二实施方式的电子元件封装结构的制造方法中，首先，如图 6A 所示，与图 2A 一样，以与第一实施方式相同的方法准备具有 Al 焊盘 12 被暴露而其他部分被钝化膜 11 覆盖的结构的硅片 10（半导体片）。

然后，如图 6B 所示，厚度约为 $0.05\mu\text{m}$ 的铬(Cr)膜 13 通过喷溅或类似的方法形成在 Al 焊盘 12 和钝化膜 11 上。这里钛(Ti)膜可用来代替铬(Cr)膜 13。然后一层厚度约为 0.05 至 $2\mu\text{m}$ 的 Cu 膜 16x 通过喷溅或类似的方法形成在 Cr 膜 13 上。

然后，如图 6C 所示，被布置为覆盖对应于 Al 焊盘 12 的部分的抗蚀膜 15 通过光刻形成在 Cu 膜 16x 上。然后 Cu 膜 16x 在用抗蚀膜 15 作掩模的同时通过使用一种包含氢硼酸(HBr)和过硫酸铵的溶液（常温）被湿法蚀刻侵蚀。然后，Cr 膜 13 同样在用抗蚀膜 15 作掩模的同时通过使用一种包含三氯化铁(FeCl_3)和盐酸(HCl)的溶液（ 40°C ）被湿法蚀刻侵蚀。然后去除抗蚀膜 15。

这样，如图 6D 所示，Cr 膜 13 和 Cu 膜 16x 选择性地形成在 Al 焊盘 12 上，从而获得了根据第二实施方式的连接焊盘 18x。

接下来，下文将说明根据第二实施方式的形成连接焊盘 18x 的方法的变体。对于变体 1，首先，如图 7A 所示，通过光刻形成在对应于 Al 焊盘 12 的部分具有开口部分 15a 的抗蚀膜 15。

然后，如图 7B 所示，Cr 膜 13 和 Cu 膜 16x 通过与上述相同的

喷溅或类似的方法依次形成在 Al 焊盘 12 和抗蚀膜 15 上。

然后通过抗蚀膜去除液体去除抗蚀膜 15。从而，如图 7C 所示，形成在抗蚀膜 15 上的 Cr 膜 13 和 Cu 膜 16x 通过所谓的提升去除方法与抗蚀膜 15 一起同时被去除，同样形成在 Al 焊盘 12 上的 Cr 膜 13（或 Ti 膜）和 Cu 膜 16x 留了下来，从而获得了具有与上述结构相同结构的连接焊盘 18x。在此变体 1 中，Ti 膜可用来代替 Cr 膜 13。

同样，对于变体 2，首先如图 8A 所示，厚度约为 $0.05\mu\text{m}$ 的 Cr 膜 13 和厚度约为 $0.05\mu\text{m}$ 的第一 Cu 膜 16x 依次通过喷溅或类似的方法形成在与图 6A 具有相同结构的硅片 10 上的 Al 焊盘 12 和钝化膜 11 上。

然后，如图 8B 所示，通过光刻形成在第一 Cu 膜 16x 部分对应于 Al 焊盘 12 具有开口部分 15a 的抗蚀膜 15。然后，如图 8C 所示，厚度均为约 5 至 $10\mu\text{m}$ 的第二 Cu 膜 16y 通过利用第一 Cu 膜 16x 作为电镀能量供给层同时利用抗蚀膜 15 作为掩模而电解电镀形成在抗蚀膜 15 的开口部分 15a 中。

然后去除抗蚀膜 15。然后第一 Cu 膜 16x 和 Cr 膜 13 依次通过湿法蚀刻利用与上述方法相同的蚀刻剂被蚀刻，同时使用第二 Cu 膜 16y 作为掩模。

从而，如图 8D 所示，Cr 膜 13、第一 Cu 膜 16x 以及第二 Cu 膜 16y 选择性地形成在 Al 焊盘 12 上，从而获得连接焊盘 18x。在变体 2 中，可采用 Ti 膜代替 Cr 膜 13。

如第一实施方式中所说明的，如果为了提高连接焊盘 18x 的热传导性等形成了具有较大厚度（超过约 $3\mu\text{m}$ ）的 Cu 膜，则可料想膜形成或湿法蚀刻中的生产量对利用上述喷溅方法和光刻的形成方法提出了问题。因此，在变体 2 中，首先薄 Cr 膜 13 和薄的第一 Cu 膜 16x 通过喷溅方法形成，然后厚的第二 Cu 膜 16y 通过电解电镀在 Al 焊盘 12 上选择性地形成。然后，连接焊盘 18x 通过蚀刻第一 Cu 膜 16x 和 Cr 膜 13，同时用厚的第二 Cu 膜 16y 作为掩模而形成。

通过进行此操作，在使用喷溅方法和光刻的第二实施方式中，具有厚的防蚀刻层的连接焊盘 18x 可以容易地形成。

如上文所述，连接焊盘 18x 可通过使用变体 1 或变体 2 中的形成方法形成。

然后，如图 6E 所示，正如第一实施方式那样，其上形成连接焊盘 18x 的硅片 10 的背面被研磨机研磨。从而硅片 10 的厚度减为 10 至 150 μm 。

然后，如图 6F 所示，正如第一实施方式那样，其上形成连接焊盘 18x 的硅片 10 被切割。从而获得分割成单片的多个半导体芯片 20x。

然后，如图 6G 所示，通过使用半导体芯片 20x 执行与第一实施方式中的图 2E 至图 2K 中相同的步骤。从而可获得第二实施方式的一个电子元件封装结构 1a。

第二实施方式的电子元件封装结构 1a 可实现与第一实施方式相同的优点。

在这种情况下，第一实施方式中说明的多种修改和变体也可被应用到第二实施方式中。

（第三实施方式）

图 9A 至 9E 是显示本发明的一个第三实施方式的一种电子元件封装结构的制造方法的部分截面图。第三实施方式与第一实施方式的一个不同点是激光过程中的防蚀刻层是通过在 Al 焊盘 12 上形成导电贴层形成的。在第三实施方式中，将省略对与第一实施方式中相同的步骤的详细说明。

在制造本发明的第三实施方式的电子元件封装结构的方法中，首先，如图 9A 所示，准备其上具有与第一实施方式相同的 Al 焊盘 12 的硅片 10（半导体片）。然后，如图 9B 所示，一层导电贴膜 38 选择性地形成在 Al 焊盘 12 上。例如，通过利用丝网印刷等将导电贴合材料覆盖在 Al 焊盘 12 上，然后固化材料形成导电贴膜 38。从而获得均由 Al 焊盘 12 和导电贴膜 38 组成的连接焊盘 18y。

对于导电贴层 38, 可采用通过将诸如铜(Cu)、银(Ag)、金(Au)、镍(Ni)等导电粒子扩散到环氧树脂或聚茛树脂中形成的贴层。在第三实施方式中, 正如第一实施方式中说明的 Cu 膜 16 或类似的膜那样, 导电贴膜 38 作为激光过程中的防蚀刻层。

通过利用导电贴膜 38, 不需要复杂的步骤即能在短时间内容易地形成厚度约为 10 μ m 的防蚀刻层。

在这种情况下, 可采用在 Al 焊盘 12 和导电贴膜 38 之间形成 Cr 膜或 Ti 膜的模式。Cr 膜或 Ti 膜可通过喷溅、光刻或电解电镀选择性地形成在 Al 焊盘 12 上。

然后, 如图 9C 所示, 正如第一实施方式那样, 其上形成连接焊盘 18y 的硅片 10 被研磨机研磨。从而硅片 10 的厚度减为 10 至 150 μ m。

然后, 如图 9D 所示, 正如第一实施方式那样, 其上形成连接焊盘 18y 的硅片 10 被切割。从而获得分割成单片的多个半导体芯片 20y。

然后, 如图 9E 所示, 通过使用半导体芯片 20y 执行与第一实施方式中的图 2E 至图 2K 中相同的步骤。从而可获得第三实施方式的一个电子元件封装结构 1b。

第三实施方式的电子元件封装结构 1b 可实现与第一实施方式相同的优点。

在这种情况下, 第一实施方式中说明的多种修改和变体也可被应用到第三实施方式中。

以上参考第一至第三实施方式说明了本发明的细节。本发明的范围不限于上述实施方式中具体显示的例子。应认为上述实施方式的在要点范围内的未背离本发明的变体是包含在本发明的范围之内的。

本发明的一个特征是在半导体芯片的基本金属焊盘(例如 Al 焊盘)上提供与所述金属焊盘相比具有较低的激光蚀刻率的防蚀刻层。

在实施方式中, 举了在 Al 焊盘上提供具有较低激光蚀刻率的金属膜或导电贴膜的模式作为例子。但也可采用在除 Al 之外的金属焊

盘上形成与金属焊盘相比具有较低的激光蚀刻率的金属膜或导电贴膜的模式。即本发明可被应用于具有所需的除 Al 焊盘的不同金属焊盘的电子元件。

图1A

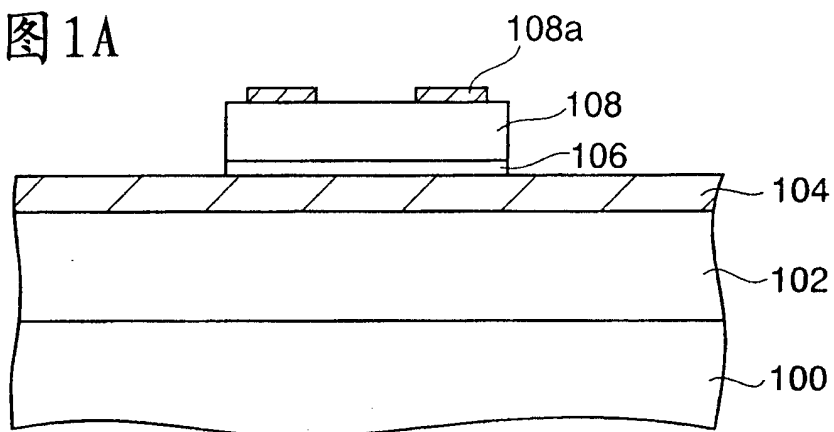
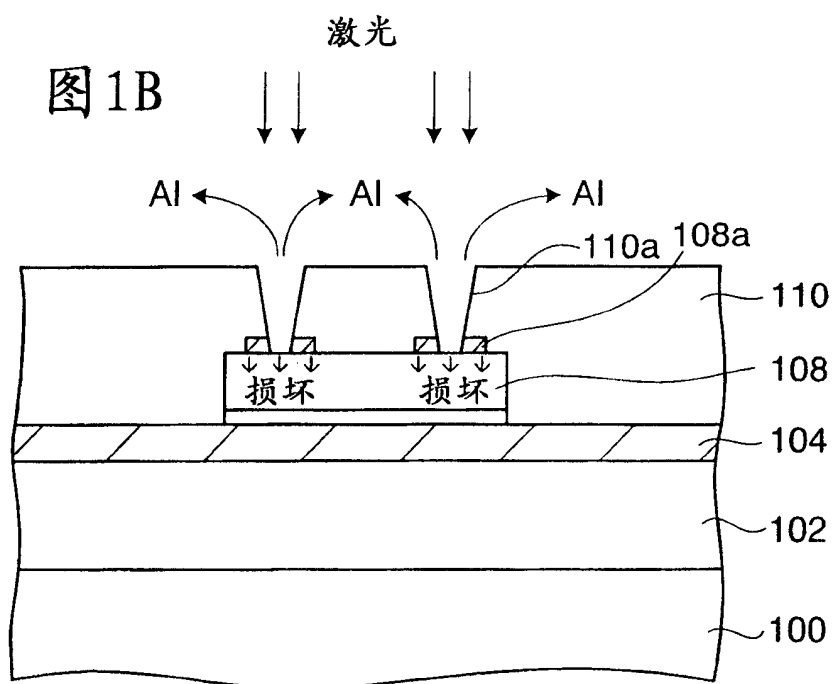


图1B



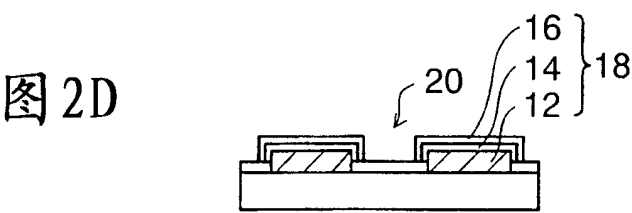
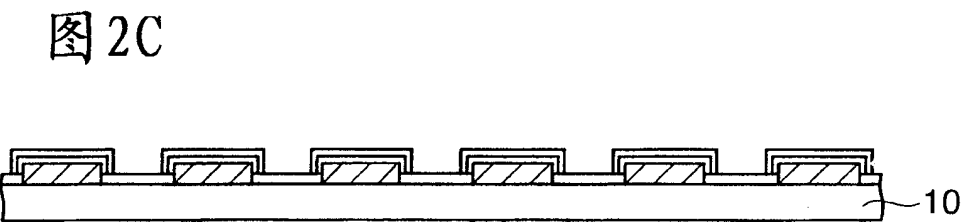
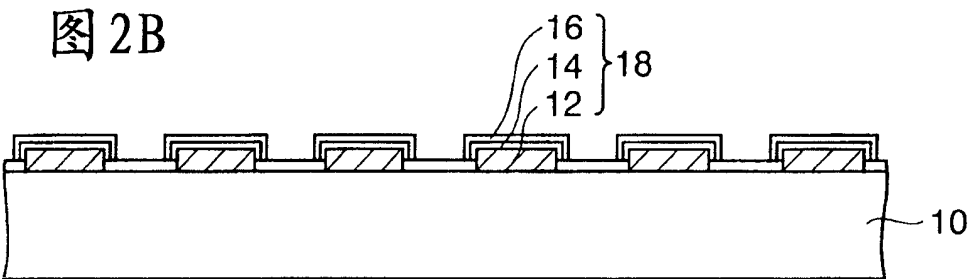
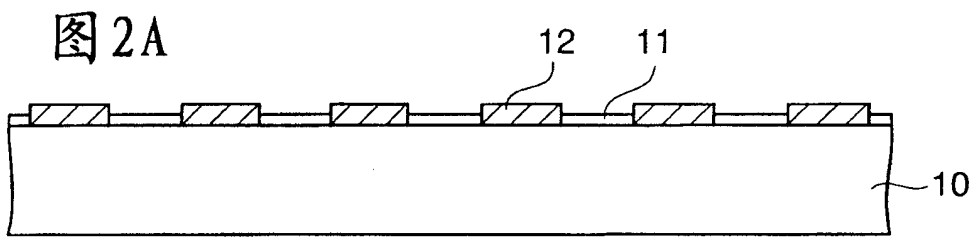


图 2E

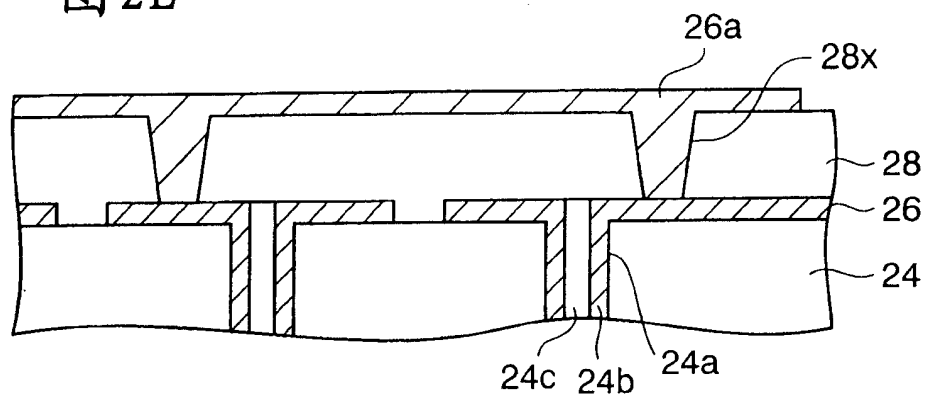


图 2F

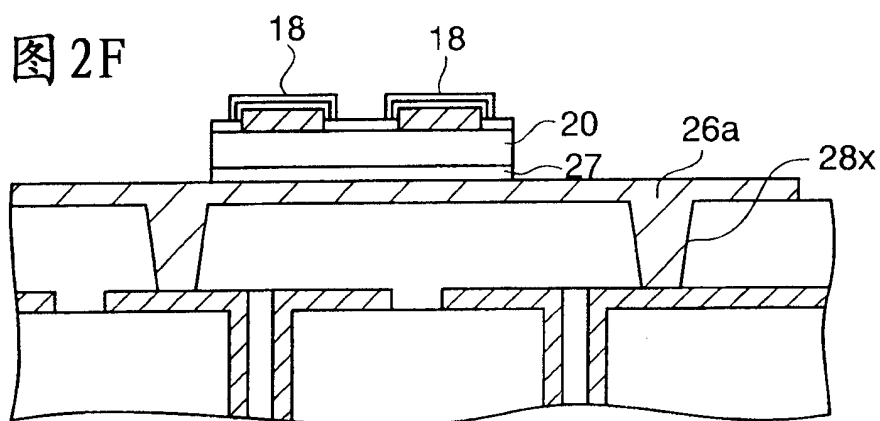


图 2G

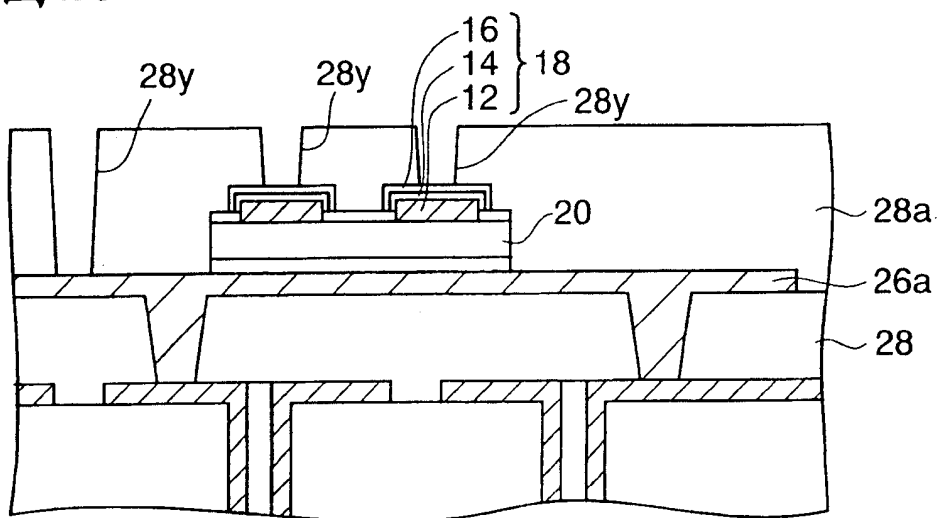


图 2H

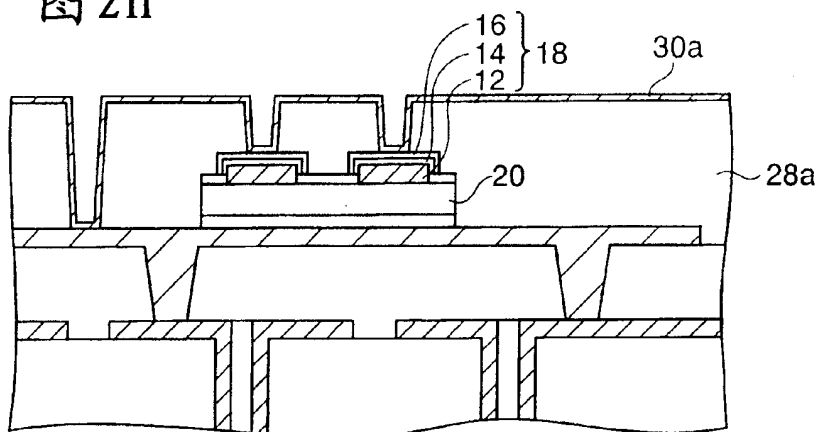


图 2I

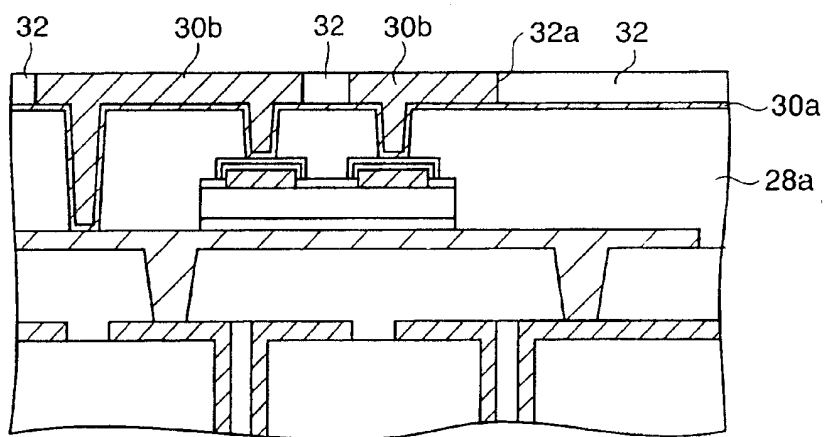


图 2J

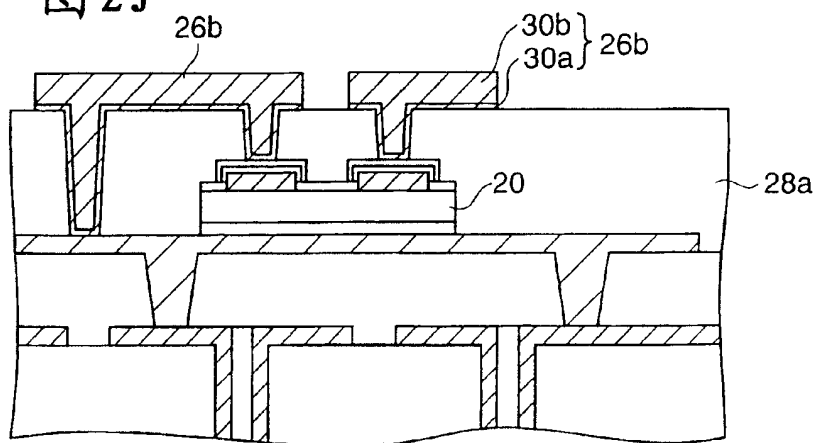


图 3

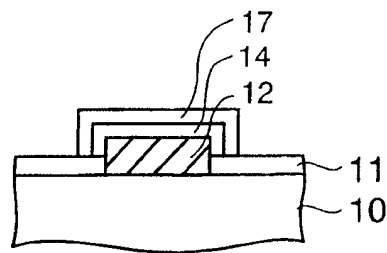


图 4

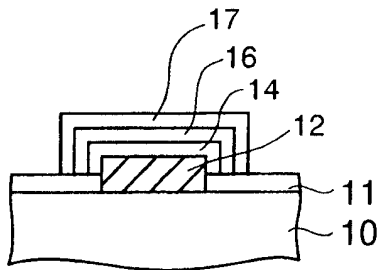


图 5

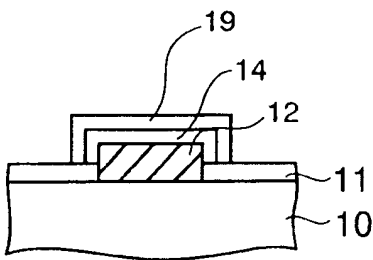


图 6A

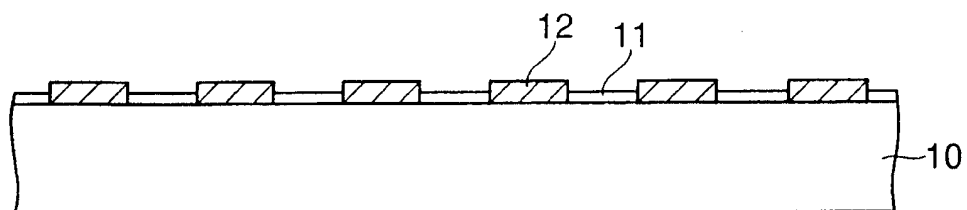


图 6B

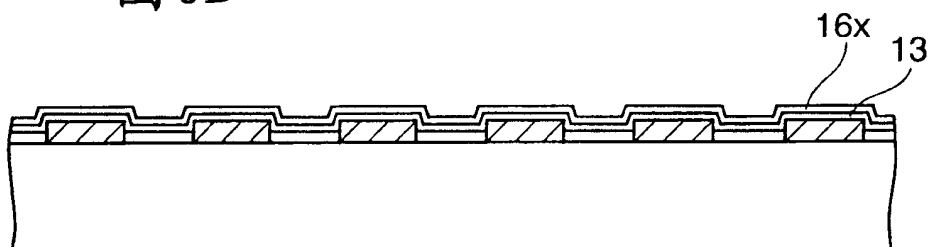


图 6C

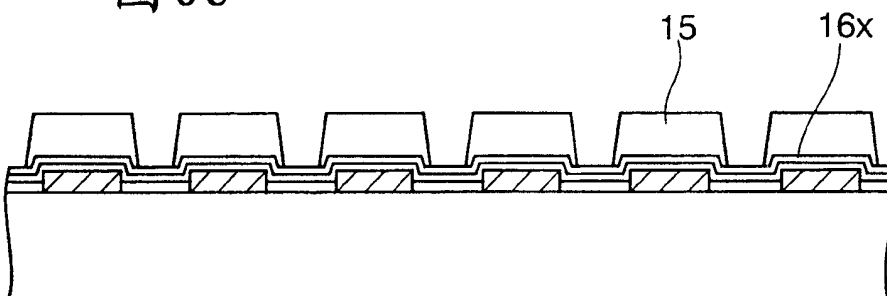


图 6D

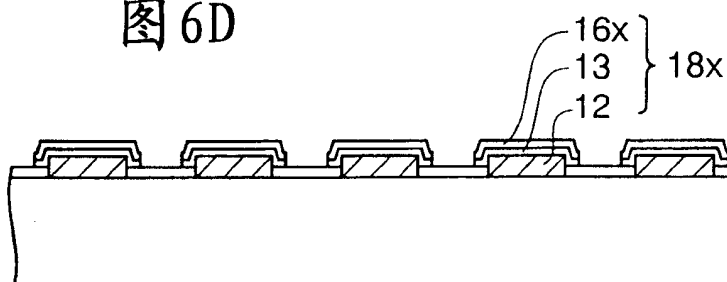


图 6E

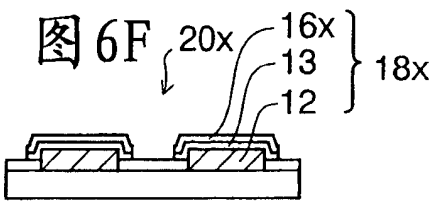
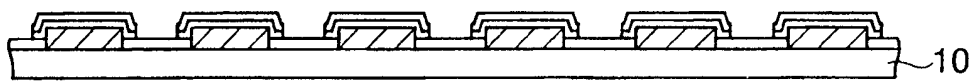


图 6G

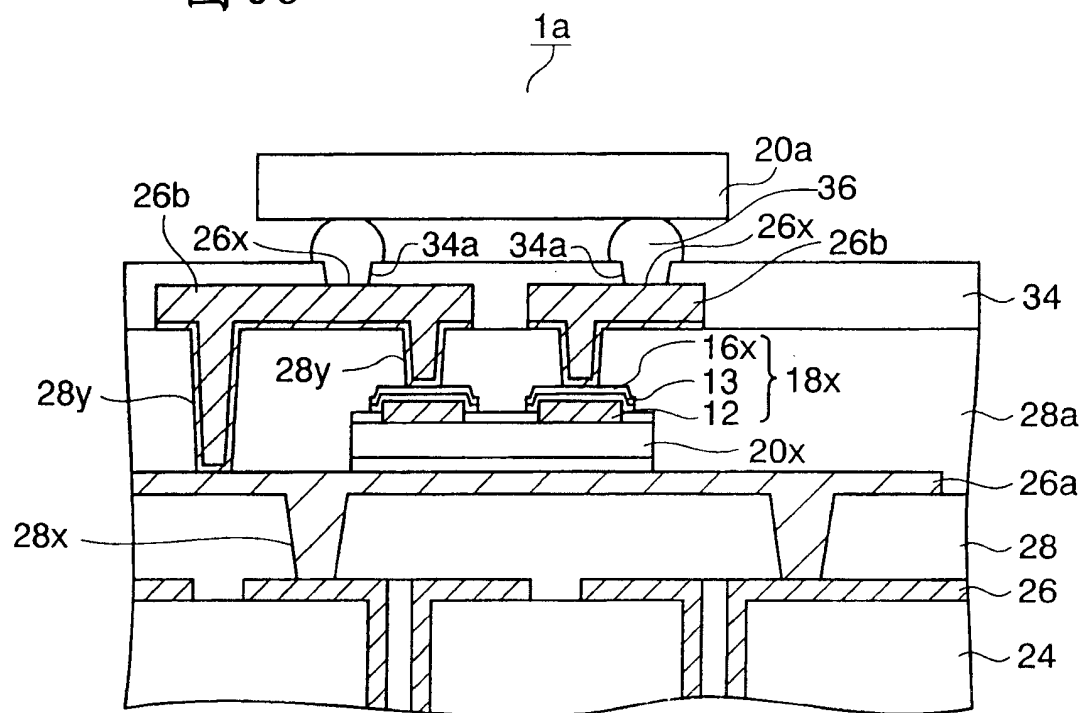


图 7A

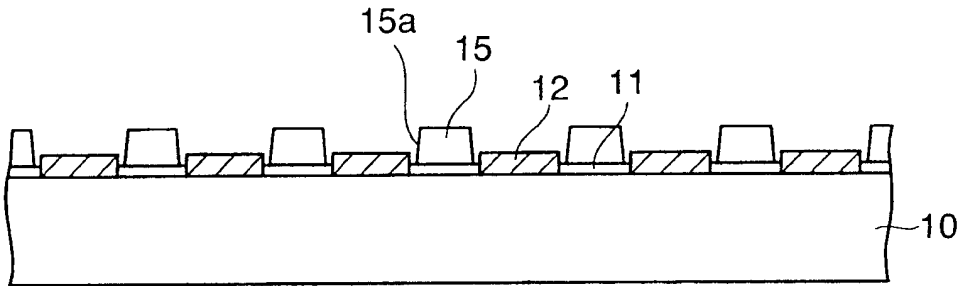


图 7B

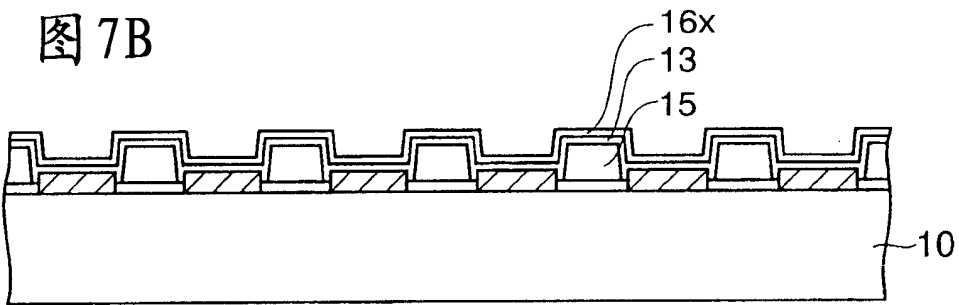


图 7C

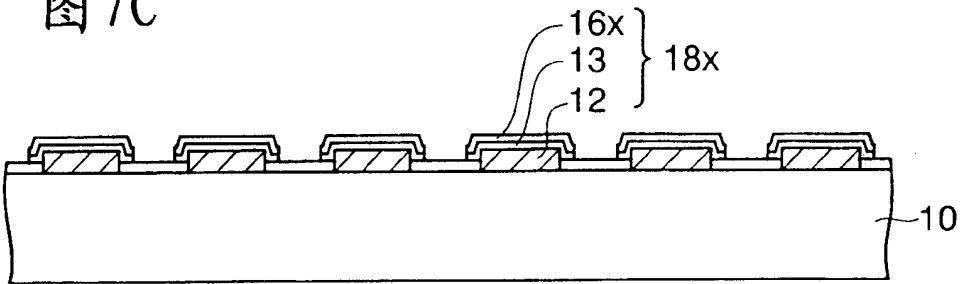


图 8A

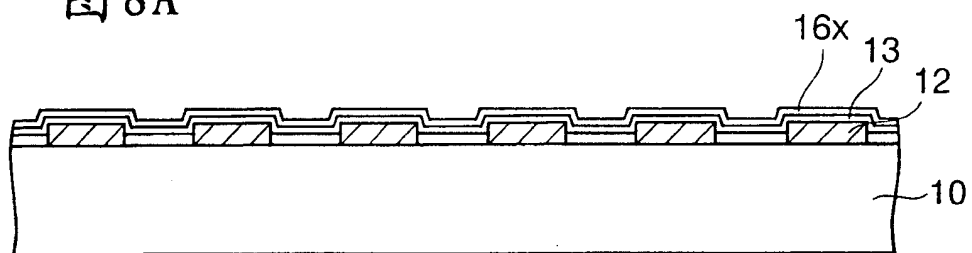


图 8B

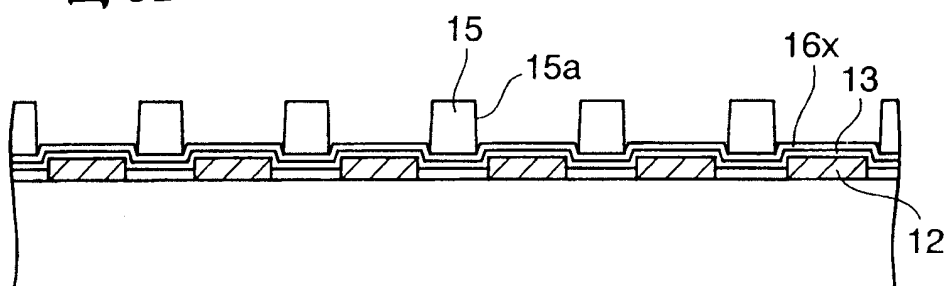


图 8C

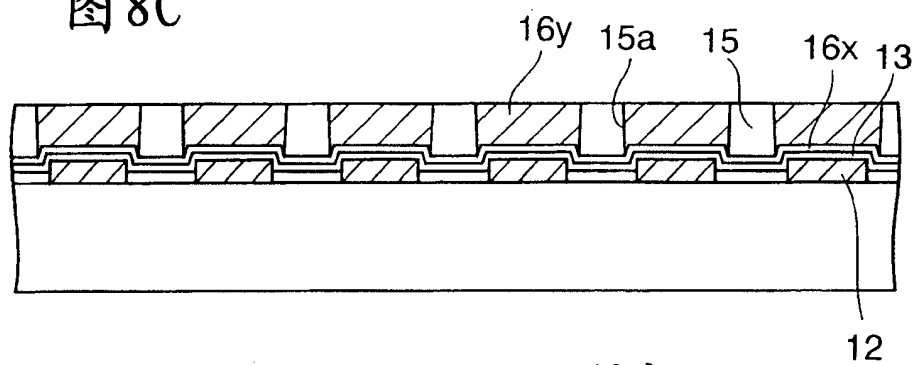


图 8D

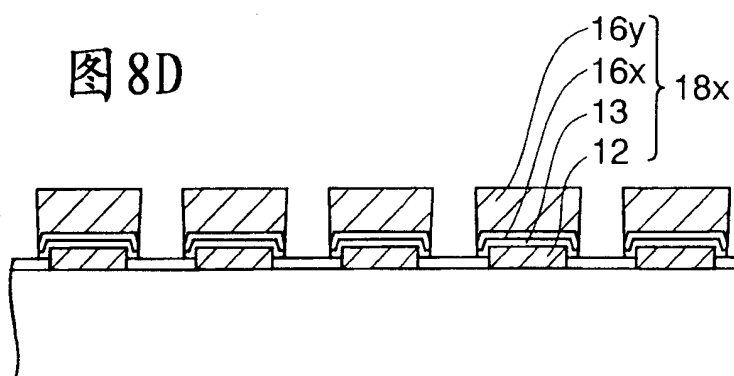


图 9A

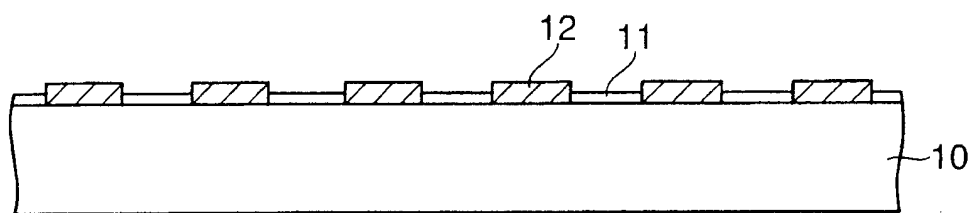


图 9B

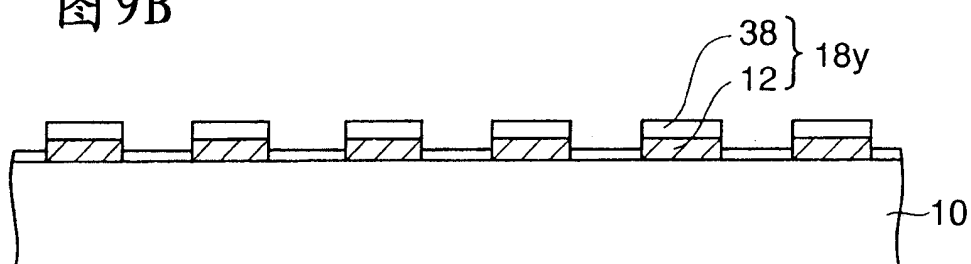


图 9C

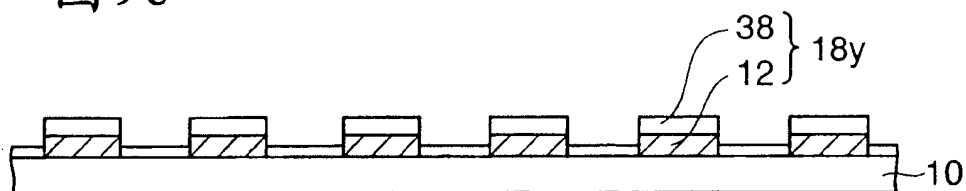


图 9D

